

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-133380

(P2015-133380A)

(43) 公開日 平成27年7月23日(2015.7.23)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 H	
HO 1 L 29/06 (2006.01)	HO 1 L 29/78 6 5 2 F	
	HO 1 L 29/78 6 5 2 K	
	HO 1 L 29/78 6 5 3 C	
	HO 1 L 29/78 6 5 2 P	

審査請求 未請求 請求項の数 5 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2014-3369 (P2014-3369)
 (22) 出願日 平成26年1月10日 (2014.1.10)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100119035
 弁理士 池上 徹真
 (74) 代理人 100141036
 弁理士 須藤 章
 (74) 代理人 100088487
 弁理士 松山 允之
 (72) 発明者 小野 昇太郎
 東京都港区芝浦一丁目1番1号 株式会社東芝内
 (72) 発明者 泉沢 優
 東京都港区芝浦一丁目1番1号 株式会社東芝内

最終頁に続く

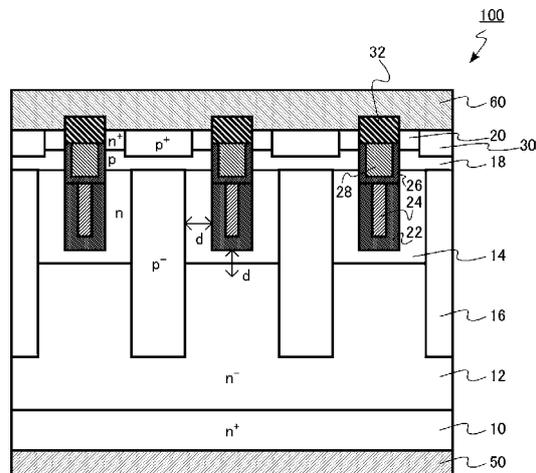
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 オン抵抗の低減を可能とする半導体装置を提供する。

【解決手段】 実施形態の半導体装置は、ドレイン電極とソース電極との間に設けられる第1導電型の第1の半導体層と、第1の半導体層とソース電極との間に設けられ、第1の半導体層よりも第1導電型の不純物濃度が高い第2の半導体層と、ドレイン電極側の端部が第1の半導体層にあり、第1の半導体層および第2の半導体層に接して設けられる複数の第2導電型の第3の半導体層と、第2の半導体層とソース電極との間に設けられる第2導電型の第4の半導体層と、第4の半導体層とソース電極との間に設けられる第1導電型の第5の半導体層と、第2の半導体層との間に、第1の絶縁膜を介して設けられるフィールドプレート電極と、第4の半導体層との間に、第1の絶縁膜よりも膜厚が薄い第2の絶縁膜を介して設けられるゲート電極と、を備える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

ドレイン電極と、
ソース電極と、

前記ドレイン電極と前記ソース電極との間に設けられる第 1 導電型の第 1 の半導体層と

、
前記第 1 の半導体層と前記ソース電極との間に設けられ、前記第 1 の半導体層よりも第 1 導電型の不純物濃度が高い複数の第 1 導電型の第 2 の半導体層と、

前記ドレイン電極側の端部が前記第 1 の半導体層にあり、前記第 1 の半導体層および前記第 2 の半導体層に接して設けられる複数の第 2 導電型の第 3 の半導体層と、

前記第 2 の半導体層および前記第 3 の半導体層と前記ソース電極との間に設けられる複数の第 2 導電型の第 4 の半導体層と、

前記第 4 の半導体層と前記ソース電極との間に設けられ、前記第 2 の半導体層よりも第 1 導電型の不純物濃度が高い第 1 導電型の第 5 の半導体層と、

前記第 2 の半導体層に挟まれ、前記第 2 の半導体層との間に、第 1 の絶縁膜を介して設けられるフィールドプレート電極と、

前記第 4 の半導体層との間に、前記第 1 の絶縁膜よりも膜厚が薄い第 2 の絶縁膜を介して設けられるゲート電極と、

を備えることを特徴とする半導体装置。

【請求項 2】

前記第 1 の半導体層と前記第 2 の半導体層との境界が、前記第 3 の半導体層と前記第 1 の絶縁膜との距離を d とした場合に、前記第 1 の絶縁膜の前記ドレイン電極側の端部から距離 d だけ前記ドレイン電極側に離れた位置よりも、前記ソース電極側にあることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記フィールドプレート電極と前記ゲート電極とが電気的に分離し、前記フィールドプレート電極と前記ソース電極とが電気的に導通することを特徴とする請求項 1 または請求項 2 記載の半導体装置。

【請求項 4】

前記第 3 の半導体層のパターンと前記フィールドプレート電極のパターンのそれぞれがストライプ状のパターンであり、前記第 3 の半導体層のパターンと前記フィールドプレート電極のパターンが直交することを特徴とする請求項 1 ないし請求項 3 いずれか一項記載の半導体装置。

【請求項 5】

前記第 4 の半導体層と前記ソース電極との間に、前記第 4 の半導体層よりも第 2 導電型の不純物濃度の高い、第 2 導電型の第 6 の半導体層と、

前記ドレイン電極と前記第 1 の半導体層との間に、前記第 1 の半導体層よりも第 1 導電型の不純物濃度の高い第 1 導電型の半導体基板と、

をさらに備えることを特徴とする請求項 1 ないし請求項 4 いずれか一項記載の半導体装置

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体装置に関する。

【背景技術】

【0002】

高い耐圧と低いオン抵抗を両立させる電力制御用半導体装置として、 n 型（あるいは p 型）の半導体層に p 型（あるいは n 型）の半導体層を埋め込み、 n 型領域と p 型領域を交互に配列させたスーパージャンクション構造（以下「 S 」構造」とも称する）を備える縦型 MOSFET (Metal Oxide Semiconductor Field

10

20

30

40

50

Effect Transistor)がある。S J構造では、n型領域に含まれるn型不純物量とp型領域に含まれるp型不純物量を等しくすることで、疑似的にノンドープ領域を作り高い耐圧を実現する。同時に、n型領域の不純物濃度を高くできるため、低いオン抵抗を実現できる。

【0003】

S J構造を形成する一方法として、例えば、n型の半導体層にトレンチを形成し、そのトレンチ内をp型の半導体で埋め込みp型の半導体層を設ける方法がある。しかしながら、この方法では、p型の半導体層内に空洞部(ボイド)が形成されやすい。空洞部が生じると空洞部に起因する応力により、リーク電流が発生する恐れがある。

【0004】

MOSFETのオン抵抗を低減するために、S J構造のピッチを縮小していくと、p型半導体層で埋め込むべきトレンチのアスペクト比が高くなる。このため、空洞部形成の問題が顕在化し、製造が困難となる。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2008-124346号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明が解決しようとする課題は、オン抵抗の低減を可能とする半導体装置を提供することにある。

【課題を解決するための手段】

【0007】

実施形態の半導体装置は、ドレイン電極と、ソース電極と、前記ドレイン電極と前記ソース電極との間に設けられる第1導電型の第1の半導体層と、前記第1の半導体層と前記ソース電極との間に設けられ、前記第1の半導体層よりも第1導電型の不純物濃度が高い複数の第1導電型の第2の半導体層と、前記ドレイン電極側の端部が前記第1の半導体層にあり、前記第1の半導体層および前記第2の半導体層に接して設けられる複数の第2導電型の第3の半導体層と、前記第2の半導体層および前記第3の半導体層と前記ソース電極との間に設けられる複数の第2導電型の第4の半導体層と、前記第4の半導体層と前記ソース電極との間に設けられ、前記第2の半導体層よりも第1導電型の不純物濃度が高い第1導電型の第5の半導体層と、前記第2の半導体層に挟まれ、前記第2の半導体層との間に、第1の絶縁膜を介して設けられるフィールドプレート電極と、前記第4の半導体層との間に、前記第1の絶縁膜よりも膜厚が薄い第2の絶縁膜を介して設けられるゲート電極と、を備える。

【図面の簡単な説明】

【0008】

【図1】第1の実施形態の半導体装置の模式断面図である。

【図2】第1の実施形態の半導体装置のS J構造とF P構造のレイアウトを示す図である

【図3】第1の実施形態の半導体装置の作用を説明する図である。

【図4】第2の実施形態の半導体装置の模式断面図である。

【図5】第3の実施形態の半導体装置のS J構造とF P構造のレイアウトを示す図である

【図6】第4の実施形態の半導体装置のS J構造とF P構造のレイアウトを示す図である

【発明を実施するための形態】

【0009】

以下、図面を参照しつつ本発明の実施形態を説明する。なお、以下の説明では、同一の

10

20

30

40

50

部材等には同一の符号を付し、一度説明した部材等については適宜その説明を省略する。なお、以下の実施形態では、第1導電型がn型、第2導電型がp型である場合を例に説明する。

【0010】

また、本明細書中、 n^+ 型、n型、 n^- 型の表記は、この順で、第n型の不純物濃度が低くなっていることを意味する。同様に、 p^+ 型、p型、 p^- 型の表記は、この順で、p型の不純物濃度が低くなっていることを意味する。

【0011】

n型不純物は、例えば、リン(P)またはヒ素(As)である。また、p型不純物は、例えば、ボロン(B)である。

【0012】

(第1の実施形態)

本実施形態の半導体装置は、ドレイン電極と、ソース電極と、ドレイン電極とソース電極との間に設けられる第1導電型の第1の半導体層と、第1の半導体層とソース電極との間に、第1の半導体層に設けられ、第1の半導体層よりも第1導電型の不純物濃度が高い複数の第1導電型の第2の半導体層と、ドレイン電極側の端部が第1の半導体層にあり、第1の半導体層および第2の半導体層に接して設けられる複数の第2導電型の第3の半導体層と、第2の半導体層および第3の半導体層とソース電極との間に設けられる複数の第2導電型の第4の半導体層と、第4の半導体層とソース電極との間に設けられ、第2の半導体層よりも第1導電型の不純物濃度が高い第1導電型の第5の半導体層と、第2の半導体層に挟まれ、第2の半導体層との間に、第1の絶縁膜を介して設けられるフィールドプレート電極と、第4の半導体層との間に、第1の絶縁膜よりも膜厚が薄い第2の絶縁膜を介して設けられるゲート電極と、を備える。

【0013】

図1は、本実施形態の半導体装置の模式断面図である。本実施形態の半導体装置100は、スーパージャンクション構造を備える縦型MOSFETである。また、本実施形態の半導体装置100は、トレンチ内にゲート電極が設けられるトレンチゲート型MOSFETである。

【0014】

本実施形態の半導体装置(MOSFET)100は、ドレイン電極50とソース電極60を備えている。そして、ドレイン電極50とソース電極60との間に、 n^+ 型基板(半導体基板)10を備えている。 n^+ 型基板10は、例えば、n型不純物を含む単結晶シリコンである。

【0015】

n^+ 型基板10上に、 n^- 型半導体層(第1の半導体層)12を備える。 n^- 型半導体層12のn型不純物濃度は、 n^+ 型基板10のn型不純物濃度よりも低い。

【0016】

n^- 型半導体層12上には、n型半導体層(第2の半導体層)14が設けられる。n型半導体層14は、 n^- 型半導体層12に接して設けられる。n型半導体層14のn型不純物濃度は、 n^- 型半導体層12のn型不純物濃度よりも高い。n型半導体層14のn型不純物濃度は、例えば、 n^- 型半導体層12のn型不純物濃度の1.5倍以上10倍以下である。

【0017】

n^- 型半導体層12のn型不純物濃度は、例えば、 $1 \times 10^{14} \text{ cm}^{-3}$ 以上 $1 \times 10^{16} \text{ cm}^{-3}$ 以下である。また、n型半導体層14のn型不純物濃度は、例えば、 $1.5 \times 10^{14} \text{ cm}^{-3}$ 以上 $1 \times 10^{17} \text{ cm}^{-3}$ 以下である。

【0018】

n^+ 型基板10は、MOSFET100のドレインコンタクト領域として機能する。また、 n^- 型半導体層12、および、n型半導体層14はMOSFET100のドリフト領域として機能する。

10

20

30

40

50

【0019】

n⁻型半導体層12およびn型半導体層14に接して、複数のp⁻型半導体層(第3の半導体層)16が設けられる。p⁻型半導体層16のドレイン電極50側の端部は、n⁻型半導体層12にある。p⁻型半導体層16は、n型半導体層14を貫通し、n型半導体層14に達する。

【0020】

n⁻型半導体層12およびn型半導体層14の間に、p⁻型半導体層16が、並んで配置され、SJ構造を形成している。SJ構造は、MOSFET100のゲートオフ時の逆電圧印加時に、n⁻型半導体層12及びn型半導体層14へ空乏層を伸びやすくする機能を備える。

10

【0021】

n型半導体層14およびp⁻型半導体層16と、ソース電極60との間に、複数のp型半導体層(第4の半導体層)18が設けられる。p型半導体層18は、n型半導体層14およびp⁻型半導体層16に接して設けられる。

【0022】

p型半導体層18とソース電極60との間に、n⁺型半導体層(第5の半導体層)20が設けられる。n⁺型半導体層20のn型不純物濃度は、n型半導体層14のn型不純物濃度よりも高い。

【0023】

n型半導体層14に挟まれ、n型半導体層14との間に第1の絶縁膜22を介して、フィールドプレート電極24が設けられる。フィールドプレート電極24は、n型半導体層14に形成されるトレンチ内に設けられる。トレンチ内壁に、第1の絶縁膜22が設けられている。

20

【0024】

第1の絶縁膜22は、例えば、シリコン酸化膜である。フィールドプレート電極24は、例えば、n型不純物を含有する多結晶シリコンである。

【0025】

p⁻型半導体層16の間に、フィールドプレート電極24、第1の絶縁膜22、および、n型半導体層14が、並んで配置されフィールドプレート構造(FP構造)を形成している。FP構造は、MOSFET100のオフ時の電界を緩和する機能を備える。

30

【0026】

第1の絶縁膜22の膜厚は、例えば、50nm以上200nm以下である。第1の絶縁膜22の膜厚は、n型半導体層14を空乏化させる観点等から最適化される。

【0027】

また、n⁻型半導体層12およびn型半導体層14の間に、p⁻型半導体層16が並んで配置され、SJ構造を形成している。本実施形態では、MOSFET100のドリフト領域の下部(ドレイン電極50側)にSJ構造を備え、ドリフト領域の上部(ソース電極60側)に、FP構造とSJ構造の双方を備える。

【0028】

図2は、本実施形態の半導体装置のSJ構造とFP構造のレイアウトを示す図である。図2は、n型半導体層14の領域の、n⁻型半導体層12とn型半導体層14の界面に平行な断面を示す。

40

【0029】

本実施形態のMOSFET100では、SJ構造を構成するp⁻型半導体層16と、FP構造を構成するフィールドプレート電極24が、それぞれストライプ状のパターンで配置される。そして、p⁻型半導体層16のパターンと、フィールドプレート電極24のパターンが平行である。

【0030】

p型半導体層16に挟まれ、p型半導体層16との間に第2の絶縁膜26を介してゲート電極28が設けられる(図1)。第2の絶縁膜26は、第1の絶縁膜22よりも膜厚が

50

薄い。

【0031】

ゲート電極28は、n型半導体層14に形成されるトレンチ内に設けられる。トレンチ内壁に、第2の絶縁膜26が設けられている。

【0032】

ゲート電極28とフィールドプレート電極24は、同一のトレンチ内に形成される。ゲート電極28とフィールドプレート電極24との間には絶縁膜が設けられ、ゲート電極28とフィールドプレート電極24とは、電氣的に分離される。

【0033】

第2の絶縁膜26は、例えば、シリコン酸化膜である。ゲート電極28は、例えば、n

10

【0034】

第2の絶縁膜26の膜厚は、例えば、100nm以上400nm以下である。第2の絶縁膜26の膜厚は、オン電流の確保、信頼性の観点等から最適化される。

【0035】

さらに、p型半導体層18とソース電極60との間に、p⁺型半導体層(第6の半導体層)30が設けられる。p⁺型半導体層30のp型不純物濃度は、p型半導体層18のp型不純物濃度よりも高い。

【0036】

本実施形態のMOSFET100は、トレンチ内にゲート電極28が形成されるトレンチゲート型MOSFETである。第2の絶縁膜26がゲート絶縁膜として機能する。n⁺型半導体層20がMOSFETのソース領域として機能する。n型半導体層14がMOSFETのドレイン領域として機能する。p型半導体層18がMOSFETのチャネル領域(ベース領域)として機能する。p⁺型半導体層30は、チャネルコンタクト領域(ベースコンタクト領域)として機能する。

20

【0037】

n⁺型半導体層20は、第2の絶縁膜26に接している。また、n型半導体層14は、第2の絶縁膜26に接している。

【0038】

n⁺型半導体層20およびp⁺型半導体層30の表面に、ソース電極60が設けられる。ソース電極60は、例えば、金属である。n⁺型半導体層20およびp⁺型半導体層30とソース電極60はオーミック接触していることが望ましい。

30

【0039】

n⁺型基板10のn⁻型半導体層12の反対側の表面には、ドレイン電極50が設けられる。ドレイン電極50は、例えば、金属である。n⁺型基板10とドレイン電極50は、オーミックコンタクトしていることが望ましい。

【0040】

ゲート電極28と、ソース電極60の間には、第3の絶縁膜32が設けられる。第3の絶縁膜32は、ゲート電極28とソース電極60を電氣的に分離する。第3の絶縁膜32は、例えば、シリコン酸化膜である。

40

【0041】

また、フィールドプレート電極24とソース電極60は、電氣的に導通している。

【0042】

n⁺型基板10、n⁻型半導体層12、n型半導体層14、p⁻型半導体層16、p型半導体層18、n⁺型半導体層20、p⁺型半導体層30は、例えば、単結晶シリコンである。

【0043】

なお、本実施形態において、SJ構造、FP構造の製造方法は特に限定されるものではない。SJ構造は、例えば、トレンチ溝内にp型半導体層16を埋め込み成長させる方法、p型半導体層16を形成するイオン注入とエピタキシャルシリコン成長を繰り返す方法

50

、または、高加速のイオン注入で p 型半導体層 1 6 形成する方法等で製造することが可能である。

【0044】

また F P 構造は、例えば、トレンチを形成した後、熱酸化法により第 1 の絶縁膜 2 2 を形成し、フィールドプレート電極 2 4 を埋め込みエッチバック法により形成した後、第 1 の絶縁膜 2 2 をエッチバックしてから、第 2 の絶縁膜 2 6 とゲート電極 2 8 を埋め込む方法等で製造することが可能である。

【0045】

次に、本実施形態の作用および効果について説明する。

【0046】

S J 構造のピッチ、すなわち、S J 構造を構成する p 型層 (p 型領域) の繰り返し単位の長さが小さくなると、p 型層の間に挟まれる n 型層 (n 型領域) の濃度を高濃度化でき、オン抵抗を低減することが可能である。もっとも、S J 構造のピッチが小さくなると、p 型層の形成が困難になる。

【0047】

例えば、n 型層に形成したトレンチ溝内に、p 型層を埋め込み成長させる方法では、アスペクト比の高いトレンチ内を p 型層で埋め込む必要がある。この場合、トレンチのアスペクト比が高くなると、p 型層内に空洞部 (ボイド) が形成されやすい。空洞部が生じると空洞部に起因する応力によりリーク電流が発生し問題となる。

【0048】

図 3 は、本実施形態の半導体装置の作用を説明する図である。M O S F E T 1 0 0 の断面およびドリフト領域の n 型不純物濃度およびオフ時の電界の分布を示す。

【0049】

本実施形態では、上述のように、ドリフト領域の上部 (ソース電極 6 0 側) に S J 構造に加え、F P 構造を設ける。そして、ドリフト領域の上部 (ソース電極 6 0 側) に、ドリフト領域の下部 (ドレイン電極 5 0 側) の n 型半導体層 1 2 よりも n 型不純物濃度の高い n 型半導体層 1 4 を設ける。

【0050】

図 3 の電界が示すように、F P 構造を設けた効果により n 型層の空乏化が促進される。したがって、高濃度の n 型半導体層 1 4 の電界は、n 型半導体層 1 2 の電界と同等以下に抑えることが可能である。よって、本実施形態の構造によれば、n 型不純物濃度の高い n 型半導体層 1 4 を設けない場合と比較して、高い耐圧を維持したまま、オン抵抗を低減することが可能となる。

【0051】

また、本実施形態では、フィールドプレート電極 2 4 とゲート電極 2 8 とが電氣的に分離し、フィールドプレート電極 2 4 とソース電極 6 0 とが電氣的に導通する。この構成により、ゲート電極とドレイン領域との容量 (ゲート - ドレイン間容量) が低減される。したがって、スイッチング速度の速い M O S F E T が実現される。なお、スイッチング速度を気にしない用途であれば、フィールドプレート電極 2 4 とゲート電極 2 8 はいずれもゲート電極へ電氣的に接続されていてもよく、この場合には、二つの電極間に配置された絶縁膜の敷居も不要である。

【0052】

n 型半導体層 1 4 の n 型不純物濃度は n 型半導体層 1 2 の n 型不純物濃度の 1 . 5 倍以上 1 0 倍以下であることが望ましく、4 倍以上 6 倍以下であることが、より望ましい。上記範囲を下回ると、十分なオン抵抗低減効果が得られない恐れがある。また、上記範囲を上回ると、n 型半導体層 1 4 を空乏化できず、耐圧が低下する恐れがある。

【0053】

また、n 型半導体層 1 2 と n 型半導体層 1 4 との境界が、p 型半導体層 1 6 と第 1 の絶縁膜 2 2 との距離を d (図 1 参照) とした場合に、第 1 の絶縁膜 2 2 のドレイン電極 5 0 側の端部から距離 d だけドレイン電極 5 0 側に離れた位置よりも、ソース電極 6 0 側

10

20

30

40

50

にあることが望ましい。上記境界が上記位置よりもドレイン電極50側にあると、第1の絶縁膜22に対してドレイン電極50側に存在するn型半導体層14が空乏化できず、耐圧が低下する恐れがある。

【0054】

n⁻型半導体層12とn型半導体層14との境界は、例えば、n型不純物の濃度プロファイルの変曲点と定義し、特定することが可能である。

【0055】

製造マージンを考えると、n⁻型半導体層12とn型半導体層14との境界が、第1の絶縁膜22のドレイン電極50側の端部よりも、ソース電極60側にあることが望ましい。また、n⁻型半導体層12とn型半導体層14との境界は、フィールドプレート電極24のソース電極60側の端部よりも、ドレイン電極50側にあることが望ましい。

10

【0056】

以上、本実施形態によれば、スーパージャンクション構造を備え、オン抵抗の低減を可能とする半導体装置が実現される。また、スイッチング速度の速い半導体装置が実現される。

【0057】

(第2の実施形態)

本実施形態の半導体装置は、フィールドプレート電極とゲート電極とが物理的および電氣的に接続されること以外は、第1の実施形態と同様である。したがって、第1の実施形態と重複する内容については記述を省略する。

20

【0058】

図4は、本実施形態の半導体装置の模式断面図である。本実施形態の半導体装置200は、フィールドプレート電極24とゲート電極28とが物理的および電氣的に接続される。

【0059】

本実施形態によれば、フィールドプレート電極24へ電位を与えるための構造を、ゲート電極28に電位を与えるための構造と共通化することが可能となる。したがって、フィールドプレート電極24の電極引き出しのための構造が省略でき、半導体装置のサイズを縮小することが可能となる。また、半導体装置の製造が容易なる。

【0060】

以上、本実施形態によれば、第1の実施形態同様、スーパージャンクション構造を備え、オン抵抗の低減を可能とする半導体装置が実現される。また、サイズが小さく、製造が容易な半導体装置が実現される。

30

【0061】

(第3の実施形態)

本実施形態の半導体装置は、第3の半導体層のパターンとフィールドプレート電極のパターンのそれぞれがストライプ状のパターンであり、第3の半導体層のパターンとフィールドプレート電極のパターンが直交すること以外は、第1の実施形態と同様である。したがって、第1の実施形態と重複する内容については記述を省略する。

【0062】

図5は、本実施形態の半導体装置のSJ構造とFP構造のレイアウトを示す図である。図5は、n型半導体層14の領域の、n⁻型半導体層12とn型半導体層14の界面に平行な断面を示す。

40

【0063】

本実施形態のMOSFETでは、SJ構造を構成するp⁻型半導体層16と、FP構造を構成するフィールドプレート電極24が、それぞれストライプ状のパターンで配置される。そして、p⁻型半導体層16のパターンと、フィールドプレート電極24のパターンが直交する。

【0064】

本実施形態によれば、フィールドプレート電極24のパターンを形成する際に、p⁻型

50

半導体層 16 のパターンに対して合わせずれが生じたとしても、半導体装置の特性変動を抑制することができる。すなわち、例えば、第 1 の実施形態のように、p⁻型半導体層 16 のパターンと、フィールドプレート電極 24 のパターンが平行な場合、合わせずれが生じると、p⁻型半導体層 16 と n 型半導体層 14 との間の距離が変化する。このため、例えば、耐圧のばらつきや、オン電流のばらつきが生じる恐れがある。

【0065】

本実施形態によれば、p⁻型半導体層 16 のパターンと、フィールドプレート電極 24 のパターンが直交させるため、合わせずれが生じたとしても S J 構造および F P 構造の変化は生じない。したがって、特性の安定した半導体装置を実現することが可能となる。

【0066】

以上、本実施形態によれば、第 1 の実施形態同様、スーパージャンクション構造を備え、オン抵抗の低減を可能とする半導体装置が実現される。また、特性の安定した半導体装置が実現される。

【0067】

(第 4 の実施形態)

本実施形態の半導体装置は、第 3 の半導体層のパターンがストライプ状ではなく、ドット状である点で、第 1 の実施形態と異なっている。以下、第 1 の実施形態と重複する内容については記述を省略する。

【0068】

図 6 は、本実施形態の半導体装置の S J 構造と F P 構造のレイアウトを示す図である。図 6 は、n 型半導体層 14 の領域の、n⁻型半導体層 12 と n 型半導体層 14 の界面に平行な断面を示す。

【0069】

本実施形態の MOSFET 100 では、S J 構造を構成する p⁻型半導体層 16 が、ドット状のパターンである。また、F P 構造を構成するフィールドプレート電極 24 が、網目状のパターンである。

【0070】

本実施形態によっても、第 1 の実施形態同様、スーパージャンクション構造を備え、オン抵抗の低減を可能とする半導体装置が実現される。

【0071】

以上、実施形態では、第 1 導電型が n 型、第 2 導電型が p 型の場合を例に説明したが、第 1 導電型が p 型、第 2 導電型が n 型の構成とすることも可能である。

【0072】

また、実施形態では、半導体基板、半導体層の材料として単結晶シリコンを例に説明したが、その他の半導体材料、例えば、炭化珪素、窒化ガリウム等を本発明に適用することが可能である。

【0073】

また、実施形態では、トレンチゲート型 MOSFET を例に説明したが、プレーナ型 MOSFET に本発明を適用することも可能である。

【0074】

また、実施形態では、S J 構造を備える MOSFET を例に説明したが、S J 構造を備えるその他の半導体装置に本発明を適用することも可能である。

【0075】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。例えば、一実施形態の構成要素を他の実施形態の構成要素と置き換えまたは変更してもよい。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

10

20

30

40

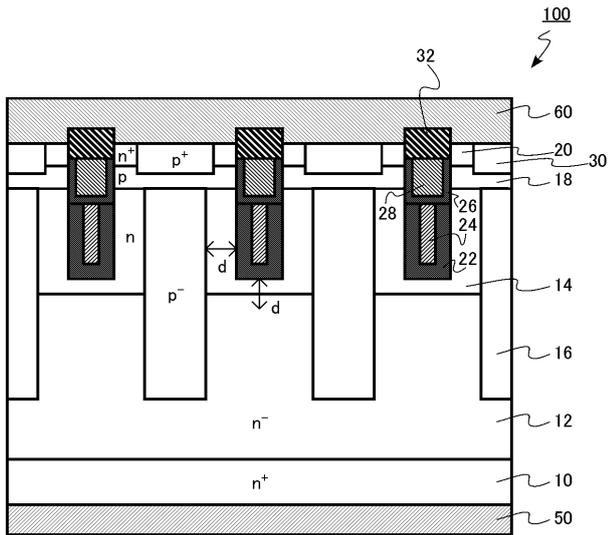
50

【符号の説明】

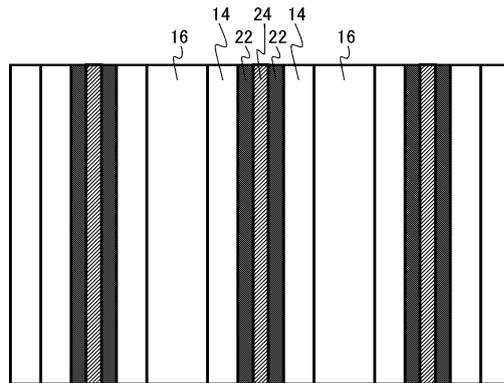
【0076】

- 10 n⁺型基板（半導体基板）
- 12 n⁻型半導体層（第1の半導体層）
- 14 n型半導体層（第2の半導体層）
- 16 p⁻型半導体層（第3の半導体層）
- 18 p型半導体層（第4の半導体層）
- 20 n⁺型半導体層（第5の半導体層）
- 22 第1の絶縁膜
- 24 フィールドプレート電極
- 26 第2の絶縁膜
- 28 ゲート電極
- 30 p⁺型半導体層（第6の半導体層）
- 50 ドレイン電極
- 60 ソース電極
- 100 MOSFET
- 200 MOSFET

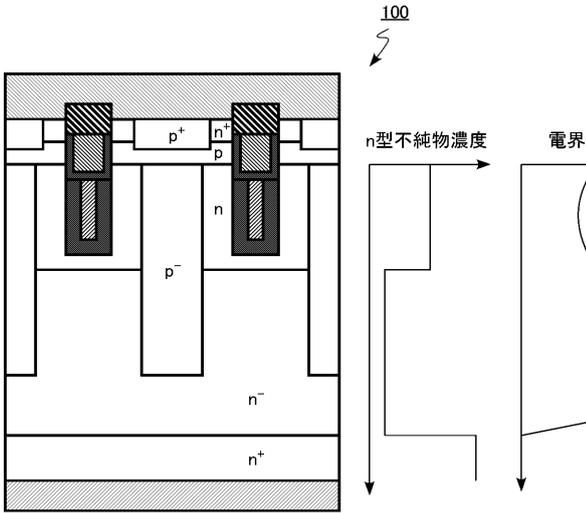
【図1】



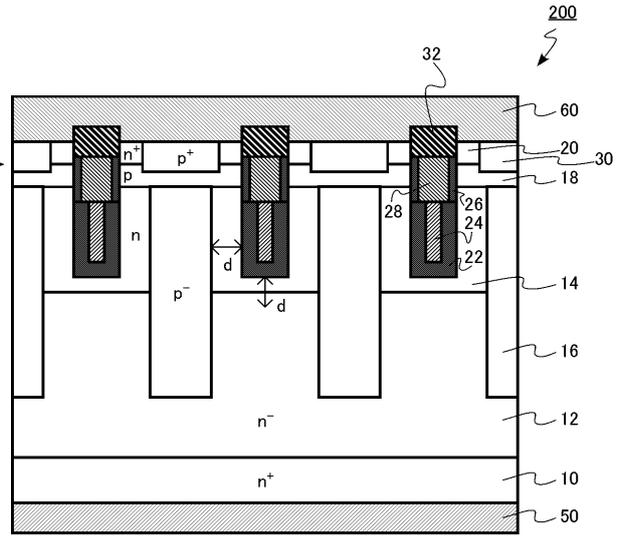
【図2】



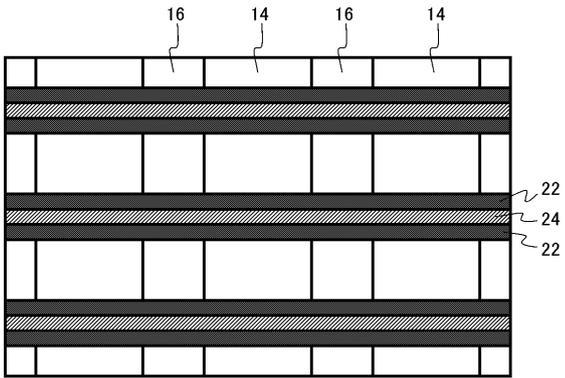
【 図 3 】



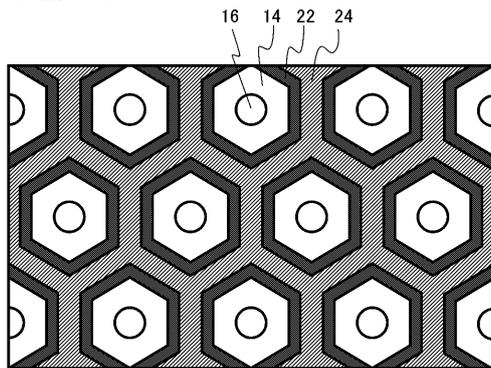
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

(51)Int.Cl.	F I		テーマコード(参考)
	H 0 1 L	29/06	3 0 1 F
	H 0 1 L	29/06	3 0 1 V

(72)発明者 浦 秀幸
東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 山下 浩明
東京都港区芝浦一丁目1番1号 株式会社東芝内