

[19]中华人民共和国专利局

[51]Int.Cl<sup>6</sup>

H01L 23/52

H01L 21/28 H01L 21/768



# [12] 发明专利申请公开说明书

[21] 申请号 97122476.5

[43]公开日 1998年9月30日

[11] 公开号 CN 1194465A

[22]申请日 97.11.10

[30]优先权

[32]97.3.26 [33]JP[31]073443/97

[71]申请人 三菱电机株式会社

地址 日本神奈川

[72]发明人 村上隆昭 安村贤二

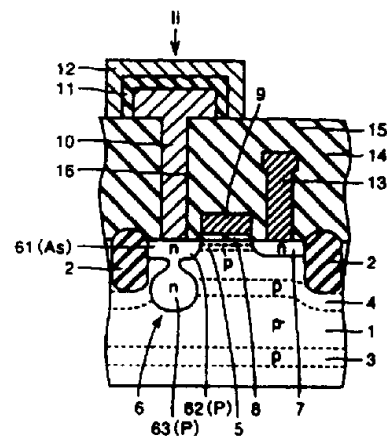
[74]专利代理机构 中国国际贸易促进委员会专利商标  
事务所  
代理人 王永刚

权利要求书 3 页 说明书 15 页 附图页数 20 页

[54]发明名称 半导体器件及其制造方法

[57]摘要

提高 pn 结的耐压和缓和电场的同时,对场效应晶体管的特性不造成坏影响的杂质浓度分布,在硅衬底上形成 n 型源漏区域;在形成 p 阱形成用掺杂区域、p 沟截止区域和 p 沟掺杂区域中具有峰值浓度;n 源漏区域杂质浓度分布,以低浓度与 p 杂质浓度分布交叉,而且比 p 沟截止区域和 p 沟掺杂区域的杂质浓度高,在它们的深度近旁,有磷注入区域,出现了各自的峰值浓度;在磷注入区域的峰值浓度之间,n 源漏区域的浓度分布具有极小点或拐点。



## 权 利 要 求 书

---

1、一种半导体器件，具备有：

具有主表面的第1导电型半导体衬底；

形成为从上述半导体衬底的主表面开始向深度方向延伸的第2导电型杂质浓度分布的第2导电型杂质浓度分布；上述半导体衬底具有从上述主表面开始向深度方向延伸的第1导电型杂质浓度分布；

上述第1导电型杂质浓度分布，在距上述主表面第1深度上具有杂质浓度的第1极大点，在比上述第1深度还深的第2深度上具有第2极大点及在比上述第2深度还深的区域上具有显示出比第1和第2极大点小的杂质浓度的浓度区域；

上述第2导电型的杂质浓度分布，在上述低浓度区域上与上述第1导电型的杂质浓度分布交叉形成结点，在从上述主表面到上述结点的区域中，具有比上述第1导电型的杂质浓度分布所示的杂质浓度还高的第2导电型杂质浓度，而在上述第1深度和上述第2深度之间的区域中还具有极小点或拐点。

2、根据权利要求1所述的半导体器件，其特征在于，上述第1导电型的杂质浓度分布在比上述结点还深的第3深度上具有杂质浓度的第3极大点。

3、根据权利要求1所述的半导体器件，其特征在于，上述第2导电型的杂质浓度分布，在上述第1深度的近旁具有杂质浓度的第1极大点，在上述第2深度的近旁具有杂质浓度的第2极大点。

4、根据权利要求3所述的半导体器件，其特征在于，上述第2导电型的杂质浓度分布的上述第1和第2极大点，分别具有比上述第1导电型的杂质浓度分布的上述第1和第2极大点还高的杂质浓度。

5、根据权利要求2所述的半导体器件，其特征在于，上述第1导电型的杂质浓度分布的上述第1、第2和第3极大点，分别显示出场效应晶体管的阈值电压调整用的杂质区域、防止反型用的杂质区域和阱形成用的杂质区域的峰值浓度。

6、根据权利要求1所述的半导体器件，其特征在于，具备场效应晶体管；

上述场效应晶体管具备有在上述半导体衬底的主表面上中间夹有栅极绝缘膜形成的栅极电极；和

含有在上述栅极电极的两侧，在上述半导体衬底的主表面上形成的第2导电型的第1和第2源漏区域，

上述的第1源漏区域含有上述第2导电型的杂质区域，且已形成为使之与上述第1源漏区域接触的导电层。

7、根据权利要求6所述的半导体器件，其特征在于，在上述栅极电极的下边的上述半导体衬底的区域上具备阈值电压调节用的杂质区域，该杂质区域的峰值浓度相当于上述第1导电型的杂质浓度分布的上述第1极大点。

8、根据权利要求6所述的半导体器件，其特征在于，构成已形成为使之与上述第1源漏区域接触的电容器。

9、根据权利要求6所述的半导体器件，其特征在于，还具有与上述场效应晶体管电隔离的器件隔离绝缘膜，和

在上述器件隔离绝缘膜上的下边的上述半导体衬底的区域上用于防止反型的杂质区域，

该杂质区域的峰值浓度相当于上述第1导电型的杂质浓度分布的上述第2极大点。

10、一种半导体器件的制造方法，由下述工序构成：

在第1导电型的半导体衬底的主表面上形成器件隔离绝缘层的工序；

第1注入工序，在距上述主表面第1深度上以第1注入剂量离子注入第1导电型的杂质，使得在上述器件隔离绝缘膜的下边的上述半导体衬底的区域上形成防止反型用的第1导电型的杂质区域；

第2注入工序，在比上述第1深度还浅的第2深度上，以第2注入剂量离子注入第1导电型杂质，使得在上述器件隔离绝缘膜之间的上述半导体衬底的区域上形成阈值电压调整用的第1导电型杂质区域；

在上述器件隔离绝缘膜之间的半导体衬底的区域上，中间夹有栅极绝缘

膜形成栅极电极的工序；

在上述栅极电极的两侧，在上述半导体衬底的主表面上，形成第1和第2源漏区域的工序；

第3注入工序，在上述第1源漏区域中，在距上述主表面的第1深度的近旁，以比用上述第1注入剂量得到的杂质浓度还高的杂质浓度的第3注入剂量，离子注入第2导电型的杂质；

第4注入工序，在上述第1源漏区域中，在距上述主表面的第2深度的近旁，以比用上述第2注入剂量得到的杂质浓度还高的杂质浓度的第4注入剂量，离子注入第2导电型的杂质；

11、根据权利要求10所述的半导体器件的制造方法，其特征在于，还具备第5注入工序，在上述第1注入工序之前，在比上述第1深度还深的第3深度上，离子注入第1导电型的杂质，使得形成第1导电型的阱区域。

12、根据权利要求10所述的半导体器件的制造方法，其特征在于，还具备形成导电层使之与上述第1源漏区域接触的工序。

13、根据权利要求10所述的半导体器件的制造方法，其特征在于，上述第3和第4注入工序，采用通过被形成为使上述第1源漏区域的表面露出来的接触孔离子注入杂质的办法进行。

# 说明书

## 半导体器件及其制造方法

本发明涉及半导体器件及其制造方法，特别是涉及具备有应用于半导体衬底和导电层之间接触区域的杂质浓度分布的半导体器件及其制造方法。

近年来，随着半导体集成电路器件的集成度显著提高，器件的微细化急速地向前发展。特别是作为半导体存储器件，在动态随机存取存储器（DRAM）中，存储器的集成度随着存储容量从64兆位到256兆位，进而到千兆位的增加而不断地提高。作为构成这样地高度集成化了的存储器的有源器件的场效应晶体管和电容器，必须各自具备微细化的构造。另一方面，随着有源器件的微细化，与半导体衬底的杂质区域接触的接触电极的直径也已微细化。

从接触电极流向半导体衬底的漏电流即便是在每一接触电极处的电流小时，随着有源器件的集成，伴随着在一个器件内所能形成的接触电极个数的增加，在一个半导体器件中也将变成大的漏电流。今后，在形成高集成化半导体器件时，漏电流在全部耗电中所占的比率就会变得很大。另外，还存在着因有源器件的按比例缩小（scaling）将使得在接触电极中结耐压下降，有源器件，比如说场效应晶体管的工作电压会受到限制的问题。

图21是表示现有接触电极构造的部分剖面图。如图21所示，从p型硅衬底101的表面到规定的深度为止的区域中已形成了含有n型杂质的n型杂质区域106。在层间绝缘膜115上形成接触孔116，使得把该n型杂质区域106的表面露出来。还形成了导电层110，比如说电极层、电容器的存储节点，使得通过该接触孔116与n型杂质区域106的表面接触。

在这样的接触电极构造中，在形成了接触孔116之后，根据需要，要追加防止漏电流用的离子注入，然后，借助于把已掺入了n型杂质的多晶硅等的导电性物质填到接触孔116中去的办法，形成导电层110。

图22是表示在图21的XXII位置处的杂质浓度分布图。如图22所示，

硅衬底 101，具有已把硼（B）作为 p 型杂质掺入进来的杂质浓度分布  $p(B)$ 。n 型杂质区域 106 具有已把磷（P）掺进来作为 n 型杂质的杂质浓度分布  $n(P)$ 。表示这两种杂质浓度分布的曲线进行交叉的结点 J 具有  $1 \times 10^{17} \text{ cm}^{-3}$  左右的浓度。

在具有上述那种杂质浓度分布的硅衬底的区域中，在场效应晶体管的阈值电压调整用的 p 型杂质区域或器件隔离绝缘膜之下的区域中形成的防止反型用的 p 型杂质区域形成为延伸到整个器件形成区域。在这种情况下，在图 22 中，在浅的 p 型杂质浓度分布  $p(B)$  的区域中，p 型杂质浓度将上升。这时，结点 J 的位置结果将移往杂质浓度高的一侧。在已给导电层 111 加上电压的情况下，由于 pn 结处的杂质浓度高，所以耗尽层难于扩展，易于形成电场集中。特别是存在着结耐压将因 pn 结处的杂质浓度的升高而使结耐压降低的问题。另外，存在着在接触电极处的漏电流将因 pn 结处的杂质浓度的升高而增大的问题。

于是，在特愿平 8—26861 号（申请日期：平成 8 年 2 月 14 日）中，提出了一种用于消除上述那种结耐压降低或漏电流的增大的接触电极构造的方案。

图 23 是表示上述的专利申请中提出的接触电极的构造的部分剖面图。如图 23 所示，在 p 型硅衬底上分别形成 p 型阱形成用掺杂区域 103、p 型沟道截止（channel cut）区域（防止反型区域）104 和 n 型沟道掺杂区域（阈值电压调整用）105 使之具有规定的深度。在层间绝缘膜 115 上形成了使该 n 型杂质区域 106 的表面露出来的接触孔 116。还形成了导电层 110，使得通过该接触孔 116 与 n 型杂质区域 106 的表面接触。

图 24 示出了图 23 的 XXIV 的位置处的杂质浓度分布。如图 24 所示，p 型杂质浓度分布  $p(B)$  具有使得分别与 p 型阱形成用掺杂区域 103、p 型沟道截止区域 104 和 p 型沟道掺杂区域 105 对应的杂质浓度峰值。n 型杂质浓度分布  $n(P)$  在 p 型沟道截止区域 104、p 型沟道掺杂区域 105 的深度位置处，具有比这些杂质浓度还高的杂质浓度。这样一来，n 型杂质浓度分布  $n(P)$  在 p 型杂质浓度分布  $p(B)$  的极小值 X 附近有结点 J。

如上所述，pn结的位置存在于n型杂质浓度分布 $n(P)$ 和p型杂质浓度分布 $p(B)$ 的双方的杂质浓度都小的位置处。为此，与结点J存在于杂质浓度大的位置处的情况相比，即便是加在导电层110上的电压相同，耗尽层也易于扩展，延伸也大，所以，在加到接触电极上的电压变大之前，结不会击穿，将提高结耐压。因此，在pn结上产生的电场被缓和，减少了接触电极区域的漏电流。

图25是部分剖面图，它示出应用了图24示出的那种杂质浓度分布的DRAM的存储器部分。如图25所示，在p型硅衬底101的上边，中间夹着栅极绝缘膜108形成了栅极电极109。在栅极电极109的两侧，硅衬底101的表面区域上形成了一对n型源漏区域106和107。使之与一方的源漏区域106的表面接触那样地形成了存储节点110。形成了电介质膜111，使之把存储节点110的表面覆盖起来。形成了单元板(Cell Plate)112使之把电介质膜111的表面覆盖起来。电容器由存储节点110和电介质膜111及单元板112构成。使得与另一方的源漏区域107接触那样地形成了位线113。另外，存储节点110通过已形成了层间绝缘膜115的接触孔116与n型源漏区域106接触。n型源漏区域106由已掺入了砷( $As$ )的区域和如上述那样为了提高pn结的耐压和抑制漏电流而形成的含磷( $P$ )的区域构成。

图26示出的是图25的XXVI的位置处的杂质浓度分布。如图26所示，p型杂质浓度分布 $p(B)$ 分别具有与p型阱形成用的掺杂区域103、p型沟道截止区域104和p型沟道掺杂区域105对应的杂质浓度峰值。n型杂质浓度分布 $n(P)$ ，在p型沟道截止区域104和p型沟道掺杂区域105的位置处具有比这些杂质浓度还高的杂质浓度。n型杂质浓度分布 $n(P)$ 在p型杂质浓度分布 $p(B)$ 的极小值X的附近有结点J。这样一来，就可以获得因结耐压的提高和因电场缓和而得到的漏电流的减少。另外，在图26中，还示出了为形成本来的源漏区域的而掺入了砷( $As$ )的n型杂质浓度分布，用 $n(As)$ 表示。

如上所述，在已具备有图26中所示的那种杂质浓度分布DRAM的存储

器部分中，随着存储容量的增加，就可以使得场效应晶体管微细化。特别是在具有 1 兆位左右的存储容量的 DRAM 中，在示于图 25 的场效应晶体管中，栅极长度  $L$  将变成为约  $0.15\mu\text{m}$ ，接触孔 116 的侧壁与栅极电极 109 的侧壁之间的距离  $D$  也将变为非常之短，约为  $0.075\mu\text{m}$ 。当场效应晶体管发展到这样的微细化时，在图 26 中， $p$  型沟道掺杂区域 105 将被形成为很浅且具有很陡峻的浓度梯度。与此同时，如在图 26 中用箭头所表示的那样， $n$  型源漏区域 106 的  $n$  型杂质浓度分布  $n(P)$  在浅的区域被形成为使之具有较高的杂质浓度。结果是，在图 25 中，作为为缓和电场和提高结耐压而形成的  $n$  型源漏区域 106 的一部分而掺入的磷 ( $P$ ) 的区域，如用 2 点点划线所示那样，将形成为在浅区域浓度变高，在横向方向上也将进行扩展。

由于如上述那样地形成  $n$  型源漏区域 106，故将产生下述问题。

首先，由于  $n$  型源漏区域 106 将如图 25 的 2 点点划线所示那样地扩展，故在比设计值还低的阈值电压下将易于变成使场效应晶体管导通状态。也就是，场效应晶体管的特性变化，例如，降低了阈值电压。结果是存储节点 110 的电子将变得易于泄漏。

此外，结果将变成为在图 25 中，因距离  $D$  的变动所产生的  $n$  型源漏区域 106 的用 2 点点划线所示的扩展给予场效应晶体管的特性的影响的程度将产生变动。这意味着场效应晶体管的特性将因接触孔 116 的位置的变动而变动。因此，结果将变成为场效应晶体管的特性将随着形成接触孔 116 的工序和制造工艺条件的变动而变动。就是说，场效应晶体管的特性将变得易于受存储节点 116 的形成位置的不均一性的影响。

所以，本发明的目的，是提供一种可以使  $pn$  结的耐压提高而不损害场效应管的特性，同时还可使电场缓和，减少漏电流的杂质浓度分布。

本发明的另外一个目的，是不损害场效应晶体管的特性地在 DRAM 的存储节点一侧的接触电极中提高  $pn$  结的耐压，同时使电场缓和，减少漏电流。

本发明的再一个目的，是使得容易形成一种不损害场效应晶体管的特性地提高  $pn$  结的耐压，使电场缓和，减少漏电流的杂质浓度分布。



根据本发明的一种方案的半导体器件，具备具有主表面的第1导电型的半导体衬底，和已形成为使之具有从该半导体衬底的主表面往深度方向延伸的第2导电型的杂质浓度分布的第2导电型的杂质区域。半导体衬底具有从主表面往深度方向延伸的第1导电型杂质浓度分布。第1导电型的杂质浓度分布从主表面开始，在第1深度处有杂质浓度的第1极大点、在比该第1深度还深的第2深度处杂质浓度的第2极大点，和比该第2深度还深的区域处比第1和第2极大点的杂质浓度低的低浓度区域。第2导电型的杂质浓度分布，在低浓度区域中，与第1导电型的杂质浓度分布进行交叉形成结点，在从主表面到结点的区域中具有比第1杂质浓度分布所表示的杂质浓度还高的第2导电型的杂质浓度，而在第1深度与第2深度之间的区域中，具有极小点或拐点。

在上述那样地构成的半导体器件中，第2导电型的杂质浓度分布，在较低的杂质浓度的区域中与第1导电型的杂质浓度分布交叉形成结点。因此，可以提高pn结的耐压的同时，还可以使电场缓和，可以减少漏电流。此外，在本发明的半导体器件中，第2导电型的杂质浓度分布，在从主表面到结点的区域中，具有比第1杂质浓度分布所表示的还高的第2导电型的杂质浓度分布，且在第1深度与第2深度之间的区域中有极小点或拐点。由于存在有上述极小点或拐点，故可以抑制具有更高的杂质浓度的第2导电型的杂质浓度分布对场效应晶体管的栅极电极形成区域的影响。结果是使场效应晶体管的特性不会变化。也不会比如说使场效应晶体管的阈值电压降低。

另外，在已根据了如上所述的本发明的一种方案的半导体器件中，第1导电型的杂质浓度分布理想的是在比结合点还深的第3深度处有杂质浓度的第3极大点。

此外，第2导电型的杂质浓度分布理想的是在第1深度的近旁有杂质浓度的第1极大点，和在第2深度的近旁有杂质浓度的第2极大点。

在这种情况下，第2导电型的杂质浓度分布的上述第1和第2极大点理想的是具有分别比第1导电型的杂质浓度分布的第1和第2极大点还高的杂质浓度。

通过这样地进行处理的办法，就可以求得pn结的耐压的提高和电场的缓和，而且，可以容易地形成对场效应晶体管的特性没有坏影响的杂质分布。

此外，理想的是第1导电型的杂质浓度分布的第1、第2和第3极大点，分别表示场效应晶体管的阈值电压调整用的杂质区域、防止反型用的杂质区域和用于形成阱的杂质区域的峰值浓度。

更为理想的是，根据本发明的一种方案的半导体器件具备场效应晶体管。该场效应晶体管含有栅极电极、第2导电型的第1和第2源漏区域。栅极电极中间夹有栅极绝缘膜形成于半导体衬底的主表面上。第1和第2源漏区域形成于半导体衬底的主表面上，在栅极电极的两侧。第1源漏区域含有上述第2导电型的杂质区域。半导体器件还具有已形成为使得与第1源漏区域接触的导电层。

在上述那样构成的半导体器件中，场效应晶体管的特性不会受第1源漏区域的杂质浓度分布的影响而改变。比如说，场效应晶体管的阈值电压也不会降低。结果是也可抑制已积聚于被形成为使得与第1源漏区域接触的导电层，例如电容器的存储节点上的电子泄漏。

此外，在上述那样地构成的半导体器件中，借助于用于形成使之与第1源漏区域接触的导电层的接触孔的位置变动，就可抑制第2导电型的杂质浓度分布对场效应晶体管的影响。因此，场效应晶体管的特性也不会因制造工艺过程的变动而变动。

上述那样地构成的半导体器件，理想的是在栅极电极的下边的半导体衬底的区域上具有用于调整阈值电压的杂质区域。该杂质区域的峰值浓度，相当于上述第1导电型的杂质浓度分布的第1个极大点。另外，上述的导电层理想的是构成已形成为使之与第1源漏区域接触的电容器的电极。

还有，上述那样地构成的半导体器件，理想的是还具有电隔离场效应晶体管的器件隔离绝缘膜、和用于防止该器件隔离绝缘膜的下边的半导体衬底的区域反型的杂质区域。该杂质区域的峰值浓度，相当于第1导电型的杂质浓度分布的第2个极大点。

根据本发明的另一种方案的半导体器件的制造方法，具备以下的工

序。

(a) 在第 1 导电型的半导体衬底的主表面上形成器件隔离绝缘膜的工序。

(b) 向从距主表面的第 1 深度上用第 1 注入剂量离子注入第 1 导电型的杂质，使之在器件隔离绝缘膜的下边的半导体衬底上形成用于防止反型的第 1 导电型的杂质区域的第 1 注入工序。

(c) 向比第 1 深度还浅的第 2 深度上用第 2 注入剂量离子注入第 1 导电型的杂质，使得在器件隔离绝缘膜之间的半导体衬底的区域上，形成用于调整阈值电压的第 1 导电型的杂质区域的第 2 注入工序。

(d) 使栅极绝缘膜夹在中间，在器件隔离绝缘膜之间的半导体衬底的区域上形成栅极电极的工序。

(e) 在栅极电极的两侧，在半导体衬底的表面上，形成第 2 导电型的第 1 和第 2 源漏区域的工序。

(f) 在第 1 源漏区域中向距主表面第 1 深度近旁，以将成为比用第 1 注入剂量所形成的杂质浓度还高的杂质浓度的第 3 注入剂量离子注入第 2 导电型杂质的第 3 注入工序。

(g) 在第 1 源漏区域中，在距主表面第 2 深度的近旁用比第 2 注入剂量所形成的杂质浓度还高的杂质浓度的第 4 注入剂量离子注入第 2 导电型的杂质的第 4 注入工序。

在如上述那样地构成的本发明的半导体器件的制造方法中，不必用复杂的制造工艺，就可以容易地实现提高 pn 结的耐压、使电场缓和，同时对场效应晶体管的特性没有坏影响的杂质浓度分布。

在根据上述的本发明的另一方案的半导体器件的制造方法中，在第 1 注入工序之前，还可具有第 5 注入工序，用于向比第 1 深度还深的第 3 深度上离子注入第 1 导电型的杂质，使之形成第 1 导电型的阱。

此外，上述的半导体器件的制造方法，还可具有形成导电层使之与第 1 源漏区域接触的工序。

上述的半导体器件的制造方法中，第 3 和第 4 注入工序，理想的是采用通过被形成为使第 1 源漏区域的表面露出来的接触孔离子注入杂质的办法

进行。

倘采用根据本发明的半导体器件，则可以提高 pn 结的耐压，可以实现因电场缓和而得以降低漏电流的杂质浓度分布。另外，场效应晶体管的特性也不会因该杂质浓度分布而劣化。例如，可以维持设计值规定的阈值电压。其结果是，可以抑制已连接到源漏区域上的存储节点的电子的泄漏。场效应晶体管的特性也不会因接触到源漏区域上的接触孔的位置的变动而变动。这意味着场效应晶体管的特性不随制造工艺条件的变动而变动。

另外，倘采用根据本发明的另一方案半导体器件的制造方法，则不必采用复杂的制造工艺就可以容易地实现上述那样的杂质浓度分布。

图 1 的部分剖面图示出了本发明的实施例 1 的半导体器件的构造。

图 2 示出了图 1 的 II 位置处的杂质浓度分布。

图 3 的部分剖面图示出了本发明的实施例 1 的半导体器件的制造方法中的第 1 工序。

图 4 的部分剖面图示出了本发明的实施例 1 的半导体器件的制造方法中的第 2 工序。

图 5 的部分剖面图示出了本发明的实施例 1 的半导体器件制造方法中的第 3 工序。

图 6 的部分剖面图示出了本发明的实施例 1 的半导体器件制造方法中的第 4 工序。

图 7 的部分剖面图示出了本发明的实施例 1 的半导体器件制造方法中的第 5 工序。

图 8 的部分剖面图示出了本发明的实施例 1 的半导体器件制造方法中的第 6 工序。

图 9 的部分剖面图示出了本发明的实施例 1 的半导体器件制造方法中的第 7 工序。

图 10 的部分剖面图示出了本发明的实施例 1 的半导体器件制造方法中的第 8 工序。

图 11 的部分剖面图示出了在本发明的实施例 2 中，作为发明例示出的场效应晶体管的构造的模拟结果。

图 12 示出的是在本发明的实施例 2 中本发明例的杂质浓度分布的模拟结果图。

图 13 的部分剖面图示出了在本发明的实施例 2 中现有例的场效应晶体管的构造的模拟结果。

图 14 示出的是在本发明的实施例 2 中现有例的杂质浓度分布的模拟结果图。

图 15 的部分剖面图示出了在本发明的实施例 2 中，比较例的场效应晶体管的构造的模拟结果。

图 16 示出的是在本发明的实施例 2 中比较例的杂质浓度分布的模拟结果图。

图 17 示出的是本发明例、现有例和比较例的场效应晶体管的栅极电压—漏极电流特性的模拟结果图。

图 18 示出的是在接触电极位置已偏离开的情况下的本发明例、现有例和比较例的场效应晶体管的栅极电压—漏极电流特性的模拟结果图。

图 19 示出的是本发明例、现有例和比较例的场效应晶体管的栅极电压—漏极电流特性的模拟结果图。

图 20 示出的是在接触电极位置已偏离开的情况下的本发明例、现有例和比较例的场效应晶体管的栅极电压—漏极电流特性的模拟结果图。

图 21 的部分剖面图示出了已备有现有的接触电极构造的半导体器件图。

图 22 示出的是图 21 的 XXII 的位置处的杂质浓度分布图。

图 23 的部分剖面图示出了已具有改善后的接触电极构造的半导体器件。

图 24 示出的是图 23 的 XXIV 的位置处的杂质浓度分布图。

图 25 的部分剖面图示出了已具有改善后的接触电极构造的 DRAM 的存储器区域。

图 26 示出了图 25 的 XXVI 的位置处的杂质浓度分布图。

实施例

实施例 1

图 1 的部分剖面图示出了根据本发明的实施例 1 的半导体器件。图 2 示出的是图 1 的 II 位置处的杂质浓度分布图。参照图 1 和图 2，说明根据本发明的实施例 1 的半导体器件的构造和杂质浓度分布。

如图 1 所示，在 p 型硅衬底 1 的主表面上边，已形成了沟槽构造的隔离绝缘膜 2。在硅衬底 1 上分别在规定的深度位置上形成了用于形成 p 型阱的掺杂区域 3、p 型沟道截止区域（防止反型区域）4 和 p 型沟道截止区域（用于阈值电压调整）5。在硅衬底 1 上形成了栅极氧化膜 8 在硅衬底 1 上形成了栅极电极 9。在电极 9 的两侧，在硅衬底 1 的主表面上边形成了 n 型源漏区域 6 和 7。n 型源漏区域 6 由在硅衬底 1 的主表面近旁的砷注入区域 61、磷注入区域 62 和磷注入区域 63 构成。使之与 n 型源漏区域 6 的表面接触那样地形成了存储节点 10。存储节点 10 用已掺磷（P）的多晶硅膜形成。存储节点 10 被形成为使得通过已形成于层间绝缘膜 15 上的接触孔 16 与 n 型源漏区域 6 的表面接触。形成了电介质膜 11，使之把存储节点 10 的表面覆盖起来。形成了单元板（Cell Plate）12，使之把电介质膜 11 的表面覆盖起来。这样一来，连接到 n 型源漏区域上的电容器就由存储节点 10 和电介质膜 11 和单元板 12 构成。形成了位线 13，使之与 n 型源漏区域 7 的表面接触。n 型源漏区域 7 由已注入了砷（As）的区域构成。位线 13 通过已形成于层间绝缘膜 14 上的接触孔连接到 n 型源漏区域 7 上。

如图 2 所示，已注入了硼（B）的 p 型杂质浓度分布  $p(B)$  具有分别与 p 型阱形成用掺杂区域 3、p 型沟道截止区域 4 和 p 型沟道掺杂区域 5 的峰值对应的杂质浓度峰值，在比杂质浓度峰值区域 4、5 还深的区域上具有低浓度杂质区域。在该低浓度杂质区域中，p 型杂质浓度分布  $p(B)$  与 n 型杂质浓度分布  $n(P)$  交叉形成结点 J。注入磷（P）之后的 n 型杂质浓度分布  $n(P)$  与磷注入区域 62 和 63 的峰值相对应地具有杂质浓度峰值。在 n 型杂质浓度分布  $n(P)$  中，在硅衬底的表面近旁出现的杂质浓度峰值 64 是由已掺入到存储节点中的磷（P）向源漏区域中扩散而产生的峰值。形成本来的 n 型源漏区域 6 的注入区域 61 被表示为 n 型杂质浓度分布  $n(As)$ 。

在如上所示的杂质浓度分布中，n 型杂质浓度分布  $n(P)$  在结点 J

处，与 p 型杂质浓度分布  $p(B)$  交叉。n 型杂质浓度分布  $n(P)$  的杂质浓度在从硅衬底的表面到结点 J 的区域中，显示出比 p 型杂质浓度分布  $p(B)$  所示出的杂质浓度还高的值。n 型杂质浓度分布  $n(P)$  的杂质浓度峰值 62 和 63 分别显示出了比 p 型杂质浓度分布  $p(B)$  的杂质浓度峰值 4 和 5 还高的值。n 型杂质浓度分布  $n(P)$ ，在杂质浓度峰值 62 和 63 之间的区域中，具有极小点或拐点 K。即便是在极小点或拐点 K 处，n 型杂质浓度分布  $n(P)$  也表现出比 p 型杂质浓度分布  $p(B)$  高的杂质浓度。此外，虽然在图 2 中没画出来，但在 p 型杂质浓度分布  $p(B)$  的下方还存在着与 p 型阱形成用掺杂区域对应的杂质浓度峰值。

如上所述，在 n 型杂质浓度分布  $n(P)$  低的杂质浓度的区域中，借助于与 p 型的杂质浓度分布  $p(B)$  交叉形成结点 J，就可以提高 pn 结的耐压，就可以缓和电场。因此，就可以抑制 pn 结中的漏电流。

在图 2 所示的杂质浓度分布中，由于 n 型杂质浓度分布  $n(P)$  有极小点或拐点 K，故图 1 的 n 型源漏区域 6 的扩展，特别是磷注入区域 63 的扩展不会对栅极电极 9 的下边的硅衬底 1 的区域施加不好的影响。因此，也可以抑制场效应晶体管的阈值电压降低的影响。为此，已积蓄于连接到 n 型源漏区域 6 上的存储节点 10 上的电子的漏泄也得以抑制。

在 DRAM 的存储容量已高集成化为 1 千兆位的情况下，栅极电极 9 的长度将变得极其之短（约  $0.15\mu\text{m}$ ），此外，栅极电极 9 的侧壁与接触孔 16 的侧壁之间的距离也变得极其之小（约  $0.75\mu\text{m}$ ），可以抑制因这些尺寸的变动而引起的场效应晶体管的特性变动。就是说，因接触孔 16 的位置变动而引起的场效应晶体管的特性变动这一现象得以抑制。这意味着场效应晶体管变成为难于受存储节点 10 的位置的离散的影响。因此，在根据本发明的半导体器件中，比如说在 DRAM 的存储区域中，场效应晶体管或电容器的特性难于受用来制造它们的工艺条件所产生的影响。

图 3 ~ 图 10 的部分剖面图，按顺序示出了图 1 所示的半导体器件的制造工序。参照图 3 ~ 图 10，对本发明的实施例 1 的半导体器件的制造方法进行说明。

首先，如图 3 所示，准备 p 型硅衬底 1。

如图 4 所示, 形成沟槽式的隔离绝缘膜 2。在加速电压 700KeV、注入剂量  $1.0 \times 10^{13} \text{cm}^{-2}$  的条件下, 向硅衬底 1 中离子注入硼 (B)。以此, 形成 p 型阱形成用的掺杂区域 3。其次, 用加速电压 100 ~ 180keV、注入剂量  $0.5 \times 10^{12} - 8.0 \times 10^{12} \text{cm}^{-2}$  向硅衬底 1 中离子注入硼 (B)。以此, 形成 p 型沟道截止区域 4, 使之与隔离绝缘膜 2 的下部表面接触。此外, 用加速电压 10 ~ 50keV、注入剂量  $1.0 \times 10^{12} - 5.0 \times 10^{13} \text{cm}^{-2}$  向硅衬底 1 中离子注入硼 (B)。以此, 在硅衬底 1 中形成 p 型沟道掺杂区域 (阈值电压调整用) 5。

之后, 如图 5 所示, 在硅衬底 1 的上边, 把栅极氧化膜 8 夹在中间形成栅极电极 9。栅极电极 9 的长度为 0.13 ~ 0.18 $\mu\text{m}$  左右。栅极电极的厚度为 500 ~ 1000 埃。栅极电极 9 由已以约  $10^{20} \text{cm}^{-3}$  的浓度掺入了磷 (P) 的多晶硅构成。栅极氧化膜的厚度为 50 ~ 60 埃。采用以栅极电极为掩模向硅衬底中离子注入砷 (As) 的办法, 在 n 型源漏区域 6 之中形成砷注入区域 61 和 n 型源漏区域 7。

如图 6 所示, 用 CVD 法从氧化膜形成层间绝缘膜 14。形成位线 13, 使之通过已形成于层间绝缘膜 14 上的接触孔与 n 型源漏区域 7 的表面接触。这时的接触孔的直径约为 0.07 ~ 0.1 $\mu\text{m}$ 。位线 13 由以磷(p)约  $10^{20} \text{cm}^{-3}$  的浓度掺杂后的多晶硅构成。

之后, 如图 7 所示, 用 CVD 法形成层间绝缘膜 15, 使之把位线 13 覆盖起来。在层间绝缘膜 15 上边形成接触孔 16, 使之把砷注入区域 61 的表面覆盖起来。接触孔的直径为 0.07 ~ 0.1 $\mu\text{m}$  左右。

如图 8 所示, 通过接触孔 16 进行两次磷 (P) 的离子注入。在第 1 次的离子注入中, 以加速电压为 30 ~ 50keV、注入剂量为  $1.0 \times 10^{13} - 5.0 \times 10^{13} \text{cm}^{-2}$  离子注入磷 (P)。这一注入剂量被设定为比用于形成 p 型沟道掺杂区域的注入剂量还高。另外, 作为第 2 次的注入, 以加速电压为 180 ~ 230keV、注入剂量为  $1.0 \times 10^{13} - 5.0 \times 10^{13} \text{cm}^{-2}$  离子注入磷 (P)。该注入剂量被设定为比用来形成 p 型沟道截止区域 4 的离子注入剂量还高。这样一来, 就形成了磷注入区域 62 和 63。磷注入区域 62 在与 p 型沟



道掺杂区域5同等的深度上形成为使之具有比该p型杂质浓度还高的n型杂质浓度。磷注入区域63在与p型沟道截止区域4同等的深度上形成为使之具有比该p型杂质浓度还高的n型杂质浓度。

接着，如图9所示，形成由已掺入了磷(P)的多晶硅构成的存储节点10，使之通过接触孔16与n型的源漏区域6的表面接触。

最后，如图10所示，形成电介质膜11，使之把存储节点10覆盖起来。形成单元板12，使之把电介质膜11的表面覆盖起来。这样一来，就形成了与n型源漏区域6连接的电容器。

如上所述，就可以不受接触孔16等的工艺条件左右、不受杂质浓度分布的影响地形成具有设计值所要求的特性的场效应晶体管。

## 实施例2

在实施例2中，对本发明的杂质浓度分布的模拟结果进行说明。

图11的剖面图示出了具有根据本发明的杂质浓度分布的场效应晶体管的模拟结果。图12示出的图是图11的XII的位置处的杂质浓度分布的模拟结果。

图13的剖面图示出了具有现有的杂质浓度分布的场效应晶体管的模拟结果。图14示出的是图13的XIV的位置处的杂质浓度分布的模拟结果。

图15的剖面图示出了具有作为本发明的比较例的杂质浓度分布的场效应晶体管的模拟结果。图16示出的是图15的XVI的位置处的杂质浓度分布的模拟结果图。

参照图11~图16，在硅衬底的上边，中间夹有栅极绝缘膜形成了栅极电极9。在栅极电极的两侧的硅衬底的表面上形成了n型源漏区域6和7。形成电极17，使之与n型源漏区域6和7的每一区域相连。

在图11的根据本发明的杂质浓度分布中，n型源漏区域6含有磷注入区域62和63，并如图12所示，在硅衬底的表面附近具有含于电极17中的已扩散过磷的区域64。即便是在图13的现有的杂质浓度分布中，如图14所示，n型源漏区域6也含有源于电极17的磷扩散区域。在根据图15的比较例的杂质浓度分布中，n型源漏区域6含有磷扩散区域64和磷注入区域65。

在图 11 和图 12 的本发明例中，借助于进行磷的两次注入，形成了出现两个峰值浓度的磷注入区域 62 和 63。对此，在图 15 和图 16 的比较例中，借助于进行一次磷离子注入，形成了出现一个杂质浓度峰值的磷注入区域 65。

在图 12、图 14 和图 16 的不论哪一个例子中，注入砷所产生的杂质浓度分布都略去而未画出来。在杂质浓度分布中，总的看 p 型杂质浓度分布 p (B) 和 n 型杂质浓度分布 n (P) 这两者的杂质浓度分布，被表示为净掺杂 (浓度) 50。

在图 12 的本发明例中，pn 结点 J 用低浓度的区域表示，对此，在现有例的图 14 中结点 J 出现在浅且浓度高的区域。即便是在图 16 的比较例中 pn 结点 J 也出现在浓度低的区域。这样一来，在本发明例和比较例中，pn 结出现在浓度低的区域中，所以，可以提高结耐压，由于使电场缓和，故还可以降低漏电流。

但是，在图 16 的比较例中，磷注入区域的峰值浓度 65 出现在比较浅的区域，所以如图 15 所示，p 型源漏区域 6 已大大地扩展到栅极电极的下边的硅衬底的区域中去。为此，即便是也可以提高结的耐压和缓和电场，但场效应晶体管的特性却因其杂质浓度分布而降低。对此，在本发明例的图 12 中，由于在磷注入区域 62 和 63 之间出现了极小点或拐点，所以，在浅的区域中 n 型源漏区域 6 的扩展小。因此，如图 11 所示，在 n 型源漏区域 6 的浅的区域处的扩展小，不会使场效应晶体管的特性降低。

以下，对具备了上述本发明例、现有例和比较例的杂质浓度分布的场效应晶体管的特性的模拟结果进行说明。

图 17 示出的是本发明例 (A)、现有例 (B) 和比较例 (C) 的场效应晶体管的栅极电压—漏极电流 ( $V_g - I_d$ ) 特性模拟结果图。如图 17 所示，本发明例 (A) 表现出与现有例 (B) 相同的特性，不受用于提高结的耐压和电场缓和的磷注入的影响，表现出本来的栅极电压—漏极电流特性。对此，在比较例 (C) 中对于栅极电压的增加漏极电流显著地增加，表现出了比原始特性劣化了的栅极电压—漏极电流特性。

图 18 示出了在图 11、图 13 和图 15 的每一图中，电极 17 的接触电极

位置朝向栅极电极9偏离开仅 $0.025\mu\text{m}$ 时的栅极电压—漏极电流 ( $V_g - I_d$ ) 特性的模拟结果。如图 18 所示, 本发明例 (A) 与现有例 (B) 一样, 维持原始特性。但是, 在比较例 (C) 中, 对于栅极电压的增加, 漏极电流的增加变得更为显著, 可知栅极电压—漏极电流特性已经变坏。

图 19 示出了本发明例 (A)、现有例 (B) 和比较例 (C) 漏极电压—漏极电流 ( $V_d - I_d$ ) 特性的模拟结果。由图 19 可知, 本发明例 (A) 显示出与现有例 (B) 相同的特性, 没有受杂质浓度分布所带来的坏影响。对此, 比较例 (C) 不论是在哪一个栅极电压中, 相对于漏极电压漏极电流的增加的比率大, 漏极电压—漏极电流特性已经劣化。

图 20 与图 18 一样, 示出了在接触电极相对于电极 17 的 n 型源漏区域 6 的位置朝着栅极电极 9 的方向已偏离开仅  $0.025\mu\text{m}$  的情况下的, 本发明例 (A)、现有例 (B) 和比较例 (C) 的各自的漏极电压—漏极电流 ( $V_d - I_d$ ) 特性的模拟结果图。由图 20 可知, 本发明例 (A) 和现有例 (B) 一样, 维持了本来的漏极电压—漏极电流特性。对此, 比较例 (C) 不论在哪一栅极电压下, 漏极电流相对于漏极电压的增加比率显著地变大, 漏极电压—漏极电流特性已经劣化。

根据以上的模拟结果, 相对于现有例 (B) 已取得了 pn 结的耐压的提高和电场缓和的比较例 (C), 受杂质浓度分布的影响, 场效应晶体管的特性已经劣化。对此, 可知, 倘采用本发明例 (A), 则在实现 pn 结的耐压的提高和电场的缓和的同时, 可以不受杂质浓度分布的影响地维持场效应晶体管的特性。

以上所公开的实施例, 应该看做在所有的点上只是一个例子而不是一种限制。本发明的范围, 不是以上的实施例, 而是权利要求书所示, 并含有在与权利要求书具有均等的意义和范围内进行的所有的变更和修正在内的范围。



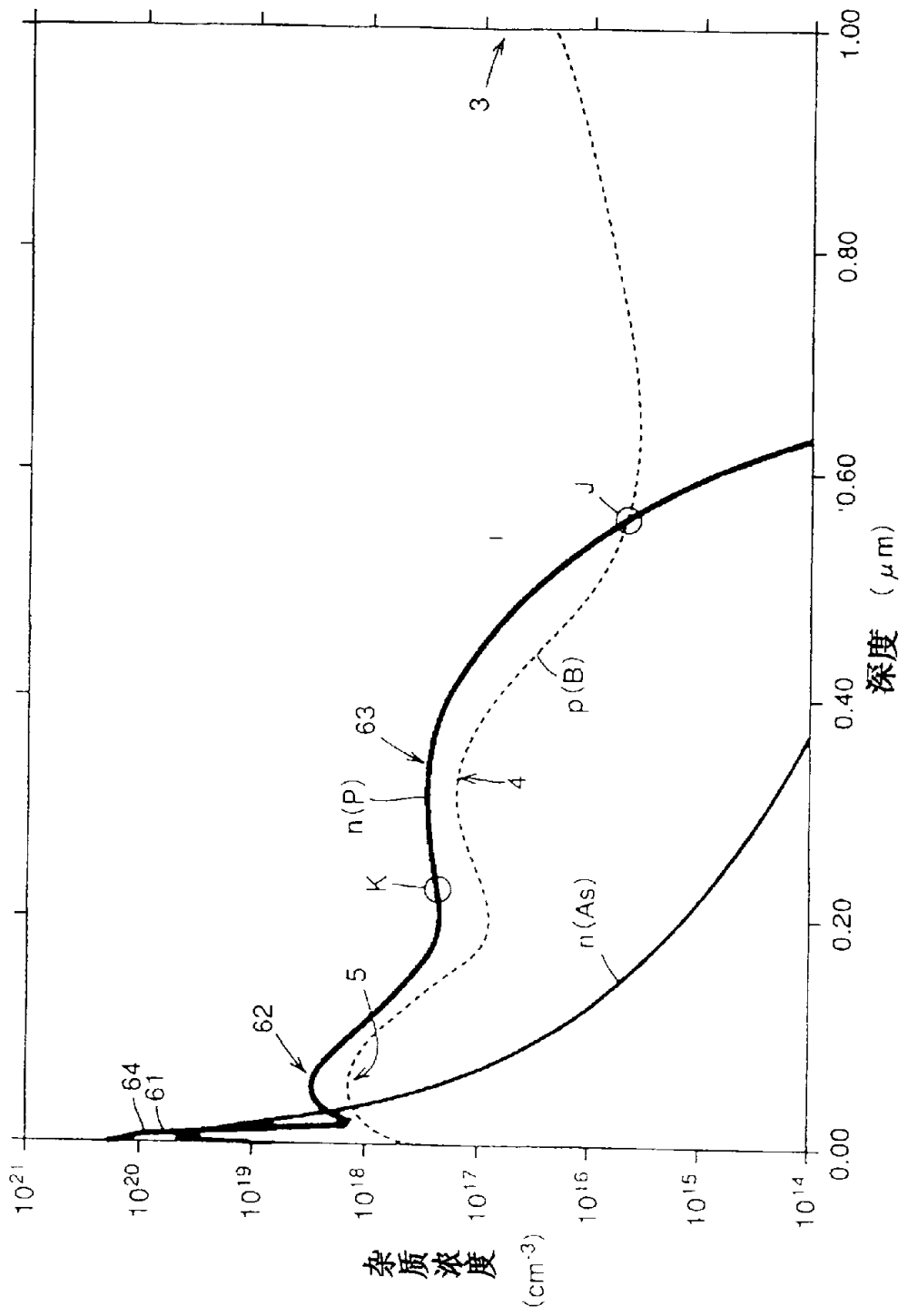


图 2

图 3

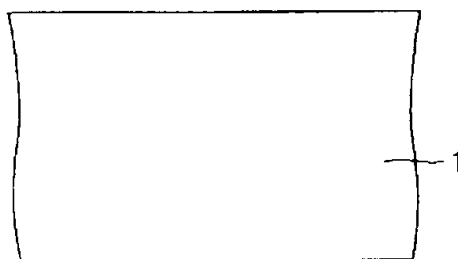


图 4

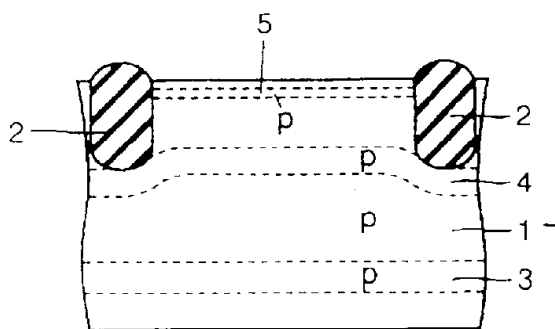


图 5

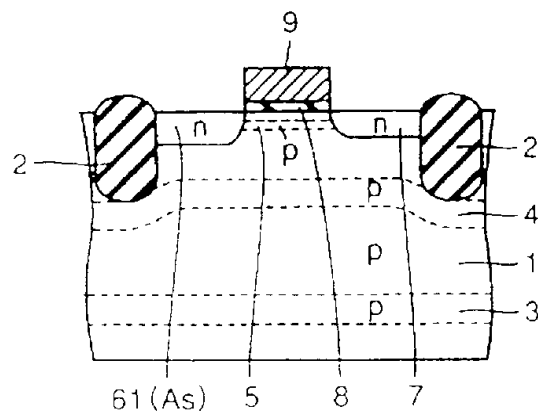


图 6

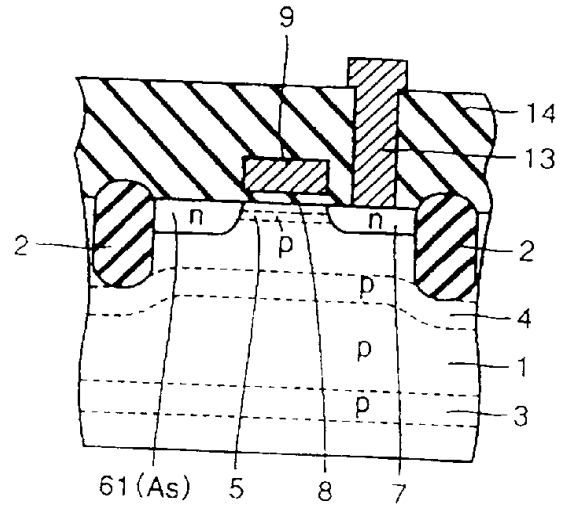


图 7

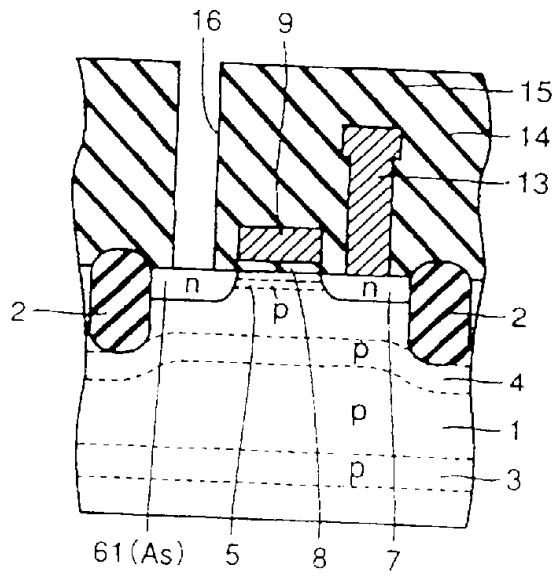


图 8

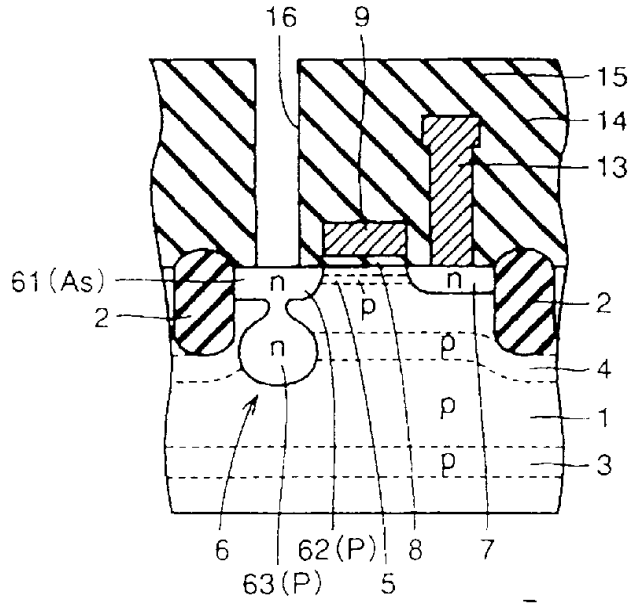


图 9

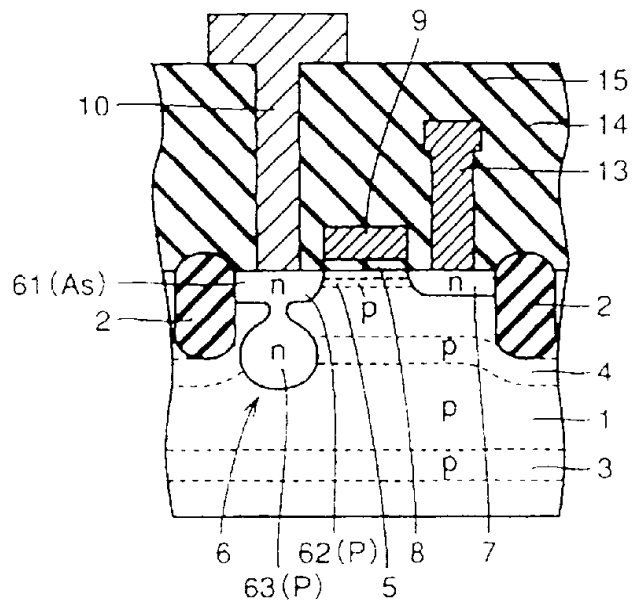




图 10

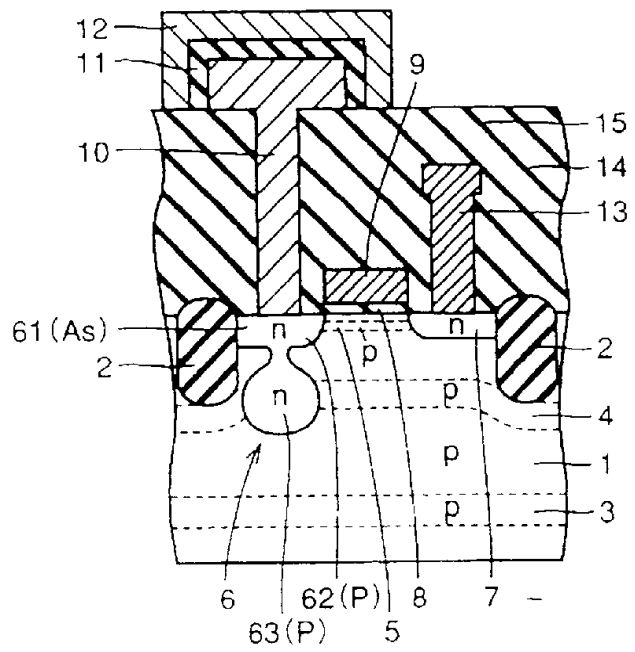
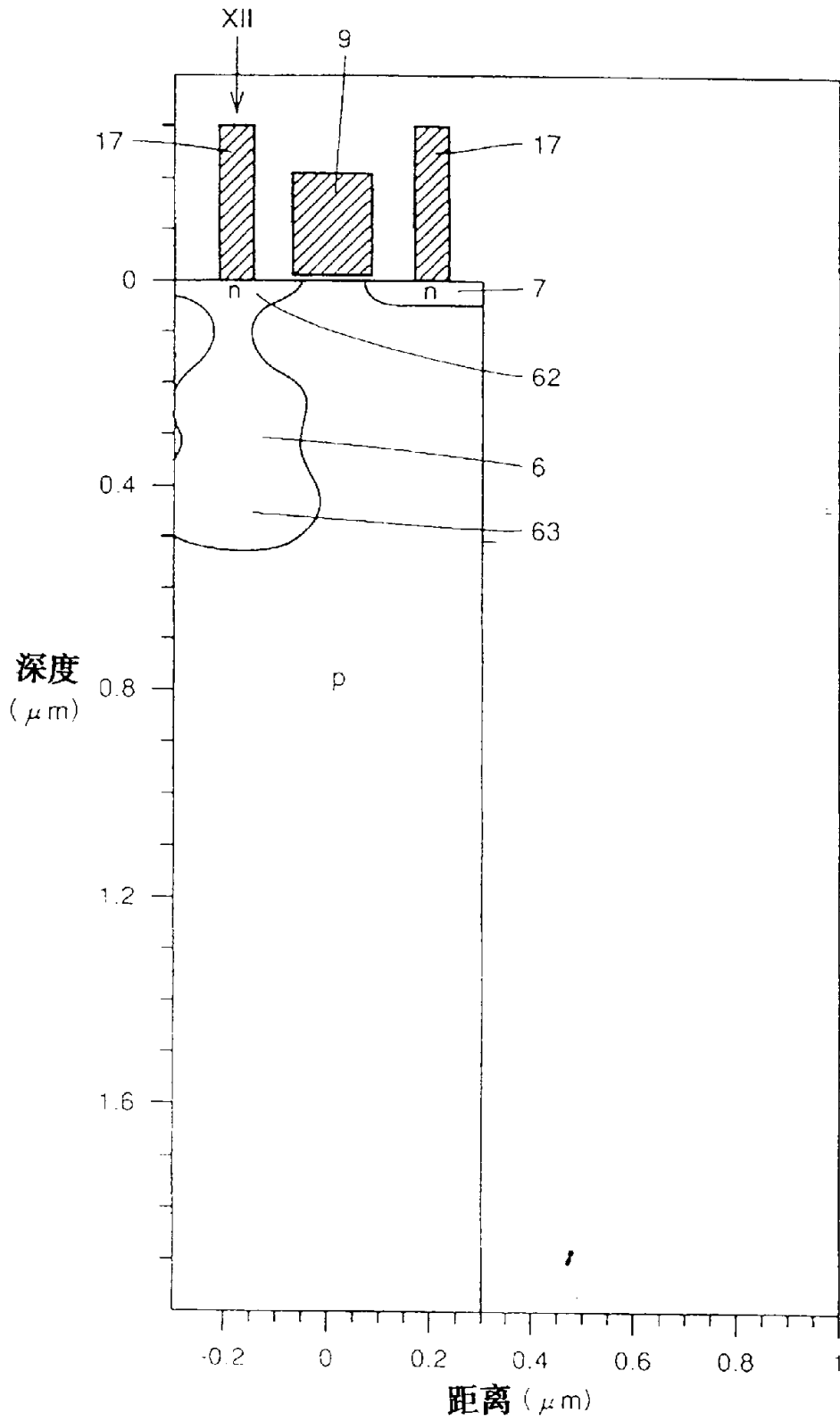


图 11



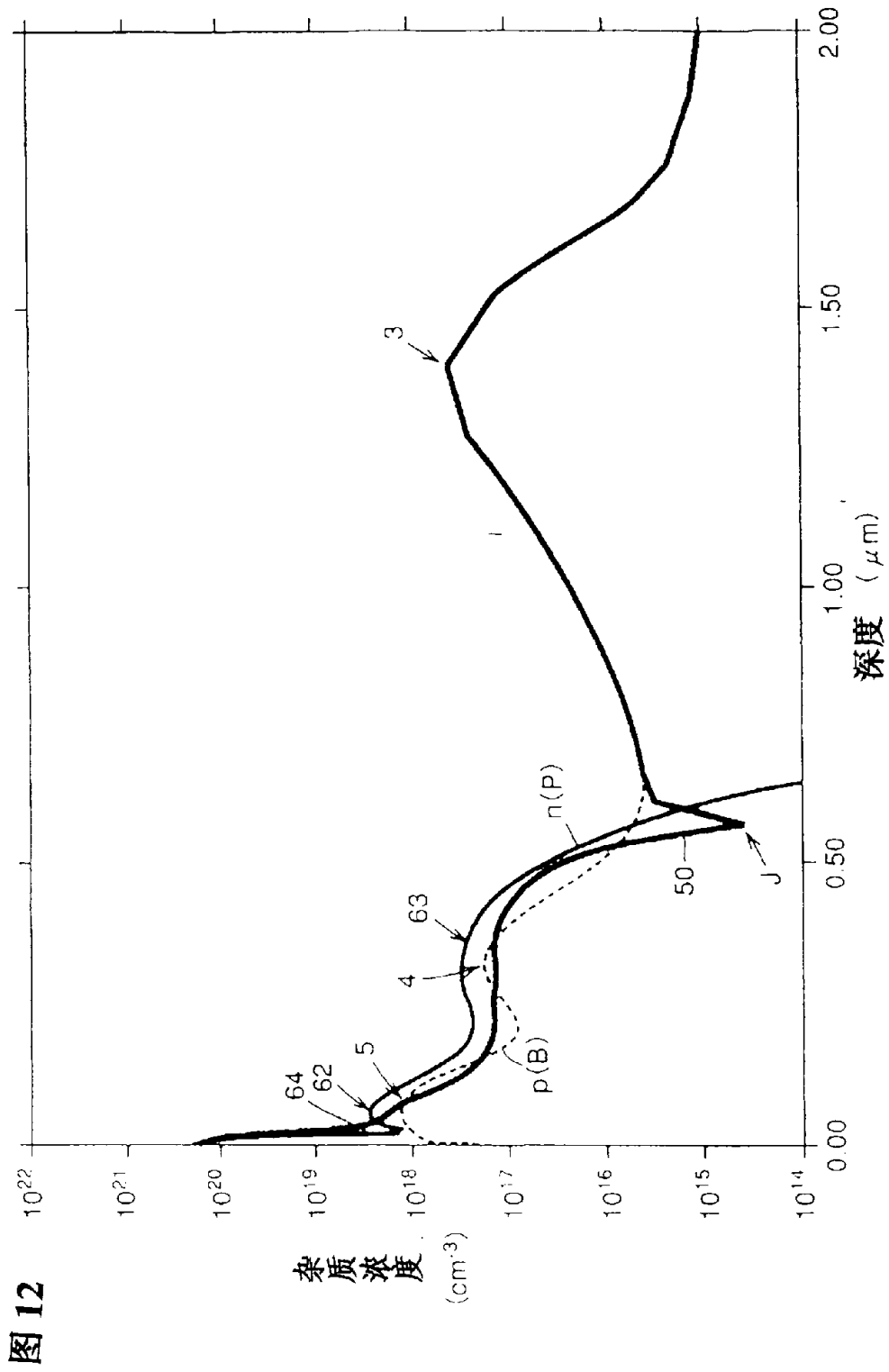
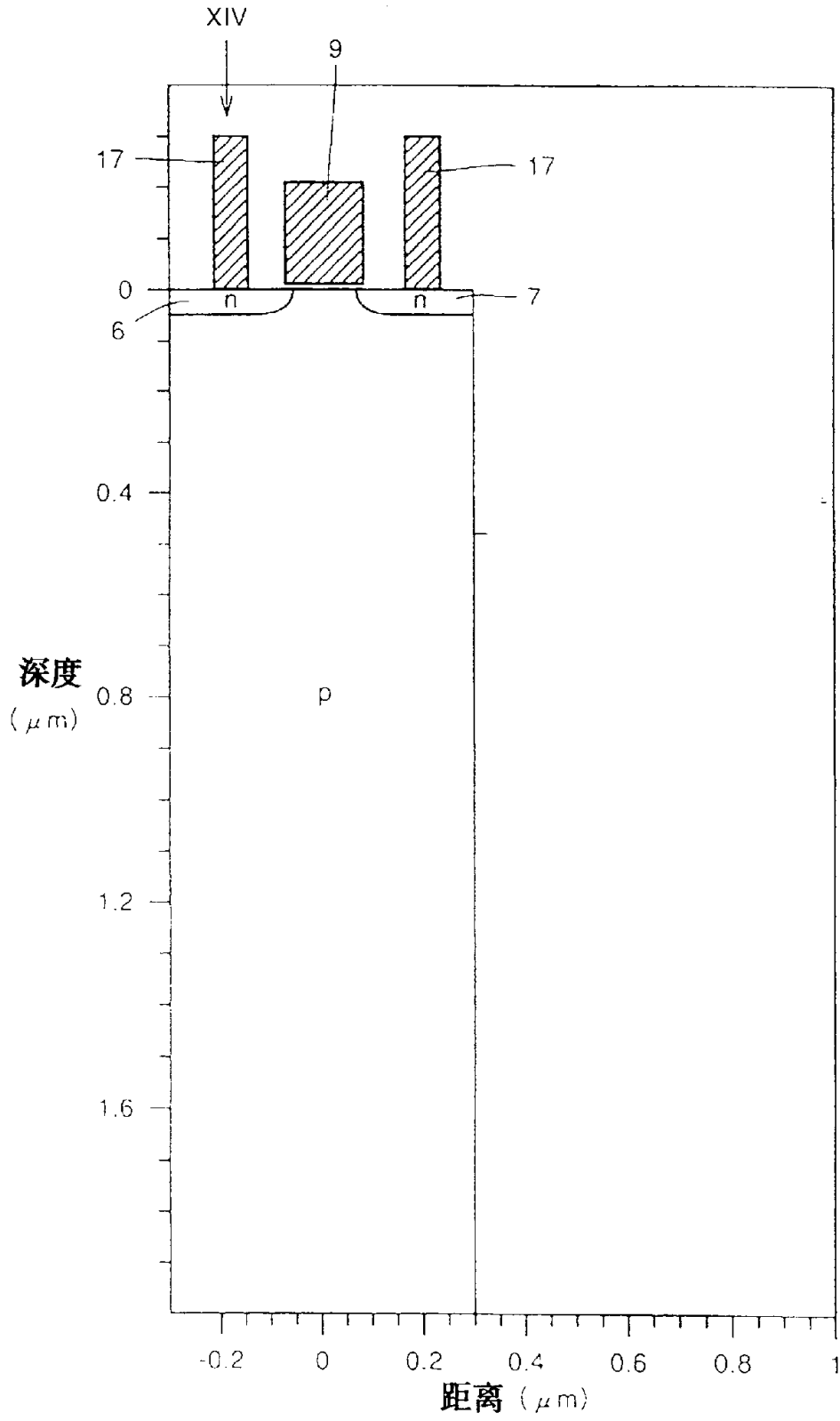


图 12

图 13



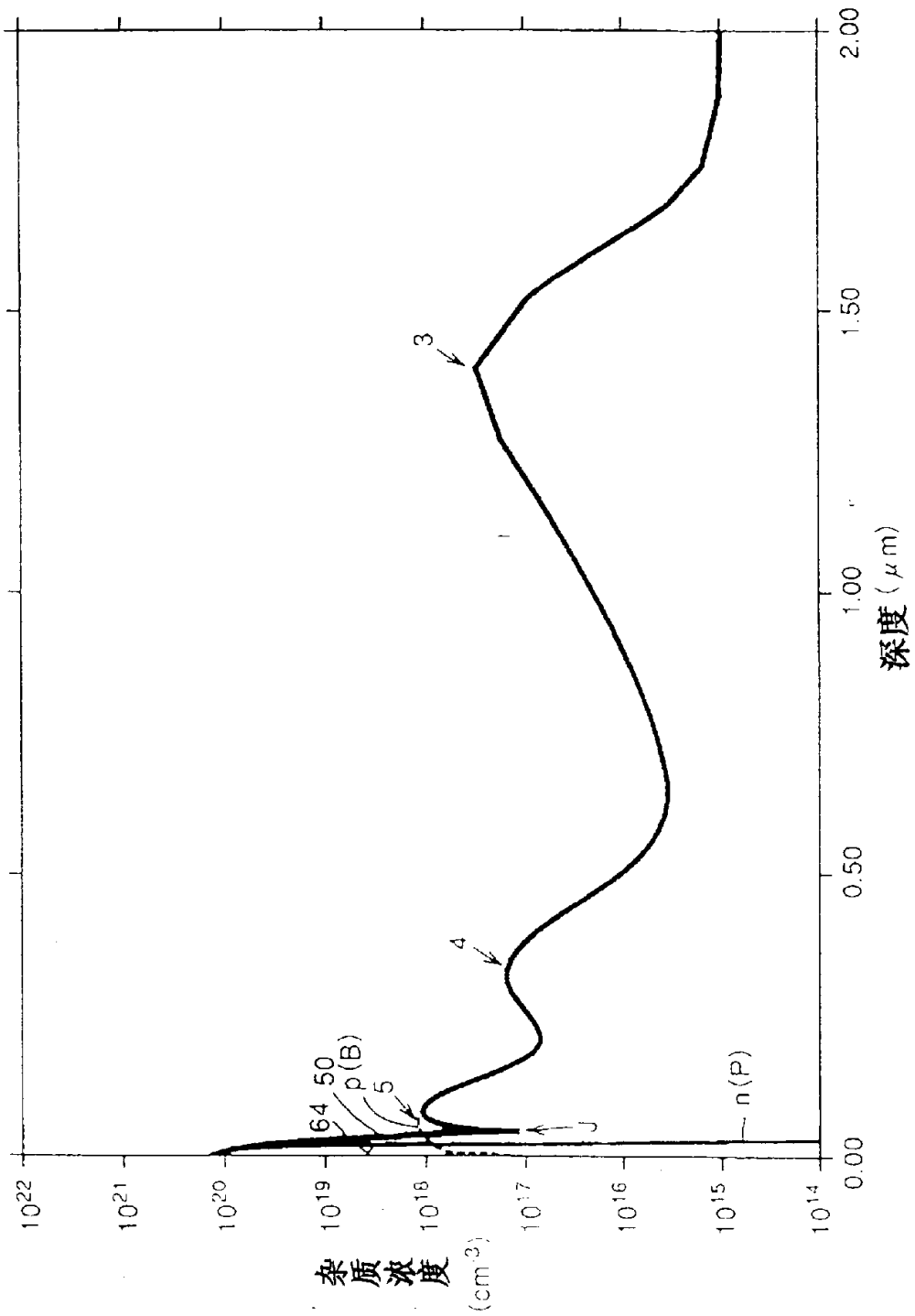


图 14

图 15

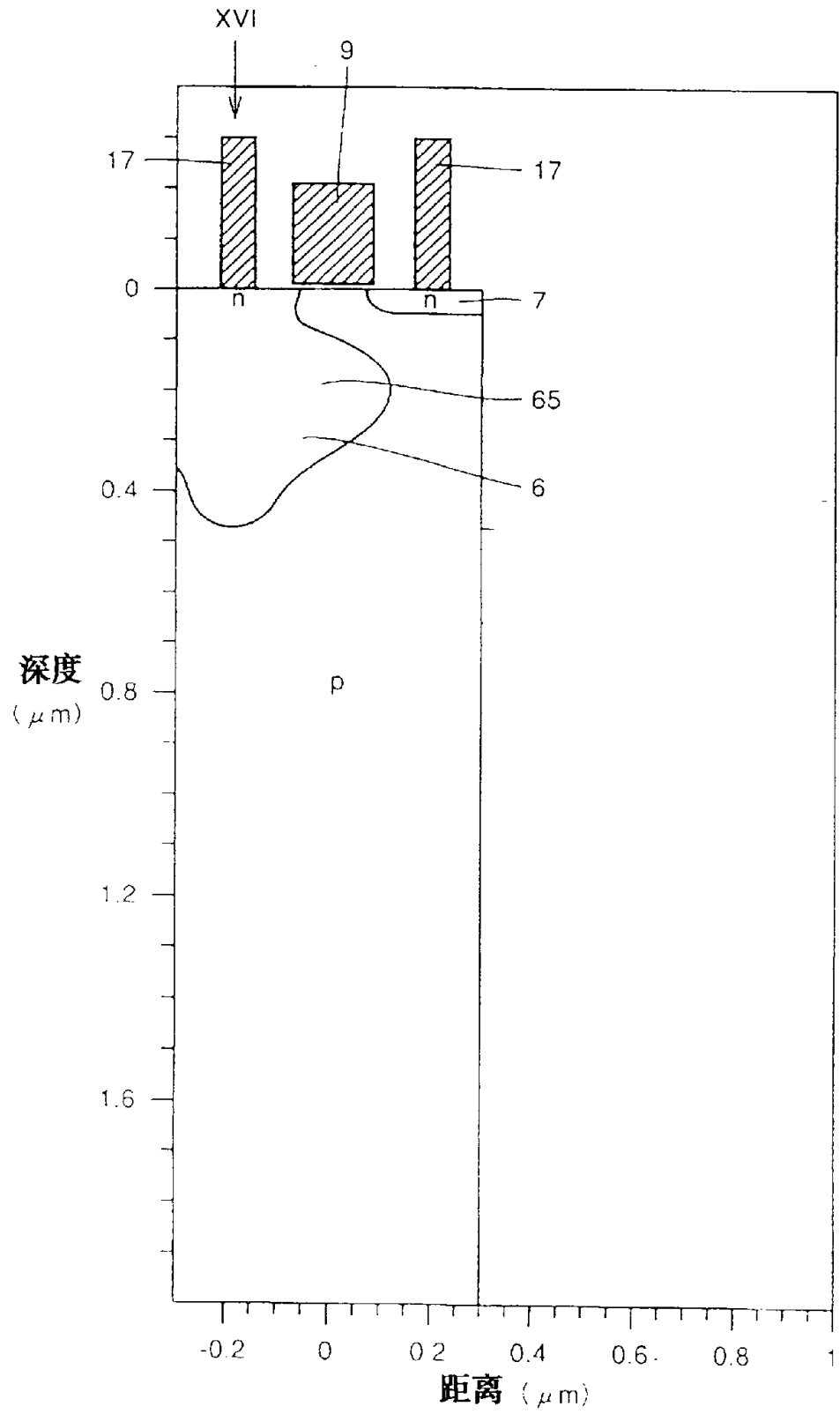
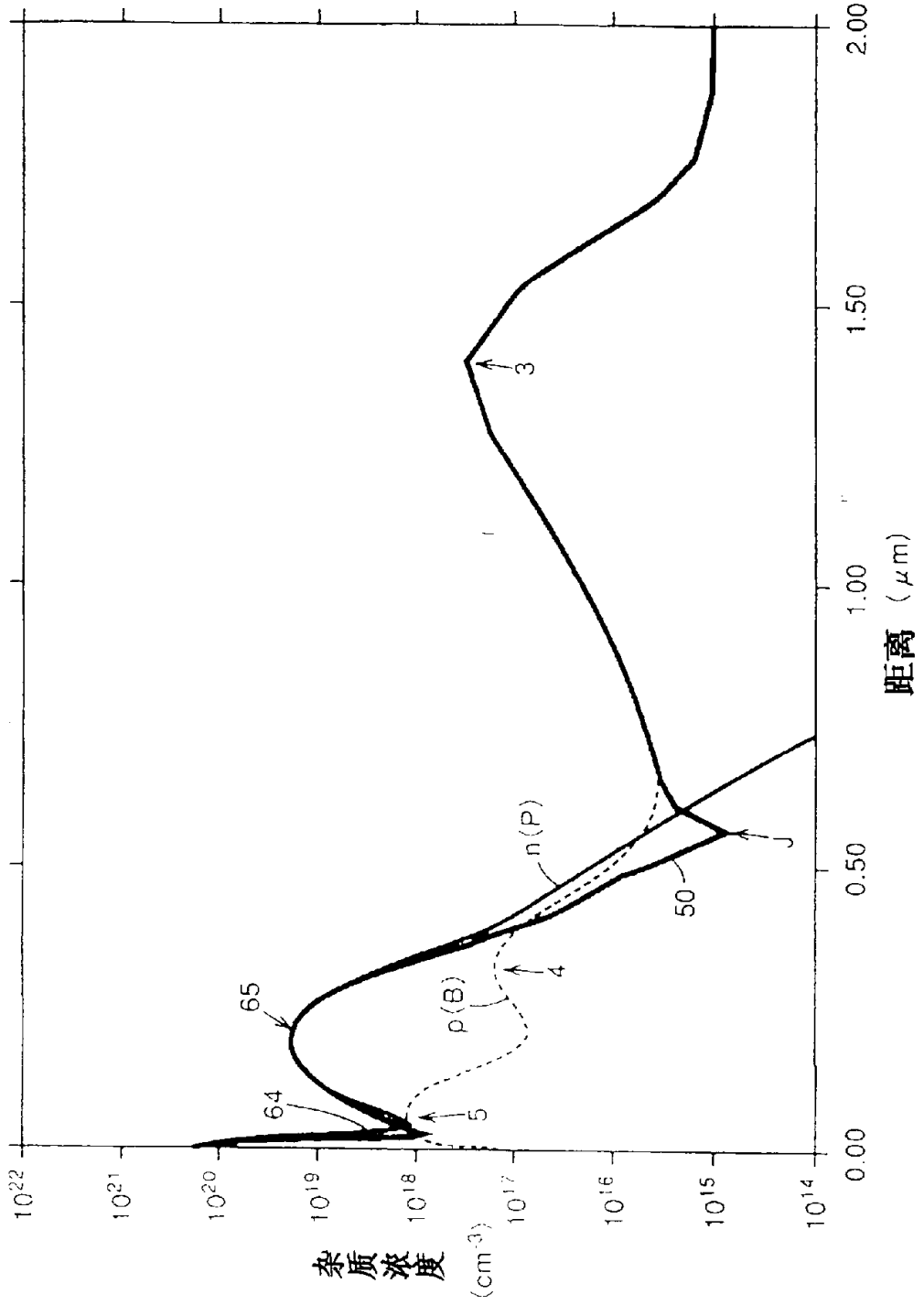


图 16



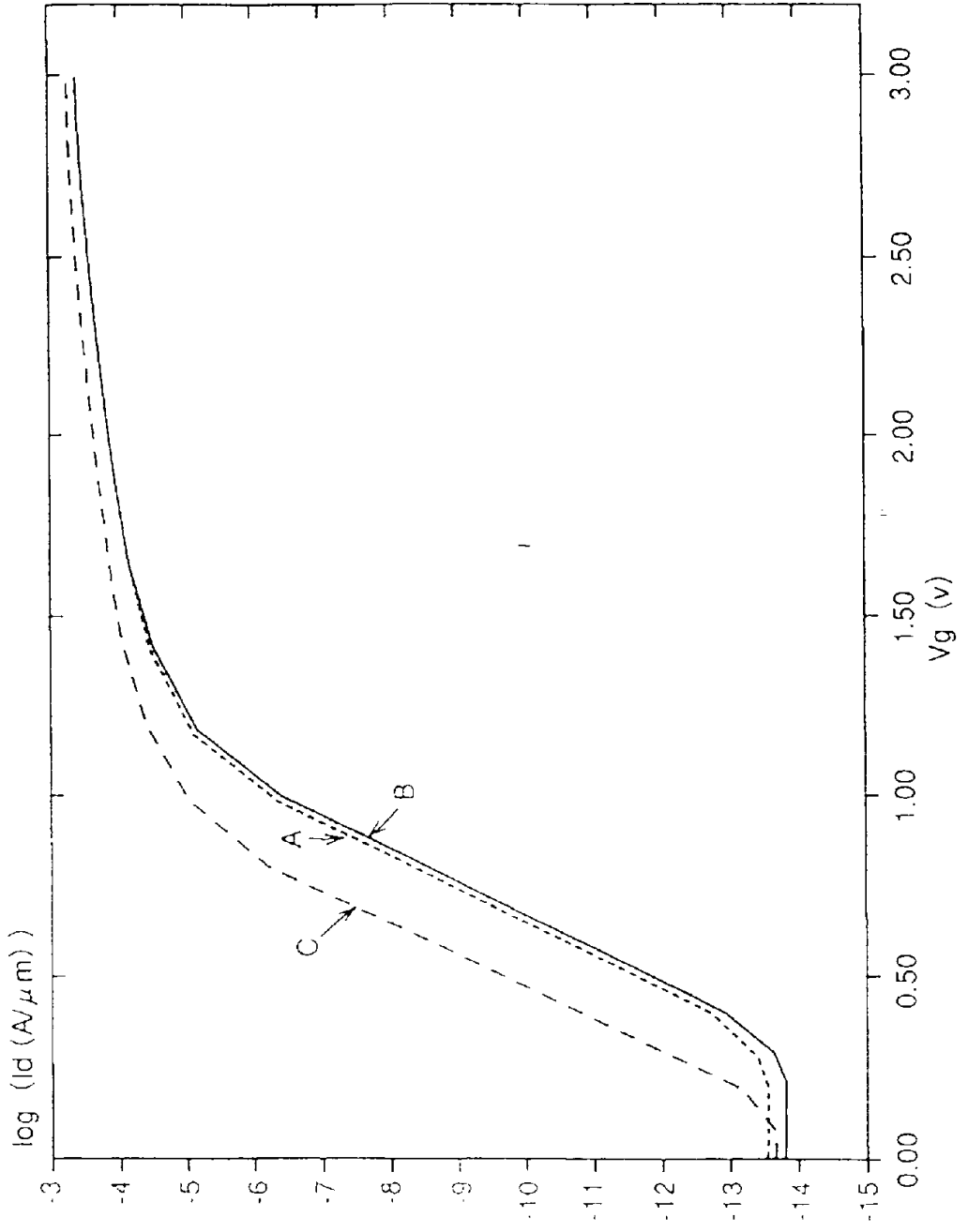


图 17



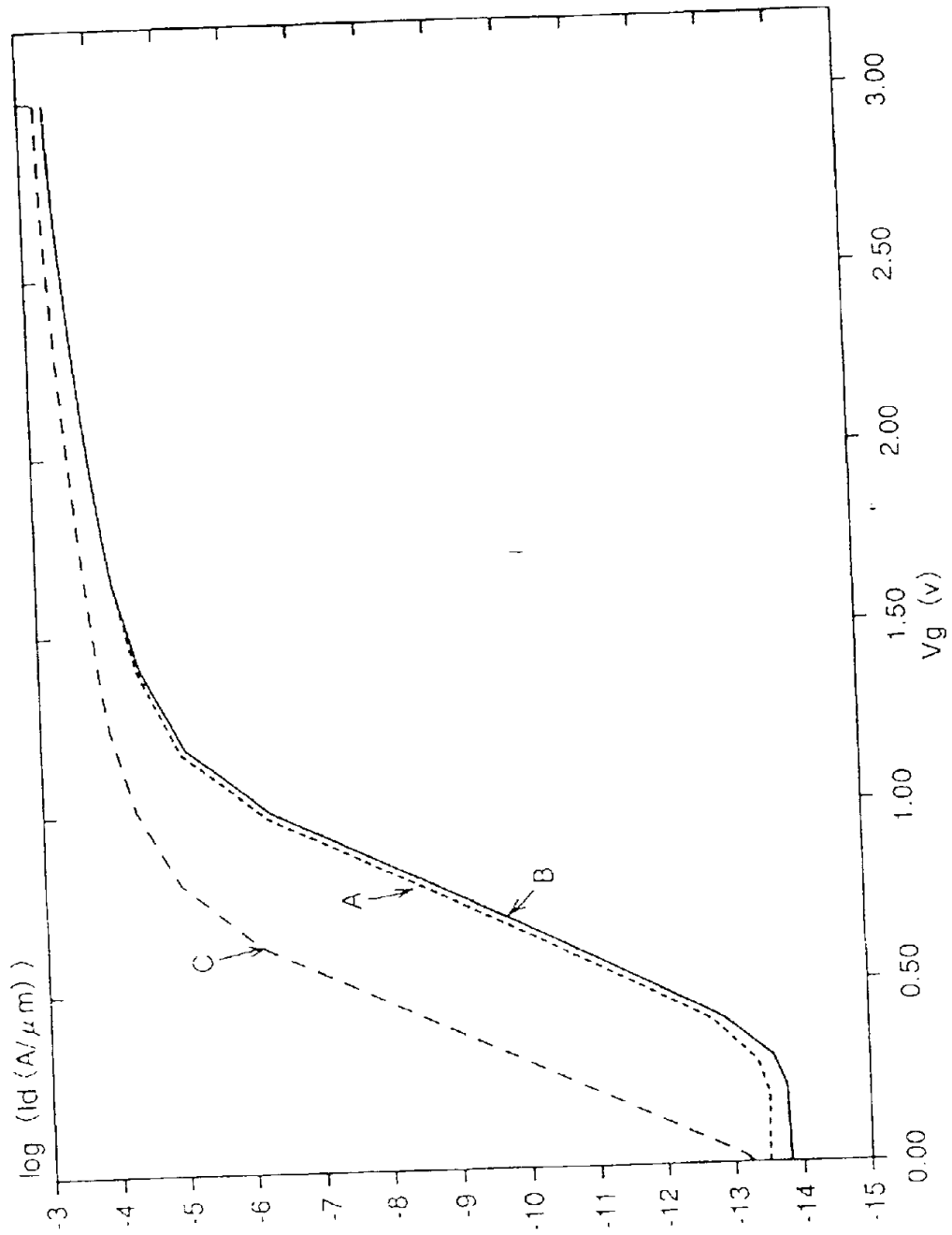


图 18

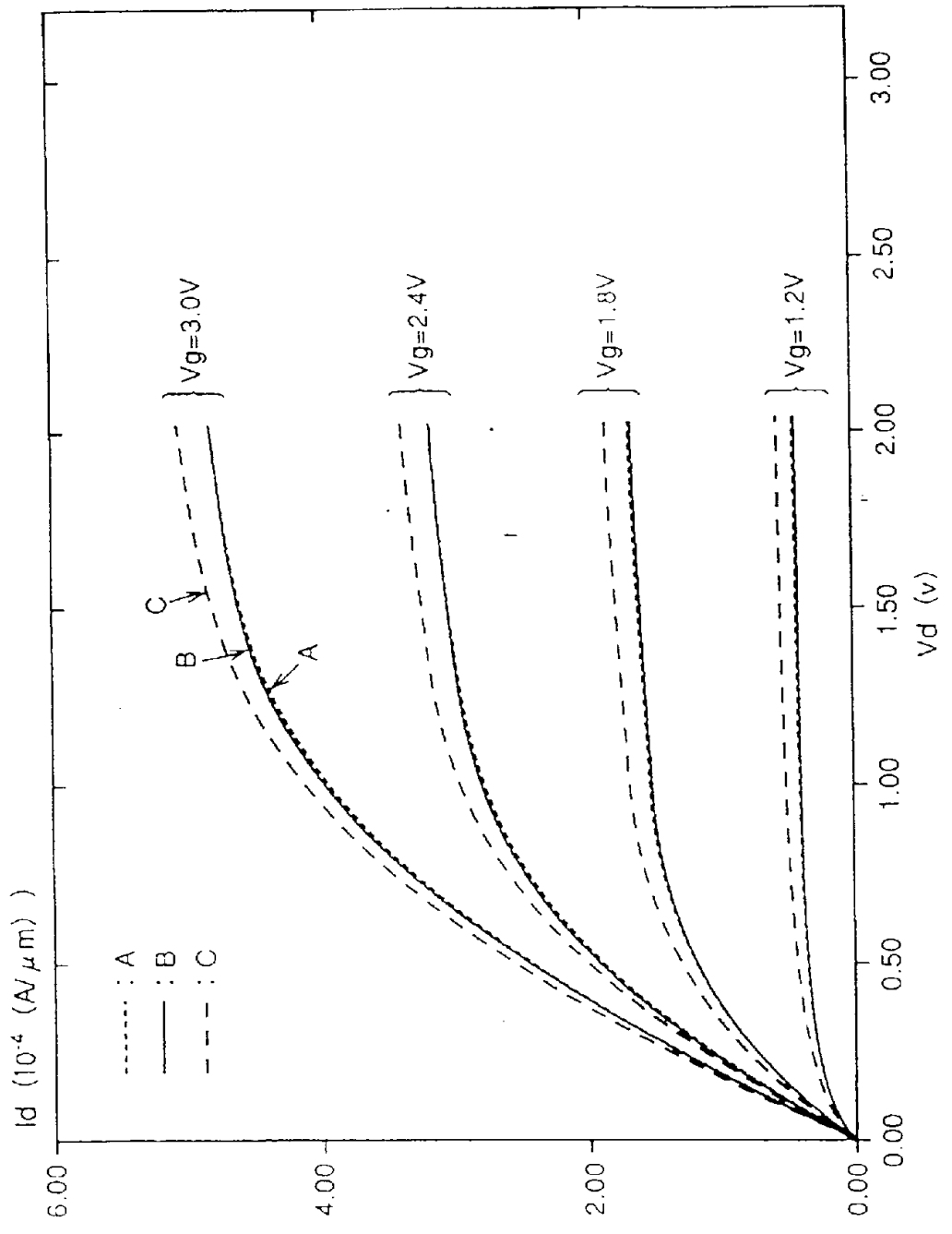


图 19

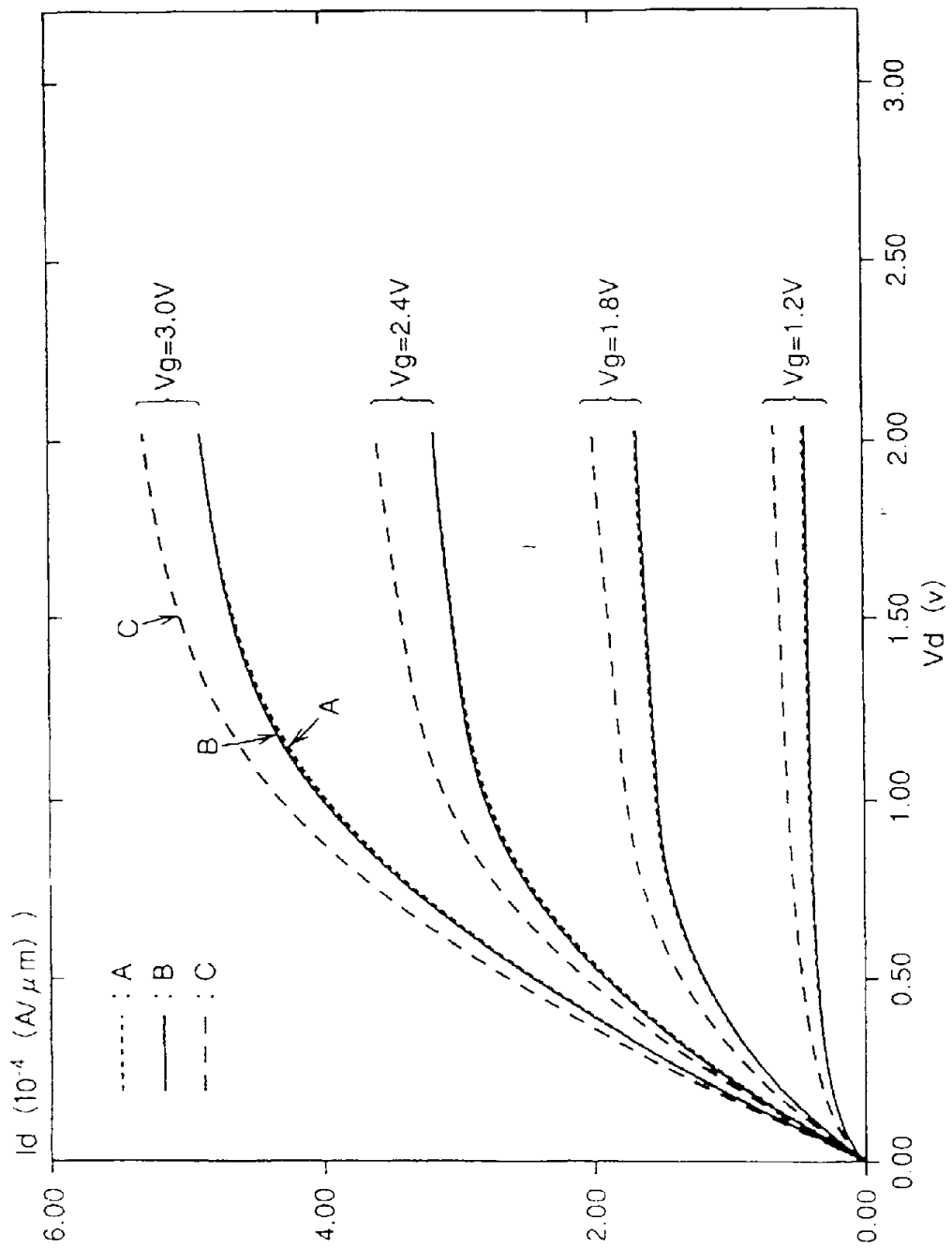


图 20

图 21

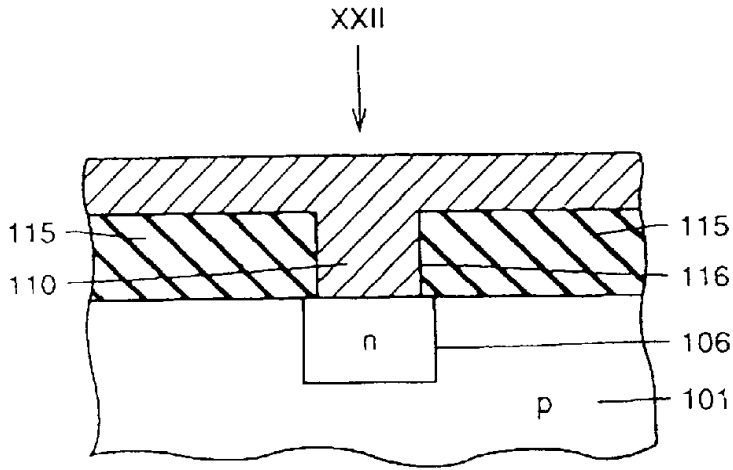


图 22

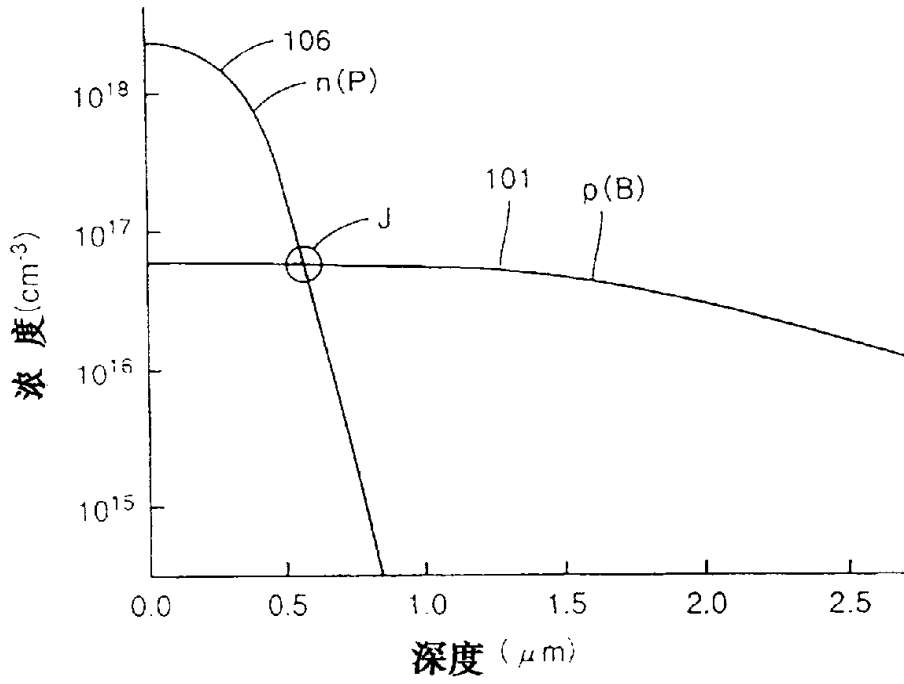


图 23

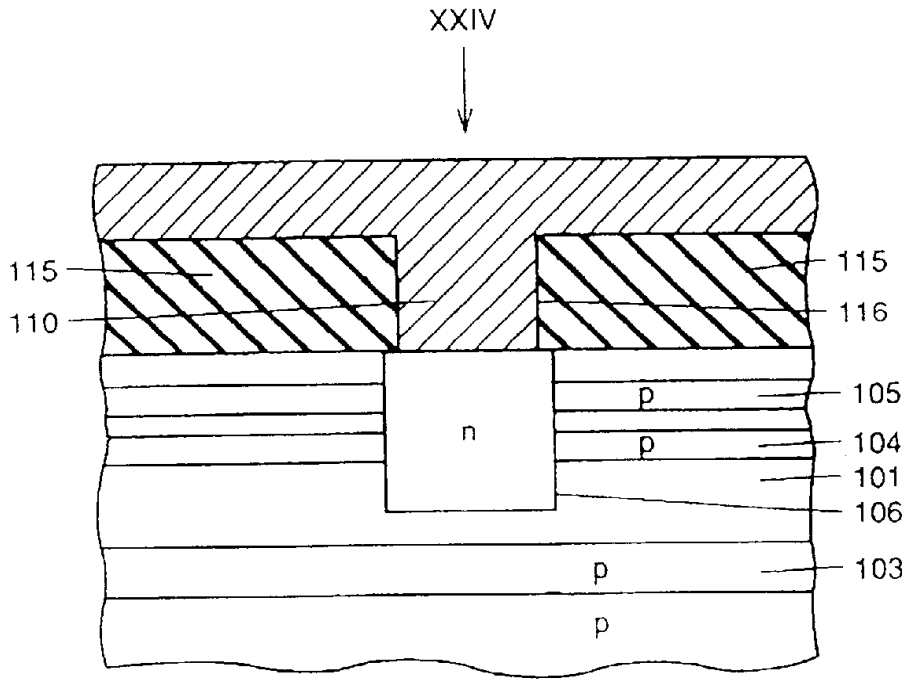


图 24

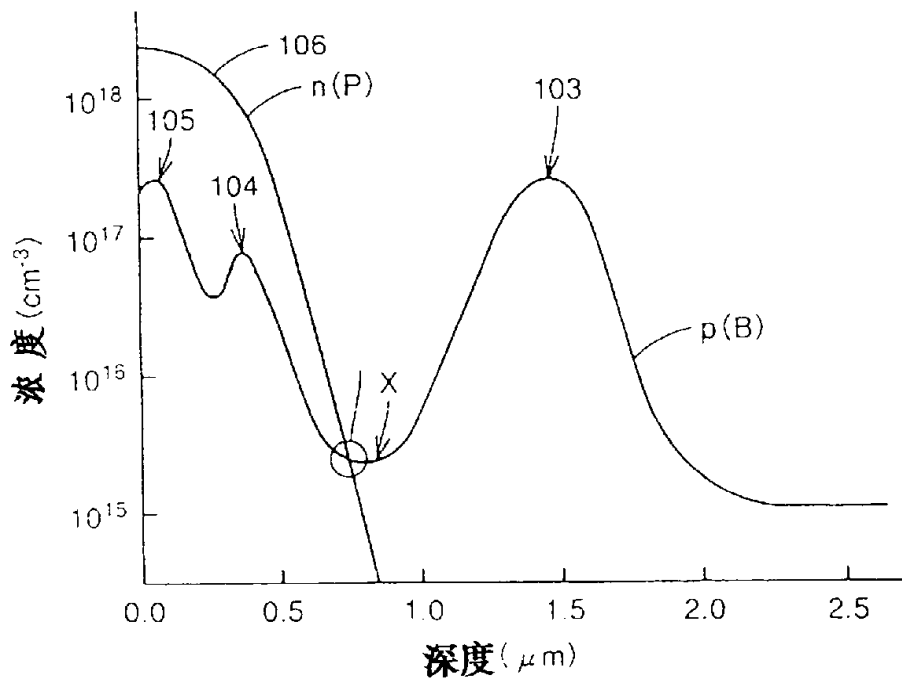


图 25

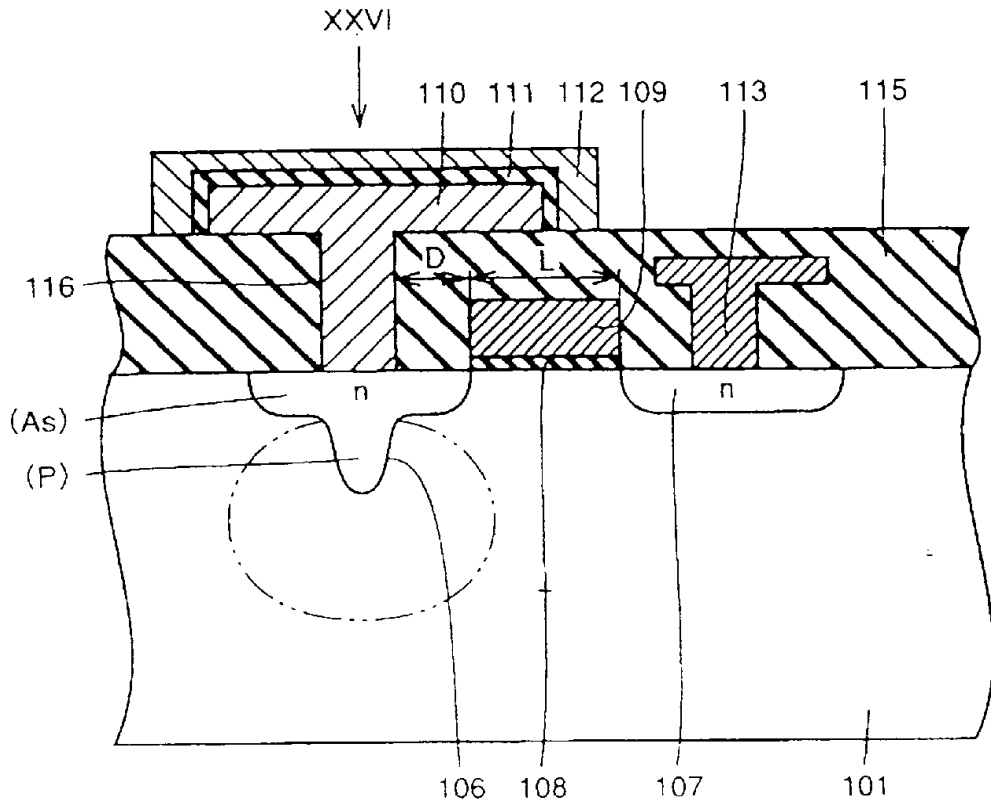


图 26

