



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년02월03일
(11) 등록번호 10-2496132
(24) 등록일자 2023년02월01일

- (51) 국제특허분류(Int. Cl.)
G11C 11/4091 (2006.01) G11C 5/02 (2006.01)
G11C 7/06 (2021.01) H01L 21/8234 (2006.01)
H01L 27/06 (2006.01) H01L 29/786 (2006.01)
H10B 12/00 (2023.01)
- (52) CPC특허분류
G11C 11/4091 (2013.01)
G11C 5/02 (2013.01)
- (21) 출원번호 10-2019-7037867
- (22) 출원일자(국제) 2018년06월19일
심사청구일자 2021년06월15일
- (85) 번역문제출일자 2019년12월20일
- (65) 공개번호 10-2020-0019892
- (43) 공개일자 2020년02월25일
- (86) 국제출원번호 PCT/IB2018/054482
- (87) 국제공개번호 WO 2019/003045
국제공개일자 2019년01월03일
- (30) 우선권주장
JP-P-2017-125017 2017년06월27일 일본(JP)
JP-P-2017-148839 2017년08월01일 일본(JP)
- (56) 선행기술조사문헌
US07660184 A

- (73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
오누키 다츠야
일본 2430036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 나이
나가츠카 슈헤이
일본 2430036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 나이
- (74) 대리인
김태홍, 김진희

전체 청구항 수 : 총 16 항

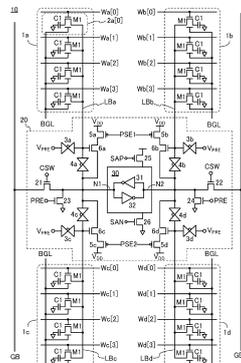
심사관 : 손윤식

(54) 발명의 명칭 기억 장치

(57) 요약

동작 속도가 빠른 기억 장치를 제공한다. 제 1 메모리 셀 및 제 2 메모리 셀과, 제 1 비트선 및 제 2 비트선과, 제 1 스위치 및 제 2 스위치와, 감지 증폭기를 가지는 기억 장치이다. 감지 증폭기는 제 1 노드 및 제 2 노드를 가진다. 제 1 메모리 셀은 제 1 비트선 및 제 1 스위치를 통하여 제 1 노드에 전기적으로 접속되고, 제 2 메모리 셀은 제 2 비트선 및 제 2 스위치를 통하여 제 2 노드에 전기적으로 접속된다. 감지 증폭기는 제 1 노드와 제 2 노드의 전위차를 증폭한다. 제 1 메모리 셀 및 제 2 메모리 셀은 채널 형성 영역에 산화물 반도체를 포함하는 트랜지스터를 가진다.

대표도 - 도3



(52) CPC특허분류

- G11C 7/06* (2013.01)
 - H01L 21/8234* (2013.01)
 - H01L 27/06* (2013.01)
 - H01L 29/786* (2021.01)
 - H10B 12/00* (2023.02)
-

명세서

청구범위

청구항 1

기억 장치로서,
 제 1 메모리 셀과,
 제 2 메모리 셀과,
 제 1 배선과,
 제 2 배선과,
 제 1 스위치와,
 제 2 스위치와,
 제 3 트랜지스터와,
 제 4 트랜지스터와,
 감지 증폭기를 가지고,
 상기 제 1 메모리 셀은 제 1 트랜지스터 및 제 1 용량 소자를 가지고,
 상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 배선에 전기적으로 접속되고,
 상기 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 1 용량 소자에 전기적으로 접속되고,
 상기 제 2 메모리 셀은 제 2 트랜지스터 및 제 2 용량 소자를 가지고,
 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 배선에 전기적으로 접속되고,
 상기 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 2 용량 소자에 전기적으로 접속되고,
 상기 감지 증폭기는 제 1 노드 및 제 2 노드를 가지고,
 상기 제 1 배선은 상기 제 1 스위치를 통하여 상기 제 1 노드에 전기적으로 접속되고,
 상기 제 2 배선은 상기 제 2 스위치를 통하여 상기 제 2 노드에 전기적으로 접속되고,
 상기 감지 증폭기는 상기 제 1 노드와 상기 제 2 노드의 전위차를 증폭하고,
 상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 노드에 전기적으로 접속되고,
 상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,
 상기 제 3 트랜지스터의 게이트는 상기 제 1 배선에 전기적으로 접속되는, 기억 장치.

청구항 2

제 1 항에 있어서,
 상기 제 1 스위치 및 상기 제 2 스위치는 트랜지스터를 포함하는, 기억 장치.

청구항 3

제 1 항에 있어서,
 상기 제 1 스위치 및 상기 제 2 스위치는 n채널형 트랜지스터로 구성되고,
 상기 감지 증폭기는 n채널형 트랜지스터를 사용한 단극성 회로로 구성되는, 기억 장치.

청구항 4

제 1 항에 있어서,
 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터는 채널 형성 영역에 산화물 반도체를 포함하는, 기억 장치.

청구항 5

제 1 항에 있어서,
 상기 제 1 메모리 셀 및 상기 제 2 메모리 셀은 상기 감지 증폭기보다 상층에 제공되어 있는, 기억 장치.

청구항 6

제 1 항에 있어서,
 제 5 트랜지스터와 제 6 트랜지스터를 더 가지고,
 상기 제 5 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 노드와 전기적으로 접속되고,
 상기 제 5 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 6 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속되고,
 상기 제 5 트랜지스터의 게이트는 상기 제 2 배선과 전기적으로 접속되어 있는, 기억 장치.

청구항 7

제 6 항에 있어서,
 상기 기억 장치는 상기 제 1 배선의 전위를 상기 제 1 메모리 셀에 유지된 데이터에 대응하는 전위로 한 후, 상기 제 4 트랜지스터 및 상기 제 6 트랜지스터를 온으로 하는 기능을 가지는, 기억 장치.

청구항 8

제 7 항에 있어서,
 상기 기억 장치는 상기 제 1 배선 및 상기 제 2 배선을 프리차지한 후, 상기 제 1 배선의 전위를 상기 제 1 메모리 셀에 유지된 데이터에 대응하는 전위로 하는 기능을 가지는, 기억 장치.

청구항 9

기억 장치로서,
 제 1 메모리 셀 내지 제 4 메모리 셀과,
 제 1 배선 내지 제 4 배선과,
 제 1 스위치 내지 제 4 스위치와,
 제 5 트랜지스터와,
 제 6 트랜지스터와,
 감지 증폭기를 가지고,
 상기 제 1 메모리 셀은 제 1 트랜지스터 및 제 1 용량 소자를 가지고,
 상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 배선에 전기적으로 접속되고,
 상기 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 1 용량 소자에 전기적으로 접속되고,
 상기 제 2 메모리 셀은 제 2 트랜지스터 및 제 2 용량 소자를 가지고,
 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 배선에 전기적으로 접속되고,
 상기 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 2 용량 소자에 전기적으로 접속되고,

상기 제 3 메모리 셀은 제 3 트랜지스터 및 제 3 용량 소자를 가지고,
 상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 3 배선에 전기적으로 접속되고,
 상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 3 용량 소자에 전기적으로 접속되고,
 상기 제 4 메모리 셀은 제 4 트랜지스터 및 제 4 용량 소자를 가지고,
 상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 4 배선에 전기적으로 접속되고,
 상기 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 4 용량 소자에 전기적으로 접속되고,
 상기 감지 증폭기는 제 1 노드 및 제 2 노드를 가지고,
 상기 제 1 배선은 상기 제 1 스위치를 통하여 상기 제 1 노드에 전기적으로 접속되고,
 상기 제 2 배선은 상기 제 2 스위치를 통하여 상기 제 2 노드에 전기적으로 접속되고,
 상기 제 3 배선은 상기 제 3 스위치를 통하여 상기 제 1 노드에 전기적으로 접속되고,
 상기 제 4 배선은 상기 제 4 스위치를 통하여 상기 제 2 노드에 전기적으로 접속되고,
 상기 감지 증폭기는 상기 제 1 노드와 상기 제 2 노드의 전위차를 증폭하고,
 상기 제 5 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 노드와 전기적으로 접속되고,
 상기 제 5 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 6 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속되고,
 상기 제 5 트랜지스터의 게이트는 상기 제 1 배선과 전기적으로 접속되는, 기억 장치.

청구항 10

제 9 항에 있어서,
 상기 제 1 스위치 내지 상기 제 4 스위치는 트랜지스터를 포함하는, 기억 장치.

청구항 11

제 9 항에 있어서,
 상기 제 1 스위치 내지 상기 제 4 스위치는 n채널형 트랜지스터로 구성되고,
 상기 감지 증폭기는 n채널형 트랜지스터를 사용한 단극성 회로로 구성되는, 기억 장치.

청구항 12

제 9 항에 있어서,
 상기 제 1 트랜지스터 내지 상기 제 4 트랜지스터는, 채널 형성 영역에 산화물 반도체를 포함하는, 기억 장치.

청구항 13

제 9 항에 있어서,
 상기 제 1 메모리 셀 내지 상기 제 4 메모리 셀은 상기 감지 증폭기보다 상층에 제공되는, 기억 장치.

청구항 14

제 9 항에 있어서,
 제 7 트랜지스터와, 제 8 트랜지스터와, 제 9 트랜지스터와, 제 10 트랜지스터와, 제 11 트랜지스터와, 제 12 트랜지스터를 더 가지고,
 상기 제 7 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 노드와 전기적으로 접속되고,
 상기 제 7 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 8 트랜지스터의 소스 및 드레인 중 한쪽과 전기

적으로 접속되고,

상기 제 7 트랜지스터의 게이트는 상기 제 2 배선과 전기적으로 접속되고,

상기 제 9 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 노드와 전기적으로 접속되고,

상기 제 9 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 10 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속되고,

상기 제 9 트랜지스터의 게이트는 상기 제 3 배선과 전기적으로 접속되고,

상기 제 11 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 노드와 전기적으로 접속되고,

상기 제 11 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 12 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속되고,

상기 제 11 트랜지스터의 게이트는 상기 제 4 배선과 전기적으로 접속되어 있는, 기억 장치.

청구항 15

제 14 항에 있어서,

상기 기억 장치는 상기 제 1 배선의 전위를 상기 제 1 메모리 셀에 유지된 데이터에 대응하는 전위로 한 후, 상기 제 6 트랜지스터 및 상기 제 8 트랜지스터를 온으로 하는 기능을 가지는, 기억 장치.

청구항 16

제 15 항에 있어서,

상기 기억 장치는 상기 제 1 배선 및 상기 제 2 배선을 프리차지한 후, 상기 제 1 배선의 전위를 상기 제 1 메모리 셀에 유지된 데이터에 대응하는 전위로 하는 기능을 가지는, 기억 장치.

발명의 설명

기술 분야

[0001] 본 발명의 일 형태는 기억 장치, 반도체 장치, 또는 이들을 사용한 전자 기기에 관한 것이다.

[0002] 또한, 본 발명의 일 형태는 물건, 방법, 또는 제조 방법에 관한 것이다. 또는, 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다.

[0003] 또한, 본 명세서 등에서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리킨다. 기억 장치, 표시 장치, 발광 장치, 전기 광학 장치, 축전(蓄電) 장치, 반도체 회로, 및 전자 기기는 반도체 장치를 가지는 경우가 있다.

배경 기술

[0004] 근년, 채널이 형성되는 영역(이하 채널 형성 영역이라고도 부름)에 산화물 반도체 또는 금속 산화물을 사용한 트랜지스터(Oxide Semiconductor 트랜지스터, 이하 OS 트랜지스터라고 부름)가 주목을 받고 있다(특허문헌 1).

[0005] 특허문헌 2에는 OS 트랜지스터를 DRAM(Dynamic Random Access Memory)에 응용한 예가 개시(開示)되어 있다. OS 트랜지스터는 오프 상태에서의 누설 전류(오프 전류)가 매우 작기 때문에, 리프레시 기간이 길고 소비전력이 적은 메모리를 제작할 수 있다. OS 트랜지스터를 사용한 DRAM을 DOSRAM(등록 상표)이라고 부르는 경우가 있다. DOSRAM이란 "Dynamic Oxide Semiconductor RAM"의 약칭이고, 1T(트랜지스터) 1C(용량)형의 메모리 셀을 가진다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본 공개특허공보 특개2007-123861호

(특허문헌 0002) 일본 공개특허공보 특개2017-28237호

발명의 내용

해결하려는 과제

- [0007] 특허문헌 2에 기재된 기억 장치는 비트선이 감지 증폭기를 구성하는 트랜지스터의 게이트에 접속되어 있다. 감지 증폭기에 사용되는 트랜지스터는 편차를 억제하기 위하여 크기가 크고, 이에 따라 게이트 용량도 크다. 그러므로, 비트선에 부가되는 기생 용량이 커져, 기억 장치의 동작 속도의 저하나 오동작을 일으킨다.
- [0008] 본 발명의 일 형태는, 동작 속도가 빠른 기억 장치를 제공하는 것을 과제의 하나로 한다. 또한, 본 발명의 일 형태는 신뢰성이 높은 기억 장치를 제공하는 것을 과제의 하나로 한다. 또한, 본 발명의 일 형태는 소비전력이 작은 기억 장치를 제공하는 것을 과제의 하나로 한다. 또한 본 발명의 일 형태는 신규 반도체 장치를 제공하는 것을 과제의 하나로 한다.
- [0009] 또한, 본 발명의 일 형태의 과제는, 위에 열거한 과제에 한정되지 않는다. 위에 열거한 과제는 다른 과제의 존재를 방해하는 것이 아니다. 또한, 다른 과제는 이하의 기재에서 설명하는, 본 항목에서 언급하지 않은 과제이다. 본 항목에서 언급하지 않은 과제는 통상의 기술자라면 명세서 또는 도면 등의 기재로부터 도출할 수 있는 것이고, 이들의 기재로부터 적절히 추출할 수 있다. 또한 본 발명의 일 형태는 위에 열거한 기재 및 다른 과제 중 적어도 하나의 과제를 해결하는 것이다. 또한, 본 발명의 일 형태는, 위에 열거한 기재 및 다른 기재에 대하여, 모든 과제를 해결할 필요는 없다.

과제의 해결 수단

- [0010] 본 발명의 일 형태는, 제 1 메모리 셀과, 제 2 메모리 셀과, 제 1 배선과, 제 2 배선과, 제 1 스위치와, 제 2 스위치와, 감지 증폭기를 가지고, 제 1 메모리 셀은 제 1 트랜지스터 및 제 1 용량 소자를 가지고, 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 배선에 전기적으로 접속되고, 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 1 용량 소자에 전기적으로 접속되고, 제 2 메모리 셀은 제 2 트랜지스터 및 제 2 용량 소자를 가지고, 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 제 2 배선에 전기적으로 접속되고, 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 2 용량 소자에 전기적으로 접속되고, 감지 증폭기는 제 1 노드 및 제 2 노드를 가지고, 제 1 배선은 제 1 스위치를 통하여 제 1 노드에 전기적으로 접속되고, 제 2 배선은 제 2 스위치를 통하여 제 2 노드에 전기적으로 접속되고, 감지 증폭기는 제 1 노드와 제 2 노드의 전위차를 증폭하는 기억 장치이다.
- [0011] 또는, 상기 형태에 있어서, 제 1 스위치 및 제 2 스위치는 트랜지스터를 포함하여도 좋다.
- [0012] 또는, 상기 형태에 있어서 제 1 스위치 및 제 2 스위치는 n채널형 트랜지스터로 구성되고, 감지 증폭기는 n채널형 트랜지스터를 사용한 단극성 회로로 구성되어도 좋다.
- [0013] 또는, 상기 형태에 있어서 제 1 트랜지스터 및 제 2 트랜지스터는 채널 형성 영역에 산화물 반도체를 포함하여도 좋다.
- [0014] 또는, 상기 형태에 있어서 제 1 메모리 셀 및 제 2 메모리 셀은 감지 증폭기보다 상층에 제공되어도 좋다.
- [0015] 또는, 상기 형태에 있어서, 제 3 트랜지스터와, 제 4 트랜지스터와, 제 5 트랜지스터와, 제 6 트랜지스터를 가지고, 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 노드와 전기적으로 접속되고, 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 4 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 제 3 트랜지스터의 게이트는 제 1 배선과 전기적으로 접속되고, 제 5 트랜지스터의 소스 및 드레인 중 한쪽은 제 2 노드와 전기적으로 접속되고, 제 5 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 6 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 제 5 트랜지스터의 게이트는 제 2 배선과 전기적으로 접속되어도 좋다.
- [0016] 또는, 상기 형태에 있어서 제 1 배선의 전위를 제 1 메모리 셀에 유지된 데이터에 대응하는 전위로 한 후, 제 4 트랜지스터 및 제 6 트랜지스터를 온으로 하는 기능을 가져도 좋다.
- [0017] 또는, 상기 형태에 있어서 제 1 배선 및 제 2 배선을 프리차지한 후, 제 1 배선의 전위를 제 1 메모리 셀에 유지된 데이터에 대응하는 전위로 하는 기능을 가져도 좋다.
- [0018] 또는, 본 발명의 일 형태는 제 1 메모리 셀 내지 제 4 메모리 셀과, 제 1 배선 내지 제 4 배선과, 제 1 스위치

내지 제 4 스위치와, 감지 증폭기를 가지고, 제 1 메모리 셀은 제 1 트랜지스터 및 제 1 용량 소자를 가지고, 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 배선에 전기적으로 접속되고, 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 1 용량 소자에 전기적으로 접속되고, 제 2 메모리 셀은 제 2 트랜지스터 및 제 2 용량 소자를 가지고, 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 제 2 배선과 전기적으로 접속되고, 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 2 용량 소자에 전기적으로 접속되고, 제 3 메모리 셀은 제 3 트랜지스터 및 제 3 용량 소자를 가지고, 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 제 3 배선에 전기적으로 접속되고, 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 3 용량 소자에 전기적으로 접속되고, 제 4 메모리 셀은 제 4 트랜지스터 및 제 4 용량 소자를 가지고, 제 4 트랜지스터의 소스 및 드레인 중 한쪽은 제 4 배선에 전기적으로 접속되고, 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 4 용량 소자에 전기적으로 접속되고, 감지 증폭기는 제 1 노드 및 제 2 노드를 가지고, 제 1 배선은 제 1 스위치를 통하여 제 1 노드에 전기적으로 접속되고, 제 2 배선은 제 2 스위치를 통하여 제 2 노드에 전기적으로 접속되고, 제 3 배선은 제 3 스위치를 통하여 제 1 노드에 전기적으로 접속되고, 제 4 배선은 제 4 스위치를 통하여 제 2 노드에 전기적으로 접속되고, 감지 증폭기는 제 1 노드와 제 2 노드의 전위차를 증폭하는 기억 장치이다.

- [0019] 또는, 상기 형태에 있어서 제 1 스위치 내지 제 4 스위치는 트랜지스터를 포함하여도 좋다.
- [0020] 또는, 상기 형태에 있어서 제 1 스위치 내지 제 4 스위치는 n채널형 트랜지스터로 구성되고, 감지 증폭기는 n채널형 트랜지스터를 사용한 단극성 회로로 구성되어도 좋다.
- [0021] 또는, 상기 형태에 있어서 제 1 트랜지스터 내지 제 4 트랜지스터는 채널 형성 영역에 산화물 반도체를 포함하여도 좋다.
- [0022] 또는, 상기 형태에 있어서 제 1 메모리 셀 내지 제 4 메모리 셀은 감지 증폭기보다 상층에 제공되어도 좋다.
- [0023] 또는, 상기 형태에 있어서 제 5 트랜지스터와, 제 6 트랜지스터와, 제 7 트랜지스터와, 제 8 트랜지스터와, 제 9 트랜지스터와, 제 10 트랜지스터와, 제 11 트랜지스터와, 제 12 트랜지스터를 가지고, 제 5 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 노드와 전기적으로 접속되고, 제 5 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 6 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 제 5 트랜지스터의 게이트는 제 1 배선과 전기적으로 접속되고, 제 7 트랜지스터의 소스 및 드레인 중 한쪽은 제 2 노드와 전기적으로 접속되고, 제 7 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 8 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 제 7 트랜지스터의 게이트는 제 2 배선과 전기적으로 접속되고, 제 9 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 노드와 전기적으로 접속되고, 제 9 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 10 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 제 9 트랜지스터의 게이트는 제 3 배선과 전기적으로 접속되고, 제 11 트랜지스터의 소스 및 드레인 중 한쪽은 제 2 노드와 전기적으로 접속되고, 제 11 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 12 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 제 11 트랜지스터의 게이트는 제 4 배선과 전기적으로 접속되어도 좋다.
- [0024] 또는, 상기 형태에 있어서 제 1 배선의 전위를 제 1 메모리 셀에 유지된 데이터에 대응하는 전위로 한 후, 제 6 트랜지스터 및 제 8 트랜지스터를 온으로 하는 기능을 가져도 좋다.
- [0025] 또는, 상기 형태에 있어서 제 1 배선 및 제 2 배선을 프리차지한 후, 제 1 배선의 전위를 제 1 메모리 셀에 유지된 데이터에 대응하는 전위로 하는 기능을 가져도 좋다.

발명의 효과

- [0026] 본 발명의 일 형태에 의하여, 동작 속도가 빠른 기억 장치를 제공할 수 있다. 또한, 본 발명의 일 형태에 의하여, 신뢰성이 높은 기억 장치를 제공할 수 있다. 또한, 본 발명의 일 형태에 의하여, 소비전력이 작은 기억 장치를 제공할 수 있다. 또한, 본 발명의 일 형태에 의하여, 신규 반도체 장치를 제공할 수 있다.
- [0027] 또한, 본 발명의 일 형태의 효과는 위에 열거한 효과에 한정되지 않는다. 위에 열거한 효과는 다른 효과의 존재를 방해하는 것이 아니다. 또한 다른 효과는 이하의 기재에서 설명하는, 본 항목에서 언급하지 않은 효과이다. 본 항목에서 언급하지 않은 효과는 통상의 기술자라면 명세서 또는 도면 등의 기재로부터 도출할 수 있는 것이고, 이들 기재로부터 적절히 추출할 수 있다. 또한, 본 발명의 일 형태는 위에 열거한 효과 및 다른 효과 중 적어도 하나의 효과를 가지는 것이다. 따라서 본 발명의 일 형태는, 경우에 따라서는 위에 열거한 효과를 가지지 않는 경우도 있다.

도면의 간단한 설명

[0028]

- 도 1은 기억 장치의 구성예를 나타낸 블록도.
- 도 2는 셀(10)의 구성예를 나타낸 블록도 및 셀(10)이 가지는 메모리 셀의 구성예를 나타낸 회로도.
- 도 3은 셀(10)의 구성예를 나타낸 회로도.
- 도 4는 셀(10)의 동작예를 나타낸 타이밍 차트.
- 도 5는 셀(10)의 동작예를 나타낸 타이밍 차트.
- 도 6은 셀(10)의 구성예를 나타낸 회로도.
- 도 7은 트랜지스터(M1)의 구성예를 나타낸 회로도.
- 도 8은 셀(10)의 구성예를 나타낸 회로도.
- 도 9는 셀 어레이(110)의 구성예를 나타낸 회로도.
- 도 10은 셀 어레이(110)의 구성예를 나타낸 회로도.
- 도 11은 셀(10)의 구성예를 나타낸 회로도.
- 도 12는 셀(10)의 구성예를 나타낸 회로도.
- 도 13은 셀(10)의 동작예를 나타낸 타이밍 차트.
- 도 14는 셀(10)의 동작예를 나타낸 타이밍 차트.
- 도 15는 셀(10)의 동작예를 나타낸 타이밍 차트.
- 도 16은 셀(10)의 동작예를 나타낸 타이밍 차트.
- 도 17은 전원 제어부의 구성예를 나타낸 블록도.
- 도 18은 트랜지스터의 구성예를 나타낸 상면도 및 단면도.
- 도 19는 트랜지스터의 구성예를 나타낸 단면도.
- 도 20은 트랜지스터의 구성예를 나타낸 단면도.
- 도 21은 전자 부품의 예를 나타낸 모식도.
- 도 22는 전자 기기의 예를 나타낸 모식도.
- 도 23은 전자 기기의 예를 나타낸 모식도.
- 도 24는 GPU의 구성예를 나타낸 기능 블록도.

발명을 실시하기 위한 구체적인 내용

[0029]

이하에서는 실시형태에 대하여 도면을 참조하면서 설명한다. 다만, 실시형태는 많은 상이한 형태로 실시할 수 있고, 취지 및 그 범위로부터 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은, 통상의 기술자라면 용이하게 이해할 수 있다. 따라서 본 발명은 이하의 실시형태의 기재 내용에 한정되어 해석되는 것은 아니다.

[0030]

또한, 도면에서 크기, 층의 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서 반드시 그 스케일에 한정되지는 않는다. 또한 도면은 이상적인 예를 모식적으로 나타낸 것이고, 도면에 나타난 형상 또는 값 등에 한정되지 않는다.

[0031]

또한, 본 명세서에서는 이하의 실시형태를 적절히 조합하는 것이 가능하다. 또한, 하나의 실시형태 중에 복수의 구성예가 나타내어지는 경우에는, 구성예를 적절히 조합하는 것이 가능하다.

[0032]

또한, 본 명세서 중에서 고전원 전위를 H레벨(또는 V_{DD})이라고, 저전원 전위를 L레벨(또는 GND)이라고 부르는 경우가 있다.

- [0033] 또한, 본 명세서 중에서 배열의 괄호가 생략되어 기재되어 있는 경우, 그것은 배열 요소 중 불특정의 하나를 나타낸다. 예를 들어, 메모리 셀(2a)은 메모리 셀(2a[0]) 내지 메모리 셀(2a[3]) 중 불특정의 하나의 메모리 셀을 나타낸다.
- [0034] (실시형태 1)
- [0035] 본 실시형태에서는 본 발명의 일 형태인 OS 트랜지스터를 사용한 기억 장치에 대하여 설명한다.
- [0036] <기억 장치(100)>
- [0037] 도 1은 기억 장치의 구성예를 나타낸 블록도이다. 도 1에 나타난 기억 장치(100)는 셀 어레이(110), 주변 회로(111), 컨트롤 회로(112), 전위 생성 회로(127), 및 파워 스위치(PSW)(141 및 142)를 가진다.
- [0038] 기억 장치(100)에 있어서, 각 회로, 각 신호, 및 각 전위는 필요에 따라 적절히 취사할 수 있다. 또는, 다른 회로 또는 다른 신호를 추가하여도 좋다. 신호(BW), 신호(CE), 신호(GW), 신호(CLK), 신호(WAKE), 신호(ADDR), 신호(WDA), 신호(PON1), 신호(PON2)는 외부로부터의 입력 신호이고, 신호(RDA)는 외부로의 출력 신호이다. 신호(CLK)는 클럭 신호이다. 신호(CE), 신호(GW), 및 신호(BW)는 제어 신호이다. 신호(CE)는 칩 인에이블 신호이고, 신호(GW)는 글로벌 기록 인에이블 신호이고, 신호(BW)는 바이트 기록 인에이블 신호이다. 신호(ADDR)는 어드레스 신호이다. 신호(WDA)는 기록 데이터이고, 신호(RDA)는 판독 데이터이다. 신호(PON1), 신호(PON2)는 파워 게이팅 제어용 신호이다. 또한, 신호(PON1), 신호(PON2)는 컨트롤 회로(112)에서 생성하여도 좋다.
- [0039] 컨트롤 회로(112)는 기억 장치(100)의 동작 전반을 제어하는 기능을 가지는 로직 회로이다. 예를 들어, 컨트롤 회로는 신호(CE), 신호(GW), 및 신호(BW)를 논리 연산하여 기억 장치(100)의 동작 모드(예를 들어, 기록 동작 또는 판독 동작)를 결정한다. 또는 컨트롤 회로(112)는 이 동작 모드가 실행되도록 주변 회로(111)의 제어 신호를 생성한다.
- [0040] 셀 어레이(110)는 복수의 셀(10)을 가진다. 복수의 셀(10)은 매트릭스상으로 배치되어 있다.
- [0041] 전위 생성 회로(127)는 음의 전위(V_{BG})를 생성하는 기능을 가진다. V_{BG} 는 후술하는 셀(10)에 사용되는 OS 트랜지스터의 백 게이트에 인가된다. 신호(WAKE)는 신호(CLK)의 전위 생성 회로(127)로의 입력을 제어하는 기능을 가진다. 예를 들어, 신호(WAKE)에 H레벨의 신호가 공급되면 신호(CLK)가 전위 생성 회로(127)에 입력되고, 전위 생성 회로(127)는 V_{BG} 를 생성한다.
- [0042] 주변 회로(111)는 셀 어레이(110)에 대한 데이터의 기록 및 판독을 하는 기능을 가지는 회로이다. 주변 회로(111)는 행 디코더(121), 열 디코더(122), 행 드라이버(123), 열 드라이버(124), 입력 회로(125), 및 출력 회로(126)를 가진다.
- [0043] 행 디코더(121) 및 열 디코더(122)는 신호(ADDR)를 디코딩하는 기능을 가진다. 행 디코더(121)는 액세스하는 행을 지정하기 위한 회로이고, 열 디코더(122)는 액세스하는 열을 지정하기 위한 회로이다. 행 드라이버(123)는 행 디코더(121)가 지정하는 행의 셀(10)에 접속된 워드선을 선택하는 기능을 가진다. 열 드라이버(124)는 데이터를 셀 어레이(110)에 기록하는 기능, 셀 어레이(110)로부터 데이터를 판독하는 기능, 판독한 데이터를 유지하는 기능 등을 가진다.
- [0044] 입력 회로(125)는 신호(WDA)를 유지하는 기능을 가진다. 입력 회로(125)가 유지하는 데이터는 열 드라이버(124)에 출력된다. 입력 회로(125)의 출력 데이터가 셀 어레이(110)에 기록되는 데이터이다. 열 드라이버(124)가 셀 어레이(110)로부터 판독한 데이터(Dout)는 출력 회로(126)에 출력된다. 출력 회로(126)는 Dout를 유지하는 기능을 가진다. 출력 회로(126)는 유지하고 있는 데이터를 기억 장치(100)의 외부로 출력한다. 출력되는 데이터가 신호(RDA)이다.
- [0045] PSW(141)는 셀 어레이(110) 이외의 회로(주변 회로(115))로의 V_{DD} 의 공급을 제어하는 기능을 가진다. PSW(142)는 행 드라이버(123)로의 V_{HM} 의 공급을 제어하는 기능을 가진다. 여기서는, 기억 장치(100)의 고전원 전위가 V_{DD} 이고, 저전원 전위는 GND(접지 전위)이다. 또한, V_{HM} 은 워드선을 H레벨로 하기 위하여 사용되는 고전원 전위이고, V_{DD} 보다 높다. 신호(PON1)에 의하여 PSW(141)의 온·오프가 제어되고, 신호(PON2)에 의하여 PSW(142)의 온·오프가 제어된다. 도 1에서는, 주변 회로(115)에 있어서 V_{DD} 가 공급되는 전원 도메인의 개수를 하나로 하였

지만, 복수로 할 수도 있다. 이 경우, 각 전원 도메인에 대하여 파워 스위치를 제공하면 좋다.

- [0046] <셀(10)의 구성예>
- [0047] 도 2의 (A)는 셀(10)의 구성예를 나타낸 블록도이다. 셀(10)은 메모리 셀 어레이(1a), 메모리 셀 어레이(1b), 메모리 셀 어레이(1c), 메모리 셀 어레이(1d), 및 회로(20)를 가진다.
- [0048] 메모리 셀 어레이(1a)는 메모리 셀(2a[0]) 내지 메모리 셀(2a[3])을 가지고, 메모리 셀 어레이(1b)는 메모리 셀(2b[0]) 내지 메모리 셀(2b[3])을 가지고, 메모리 셀 어레이(1c)는 메모리 셀(2c[0]) 내지 메모리 셀(2c[3])을 가지고, 메모리 셀 어레이(1d)는 메모리 셀(2d[0]) 내지 메모리 셀(2d[3])을 가진다. 또한 본 명세서에 있어서 메모리 셀(2a) 내지 메모리 셀(2d)을 단순히 메모리 셀이라고 부르는 경우가 있다.
- [0049] 메모리 셀(2a[0]) 내지 메모리 셀(2a[3])은 각각 배선(Wa[0]) 내지 배선(Wa[3])을 통하여 도 1의 행 드라이버(123)에 전기적으로 접속되고, 메모리 셀(2b[0]) 내지 메모리 셀(2b[3])은 각각 배선(Wb[0]) 내지 배선(Wb[3])을 통하여 도 1의 행 드라이버(123)에 전기적으로 접속되고, 메모리 셀(2c[0]) 내지 메모리 셀(2c[3])은 각각 배선(Wc[0]) 내지 배선(Wc[3])을 통하여 도 1의 행 드라이버(123)에 전기적으로 접속되고, 메모리 셀(2d[0]) 내지 메모리 셀(2d[3])은 각각 배선(Wd[0]) 내지 배선(Wd[3])을 통하여 도 1의 행 드라이버(123)에 전기적으로 접속된다.
- [0050] 메모리 셀(2a[0]) 내지 메모리 셀(2a[3])은 배선(LBa)을 통하여 회로(20)에 전기적으로 접속되고, 메모리 셀(2b[0]) 내지 메모리 셀(2b[3])은 배선(LBb)을 통하여 회로(20)에 전기적으로 접속되고, 메모리 셀(2c[0]) 내지 메모리 셀(2c[3])은 배선(LBc)을 통하여 회로(20)에 전기적으로 접속되고, 메모리 셀(2d[0]) 내지 메모리 셀(2d[3])은 배선(LBd)을 통하여 회로(20)에 전기적으로 접속된다. 회로(20)는 배선(GB) 및 배선(GBB)을 통하여 도 1의 열 드라이버(124)에 전기적으로 접속된다.
- [0051] 또한, 배선(Wa), 배선(Wb), 배선(Wc), 및 배선(Wd)을 워드선이라고 부르는 경우가 있다. 또한 배선(LBa) 내지 배선(LBd), 및 배선(GB 및 GBB)을 비트선이라고 부르는 경우가 있다. 또한 비트선의 기능을 구별하기 위하여, 배선(LBa) 내지 배선(LBd)을 로컬 비트선이라고, 배선(GB), 배선(GBB)을 글로벌 비트선이라고 부르는 경우도 있다. 배선(GB), 배선(GBB)은 상보 데이터를 전송하기 위한 비트선쌍이다. 배선(GBB)에는 배선(GB)의 논리를 반전한 데이터가 입력된다.
- [0052] 행 드라이버(123)는 워드선을 통하여 데이터를 판독하는(또는 데이터를 기록하는) 메모리 셀을 선택하는 기능을 가진다. 또한 열 드라이버(124)는 글로벌 비트선 및 로컬 비트선을 통하여 행 드라이버(123)가 선택한 메모리 셀에 데이터를 기록하는(또는 메모리 셀로부터 데이터를 판독하는) 기능을 가진다.
- [0053] 회로(20)는 글로벌 비트선과 로컬 비트선을 전기적으로 접속하는 기능을 가진다. 또한 회로(20)는 감지 증폭기를 가지고, 로컬 비트선의 전위를 증폭하여 글로벌 비트선에 전달하는 기능을 가진다.
- [0054] 도 2의 (B)에 셀(10)이 가지는 메모리 셀의 회로 구성예를 나타내었다.
- [0055] 도 2의 (B)에 나타낸 메모리 셀(2a[0])은 트랜지스터(M1)와 용량 소자(C1)를 가진다. 트랜지스터(M1)는 제 1 게이트 및 제 2 게이트를 가진다. 또한, 본 명세서 중에서 제 1 게이트를 프런트 게이트라고, 제 2 게이트를 백 게이트라고 부르는 경우가 있다.
- [0056] 트랜지스터(M1)의 프런트 게이트는 배선(Wa[0])에 전기적으로 접속되고, 트랜지스터(M1)의 소스 및 드레인 중 한쪽은 배선(LBa)에 전기적으로 접속되고, 트랜지스터(M1)의 소스 및 드레인 중 다른 쪽은 용량 소자(C1)에 전기적으로 접속된다.
- [0057] 용량 소자(C1)의 제 1 단자는 트랜지스터(M1)의 소스 및 드레인 중 다른 쪽에 전기적으로 접속되고, 제 2 단자는 GND를 공급하는 배선에 전기적으로 접속된다.
- [0058] 메모리 셀(2a[0])은 트랜지스터(M1)를 온으로 함으로써 배선(LBa)으로부터 공급된 데이터를 용량 소자(C1)에 기록할 수 있다. 또한, 트랜지스터(M1)를 오프로 함으로써 용량 소자(C1)에 기록된 데이터를 유지할 수 있다.
- [0059] 트랜지스터(M1)의 프런트 게이트와 백 게이트는 반도체 층을 개재(介在)하여 서로 중첩되는 영역을 가지는 것이 바람직하다.
- [0060] 트랜지스터(M1)의 백 게이트는 배선(BGL)에 전기적으로 접속된다. 배선(BGL)에는 전위(V_{BG})가 공급된다. 트랜지스터(M1)는 백 게이트에 공급된 전위(V_{BG})에 의하여 문턱 전압을 제어하여, 노멀리 온이 되는 것을 방지할 수

있다.

- [0061] 트랜지스터(M1)에는 오프 전류가 극히 작은 트랜지스터를 사용하는 것이 바람직하다. 오프 전류가 극히 작은 트랜지스터를 사용함으로써, 메모리 셀(2a[0])은 용량 소자(C1)에 기록한 데이터를 긴 시간에 걸쳐 유지할 수 있다. 여기서 오프 전류가 극히 작다면, 예를 들어, 채널 폭 1 μ m당 오프 전류가 100zA(zepto 암페어) 이하인 것을 말한다. 또한 오프 전류는 작을수록 바람직하기 때문에, 이 정규화된 오프 전류를 10zA/ μ m 이하, 또는 1zA/ μ m 이하로 하는 것이 바람직하고, 10yA(오토 암페어)/ μ m 이하로 하는 것이 더 바람직하다. 또한 1zA는 1×10^{-21} A이고, 1yA는 1×10^{-24} A이다.
- [0062] 오프 전류가 극히 작은 트랜지스터로서, OS 트랜지스터를 들 수 있다. 또한 OS 트랜지스터의 자세한 내용에 대해서는 후술하는 실시형태 4에서 설명한다.
- [0063] 트랜지스터(M1)를 OS 트랜지스터로 함으로써 메모리 셀(2a[0])은 데이터의 리프레시 빈도를 적게 할 수 있다. 그 결과 기억 장치(100)의 소비전력을 저감시킬 수 있다.
- [0064] 또한 OS 트랜지스터에서는 오프 전류 특성의 온도 의존성이 작다. 그러므로 고온(예를 들어 100 $^{\circ}$ C 이상)이어도 OS 트랜지스터의 정규화된 오프 전류를 100zA 이하로 할 수 있다. 따라서, 트랜지스터(M1)에 OS 트랜지스터를 적용함으로써 메모리 셀(2a[0])은 고온 환경하에서도 데이터를 소실하지 않고 유지할 수 있다. 따라서 고온 환경하에서도 높은 신뢰성을 가지는 기억 장치(100)를 얻을 수 있다.
- [0065] 도 2의 (A)에 나타난 다른 메모리 셀(메모리 셀(2a[1]) 내지 메모리 셀(2a[3]), 메모리 셀(2b[0]) 내지 메모리 셀(2b[3]), 메모리 셀(2c[0]) 내지 메모리 셀(2c[3]), 및 메모리 셀(2d[0]) 내지 메모리 셀(2d[3]))에 대해서도 마찬가지로 도 2의 (B)에 나타난 회로를 적용할 수 있다. 그 결과, 기억 장치(100)의 소비전력을 저감시킬 수 있다. 또한 기억 장치(100)의 동작 속도를 향상시킬 수 있다. 또한 고온 환경하에서도 높은 신뢰성을 가지는 기억 장치(100)를 얻을 수 있다.
- [0066] 또한 도 2의 (A)에 나타난 셀(10)은 16개의 메모리 셀(4 \times 4)을 가지지만, 메모리 셀의 개수는 이에 한정되지 않는다. 셀(10)이 가지는 메모리 셀의 개수는 자유롭게 설정할 수 있다. 특히 상기 메모리 셀의 개수는 8의 배수로 하는 것이 바람직하다. 메모리 셀의 개수를 8의 배수로 함으로써, 셀(10)은, 예를 들어 1바이트(8비트), 1워드(32비트), 하프 워드(16비트) 등 각각의 단위마다 데이터를 취급할 수 있다.
- [0067] 예를 들어 셀(10)이 1바이트의 데이터를 취급하는 경우, 메모리 셀 어레이(1a) 내지 메모리 셀 어레이(1d)는 각각 2개의 메모리를 가지면 좋다(2 \times 4=8).
- [0068] 예를 들어 셀(10)이 1워드의 데이터를 취급하는 경우, 메모리 셀 어레이(1a) 내지 메모리 셀 어레이(1d)는 각각 8개의 메모리를 가지면 좋다(8 \times 4=32).
- [0069] 메모리 셀에 데이터를 기록할 때의 속도는 트랜지스터(M1)의 전류 구동 능력과 용량 소자(C1)의 용량에 따라 결정된다. 트랜지스터(M1)에 OS 트랜지스터를 사용한 경우, 트랜지스터(M1)의 전류 구동 능력은 채널 형성 영역에 Si(단결정 Si 등)를 사용한 트랜지스터(이하 Si 트랜지스터)를 사용한 경우보다 저하된다. 하지만 OS 트랜지스터를 사용함으로써 용량 소자(C1)의 용량을 작게 할 수 있기 때문에, OS 트랜지스터를 사용한 메모리 셀은 Si 트랜지스터를 사용한 메모리 셀보다 데이터의 기록을 고속으로 실행할 수 있다.
- [0070] 도 3은 셀(10)의 더 자세한 구성예를 나타낸 회로도이다. 도 3에서 회로(20)는 스위치(3a) 내지 스위치(3d), 스위치(4a) 내지 스위치(4d), 트랜지스터(5a) 내지 트랜지스터(5d), 트랜지스터(6a) 내지 트랜지스터(6d), 트랜지스터(21), 트랜지스터(22), 트랜지스터(23), 트랜지스터(24), 트랜지스터(25), 트랜지스터(26), 및 감지 증폭기(30)를 가진다.
- [0071] 감지 증폭기(30)는 인버터(31) 및 인버터(32)를 가진다. 이들 2개의 인버터의 입력 단자는 각각 다른 쪽의 출력 단자에 전기적으로 접속되고, 인버터(31) 및 인버터(32)는 래치 회로를 구성한다. 인버터(31)의 출력 단자(인버터(32)의 입력 단자)를 노드(N1)라고 부르고, 인버터(32)의 출력 단자(인버터(31)의 입력 단자)를 노드(N2)라고 부른다. 감지 증폭기(30)는 노드(N1)와 노드(N2)의 전위차를 증폭하고 유지하는 기능을 가진다.
- [0072] 트랜지스터(25) 및 트랜지스터(26)는 감지 증폭기(30)에 전력을 공급하는 트랜지스터이다. 트랜지스터(25)의 게이트에는 신호(SAP)가 입력되고, 트랜지스터(26)의 게이트에는 신호(SAN)가 입력된다. 트랜지스터(25), 트랜지스터(26)를 오프로 함으로써 감지 증폭기(30)는 동작을 정지하고, 트랜지스터(25), 트랜지스터(26)를 온으로 함으로써 감지 증폭기(30)는 동작을 시작한다.

- [0073] 스위치(3a)는 온일 때에 배선(LBa)에 전위(V_{PRE})를 공급하고, 오프일 때에 공급을 정지한다. 스위치(3b)는 온일 때에 배선(LBb)에 V_{PRE} 를 공급하고, 오프일 때에 공급을 정지한다. 스위치(3c)는 온일 때에 배선(LBc)에 V_{PRE} 를 공급하고, 오프일 때에 공급을 정지한다. 스위치(3d)는 온일 때에 배선(LBd)에 V_{PRE} 를 공급하고, 오프일 때에 공급을 정지한다.
- [0074] 스위치(4a)는 배선(LBa)과 노드(N1)의 전기적인 도통을 제어하는 기능을 가진다. 스위치(4b)는 배선(LBb)과 노드(N2)의 전기적인 도통을 제어하는 기능을 가진다. 스위치(4c)는 배선(LBc)과 노드(N1)의 전기적인 도통을 제어하는 기능을 가진다. 스위치(4d)는 배선(LBd)과 노드(N2)의 전기적인 도통을 제어하는 기능을 가진다.
- [0075] 스위치(3a) 내지 스위치(3d) 및 스위치(4a) 내지 스위치(4d)에는 트랜지스터를 사용하는 것이 바람직하다. 특히 n채널형 트랜지스터와 p채널형 트랜지스터를 병렬로 접속한 스위치를 사용하는 것이 바람직하다.
- [0076] 트랜지스터(5a)의 소스에는 고전원 전위(V_{DD})가 공급되고, 트랜지스터(5a)의 드레인은 트랜지스터(6a)의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 트랜지스터(5a)의 게이트에는 신호(PSE1)가 입력된다. 트랜지스터(6a)의 게이트는 배선(LBa)에 전기적으로 접속되고, 트랜지스터(6a)의 소스 및 드레인 중 다른 쪽은 노드(N1)에 전기적으로 접속된다.
- [0077] 트랜지스터(5b)의 소스에는 V_{DD} 가 공급되고, 트랜지스터(5b)의 드레인은 트랜지스터(6b)의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 트랜지스터(5b)의 게이트에는 신호(PSE1)가 입력된다. 트랜지스터(6b)의 게이트는 배선(LBb)에 전기적으로 접속되고, 트랜지스터(6b)의 소스 및 드레인 중 다른 쪽은 노드(N2)에 전기적으로 접속된다.
- [0078] 트랜지스터(5c)의 소스에는 V_{DD} 가 공급되고, 트랜지스터(5c)의 드레인은 트랜지스터(6c)의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 트랜지스터(5c)의 게이트에는 신호(PSE2)가 입력된다. 트랜지스터(6c)의 게이트는 배선(LBc)에 전기적으로 접속되고, 트랜지스터(6c)의 소스 및 드레인 중 다른 쪽은 노드(N1)에 전기적으로 접속된다.
- [0079] 트랜지스터(5d)의 소스에는 V_{DD} 가 공급되고, 트랜지스터(5d)의 드레인은 트랜지스터(6d)의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 트랜지스터(5d)의 게이트에는 신호(PSE2)가 입력된다. 트랜지스터(6d)의 게이트는 배선(LBd)에 전기적으로 접속되고, 트랜지스터(6d)의 소스 및 드레인 중 다른 쪽은 노드(N2)에 전기적으로 접속된다.
- [0080] 트랜지스터(21)의 게이트에는 신호(CSW)가 입력된다. 트랜지스터(21)는 신호(CSW)에 따라 노드(N1)와 배선(GB)의 전기적인 도통을 제어하는 기능을 가진다.
- [0081] 트랜지스터(22)의 게이트에는 신호(CSW)가 입력된다. 트랜지스터(22)는 신호(CSW)에 따라 노드(N2)와 배선(GBB)의 전기적인 도통을 제어하는 기능을 가진다.
- [0082] 트랜지스터(23)의 게이트에는 신호(PRE)가 입력된다. 트랜지스터(23)는 신호(PRE)에 따라 노드(N1)를 GND로 설정하는 기능을 가진다.
- [0083] 트랜지스터(24)의 게이트에는 신호(PRE)가 입력된다. 트랜지스터(24)는 신호(PRE)에 따라 노드(N2)를 GND로 설정하는 기능을 가진다.
- [0084] <셀(10)의 동작예>
- [0085] 다음으로, 도 4 및 도 5를 사용하여 셀(10)의 동작에 대하여 설명한다.
- [0086] 도 4 및 도 5는 셀(10)의 동작을 설명하기 위한 타이밍 차트이다. 위에서 순서대로 신호(PSE1), 신호(PSE2), 신호(PRE), 배선(Wa[0]), 신호(SAP), 신호(SAN), 신호(CSW), 배선(LBa), 배선(LBb), 노드(N1), 및 노드(N2)의 전위를 나타낸다. 또한, 동작의 타이밍에 맞추어 타이밍 차트는 기간(P0) 내지 기간(P5)으로 구분되어 있다. 또한 타이밍 차트에는 각각의 기간에 있어서의 스위치(3a) 내지 스위치(3d)와 스위치(4a) 내지 스위치(4d)의 도통 상태(온·오프)가 기재되어 있다.
- [0087] 도 4는 메모리 셀(2a[0])에 기록된 데이터 "0"을 판독하는 경우의 타이밍 차트이고, 도 5는 메모리 셀(2a[0])에 기록된 데이터 "1"을 판독하는 경우의 타이밍 차트이다.

- [0088] 우선, 도 4에 대하여 설명한다.
- [0089] 기간(P0)에 있어서 셀(10)은 메모리 셀(2a[0])에 기록된 데이터 "0"을 유지한다. 배선(Wa[0])은 L레벨이 공급되고, 메모리 셀(2a[0])의 트랜지스터(M1)는 오프를 유지한다.
- [0090] 또한, 기간(P0)에 있어서 스위치(3a) 내지 스위치(3d)는 온이고, 스위치(4a) 내지 스위치(4d)는 오프이다. 배선(LBa) 내지 배선(LBd)은 각각 V_{PRE} 에 프리차지된다.
- [0091] 또한, 기간(P0)에 있어서 신호(PRE)는 H레벨이고, 트랜지스터(23), 트랜지스터(24)는 온이 된다. 그 결과, 노드(N1), 노드(N2)는 L레벨에 프리차지된다.
- [0092] 또한, 기간(P0)에 있어서 신호(SAP)는 H레벨이고, 신호(SAN)는 L레벨이다. 트랜지스터(25), 트랜지스터(26)는 오프가 되고, 감지 증폭기(30)는 동작을 정지한다.
- [0093] 또한, 기간(P0)에 있어서 신호(PSE1), 신호(PSE2)는 H레벨이고, 신호(CSW)는 L레벨이다.
- [0094] 다음으로, 기간(P1)에 있어서 스위치(3a) 내지 스위치(3d)는 오프가 된다. 또한, 신호(PRE)는 L레벨이 되고, 트랜지스터(23) 및 트랜지스터(24)가 오프가 된다. 그 결과, 배선(LBa) 내지 배선(LBd), 및 노드(N1 및 N2)는 전기적으로 부유 상태가 된다.
- [0095] 또한, 기간(P1)에 있어서 배선(Wa[0])이 V_{HI} 이 되고, 메모리 셀(2a[0])의 트랜지스터(M1)가 온이 된다. 용량 소자(C1)에는 데이터 "0", 즉 L레벨의 전위가 기록되어 있기 때문에, 배선(LBa)의 전위는 저하된다. 배선(Wa[0]) 이외의 워드선은 모두 그대로 L레벨을 유지하기 때문에, 배선(LBb) 내지 배선(LBd)은 V_{PRE} 를 유지한다.
- [0096] 기간(P2)에 있어서 신호(PSE1)가 L레벨이 된다. 트랜지스터(5a), 트랜지스터(5b)는 온이 된다. 트랜지스터(6a)에 전류가 흐르고, 노드(N1)의 전위는 상승한다. 최종적으로, 노드(N1)의 전위는 $V_{LBa}-V_{tha}$ 까지 상승한다. 또한, V_{LBa} 는 기간(P2)에 있어서의 배선(LBa)의 전위이고, V_{tha} 는 트랜지스터(6a)의 문턱 전압이다. 마찬가지로, 노드(N2)의 전위는 $V_{LBb}-V_{tbb}$ 까지 상승한다. 또한, V_{LBb} 는 기간(P2)에 있어서의 배선(LBb)의 전위이고, V_{tbb} 는 트랜지스터(6b)의 문턱 전압이다.
- [0097] $V_{LBa} < V_{LBb}$ 이기 때문에, 트랜지스터(6a)와 트랜지스터(6b)의 문턱 전압이 같다($V_{tha}=V_{tbb}$)고 가정하면, 노드(N1)보다 노드(N2)의 전위가 더 높다.
- [0098] 다음으로, 기간(P3)에 있어서 신호(PSE1)를 H레벨로 하고, 트랜지스터(5a), 트랜지스터(5b)를 오프로 한다. 또한, 신호(SAP)를 L레벨로, 신호(SAN)를 H레벨로 하고, 감지 증폭기(30)의 전원을 온으로 한다. 감지 증폭기(30)가 구동을 시작하고, 노드(N1)와 노드(N2)의 전위차가 증폭된다.
- [0099] 다음으로, 기간(P4)에 있어서 스위치(4a) 내지 스위치(4d)를 온으로 한다. 노드(N1)는 L레벨이 되고, 노드(N2)는 H레벨이 된다. 이때 신호(CSW)를 H레벨로 하고, 트랜지스터(21), 트랜지스터(22)를 온으로 한다. 배선(GB)과 노드(N1)가 도통 상태가 되고, 배선(GBB)과 노드(N2)가 도통 상태가 된다. 이때의 배선(GB)과 배선(GBB)의 전위를 판독함으로써 메모리 셀(2a[0])에 기록된 데이터를 판정할 수 있다.
- [0100] 다음으로, 기간(P5)에 있어서 신호(CSW)를 L레벨로 한다. 메모리 셀(2a[0])에 노드(N1)의 전위가 기록된다. 즉, 메모리 셀(2a[0])에는 기간(P0)에서 유지된 데이터가 다시 기록된다.
- [0101] 다음으로, 도 5를 사용하여 메모리 셀(2a[0])에 기록된 데이터 "1"을 판독하는 경우의 동작에 대하여 설명한다. 또한, 이후는 도 4와의 상이점을 중심으로 설명하고, 도 4와 중복하는 부분에 대해서는 설명을 생략한다.
- [0102] 기간(P0)에 있어서 셀(10)은 메모리 셀(2a[0])에 기록된 데이터 "1"을 유지한다. 기간(P0)에 있어서의 다른 자세한 내용에 대해서는 도 4의 설명을 참조하면 좋다.
- [0103] 기간(P1)에 있어서 메모리 셀(2a[0])의 트랜지스터(M1)가 온이 된다. 용량 소자(C1)에는 데이터 "1", 즉 H레벨의 전위가 기록되어 있기 때문에, 배선(LBa)의 전위는 증가된다. 배선(Wa[0]) 이외의 워드선은 모두 그대로 L레벨을 유지하기 때문에, 배선(LBb) 내지 배선(LBd)은 V_{PRE} 를 유지한다.
- [0104] 다음으로, 기간(P2)에 있어서 노드(N1)의 전위는 $V_{LBa}-V_{tha}$ 까지 상승한다. 또한 V_{LBa} 는 기간(P2)에 있어서의 배선(LBa)의 전위이고, V_{tha} 는 트랜지스터(6a)의 문턱 전압이다. 마찬가지로, 노드(N2)의 전위는 $V_{LBb}-V_{tbb}$ 까지 상승

한다. 또한, V_{LbB} 는 기간(P2)에 있어서의 배선(LBb)의 전위이고, V_{tbb} 는 트랜지스터(6b)의 문턱 전압이다.

- [0105] $V_{LbA} > V_{LbB}$ 이기 때문에, 트랜지스터(6a)와 트랜지스터(6b)의 문턱 전압이 같가($V_{tha} = V_{tbb}$)고 가정하면, 노드(N2)보다 노드(N1)의 전위가 더 높다.
- [0106] 다음으로, 기간(P3)에 있어서 감지 증폭기(30)가 구동을 시작하고, 노드(N1)와 노드(N2)의 전위차가 증폭된다.
- [0107] 다음으로, 기간(P4)에 있어서 노드(N1)는 H레벨이 되고, 노드(N2)는 L레벨이 된다. 이때 배선(GB)과 노드(N1)가 도통 상태가 되고, 배선(GBB)과 노드(N2)가 도통 상태가 된다. 배선(GB)과 배선(GBB)의 전위를 판독함으로써 메모리 셀(2a[0])에 기록된 데이터를 판정할 수 있다.
- [0108] 다음으로, 기간(P5)에 있어서 메모리 셀(2a[0])에 노드(N1)의 전위가 기록된다. 즉, 메모리 셀(2a[0])에는 기간(P0)에서 유지된 데이터가 다시 기록된다.
- [0109] 이상, 상술한 방법을 사용함으로써 기억 장치(100)는 메모리 셀에 기록된 데이터를 판독할 수 있다.
- [0110] 특허문헌 2에 기재되어 있는 기억 장치와 같이, 로컬 비트선이 직접적으로 감지 증폭기에 접속되는 경우, 로컬 비트선에 부가되는 기생 용량은 커지지만, 본 실시형태에 나타내는 셀(10)은 로컬 비트선(LBa 내지 LBd)이 감지 증폭기(30)에 직접적으로 접속되지 않는다(스위치를 통하여 접속되어 있다). 그러므로, 로컬 비트선에 부가되는 기생 용량이 작아지고, 기억 장치(100)의 동작 속도를 향상시킬 수 있다. 또한, 기억 장치(100)의 오동작을 방지하고, 신뢰성이 높은 기억 장치를 제공할 수 있다.
- [0111] <셀(10)의 다른 구성예>
- [0112] 도 3에 나타낸 셀(10)은 노드(N1) 및 노드(N2)에 V_{PRE} 를 프리차지하여도 좋다. 그 경우의 회로도를 도 6에 나타내었다. 도 6에 나타낸 셀(10)은 회로(20)에 포함되는 스위치(3a) 내지 스위치(3d)가 생략되고, 대신에 스위치(27) 및 스위치(28)가 추가되어 있다는 점에서 도 3에 나타낸 셀(10)과 상이하다.
- [0113] 도 6에 있어서 스위치(27)는 온일 때에 노드(N1)에 전위(V_{PRE})를 공급하고, 오프 상태일 때에 공급을 정지한다. 스위치(28)는 온일 때에 노드(N2)에 전위(V_{PRE})를 공급하고, 오프일 때에 공급을 정지한다. 배선(LBa)으로의 V_{PRE} 의 공급은 스위치(4a)를 통하여 수행되고, 배선(LBb)으로의 V_{PRE} 의 공급은 스위치(4b)를 통하여 수행되고, 배선(LBc)으로의 V_{PRE} 의 공급은 스위치(4c)를 통하여 수행되고, 배선(LBd)으로의 V_{PRE} 의 공급은 스위치(4d)를 통하여 수행된다.
- [0114] 상술한 셀(10)에 있어서 트랜지스터(M1)의 백 게이트는 프론트 게이트에 전기적으로 접속되어도 좋다. 그 경우의 회로도를 도 7에 나타내었다. 트랜지스터(M1)를 도 7에 나타낸 구성으로 함으로써 온 전류를 증대시킬 수 있다. 그 결과, 메모리 셀의 동작 속도를 향상시킬 수 있다.
- [0115] 상기 셀(10)은 노드(N1)에 2개의 로컬 비트선(LBa, LBc)이 스위치를 통하여 전기적으로 접속되고, 노드(N2)에 2개의 로컬 비트선(LBb, LBd)이 스위치를 통하여 전기적으로 접속되어 있지만, 각각의 노드에 전기적으로 접속되는 로컬 비트선의 개수는 이에 한정되지 않는다. 예를 들어, 하나의 노드에 하나의 로컬 비트선이 전기적으로 접속되어도 좋고, 하나의 노드에 3개 이상의 로컬 비트선이 전기적으로 접속되어도 좋다. 노드(N1), 노드(N2)는 각각 1개 이상의 로컬 비트선에 스위치를 통하여 전기적으로 접속되면 좋다.
- [0116] <입체 구조>
- [0117] 도 8은 도 3에 나타낸 셀(10)의 회로도를 입체적으로 나타낸 것이다. 도 8에 있어서 배선(CL)은 용량 소자(C1)의 제 2 전극에 전기적으로 접속되고, GND가 공급된다.
- [0118] 도 8에 나타낸 바와 같이 셀(10)은 메모리 셀 어레이(1a) 내지 메모리 셀 어레이(1d)를 상층에, 회로(20)를 하층에 제공함으로써 구성할 수 있다.
- [0119] OS 트랜지스터는 Si 트랜지스터의 상층에 적층하여 제공할 수 있다. 예를 들어 회로(20)를 Si 트랜지스터로 구성하고, 메모리 셀 어레이(1a) 내지 메모리 셀 어레이(1d)를 OS 트랜지스터로 구성함으로써, 도 8에 나타낸 바와 같이 회로(20)의 상층에 메모리 셀 어레이(1a) 내지 메모리 셀 어레이(1d)를 제공할 수 있다. 그 결과, 기억 장치(100)의 회로 전유 면적을 작게 할 수 있게 되고, 기억 장치(100)의 제조 비용을 저감할 수 있다.
- [0120] 도 8에서는 메모리 셀 어레이(1a) 내지 메모리 셀 어레이(1d)를 하나의 층에 형성하지만, 이에 한정되지 않고

메모리 셀 어레이(1a) 내지 메모리 셀 어레이(1d)를 복수의 층에 형성하여도 좋다. 예를 들어, 아래에서 순서대로, 회로(20)로 구성되는 제 1 층과, 메모리 셀 어레이(1a) 및 메모리 셀 어레이(1c)로 구성되는 제 2 층과, 메모리 셀 어레이(1b) 및 메모리 셀 어레이(1d)로 구성되는 제 3 층의 적층 구조로 하여도 좋다. 또한, 예를 들어 아래에서 순서대로 회로(20)로 구성되는 제 1 층과, 메모리 셀 어레이(1a) 및 메모리 셀 어레이(1b)로 구성되는 제 2 층과, 메모리 셀 어레이(1c) 및 메모리 셀 어레이(1d)로 구성되는 제 3 층의 적층 구조로 하여도 좋다.

[0121] 도 9는 셀 어레이(110)의 구성예를 나타낸 회로도이다. 도 8에 나타낸 셀(10)이 어레이상으로 배치되어 있다. 도 9에 나타낸 바와 같이, x방향으로 배치된 복수의 셀(10)이 워드선(Wa, Wb, Wc, Wd)을 공유하고, y방향으로 배치된 복수의 셀(10)이 글로벌 비트선(GB, GBB)을 공유하고 있다.

[0122] 도 9에 나타낸 바와 같이 셀 어레이(110)를 구성함으로써, 집적도가 높은 기억 장치를 제공할 수 있다.

[0123] 도 10은 메모리 셀 어레이(1a) 내지 메모리 셀 어레이(1d)의 상층에 메모리 셀 어레이(1e), 메모리 셀 어레이(1f), 메모리 셀 어레이(1g), 및 메모리 셀 어레이(1h)를 제공한 예이다. 메모리 셀 어레이(1e)는 배선(LBe)(로컬 비트선)을 통하여 회로(20)에 전기적으로 접속되어 있다. 메모리 셀 어레이(1f)는 배선(LBf)(로컬 비트선)을 통하여 회로(20)에 전기적으로 접속되어 있다. 메모리 셀 어레이(1g)는 배선(LBg)(로컬 비트선)을 통하여 회로(20)에 전기적으로 접속되어 있다. 메모리 셀 어레이(1h)는 배선(LBh)(로컬 비트선)을 통하여 회로(20)에 전기적으로 접속되어 있다. 또한, 도시하지 않았지만, 배선(LBa), 배선(LBc), 배선(LBe), 배선(LBg)은 각각 스위치를 통하여 노드(N1)에 전기적으로 접속되고, 배선(LBb), 배선(LBd), 배선(LBf), 배선(LBh)은 각각 스위치를 통하여 노드(N2)에 전기적으로 접속되어 있다.

[0124] 도 10에 나타낸 바와 같이 셀 어레이(110)를 구성함으로써 기억 장치(100)의 칩 면적을 확대하지 않으면서 기억 용량을 늘릴 수 있다.

[0125] 이상, 본 실시형태에 나타낸 기억 장치를 사용함으로써 비트선의 기생 용량이 저감된 기억 장치를 제공할 수 있다. 또한, 동작 속도가 빠른 기억 장치를 제공할 수 있다. 또한, 신뢰성이 높은 기억 장치를 제공할 수 있다. 또한, 소비전력이 작은 기억 장치를 제공할 수 있다.

[0126] (실시형태 2)

[0127] 본 실시형태에서는 상기 실시형태에 나타낸 기억 장치의 변형예에 대하여 설명한다.

[0128] 도 3 및 도 6에 있어서는 n채널형 트랜지스터와 p채널형 트랜지스터의 양쪽을 사용한 회로(CMOS 회로)로 구성된 셀(10)의 예를 나타내었지만, 셀(10)은 단일의 극성의 트랜지스터를 사용하여 구성할 수도 있다. 이하에서는 단일의 극성의 트랜지스터를 사용하여 구성된 회로를 단극성 회로라고도 부른다.

[0129] <셀(10)의 구성예>

[0130] 도 11에 n채널형의 단극성 회로로 구성된 셀(10)의 구성예를 나타내었다. 도 11에 나타낸 회로(20)는 도 3에 나타낸 스위치(4a) 내지 스위치(4d)로서 n채널형 트랜지스터(40a) 내지 트랜지스터(40d)를 사용한다. 트랜지스터(40a) 및 트랜지스터(40b)의 게이트에는 신호(BE1)가 입력되고, 트랜지스터(40c) 및 트랜지스터(40d)의 게이트에는 신호(BE2)가 입력된다. 또한 트랜지스터(5a) 내지 트랜지스터(5d)로서 n채널형 트랜지스터가 사용된다. 또한, 트랜지스터(23)의 소스 및 드레인 중 한쪽, 및 트랜지스터(24)의 소스 및 드레인 중 한쪽은 전위(V_{PRE})가 공급되는 배선과 전기적으로 접속된다.

[0131] 도 11에서의 전위(V_{PRE})에는 고전원 전위와 저전원 전위 간의 전위를 사용할 수 있다. 예를 들어 전위 V_{PRE}=V_{DD}/2로 할 수 있다.

[0132] 또한, 도 11에 나타낸 회로(20)는 감지 증폭기(30) 대신에 단극성 회로로 구성된 감지 증폭기(50)를 가진다. 감지 증폭기(50) 및 트랜지스터(21)와 전기적으로 접속된 노드를 노드(N11)라고 부르고, 감지 증폭기(50) 및 트랜지스터(22)와 전기적으로 접속된 노드를 노드(N12)라고 부른다. 감지 증폭기(50)는 노드(N11)와 노드(N12)의 전위차를 증폭하고 유지하는 기능을 가진다.

[0133] 다음으로, 감지 증폭기(50)의 구체적인 구성예에 대하여 설명한다. 도 12에 감지 증폭기(50)를 포함하는 회로(20)의 일부와 메모리 셀(2a[0]) 및 메모리 셀(2b[0])을 나타내었다. 도 12에 나타낸 감지 증폭기(50)는 프리차지 회로(60) 및 증폭 회로(70)를 가진다. 프리차지 회로(60)는 노드(N11) 및 노드(N12)를 프리차지하는 기능을 가진다. 증폭 회로(70)는 노드(N11)와 노드(N12)의 전위차를 증폭하는 기능을 가진다.

- [0134] 프리차지 회로(60)는 트랜지스터(61) 내지 트랜지스터(63)를 가진다. 트랜지스터(61) 내지 트랜지스터(63)의 게이트는 신호(EQ)가 공급되는 배선과 전기적으로 접속되어 있다. 트랜지스터(61)의 소스 및 드레인 중 한쪽은 노드(N11)와 전기적으로 접속되고, 트랜지스터(62)의 소스 및 드레인 중 한쪽은 노드(N12)와 전기적으로 접속되어 있다. 트랜지스터(61)의 소스 및 드레인 중 다른 쪽, 및 트랜지스터(62)의 소스 및 드레인 중 다른 쪽은 저전원 전위가 공급되는 배선과 전기적으로 접속되어 있다. 트랜지스터(63)의 소스 및 드레인 중 한쪽은 노드(N11)와 전기적으로 접속되고, 트랜지스터(63)의 소스 및 드레인 중 다른 쪽은 노드(N12)와 전기적으로 접속되어 있다.
- [0135] 신호(EQ)가 H레벨이 되고, 트랜지스터(61) 내지 트랜지스터(63)가 온이 되면 노드(N11) 및 노드(N12)가 저전원 전위에 프리차지된다. 여기서는 트랜지스터(61) 내지 트랜지스터(63)로서 n채널형 트랜지스터가 사용되어 있다. 따라서 프리차지 회로(60)는 단극성 회로로 구성된다.
- [0136] 증폭 회로(70)는 트랜지스터(71) 내지 트랜지스터(74)를 가진다. 트랜지스터(71) 및 트랜지스터(72)의 게이트는 신호(SAE)가 공급되는 배선과 전기적으로 접속되고, 트랜지스터(71) 및 트랜지스터(72)의 소스 및 드레인 중 한쪽은 신호(SAP)가 공급되는 배선과 전기적으로 접속되어 있다. 트랜지스터(71)의 소스 및 드레인 중 다른 쪽은 트랜지스터(73)의 소스 및 드레인 중 한쪽, 트랜지스터(74)의 게이트, 및 노드(N11)와 전기적으로 접속된다. 트랜지스터(72)의 소스 및 드레인 중 다른 쪽은 트랜지스터(74)의 소스 및 드레인 중 한쪽, 트랜지스터(73)의 게이트, 및 노드(N12)와 전기적으로 접속된다. 트랜지스터(73) 및 트랜지스터(74)의 소스 및 드레인 중 다른 쪽은 신호(SAN)가 공급되는 배선과 전기적으로 접속된다.
- [0137] 신호(SAE) 및 신호(SAP)가 H레벨이고, 신호(SAN)가 L레벨이 되면, 증폭 회로(70)가 동작 상태가 되고, 노드(N11)와 노드(N12)의 전위차가 증폭된다. 이로써 노드(N11)와 노드(N12) 중 한쪽이 L레벨이고, 다른 쪽이 H레벨이 된다. 여기서는 트랜지스터(71) 내지 트랜지스터(74)로서 n채널 트랜지스터가 사용되어 있다. 따라서, 증폭 회로(70)는 단극성 회로로 구성되어 있다.
- [0138] 이상과 같이 회로(20)를 단극성 회로로 구성함으로써 제조 공정을 간이화할 수 있고, 제조 비용을 저감할 수 있다. 또한, 회로(20)를 Si 트랜지스터를 사용한 단극성 회로로 구성하는 경우, 웰 분리가 불필요하게 되어, CMOS 회로를 사용한 경우와 비교하여 레이아웃 면적을 작게 할 수 있다.
- [0139] 또한, 회로(20)는 n채널형 OS 트랜지스터를 사용한 단극성 회로로 구성할 수도 있다. 이 경우, 회로(20)를 메모리 셀과 같은 층에 제공하고, 회로(20)가 가지는 OS 트랜지스터와 메모리 셀이 가지는 OS 트랜지스터를 동일한 공정에서 작성할 수 있다. 이로써 제조 공정을 간이화할 수 있어, 제조 비용을 저감할 수 있다.
- [0140] 또한, Si 트랜지스터 또는 OS 트랜지스터를 사용한 단극성 회로로 구성된 회로(20)의 위쪽에, 도 8 및 도 9에 나타난 바와 같이 OS 트랜지스터를 사용한 메모리 셀을 적층할 수도 있다. 이로써 면적의 삭감을 도모할 수 있다. 또한, 도 10에 나타난 바와 같이 메모리 셀을 적층할 수도 있다.
- [0141] <셀(10)의 동작예>
- [0142] 다음으로, 도 12에 나타난 셀(10)의 동작예에 대하여 설명한다. 도 13 내지 도 16은 도 12에 나타난 셀(10)의 동작예를 나타낸 타이밍 차트이다. 또한, 도 13 및 도 14는 메모리 셀에 기억된 데이터를 관독할 때의 동작을 나타내고, 도 15 및 도 16은 메모리 셀에 데이터를 기록할 때의 동작을 나타낸다.
- [0143] [관독 동작]
- [0144] 메모리 셀에 기억된 데이터를 관독할 때의 동작을 도 13을 사용하여 설명한다. 여기서는 구체적인 예로서 메모리 셀(2a[0])에 저장된 데이터 "L"을 관독하는 경우의 동작에 대하여 자세히 설명한다.
- [0145] 우선, 기간(P11)에 있어서 신호(BE1)가 H레벨이 되고, 트랜지스터(40a) 및 트랜지스터(40b)가 온이 된다. 이때 신호(PRE)는 H레벨이고, 트랜지스터(23) 및 트랜지스터(24)는 온이기 때문에, 배선(LBa) 및 배선(LBb)에는 전위(V_{PRE})가 공급된다.
- [0146] 다음으로, 기간(P12)에 있어서 신호(BE1)가 L레벨이 되고, 트랜지스터(40a) 및 트랜지스터(40b)가 오프가 된다. 이로써 배선(LBa) 및 배선(LBb)은 전기적으로 부유 상태가 된다. 그 후, 기간(P13)에 있어서 신호(PRE)가 L레벨이 되고, 트랜지스터(23) 및 트랜지스터(24)가 오프가 된다.
- [0147] 다음으로, 기간(P14)에 있어서 신호(EQ)가 H레벨이 되고, 트랜지스터(61) 내지 트랜지스터(63)가 온이 된다. 이로써 노드(N11) 및 노드(N12)가 L레벨에 프리차지된다. 그 후, 기간(P15)에 있어서 신호(EQ)가 L레벨이

되고, 트랜지스터(61) 내지 트랜지스터(63)가 오프가 된다.

- [0148] 다음으로, 기간(P16)에 있어서 배선(Wa[0])의 전위가 H레벨이 되고, 메모리 셀(2a[0])의 트랜지스터(M1)가 온이 된다. 이때, 메모리 셀(2a[0])에는 데이터 "L"이 저장되어 있기 때문에, 전하 분배에 의하여 배선(LBa)의 전위가 저하된다. 한편, 메모리 셀(2b[0])은 비선택 상태이고, 배선(LBb)의 전위는 변화하지 않는다.
- [0149] 다음으로, 기간(P17)에 있어서 신호(PSE1)가 H레벨이 되고, 트랜지스터(5a) 및 트랜지스터(5b)가 온 상태가 된다. 이로써 트랜지스터(6a) 및 트랜지스터(6b)에 전류가 흐르고, 노드(N11) 및 노드(N12)의 전위가 상승한다. 여기서 배선(LBa)의 전위는 배선(LBb)의 전위보다 낮기 때문에, 노드(N11)의 최종적인 전위는 노드(N12)보다 낮아진다.
- [0150] 다음으로, 기간(P18)에 있어서 신호(SAE) 및 신호(SAP)가 H레벨이고, 신호(SAN)가 L레벨이 되면, 감지 증폭기(50)가 동작 상태가 되고 노드(N11)와 노드(N12)의 전위차가 증폭된다. 그 결과, 노드(N11)는 L레벨이 되고, 노드(N12)는 H레벨이 된다.
- [0151] 다음으로, 기간(P19)에 있어서 신호(CSW)가 H레벨이 되고, 트랜지스터(21) 및 트랜지스터(22)가 온이 된다. 이로써 노드(N11)의 전위가 배선(GB)에 출력되고, 노드(N12)의 전위가 배선(GBB)에 출력된다. 이때의 배선(GB)의 전위를 검출함으로써 메모리 셀(2a[0])에 저장된 데이터를 판독할 수 있다. 그 후, 기간(P20)에 있어서 신호(CSW)가 L레벨이 되고, 트랜지스터(21) 및 트랜지스터(22)가 오프가 된다.
- [0152] 다음으로, 기간(P21)에 있어서 배선(BE1)이 H레벨이 되고, 트랜지스터(40a)가 온이 된다. 그리고, 기간(P22)에 있어서 신호(SAE)가 L레벨이 되고, 트랜지스터(71) 및 트랜지스터(72)가 오프가 된다. 이로써 트랜지스터(71)를 흐르는 전류를 차단하고, 노드(N11)의 전위를 확실하게 L레벨로 할 수 있다. 이와 같이 함으로써 노드(N11)의 전위(L레벨)가 메모리 셀(2a[0])에 공급되고, 메모리 셀(2a[0])에 데이터 "L"이 다시 기록된다.
- [0153] 그 후 기간(P23)에 있어서 배선(Wa[0])의 전위가 L레벨이 되고, 메모리 셀(2a[0])의 트랜지스터(M1)가 오프가 된다. 이로써 메모리 셀(2a[0])에 데이터 "L"이 유지된다. 그리고, 기간(P24)에 있어서 신호(SAE) 및 신호(SAP)가 L레벨이고, 신호(SAN)가 H레벨이 되고, 감지 증폭기(50)가 정지 상태가 된다.
- [0154] 다음으로, 기간(P25)에 있어서 신호(PRE)가 H레벨이 되고, 트랜지스터(23) 및 트랜지스터(24)가 온이 된다. 이로써 노드(N11) 및 노드(N12)에 전위(V_{PRE})가 공급된다. 이로써 배선(LBa) 및 배선(LBb)의 전위도 전위(V_{PRE})가 된다. 그 후 기간(P26)에 있어서 신호(BE1)가 L레벨이 되고, 트랜지스터(40a) 및 트랜지스터(40b)가 오프가 되기 때문에, 배선(LBa) 및 배선(LBb)은 전기적으로 부유 상태가 된다. 이로써 셀(10)은 기간(P12)과 같은 상태가 된다.
- [0155] 또한, 여기서는 메모리 셀(2a[0])에 저장된 데이터가 "L"인 경우에 대하여 설명하였지만, 메모리 셀(2a[0])에 저장된 데이터가 "H"인 경우에도 같은 동작에 의하여 데이터의 판독을 수행할 수 있다. 메모리 셀(2a[0])로부터 데이터 "H"를 판독할 때의 동작을 나타낸 타이밍 차트를 도 14에 나타내었다.
- [0156] 메모리 셀(2a[0])에는 데이터 "H"가 저장되어 있기 때문에, 기간(P16)에 있어서 배선(LBa)의 전위는 상승한다. 그러므로, 기간(P17)에 있어서 노드(N11)의 전위는 노드(N12)보다 높아진다. 이 상태에서 기간(P18)에 있어서 감지 증폭기(50)를 동작 상태로 하면, 노드(N11)와 노드(N12)의 전위차가 증폭되어 노드(N11)는 H레벨이 되고, 노드(N12)는 L레벨이 된다. 그리고, 기간(P19)에 있어서 이들의 전위가 배선(GB) 및 배선(GBB)에 판독된다. 그 후, 기간(P21)에 있어서 메모리 셀(2a[0])에 데이터 "H"가 다시 기록된다.
- [0157] 이상의 동작에 의하여 메모리 셀(2a[0])에 저장된 데이터를 판독할 수 있다.
- [0158] [기록 동작]
- [0159] 다음으로, 메모리 셀에 데이터를 기록할 때의 동작을 도 15를 사용하여 설명한다. 여기서는 구체적인 예로서 데이터 "H"가 저장된 메모리 셀(2a[0])에 데이터 "L"을 덮어쓰는 경우의 동작에 대하여 자세하게 설명한다.
- [0160] 데이터의 기록은 셀(10)을 데이터의 판독 시와 같이 동작시킴으로써 수행할 수 있다. 구체적으로는, 도 15에 있어서 배선(LBa), 노드(N11), 노드(N12), 배선(GB), 및 배선(GBB)의 전위 이외의 신호의 제어는, 도 13 및 도 14와 마찬가지로이다. 그러므로, 이하에서는 주로 도 13 및 도 14와 상이한 동작에 대하여 설명한다.
- [0161] 우선, 기간(P31)에 있어서 배선(GB)의 전위가 L레벨이 된다. 이 배선(GB)의 전위가 메모리 셀(2a[0])에 기록되는 데이터 "L"에 대응한다. 또한, 배선(GBB)에는 H레벨의 전위가 공급된다.

- [0162] 그 후, 기간(P39)에 있어서 신호(CSW)가 H레벨이 되고, 트랜지스터(21) 및 트랜지스터(22)가 온이 된다. 이로써 배선(GB)의 전위가 노드(N11)에 공급되고, 배선(GBB)의 전위가 노드(N12)에 공급된다. 또한, 노드(N11)와 노드(N12)의 전위차가 감지 증폭기(50)에 의하여 증폭된다. 그 후, 기간(P40)에 있어서 신호(CSW)가 L레벨이 되고, 트랜지스터(21) 및 트랜지스터(22)가 오프가 된다.
- [0163] 다음으로, 기간(P41)에 있어서 배선(BE1)이 H레벨이 되고, 트랜지스터(40a)가 온이 된다. 이로써 노드(N11)의 전위(L레벨)가 메모리 셀(2a[0])에 공급되고, 메모리 셀(2a[0])에 데이터 "L"이 기록된다. 그 후, 기간(P43)에 있어서 배선(Wa[0])의 전위가 L레벨이 되고, 메모리 셀(2a[0])의 트랜지스터(M1)가 오프가 된다. 이로써 메모리 셀(2a[0])에 데이터 "L"이 유지된다.
- [0164] 또한, 여기서는 메모리 셀(2a[0])에 데이터 "L"이 기록되는 경우에 대하여 설명하였지만, 메모리 셀(2a[0])로의 데이터 "H"의 기록도 같은 동작에 의하여 수행할 수 있다. 메모리 셀(2a[0])에 데이터 "H"를 기록할 때의 동작을 나타내는 타이밍 차트를 도 16에 나타내었다.
- [0165] 우선, 기간(P31)에 있어서 배선(GB)의 전위가 H레벨이고, 배선(GBB)의 전위가 L레벨이 된다. 그 후, 기간(P39)에 있어서 신호(CSW)가 H레벨이 되고, 배선(GB)의 전위가 노드(N11)에 공급되고, 배선(GBB)의 전위가 노드(N12)에 공급된다. 또한, 노드(N11)와 노드(N12)의 전위차가 감지 증폭기(50)에 의하여 증폭된다.
- [0166] 그리고, 기간(P41)에 있어서 배선(BE1)이 H레벨이 되고, 트랜지스터(40a)가 온이 된다. 이로써 노드(N11)의 전위(H레벨)가 메모리 셀(2a[0])에 공급되고, 메모리 셀(2a[0])에 데이터 "H"가 기록된다. 그 후, 기간(P43)에 있어서 배선(Wa[0])의 전위가 L레벨이 되고, 메모리 셀(2a[0])의 트랜지스터(M1)가 오프가 된다. 이로써 메모리 셀(2a[0])에 데이터 "H"가 유지된다.
- [0167] 이상의 동작에 의하여, 메모리 셀(2a[0])로의 데이터의 기록을 수행할 수 있다.
- [0168] 본 실시형태에서 설명한 바와 같이, 셀(10)은 단극성 회로로 구성할 수 있다. 이로써 제조 비용의 저감 또는 면적의 삭감을 도모할 수 있다.
- [0169] 이상, 본 실시형태에서 나타낸 구성, 구조, 방법 등은 다른 실시형태에서 나타내는 구성, 구조, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0170] (실시형태 3)
- [0171] 본 실시형태에서는 상기 실시형태에서 설명한 기억 장치에 공급되는 전원을 제어하는 기능을 가지는 전원 제어부의 구성예에 대하여 도 17을 사용하여 설명한다.
- [0172] 기억 장치(100)의 셀(10)에 사용되는 트랜지스터(도 2에 나타낸 트랜지스터(M1) 등)는 고온이 되면 온 전류가 증가되고, 문턱 전압이 마이너스 측으로 시프트하는 경향이 있다. 그러므로, 기억 장치(100)를 고온 환경하에서 동작시킬 때는 행 드라이버(123)로부터 워드선(도 2에 나타낸 배선(Wa), 배선(Wb), 배선(Wc), 배선(Wd))을 통하여 셀(10)에 공급되는 신호(이하 선택 신호)의 전위가 낮아도 데이터의 판독과 기록이 정상적으로 수행된다. 또한, 상기 트랜지스터는 고온이 되면 전압 스트레스로 인한 열화가 발생하기 쉬워진다. 그러므로, 트랜지스터의 열화를 방지하는 관점에서 고온 환경하에서는 선택 신호의 전위가 낮은 것이 바람직하다.
- [0173] 또한, DVFS(Dynamic Voltage and Frequency Scaling)를 사용하여 기억 장치(100)의 동작 주파수를 제어하는 경우, 요구되는 선택 신호의 전위는 동작 주파수에 따라 상이하다. 구체적으로는, 동작 주파수가 낮은 경우에는, 선택 신호의 전위를 줄여도 기억 장치(100)의 동작을 유지할 수 있다. 또한, 선택 신호의 전위를 줄임으로써 소비전력을 삭감할 수 있다.
- [0174] 따라서 선택 신호의 전위는 기억 장치(100)의 온도 또는 동작 주파수에 따라 적절히 제어하는 것이 바람직하다. 도 17에 기억 장치(100)의 온도 및 동작 주파수에 따라 기억 장치(100)에 공급되는 전원 전위를 제어하는 기능을 가지는 전원 제어부(150)의 구성예를 나타내었다.
- [0175] 전원 제어부(150)는 기억 장치(100)에 전원 전위(V_{DD} , V_{DD}) 및 클럭 신호(CLK)를 공급하는 기능을 가진다. 전원 제어부(150)는 DVFS 제어 회로(151), 레귤레이터 제어 회로(152), 레귤레이터(153) 및 발진 회로(154)를 가진다. 또한, 전원 제어부(150)는 검출 회로(160)와 접속되어 있다.
- [0176] 검출 회로(160)는 온도를 검출하는 기능을 가진다. 구체적으로는, 검출 회로(160)는 기억 장치(100)의 온도를 검출하고, 상기 온도에 대응하는 신호를 레귤레이터 제어 회로(152)에 출력하는 기능을 가진다. 그리고, 전원

제어부(150)는 검출 회로(160)에 의하여 검출된 온도에 따라 전위(V_{HM})를 생성한다.

- [0177] 검출 회로(160)의 구성은 특별히 한정되지 않는다. 예를 들어, 다이오드 등으로 구성되는 온 칩 온도 센서나 센서 IC 등을 사용할 수 있다. 또한, 검출 회로(160)는 기억 장치(100)의 내부에 제공할 수도 있다.
- [0178] DVFS 제어 회로(151)는, 기억 장치(100)의 전원 전위와 동작 주파수를 제어하는 기능을 가진다. 기억 장치(100)에 공급되는 전위(V_{DD}) 및 클럭 신호(CLK)의 주파수는 DVFS 제어 회로(151)에 의하여 제어할 수 있다. 구체적으로는, DVFS 제어 회로(151)는 기억 장치(100)의 전원 전위를 제어하는 신호를 레귤레이터 제어 회로(152)에 출력하는 기능을 가진다. 또한, DVFS 제어 회로(151)는 기억 장치(100)의 동작 주파수를 제어하는 신호를 발진 회로(154)에 출력하는 기능을 가진다.
- [0179] 레귤레이터 제어 회로(152)는 레귤레이터(153)에 의하여 생성되는 전위(V_{HM})를 제어하는 기능을 가진다. 구체적으로는, 레귤레이터 제어 회로(152)는 검출 회로(160)로부터 입력되는 신호 및 DVFS 제어 회로(151)로부터 입력되는 신호에 의거하여 전위(V_{HM})를 제어하는 기능을 가진다.
- [0180] 구체적으로는, 레귤레이터 제어 회로(152)는 검출 회로(160)에 의하여 검출된 기억 장치(100)의 온도가 기준치를 넘은 경우, 또는 기준치를 하회한 경우에 레귤레이터(153)에 의하여 생성되는 전위(V_{HM})를 변화시키는 기능을 가진다. 예를 들어, 레귤레이터 제어 회로(152)는, 검출 회로(160)에 의하여 검출된 기억 장치(100)의 온도를 콤퍼레이터 등을 사용하여 저온, 중온, 고온의 3단계로 분류하고, 상기 분류 결과에 대응하는 전위(V_{HM})(기억 장치(100)가 고온일수록 낮은 전위)를 레귤레이터(153)에 의하여 생성시키는 기능을 가진다.
- [0181] 또한, 레귤레이터 제어 회로(152)는 DVFS 제어 회로(151)에 의하여 설정된 동작 주파수가 기준치를 넘은 경우, 또는 기준치를 하회한 경우에 레귤레이터(153)에 의하여 생성되는 전위(V_{HM})를 변화시키는 기능을 가진다. 구체적으로는, 레귤레이터 제어 회로(152)는 기억 장치(100)의 동작 주파수가 낮을수록 레귤레이터(153)에 의하여 낮은 전위(V_{HM})를 생성시키는 기능을 가진다.
- [0182] 기억 장치(100)의 온도의 기준치의 수 및 값, 및 기억 장치(100)의 동작 주파수의 기준치의 수 및 값은 자유롭게 설정할 수 있다. 그리고, 레귤레이터 제어 회로(152)는 기억 장치(100)의 온도 및 동작 주파수에 의거하여 제어 신호를 생성하여 레귤레이터(153)에 출력한다.
- [0183] 레귤레이터(153)는 행 드라이버(123)에 공급되는 전위(V_{HM})를 생성하는 기능을 가진다. 구체적으로는, 레귤레이터(153)는 레귤레이터 제어 회로(152)로부터 입력된 제어 신호에 따라 선택 신호의 생성에 사용되는 전위(V_{HM})를 생성하고 행 드라이버(123)에 공급하는 기능을 가진다.
- [0184] 그리고, 행 드라이버(123)는 레귤레이터(153)로부터 입력된 전위(V_{HM})를 사용하여 선택 신호를 생성한다. 이로써, 기억 장치(100)의 온도 및 동작 주파수에 대응하는 선택 신호가 생성된다.
- [0185] 발진 회로(154)는 클럭 신호(CLK)를 생성하는 기능을 가진다. 구체적으로는, 발진 회로(154)는 DVFS 제어 회로(151)로부터 입력되는 신호에 의거하여 기억 장치(100)의 동작 주파수에 대응하는 클럭 신호(CLK)를 생성하는 기능을 가진다. 발진 회로(154)에 의하여 생성된 클럭 신호(CLK)는 기억 장치(100)에 출력된다.
- [0186] 또한, 여기서는 기억 장치(100)의 온도 및 동작 주파수의 양방에 의거하여 전위(V_{HM})가 제어되는 경우에 대하여 설명하였지만, 전위(V_{HM})는 기억 장치(100)의 온도 및 동작 주파수 중 한쪽에 의거하여 제어되어도 좋다.
- [0187] 상기 구성에 의하여 선택 신호의 생성에 사용되는 전위(V_{HM})를 기억 장치(100)의 온도 또는 동작 주파수에 의거하여 제어할 수 있다. 이로써 트랜지스터의 열화의 억제 및 소비전력의 저감을 도모할 수 있다.
- [0188] 이상 본 실시형태에서 나타낸 구성, 구조, 방법 등은 다른 실시형태에서 나타내는 구성, 구조, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0189] (실시형태 4)
- [0190] 이하에서는 실시형태 1에 나타낸 트랜지스터(M1)에 사용할 수 있는 OS 트랜지스터의 구성에 대하여 도 18 내지 도 20을 사용하여 설명한다.
- [0191] 도 18의 (A)는 트랜지스터(200)의 상면도이다. 또한, 도 18의 (B), 도 19의 (A), (B), 및 도 20은 트랜지스터

(200)의 단면도이다. 여기서, 도 18의 (B)는 도 18의 (A)에 A1-A2의 일점쇄선으로 나타난 부분의 단면도이고, 트랜지스터(200)의 채널 길이 방향의 단면도이기도 하다. 또한, 도 19의 (A)는 도 18의 (A)에 A3-A4의 일점쇄선으로 나타난 부분의 단면도이고, 트랜지스터(200)의 채널 폭 방향의 단면도이기도 하다. 또한, 도 19의 (B)는 도 18의 (A)에 A5-A6의 일점쇄선으로 나타난 부분의 단면도이고, 트랜지스터(200)의 소스 영역 또는 드레인 영역의 단면도이기도 하다. 또한, 도 18의 (A)의 상면도에서는, 도면의 명료화를 위하여 일부의 요소를 생략하여 도시하였다.

- [0192] 트랜지스터(200)는 OS 트랜지스터이고, 실시형태 1에 나타난 트랜지스터(M1)에 사용할 수 있다.
- [0193] 절연체(210), 절연체(212), 절연체(273), 절연체(274), 절연체(280)는 트랜지스터(200)를 보호하는 층간막으로서 기능한다.
- [0194] 또한, 트랜지스터(200)는 배선으로서 기능하는 도전체(203) 및 플러그로서 기능하는 도전체(240)(도전체(240a) 및 도전체(240b))에 전기적으로 접속되어 있다.
- [0195] 도전체(203)는 절연체(212)의 개구의 내벽과 접하여 도전체(203)의 제 1 도전체가 형성되고, 더 내측에 도전체(203)의 제 2 도전체가 형성되어 있다. 여기서, 도전체(203)의 상면의 높이와, 절연체(212)의 상면의 높이는 같은 정도로 할 수 있다. 또한, 본 실시형태에서는, 도전체(203)의 제 1 도전체 및 도전체(203)의 제 2 도전체를 적층하는 구성을 나타내지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어, 도전체(203)를 단층 또는 3층 이상의 적층 구조로 하여도 좋다. 또한, 구조체가 적층 구조를 가지는 경우에는, 형성 순서대로 서수를 붙이고 구별하는 경우가 있다.
- [0196] 절연체(273)는 트랜지스터(200) 위에 배치된다. 절연체(274)는 절연체(273) 위에 배치된다. 절연체(280)는 절연체(274) 위에 배치된다.
- [0197] 또한, 도전체(240)는 절연체(273), 절연체(274), 및 절연체(280)의 개구의 내벽과 접하여 형성되어 있다. 여기서, 도전체(240)의 상면의 높이와, 절연체(280)의 상면의 높이는 같은 정도로 할 수 있다. 또한, 본 실시형태에서는, 도전체(240)가 2층의 적층 구조인 구성을 나타내지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어, 도전체(240)는 단층 또는 3층 이상의 적층 구조이어도 좋다.
- [0198] 도 18의 (B)에 나타난 바와 같이, 트랜지스터(200)는 기판(도시하지 않았음) 위에 배치된 절연체(214) 및 절연체(216)와, 절연체(214) 및 절연체(216)에 매립되도록 배치된 도전체(205)와, 절연체(216)와 도전체(205) 위에 배치된 절연체(220)와, 절연체(220) 위에 배치된 절연체(222)와, 절연체(222) 위에 배치된 절연체(224)와, 절연체(224) 위에 배치된 산화물 반도체(230)(산화물 반도체(230a), 산화물 반도체(230b), 및 산화물 반도체(230c))와, 산화물 반도체(230) 위에 배치된 절연체(250)와, 절연체(250) 위에 배치된 금속 산화물(252)과, 금속 산화물(252) 위에 배치된 도전체(260)(도전체(260a) 및 도전체(260b))와, 도전체(260) 위에 배치된 절연체(270)와, 절연체(270) 위에 배치된 절연체(271)와, 적어도 산화물 반도체(230c), 절연체(250), 금속 산화물(252), 및 도전체(260)의 측면과 접하여 배치된 절연체(275)와, 산화물 반도체(230) 위에 형성된 층(242)을 가진다. 또한, 층(242)의 한쪽과 접하여 도전체(240a)가 배치된다.
- [0199] 트랜지스터(200)에서는, 층(242)의 한쪽이 소스 및 드레인 중 한쪽으로서 기능하고, 층(242)의 다른 쪽이 소스 및 드레인 중 다른 쪽으로서 기능하고, 도전체(260)가 프런트 게이트로서 기능하고, 도전체(205)가 백 게이트로서 기능한다.
- [0200] 또한, 트랜지스터(200)에서 산화물 반도체(230a), 산화물 반도체(230b), 및 산화물 반도체(230c)의 3층이 적층되는 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어, 산화물 반도체(230b)의 단층, 산화물 반도체(230b)와 산화물 반도체(230a)의 2층 구조, 산화물 반도체(230b)와 산화물 반도체(230c)의 2층 구조, 또는 4층 이상의 적층 구조로 하여도 좋다. 또한, 트랜지스터(200)에서 도전체(260a) 및 도전체(260b)가 적층되는 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다.
- [0201] 다음으로, 트랜지스터(200)에 사용하는 산화물 반도체(230)의 자세한 사항에 대하여 설명한다. 트랜지스터(200)는, 채널 형성 영역을 포함하는 산화물 반도체(230)(산화물 반도체(230a), 산화물 반도체(230b), 및 산화물 반도체(230c))에, 산화물 반도체로서 기능하는 금속 산화물(이하, 산화물 반도체라고도 함)을 사용하는 것이 바람직하다.
- [0202] 채널 형성 영역에 산화물 반도체를 사용한 트랜지스터(200)는, 비도통 상태에서 누설 전류가 매우 작기 때문에, 저소비전력의 기억 장치를 제공할 수 있다. 또한, 산화물 반도체는 스퍼터링법 등을 사용하여 성막할 수 있기

때문에, 고집적형의 기억 장치를 구성하는 트랜지스터(200)에 사용할 수 있다.

- [0203] 예를 들어, 산화물 반도체(230)로서 In-M-Zn 산화물(원소 M은 알루미늄, 갈륨, 이트륨, 구리, 바나듐, 베릴륨, 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 탄타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 또는 마그네슘 등에서 선택된 1종류 또는 복수 종류) 등의 금속 산화물을 사용하는 것이 좋다. 또한, 산화물 반도체(230)로서 In-Ga 산화물, In-Zn 산화물을 사용하여도 좋다.
- [0204] 여기서, 산화물 반도체는, 산화물 반도체를 구성하는 원소 이외에 알루미늄, 루테튬, 타이타늄, 탄탈럼, 크로뮴, 텅스텐 등의 금속 원소가 첨가됨으로써, 금속 화합물을 형성하여 저저항화된다. 또한, 알루미늄, 타이타늄, 탄탈럼, 텅스텐 등을 사용하는 것이 바람직하다.
- [0205] 산화물 반도체에 금속 원소를 첨가하기 위해서는, 예를 들어 산화물 반도체 위에 금속막, 금속 원소를 포함하는 질화막, 또는 금속 원소를 포함하는 산화막을 제공하는 것이 좋다. 또한, 상기 막을 제공함으로써, 상기 막과 산화물 반도체의 계면, 또는 상기 계면 근방에 위치하는 산화물 반도체 내의 일부의 산소가 상기 막 등에 흡수되고 산소 결손을 형성하여, 상기 계면 근방이 저저항화되는 경우가 있다.
- [0206] 또한, 산화물 반도체 위에 금속막, 금속 원소를 포함하는 질화막, 또는 금속 원소를 포함하는 산화막을 제공한 후, 질소를 포함하는 분위기하에서 열처리를 수행하는 것이 좋다. 질소를 포함하는 분위기하에서의 열처리에 의하여, 금속막, 금속 원소를 포함하는 질화막, 또는 금속 원소를 포함하는 산화막으로부터, 상기 막의 성분인 금속 원소가 산화물 반도체로, 또는 산화물 반도체의 성분인 금속 원소가 상기 막으로 확산된다. 이에 의하여, 산화물 반도체와 상기 막이 금속 화합물을 형성하여 산화물 반도체를 저저항화할 수 있다. 산화물 반도체에 첨가된 금속 원소는, 산화물 반도체와 상기 금속 원소에 의하여 금속 화합물이 형성되면 비교적 안정적인 상태가 되기 때문에, 신뢰성이 높은 기억 장치를 제공할 수 있다.
- [0207] 또한, 금속막, 금속 원소를 포함하는 질화막, 또는 금속 원소를 포함하는 산화막과, 산화물 반도체의 계면에 화합물층(이하, 이층(異層)이라고도 함)이 형성되어도 좋다. 또한, 화합물층(이층)이란, 금속막, 금속 원소를 포함하는 질화막, 또는 금속 원소를 포함하는 산화막의 성분과, 산화물 반도체의 성분을 포함하는 금속 화합물을 포함한 층으로 한다. 예를 들어, 화합물층으로서, 산화물 반도체의 금속 원소와, 첨가된 금속 원소가 합금화한 층이 형성되어도 좋다. 상기 합금화한 층은, 비교적 안정적인 상태에 있고, 신뢰성이 높은 기억 장치를 제공할 수 있다.
- [0208] 또한, 산화물 반도체에 존재하는 수소는, 산화물 반도체의 저저항화된 영역으로 확산되고 저저항화된 영역에 존재하는 산소 결손 내로 들어간 경우, 비교적 안정적인 상태가 된다. 또한, 산화물 반도체에 존재하는 산소 결손 내의 수소는, 250℃ 이상의 열처리에 의하여 산소 결손에서 방출되고, 산화물 반도체의 저저항화된 영역으로 확산되고, 저저항화된 영역에 존재하는 산소 결손 내로 들어가고, 비교적 안정적인 상태가 되는 것이 알려져 있다. 따라서, 열처리에 의하여, 산화물 반도체의 저저항화된 영역 또는 금속 화합물이 형성된 영역은 더 저저항화되고, 저저항화되지 않은 산화물 반도체는 고순도화(물, 수소 등의 불순물이 저감)되어 더 고저항화되는 경향이 있다.
- [0209] 또한, 산화물 반도체는, 수소 또는 질소 등의 불순물 원소가 존재하면 캐리어 밀도가 증가한다. 산화물 반도체 내의 수소는, 금속 원자와 결합하는 산소와 반응하여 물이 되어, 산소 결손을 형성하는 경우가 있다. 상기 산소 결손에 수소가 들어가면, 캐리어 밀도는 증가한다. 또한, 수소의 일부가 금속 원자와 결합하는 산소와 결합하여, 캐리어인 전자를 생성하는 경우가 있다. 즉, 질소 또는 수소를 포함하는 산화물 반도체는 저저항화된다.
- [0210] 따라서, 산화물 반도체에 금속 원소, 그리고 수소, 질소 등의 불순물 원소를 선택적으로 첨가함으로써, 산화물 반도체에 고저항 영역 및 저저항 영역을 제공할 수 있다. 즉, 산화물 반도체(230)를 선택적으로 저저항화함으로써, 섬 형상으로 가공한 산화물 반도체(230)에, 캐리어 밀도가 낮은 반도체로서 기능하는 영역과, 소스 영역 또는 드레인 영역으로서 기능하는 저저항화된 영역을 제공할 수 있다.
- [0211] 여기서, 도 18의 (B)에서 파선으로 둘러싼, 선택적으로 저저항화된 산화물 반도체(230b)를 포함하는 영역의 확대도를 도 20에 나타내었다.
- [0212] 도 20에 나타낸 바와 같이, 산화물 반도체(230)는 트랜지스터의 채널 형성 영역으로서 기능하는 영역(234)과, 소스 영역 또는 드레인 영역으로서 기능하는 영역(231)(영역(231a) 및 영역(231b))과, 영역(234)과 영역(231) 사이에 제공되는 영역(232)(영역(232a) 및 영역(232b))을 가진다.
- [0213] 소스 영역 또는 드레인 영역으로서 기능하는 영역(231)은 산소 농도가 낮고 저저항화된 영역이다. 또한, 채널

형성 영역으로서 기능하는 영역(234)은 소스 영역 또는 드레인 영역으로서 기능하는 영역(231)보다 산소 농도가 높고 캐리어 밀도가 낮은 고저항 영역이다. 또한, 영역(232)은 소스 영역 또는 드레인 영역으로서 기능하는 영역(231)보다 산소 농도가 높고 캐리어 밀도가 낮고, 또한 채널 형성 영역으로서 기능하는 영역(234)보다 산소 농도가 낮고 캐리어 밀도가 높은 영역이다.

- [0214] 또한, 영역(231)은 금속 원소, 그리고 수소, 질소 등의 불순물 원소 중 적어도 하나의 농도가 영역(232) 및 영역(234)보다 높은 것이 바람직하다.
- [0215] 예를 들어, 영역(231)은, 산화물 반도체(230) 외에 알루미늄, 타이타늄, 탄탈럼, 텅스텐, 크로뮴 등의 금속 원소 중에서 선택되는 어느 하나 또는 복수의 금속 원소를 포함하는 것이 바람직하다.
- [0216] 영역(231)을 형성하기 위하여, 예를 들어 산화물 반도체(230)의 영역(231)과 접하여 금속 원소를 포함하는 막을 제공하면 좋다. 상기 금속 원소를 포함하는 막은, 영역(231)을 형성한 후에 에칭에 의하여 제거되는 것이 바람직하다. 또한, 상기 금속 원소를 포함하는 막으로서 금속막, 금속 원소를 포함하는 산화막, 또는 금속 원소를 포함하는 질화막을 사용할 수 있다. 이때, 상기 금속 원소를 포함하는 막과, 산화물 반도체(230)의 계면에 층(242)이 형성되어도 좋다. 예를 들어, 층(242)은 산화물 반도체(230)의 상면 및 측면에 형성되는 경우가 있다. 또한, 층(242)은 상기 금속 원소가 포함하는 막의 성분과, 산화물 반도체(230)의 성분을 포함하는 금속 화합물을 포함한 층으로 한다. 따라서, 층(242)을 화합물층이라고 할 수도 있다. 예를 들어, 층(242)으로서, 산화물 반도체(230) 내의 금속 원소와, 첨가된 금속 원소가 합금화한 층이 형성되어도 좋다.
- [0217] 산화물 반도체(230)에 금속 원소가 첨가됨으로써, 산화물 반도체(230) 내에 금속 화합물이 형성되어 영역(231)을 저저항화할 수 있다.
- [0218] 영역(231)은 층(242)의 저저항화 영역도 포함하는 경우가 있다. 따라서, 층(242)의 적어도 일부가 트랜지스터(200)의 소스 영역 또는 드레인 영역으로서 기능하는 경우가 있다.
- [0219] 영역(232)은 절연체(275)와 중첩되는 영역을 가진다. 영역(232)은 알루미늄, 타이타늄, 탄탈럼, 텅스텐, 크로뮴 등의 금속 원소, 그리고 수소, 질소 등의 불순물 원소 중 적어도 하나의 농도가 영역(234)보다 높은 것이 바람직하다. 예를 들어, 산화물 반도체(230)의 영역(231)과 접하여 상기 금속 원소를 포함하는 막을 제공함으로써, 상기 금속 원소를 포함하는 막 내의 성분과, 산화물 반도체의 성분이 금속 화합물을 형성하는 경우가 있다. 상기 금속 화합물은 산화물 반도체(230)에 포함되는 수소를 끌어당기는 경우가 있다. 따라서, 영역(231) 근방인 영역(232)의 수소 농도가 높아지는 경우가 있다.
- [0220] 또한, 영역(232a) 및 영역(232b) 중 어느 한쪽 또는 양쪽을, 도전체(260)와 중첩되는 영역을 가지는 구성으로 하여도 좋다.
- [0221] 또한, 도 20에서는 영역(234), 영역(231), 및 영역(232)이 산화물 반도체(230b)에 형성되어 있지만, 이에 한정되지 않는다. 예를 들어, 이들 영역은 층(242), 층(242)과 산화물 반도체(230) 사이에 형성된 화합물층, 산화물 반도체(230a), 및 산화물 반도체(230c)에도 형성되어도 좋다. 또한, 도 20에서는 각 영역의 경계를 산화물 반도체(230)의 상면에 대하여 실질적으로 수직으로 나타내었지만, 본 실시형태는 이에 한정되는 것이 아니다. 예를 들어, 영역(232)이 산화물 반도체(230b)의 상면 근방에서는 도전체(260) 측으로 돌출하고, 산화물 반도체(230a)의 하면 근방에서는 도전체(240a) 측 또는 도전체(240b) 측으로 후퇴하는 형상이 되는 경우가 있다.
- [0222] 또한, 산화물 반도체(230)에서는 각 영역의 경계를 명확하게 검출하기가 어려운 경우가 있다. 각 영역 내에서 검출되는 금속 원소, 그리고 수소, 질소 등의 불순물 원소의 농도는 영역마다 단계적으로 변화되는 것에 한정되지 않고, 각 영역 내에서도 연속적으로 변화(그라데이션이라고도 함)되어도 좋다. 즉, 채널 형성 영역에 가까운 영역일수록, 금속 원소, 그리고 수소, 질소 등의 불순물 원소의 농도가 감소되어 있으면 좋다.
- [0223] 산화물 반도체(230)를 선택적으로 저저항화하기 위해서는, 예를 들어 알루미늄, 타이타늄, 탄탈럼, 텅스텐, 크로뮴 등 도전성을 높이는 금속 원소 및 불순물 중 적어도 하나를 원하는 영역에 첨가하면 좋다. 또한, 불순물로서는 산소 결손을 형성하는 원소 또는 산소 결손에 포획되는 원소 등을 사용하면 좋다. 예를 들어, 상기 원소로서는 수소, 붕소, 탄소, 질소, 플루오린, 인, 황, 염소, 희가스 등이 있다. 또한, 희가스 원소의 대표적인 예로서는 헬륨, 네온, 아르곤, 크립톤, 및 제논 등이 있다.
- [0224] 영역(231)은 상술한 도전성을 높이는 금속 원소, 산소 결손을 형성하는 원소, 또는 산소 결손에 포획되는 원소의 함유율을 높임으로써, 캐리어 밀도를 높이고 저저항화를 도모할 수 있다.
- [0225] 영역(231)을 저저항화하기 위해서는, 예를 들어 산화물 반도체(230)의 영역(231)과 접하여 상기 금속 원소를 포

합하는 막을 성막하는 것이 좋다. 상기 금속 원소를 포함하는 막으로서는 금속막, 금속 원소를 포함하는 산화막, 또는 금속 원소를 포함하는 질화막 등을 사용할 수 있다. 상기 금속 원소를 포함하는 막은 적어도 절연체(250), 금속 산화물(252), 도전체(260), 절연체(270), 절연체(271), 및 절연체(275)를 개재하여 산화물 반도체(230) 위에 제공되는 것이 바람직하다. 또한, 상기 금속 원소를 포함하는 막은 10nm 이상 200nm 이하의 막 두께로 하는 것이 좋다. 상기 금속 원소를 포함하는 막은 예를 들어, 알루미늄, 타이타늄, 탄탈럼, 텅스텐, 크롬 등의 금속 원소를 포함하는 막으로 한다. 또한, 상기 금속 원소를 포함하는 막의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다.

[0226] 산화물 반도체(230)와 상기 금속 원소를 포함하는 막이 접함으로써, 상기 금속 원소를 포함하는 막의 성분과, 산화물 반도체(230)의 성분이 금속 화합물을 형성하므로, 영역(231)이 되고 저저항화된다. 또한, 산화물 반도체(230)와 상기 금속 원소를 포함하는 막의 계면 또는 상기 계면 근방에 위치하는 산화물 반도체(230) 내의 산소의 일부가 층(242)에 흡수되므로, 산화물 반도체(230)에 산소 결손이 형성되고, 저저항화되고, 영역(231)이 형성되는 경우가 있다.

[0227] 또한, 산화물 반도체(230)와 상기 금속 원소를 포함하는 막이 접한 상태로, 질소를 포함하는 분위기하에서 열처리를 수행하는 것이 좋다. 상기 열처리에 의하여, 상기 금속 원소를 포함하는 막으로부터 상기 막의 성분인 금속 원소가 산화물 반도체(230)로, 또는 산화물 반도체(230)의 성분인 금속 원소가 상기 막으로 확산된다. 이로써, 산화물 반도체(230)와 상기 막이 금속 화합물을 형성하여 산화물 반도체(230)를 저저항화한다. 이와 같이 함으로써, 산화물 반도체(230)와 상기 금속 원소를 포함하는 막 사이에 층(242)이 형성된다. 또한, 그때, 산화물 반도체(230)의 금속 원소와, 상기 금속 원소를 포함하는 막의 금속 원소가 합금화하여도 좋다. 따라서, 층(242)은 합금을 포함하는 경우가 있다. 상기 합금은 비교적 안정적인 상태이고, 신뢰성이 높은 기억 장치를 제공할 수 있다.

[0228] 상기 열처리는 예를 들어, 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 500℃ 이하, 더 바람직하게는 320℃ 이상 450℃ 이하에서 수행하면 좋다. 또한, 열처리는 질소 또는 불활성 가스 분위기에서 수행한다. 또한, 열처리는 감압 상태에서 수행하여도 좋다. 또한, 질소 또는 불활성 가스 분위기에서 열처리한 후에 산화성 가스를 포함하는 분위기에서 열처리를 수행하여도 좋다.

[0229] 또한, 산화물 반도체(230) 내의 수소는, 영역(231)으로 확산되고 상기 수소가 영역(231)에 존재하는 산소 결손 내로 들어간 경우에는 비교적 안정적인 상태가 된다. 또한, 영역(234)에 존재하는 산소 결손 내의 수소는, 250℃ 이상의 열처리에 의하여 산소 결손으로부터 방출되고, 영역(231)으로 확산되고, 영역(231)에 존재하는 산소 결손 내로 들어가고, 비교적 안정적인 상태가 된다. 따라서, 열처리에 의하여 영역(231)은 더 저저항화된다. 또한, 영역(234)은 고순도화(물, 수소 등의 불순물이 저감)되어 더 고저항화된다.

[0230] 한편, 산화물 반도체(230)에서 도전체(260) 또는 절연체(275)와 중첩되는 영역(영역(234) 및 영역(232))은, 도전체(260) 및 절연체(275)를 개재하기 때문에 금속 원소가 첨가되는 것이 억제된다. 또한, 산화물 반도체(230)의 영역(234) 및 영역(232)에서, 산화물 반도체(230) 내의 산소 원자가 상기 금속 원소를 포함하는 막에 흡수되는 것이 억제된다.

[0231] 또한, 상기 금속 원소를 포함하는 막에, 산화물 반도체(230)의 영역(231) 및 영역(231)에 근접한 영역(232)의 산소가 흡수됨으로써, 영역(231) 및 영역(232)에 산소 결손이 발생하는 경우가 있다. 산화물 반도체(230) 내의 수소가 상기 산소 결손에 들어감으로써 영역(231) 및 영역(232)의 캐리어 밀도는 증가한다. 따라서, 산화물 반도체(230)의 영역(231) 및 영역(232)은 저저항화된다.

[0232] 여기서, 상기 금속 원소를 포함하는 막이 수소를 흡수하는 특성을 가지는 경우, 산화물 반도체(230) 내의 수소는 상기 막에 흡수된다. 따라서, 산화물 반도체(230) 내의 불순물인 수소를 저감할 수 있다. 상기 금속 원소를 포함하는 막은 나중에 에칭에 의하여 제거되기 때문에, 산화물 반도체(230)로부터 흡수한 수소의 대부분은 제거된다.

[0233] 산화물 반도체를 사용한 트랜지스터는 산화물 반도체 내의 채널 형성 영역에 불순물 및 산소 결손이 존재하면, 전기 특성이 변동하기 쉬워 신뢰성이 떨어지는 경우가 있다. 또한, 산화물 반도체 내의 채널 형성 영역에 산소 결손이 포함되면 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 따라서, 채널 형성 영역으로서 기능하는 영역(234) 내의 산소 결손은 가능한 한 저감되어 있는 것이 바람직하다.

[0234] 그래서, 도 20에 나타낸 바와 같이, 절연체(250), 산화물 반도체(230b)의 영역(232), 및 산화물 반도체(230c)와 접하고, 또한 화학량론적 조성을 만족시키는 산소보다 많은 산소(이하, 과잉 산소라고도 함)를 포함하는 절연체

(275)를 제공하는 것이 바람직하다. 즉, 절연체(275)에 포함되는 과잉 산소가 산화물 반도체(230)의 영역(234)으로 확산됨으로써, 산화물 반도체(230)의 영역(234)에서의 산소 결손을 저감할 수 있다.

[0235] 또한, 절연체(275)에 과잉 산소 영역을 제공하기 위해서는, 절연체(275)와 접하는 절연체(273)로서 산화물을 스퍼터링법에 의하여 성막하면 좋다. 산화물의 성막에 스퍼터링법을 사용함으로써, 물 또는 수소 등의 불순물이 적은 절연체를 성막할 수 있다. 스퍼터링법을 사용하는 경우에는, 예를 들어, 대향 타깃형 스퍼터링 장치를 사용하여 성막하는 것이 바람직하다. 대향 타깃형 스퍼터링 장치는 대향하는 타깃 간의 고전계 영역에 피성막면을 노출시키지 않고 성막할 수 있기 때문에, 피성막면이 플라스마로 인한 손상을 받기 어려운 상태로 성막할 수 있다. 따라서, 절연체(273)가 되는 절연체의 성막 시에 산화물 반도체(230)에 대한 성막 대미지를 작게 할 수 있어 바람직하다. 대향 타깃형 스퍼터링 장치를 사용한 성막법을 VDSP(Vapor Deposition SP)(등록 상표)라고 부를 수 있다.

[0236] 스퍼터링법에 의한 성막 시에는 타깃과 기판 사이에 이온과 스퍼터링된 입자가 존재한다. 예를 들어, 타깃에는 전원이 접속되어 있고, 전위(E0)가 공급된다. 또한, 기판에는 접지 전위 등의 전위(E1)가 공급된다. 다만, 기판은 전기적으로 부유되어도 좋다. 또한, 타깃과 기판 사이에는 전위(E2)가 되는 영역이 존재한다. 각 전위의 대소 관계는 E2>E1>E0이다.

[0237] 플라스마 내의 이온이 전위차(E2-E0)에 의하여 가속되고 타깃에 충돌함으로써, 타깃으로부터 스퍼터링된 입자가 튀어나온다. 이 스퍼터링된 입자가 성막 표면에 부착되고 퇴적됨으로써 성막된다. 또한, 일부의 이온은 타깃에 의하여 반도(反跳)되고 반도 이온으로서 형성된 막을 통과하여, 피성막면과 접하는 절연체(275)에 들어가는 경우가 있다. 또한, 플라스마 내의 이온은 전위차(E2-E1)에 의하여 가속되고 성막 표면을 충격한다. 이때, 일부의 이온은 절연체(275) 내부까지 도달한다. 이온이 절연체(275)에 들어감으로써, 이온이 들어간 영역이 절연체(275)에 형성된다. 즉, 이온이 산소를 포함하는 이온인 경우에는, 절연체(275)에 과잉 산소 영역이 형성된다.

[0238] 절연체(275)에 과잉 산소를 도입함으로써, 절연체(275) 내에 과잉 산소 영역을 형성할 수 있다. 절연체(275)의 과잉 산소는 산화물 반도체(230)의 영역(234)에 공급되고 산화물 반도체(230)의 산소 결손을 보상할 수 있다.

[0239] 또한, 절연체(275)에는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 구멍을 가지는 산화 실리콘을 사용하는 것이 바람직하다. 산화질화 실리콘 등의 재료는 과잉 산소 영역이 형성되기 쉬운 경향이 있다. 한편, 상술한 산화질화 실리콘 등의 재료와 비교하여 산화물 반도체(230)는, 스퍼터링법을 사용한 산화막을 산화물 반도체(230) 위에 형성하여도, 과잉 산소 영역이 형성되기 어려운 경향이 있다. 따라서, 과잉 산소 영역을 가지는 절연체(275)를 산화물 반도체(230)의 영역(234) 주변에 제공함으로써, 산화물 반도체(230)의 영역(234)에 절연체(275)의 과잉 산소를 효과적으로 공급할 수 있다.

[0240] 또한, 절연체(273)에는 산화 알루미늄을 사용하는 것이 바람직하다. 산화 알루미늄은 산화물 반도체(230)와 근접한 상태로 열처리를 수행함으로써, 산화물 반도체(230) 내의 수소를 추출하는 경우가 있다. 또한, 산화물 반도체(230)와 산화 알루미늄 사이에 층(242)이 제공되어 있는 경우에는, 층(242) 내의 수소를 산화 알루미늄이 흡수하고, 수소가 저장된 층(242)은 산화물 반도체(230) 내의 수소를 흡수하는 경우가 있다. 따라서, 산화물 반도체(230) 내의 수소 농도를 저감할 수 있다. 또한, 절연체(273)와 산화물 반도체(230)가 근접한 상태로 열처리를 수행함으로써, 절연체(273)로부터 산화물 반도체(230), 절연체(224), 또는 절연체(222)에 산소를 공급할 수 있는 경우가 있다.

[0241] 상기 구성 또는 상기 공정을 조합함으로써, 산화물 반도체(230)를 선택적으로 저저항화할 수 있다.

[0242] 즉, 산화물 반도체(230)에 저저항 영역을 형성할 때 게이트 전극으로서 기능하는 도전체(260), 및 절연체(275)를 마스크로 하면, 자기 정합(自己整合)적으로 산화물 반도체(230)가 저저항화된다. 그러므로, 복수의 트랜지스터(200)를 동시에 형성하는 경우, 트랜지스터 간의 전기 특성의 편차를 작게 할 수 있다. 또한, 도전체(260)의 폭을 최소 가공 치수로 함으로써, 트랜지스터(200)의 미세화가 가능해진다.

[0243] 상술한 바와 같이 각 영역의 범위를 적절히 선택함으로써, 회로 설계에 맞추어 요구에 걸맞은 전기 특성을 가지는 트랜지스터를 용이하게 제공할 수 있다.

[0244] 이하에서는, 트랜지스터(200)의 각 구성 요소의 자세한 사항에 대하여 설명한다.

[0245] 도전체(203)는 도 19의 (A)에 도시된 바와 같이 채널 폭 방향으로 연장되어 있고, 도전체(205)에 전위를 인가하는 배선으로서 기능한다. 또한, 도전체(203)는 절연체(212)에 매립된 상태로 제공되는 것이 바람직하다. 도전

체(203)의 연장 방향은 이에 한정되지 않고, 예를 들어 트랜지스터(200)의 채널 길이 방향으로 연장되어도 좋다.

- [0246] 도전체(205)는 산화물 반도체(230) 및 도전체(260)와 중첩되도록 배치된다. 또한, 도전체(205)는 도전체(203) 위와 접하여 제공되는 것이 좋다. 또한, 도전체(205)는 절연체(214) 및 절연체(216)에 매립된 상태로 제공되는 것이 바람직하다.
- [0247] 여기서, 도전체(260)는 제 1 게이트(프린트 게이트라고도 함) 전극으로서 기능하고, 도전체(205)는 제 2 게이트(백 게이트라고도 함) 전극으로서 기능한다.
- [0248] 상술한 바와 같이, 도전체(205)는 산화물 반도체(230) 및 도전체(260)와 중첩되도록 배치된다. 또한, 도전체(205)는 산화물 반도체(230)에서의 영역(234)보다 크게 제공하는 것이 좋다. 특히, 도 19의 (A)에 나타난 바와 같이, 도전체(205)는 산화물 반도체(230)의 영역(234)의 채널 폭 방향과 교차되는 단부보다 외측의 영역에서도 연장되어 있는 것이 바람직하다. 즉, 산화물 반도체(230)의 채널 폭 방향에서의 측면에서, 도전체(205)와 도전체(260)는 절연체를 개재하여 중첩되는 것이 바람직하다.
- [0249] 상기 구성을 가짐으로써, 도전체(260) 및 도전체(205)에 전위를 인가한 경우, 도전체(260)로부터 발생하는 전계와 도전체(205)로부터 발생하는 전계가 연결되어, 산화물 반도체(230)에 형성되는 채널 형성 영역을 덮을 수 있다.
- [0250] 즉, 제 1 게이트 전극으로서의 기능을 가지는 도전체(260)의 전계와 제 2 게이트 전극으로서의 기능을 가지는 도전체(205)의 전계로 영역(234)의 채널 형성 영역을 전기적으로 둘러쌀 수 있다.
- [0251] 또한, 도전체(205)는 절연체(214) 및 절연체(216)의 개구의 내벽과 접하여 제 1 도전체가 형성되고, 더 내측에 제 2 도전체가 형성되어 있다. 여기서, 제 1 도전체 및 제 2 도전체의 상면의 높이와 절연체(216)의 상면의 높이는 같은 정도로 할 수 있다. 또한, 트랜지스터(200)에서 도전체(205)의 제 1 도전체 및 도전체(205)의 제 2 도전체가 적층되는 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어, 도전체(205)를 단층 또는 3층 이상의 적층 구조로 하여도 좋다.
- [0252] 여기서, 도전체(205)의 제 1 도전체 또는 도전체(203)의 제 1 도전체에는, 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(N₂O, NO, NO₂ 등), 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는, 즉 상기 불순물이 투과하기 어려운 도전성 재료를 사용하는 것이 바람직하다. 또는, 예를 들어 산소 원자, 산소 분자 등의 산소 중 적어도 하나의 확산을 억제하는 기능을 가지는, 즉 상기 산소가 투과하기 어려운 도전성 재료를 사용하는 것이 바람직하다. 또한, 본 명세서에서 불순물 또는 산소의 확산을 억제하는 기능이란, 상기 불순물 및 상기 산소 중 어느 하나 또는 모두의 확산을 억제하는 기능이다.
- [0253] 도전체(205)의 제 1 도전체 또는 도전체(203)의 제 1 도전체가 산소의 확산을 억제하는 기능을 가짐으로써, 도전체(205)의 제 2 도전체 또는 도전체(203)의 제 2 도전체가 산화되어 도전율이 저하되는 것을 억제할 수 있다. 산소의 확산을 억제하는 기능을 가지는 도전성 재료로서는, 예를 들어 탄탈럼, 질화 탄탈럼, 루테튬, 또는 산화 루테튬 등을 사용하는 것이 바람직하다. 따라서, 도전체(205)의 제 1 도전체 또는 도전체(203)의 제 1 도전체로서는, 상기 도전성 재료를 단층 또는 적층으로 하면 좋다. 이로써, 수소, 물 등의 불순물이 도전체(203) 및 도전체(205)를 통하여 트랜지스터(200) 측으로 확산되는 것을 억제할 수 있다.
- [0254] 또한, 도전체(205)의 제 2 도전체에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한, 도전체(205)의 제 2 도전체를 단층으로 도시하였지만 적층 구조로 하여도 좋고, 예를 들어 타이타늄 또는 질화 타이타늄과 상기 도전성 재료의 적층으로 하여도 좋다.
- [0255] 또한, 도전체(203)의 제 2 도전체는 배선으로서 기능하기 때문에, 도전체(205)의 제 2 도전체보다 도전성이 높은 도전체를 사용하는 것이 바람직하다. 예를 들어, 구리 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용할 수 있다. 또한, 도전체(203)의 제 2 도전체를 적층 구조로 하여도 좋고, 예를 들어 타이타늄, 질화 타이타늄과 상기 도전성 재료의 적층으로 하여도 좋다.
- [0256] 특히, 도전체(203)에 구리를 사용하는 것이 바람직하다. 구리는 저항이 낮기 때문에, 배선 등에 사용하는 것이 바람직하다. 한편, 구리는 확산되기 쉽기 때문에, 산화물 반도체(230)로 확산됨으로써 트랜지스터(200)의 전기 특성을 저하시키는 경우가 있다. 그래서, 예를 들어 절연체(214)에는 구리의 투과성이 낮은 산화 알루미늄 또는 산화 하프늄 등의 재료를 사용함으로써, 구리의 확산을 억제할 수 있다.
- [0257] 또한, 도전체(205), 절연체(214), 및 절연체(216)는 반드시 제공하지 않아도 된다. 이 경우, 도전체(203)의 일

부가 제 2 게이트 전극으로서 기능할 수 있다.

- [0258] 절연체(210) 및 절연체(214)는, 물 또는 수소 등의 불순물이 기판 측으로부터 트랜지스터(200)에 혼입되는 것을 억제하는 배리어 절연막으로서 기능하는 것이 바람직하다. 따라서, 절연체(210) 및 절연체(214)에는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(N₂O, NO, NO₂ 등), 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는, 즉 상기 불순물이 투과하기 어려운 절연성 재료를 사용하는 것이 바람직하다. 또는, 예를 들어 산소 원자, 산소 분자 등의 산소 중 적어도 하나의 확산을 억제하는 기능을 가지는, 즉 상기 산소가 투과하기 어려운 절연성 재료를 사용하는 것이 바람직하다. 또한, 절연체(280) 위에, 절연체(210) 또는 절연체(214)와 같은 배리어 절연막으로서 기능하는 절연체를 제공하여도 좋다. 이로써, 절연체(280) 위로부터 물 또는 수소 등의 불순물이 트랜지스터(200)에 혼입되는 것을 억제할 수 있다.
- [0259] 예를 들어, 절연체(210)로서 산화 알루미늄 등을 사용하고, 절연체(214)로서 질화 실리콘 등을 사용하는 것이 바람직하다. 이로써, 수소, 물 등의 불순물이 절연체(210) 및 절연체(214)보다 기판 측으로부터 트랜지스터(200) 측으로 확산되는 것을 억제할 수 있다. 또는, 절연체(224) 등에 포함되는 산소가 절연체(210) 및 절연체(214)보다 기판 측으로 확산되는 것을 억제할 수 있다.
- [0260] 또한, 도전체(203) 위에 도전체(205)를 적층하여 제공하는 구성으로 함으로써, 도전체(203)와 도전체(205) 사이에 절연체(214)를 제공할 수 있다. 여기서, 도전체(203)의 제 2 도전체에 구리 등 확산되기 쉬운 금속을 사용하여도, 절연체(214)로서 질화 실리콘 등을 제공함으로써, 상기 금속이 절연체(214)보다 위에 있는 층으로 확산되는 것을 억제할 수 있다.
- [0261] 또한, 층간막으로서 기능하는 절연체(212), 절연체(216), 및 절연체(280)는 절연체(210) 또는 절연체(214)보다 유전율이 낮은 것이 바람직하다. 유전율이 낮은 재료를 층간막으로 함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다.
- [0262] 예를 들어, 절연체(212), 절연체(216), 및 절연체(280)로서 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 탄탈럼, 산화 지르코늄, 타이타늄산 지르콘산 연(PZT), 타이타늄산 스트론튬(SrTiO₃), 또는 (Ba,Sr)TiO₃(BST) 등의 절연체를 단층 또는 적층으로 사용할 수 있다. 또는, 이들 절연체에 예를 들어 산화 알루미늄, 산화 비스무트, 산화 저마늄, 산화 나이오븀, 산화 실리콘, 산화 타이타늄, 산화 텅스텐, 산화 이트륨, 산화 지르코늄을 첨가하여도 좋다. 또는, 이들 절연체를 질화 처리하여도 좋다. 상기 절연체에 산화 실리콘, 산화질화 실리콘, 또는 질화 실리콘을 적층하여 사용하여도 좋다.
- [0263] 절연체(220), 절연체(222), 및 절연체(224)는 게이트 절연체로서의 기능을 가진다.
- [0264] 여기서, 산화물 반도체(230)와 접하는 절연체(224)에는 화학량론적 조성을 만족시키는 산소보다 많은 산소를 포함한 절연체를 사용하는 것이 바람직하다. 즉, 절연체(224)에는 과잉 산소 영역이 형성되어 있는 것이 바람직하다. 이와 같은 과잉 산소를 포함한 절연체를 산화물 반도체(230)와 접하여 제공함으로써, 산화물 반도체(230) 내의 산소 결손을 저감하여 트랜지스터(200)의 신뢰성을 향상시킬 수 있다.
- [0265] 과잉 산소 영역을 가지는 절연체로서, 구체적으로는 가열에 의하여 일부의 산소가 이탈되는 산화물 재료를 사용하는 것이 바람직하다. 가열에 의하여 산소가 이탈되는 산화물이란, TDS(Thermal Desorption Spectroscopy) 분석에서 산소 원자로 환산한 산소의 이탈량이 1.0×10¹⁸atoms/cm³ 이상, 바람직하게는 1.0×10¹⁹atoms/cm³ 이상, 더 바람직하게는 2.0×10¹⁹atoms/cm³ 또는 3.0×10²⁰atoms/cm³ 이상인 산화물막이다. 또한, 상기 TDS 분석 시의 막의 표면 온도는 100℃ 이상 700℃ 이하, 또는 100℃ 이상 400℃ 이하의 범위가 바람직하다.
- [0266] 또한, 절연체(224)가 과잉 산소 영역을 가지는 경우, 절연체(222)는 예를 들어 산소 원자, 산소 분자 등의 산소 중 적어도 하나의 확산을 억제하는 기능을 가지는, 즉 상기 산소가 투과하기 어려운 것이 바람직하다.
- [0267] 절연체(222)가 산소의 확산을 억제하는 기능을 가짐으로써, 절연체(224)가 가지는 과잉 산소 영역의 산소는 절연체(220) 측으로 확산되지 않고 산화물 반도체(230)에 효율적으로 공급될 수 있다. 또한, 도전체(205)가, 절연체(224)가 가지는 과잉 산소 영역의 산소와 반응하는 것을 억제할 수 있다.
- [0268] 절연체(222)에는 예를 들어 산화 알루미늄, 산화 하프늄, 산화 탄탈럼, 산화 지르코늄, 타이타늄산 지르콘산 연(PZT), 타이타늄산 스트론튬(SrTiO₃), 또는 (Ba,Sr)TiO₃(BST) 등의 소위 high-k 재료를 포함한 절연체를 단층 또는 적층으로 사용하는 것이 바람직하다. 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연체가 박막화됨으로써 누설 전류 등의 문제가 발생하는 경우가 있다. 게이트 절연체로서 기능하는 절연체에 high-k 재료를 사용함으로써, 물리적 막 두께를 유지하면서 트랜지스터 동작 시의 게이트 전위를 저감할 수 있다.

- [0269] 특히, 불순물 및 산소 등의 확산을 억제하는 기능을 가지는, 즉 상기 산소가 투과하기 어려운 절연성 재료인 알루미늄의 산화물 및 하프늄의 산화물 중 한쪽 또는 양쪽을 포함한 절연체를 사용하는 것이 좋다. 알루미늄의 산화물 및 하프늄의 산화물 중 한쪽 또는 양쪽을 포함한 절연체로서는, 산화 알루미늄, 산화 하프늄, 그리고 알루미늄 및 하프늄을 포함한 산화물(하프늄 알루미늄네이트) 등을 사용하는 것이 바람직하다. 이와 같은 재료를 사용하여 절연체(222)를 형성한 경우, 절연체(222)는 산화물 반도체(230)로부터의 산소의 방출이나, 트랜지스터(200)의 주변부로부터 산화물 반도체(230)로의 수소 등의 불순물의 혼입을 억제하는 층으로서 기능한다.
- [0270] 또는, 이들 절연체에 예를 들어 산화 알루미늄, 산화 비스무트, 산화 저마늄, 산화 나이오븀, 산화 실리콘, 산화 타이타늄, 산화 텅스텐, 산화 이트륨, 산화 지르코늄을 첨가하여도 좋다. 또는, 이들 절연체를 질화 처리하여도 좋다. 또는, 상기 절연체에 산화 실리콘, 산화질화 실리콘, 또는 질화 실리콘을 적층하여 사용하여도 좋다.
- [0271] 또한, 절연체(220)는 열적으로 안정적인 것이 바람직하다. 예를 들어 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이기 때문에, high-k 재료의 절연체와 절연체(220)를 조합함으로써, 열적으로 안정적이며 비유전율이 높은 적층 구조로 할 수 있다.
- [0272] 또한, 절연체(220), 절연체(222), 및 절연체(224)가 2층 이상의 적층 구조를 가져도 좋다. 이 경우, 같은 재료로 이루어지는 적층 구조에 한정되지 않고, 상이한 재료로 이루어지는 적층 구조이어도 좋다.
- [0273] 산화물 반도체(230)는 산화물 반도체(230a)와, 산화물 반도체(230a) 위의 산화물 반도체(230b)와, 산화물 반도체(230b) 위의 산화물 반도체(230c)를 가진다. 산화물 반도체(230b) 아래에 산화물 반도체(230a)를 가짐으로써, 산화물 반도체(230a)보다 아래쪽에 형성된 구조물로부터 산화물 반도체(230b)로의 불순물의 확산을 억제할 수 있다. 또한, 산화물 반도체(230b) 위에 산화물 반도체(230c)를 가짐으로써, 산화물 반도체(230c)보다 위쪽에 형성된 구조물로부터 산화물 반도체(230b)로의 불순물의 확산을 억제할 수 있다.
- [0274] 또한, 산화물 반도체(230)는 각 금속 원자의 원자수비가 상이한 산화물의 적층 구조를 가지는 것이 바람직하다. 구체적으로는, 산화물 반도체(230a)에 사용하는 금속 산화물에서, 구성 원소 중의 원소 M의 원자수비가 산화물 반도체(230b)에 사용하는 금속 산화물에서의 구성 원소 중의 원소 M의 원자수비보다 큰 것이 바람직하다. 또한, 산화물 반도체(230a)에 사용하는 금속 산화물에서 In에 대한 원소 M의 원자수비가 산화물 반도체(230b)에 사용하는 금속 산화물에서의 In에 대한 원소 M의 원자수비보다 큰 것이 바람직하다. 또한, 산화물 반도체(230b)에 사용하는 금속 산화물에서 원소 M에 대한 In의 원자수비가 산화물 반도체(230a)에 사용하는 금속 산화물에서의 원소 M에 대한 In의 원자수비보다 큰 것이 바람직하다. 또한, 산화물 반도체(230c)에는 산화물 반도체(230a) 또는 산화물 반도체(230b)에 사용할 수 있는 금속 산화물을 사용할 수 있다.
- [0275] 또한, 산화물 반도체(230a) 및 산화물 반도체(230c)의 전도대 하단의 에너지가 산화물 반도체(230b)의 전도대 하단의 에너지보다 높아지는 것이 바람직하다. 또한, 바꿔 말하면 산화물 반도체(230a) 및 산화물 반도체(230c)의 전자 친화력이 산화물 반도체(230b)의 전자 친화력보다 작은 것이 바람직하다.
- [0276] 여기서, 산화물 반도체(230a), 산화물 반도체(230b), 및 산화물 반도체(230c)의 접합부에서 전도대 하단은 완만하게 변화한다. 바꿔 말하면, 산화물 반도체(230a), 산화물 반도체(230b), 및 산화물 반도체(230c)의 접합부에서의 전도대 하단은 연속적으로 변화 또는 연속 접합한다고도 할 수 있다. 이와 같이 하기 위해서는, 산화물 반도체(230a)와 산화물 반도체(230b)의 계면 및 산화물 반도체(230b)와 산화물 반도체(230c)의 계면에 형성되는 혼합층의 결합 준위 밀도를 낮추는 것이 좋다.
- [0277] 구체적으로는, 산화물 반도체(230a)와 산화물 반도체(230b), 산화물 반도체(230b)와 산화물 반도체(230c)가 산소 이외에 공통되는 원소를 가짐으로써(주성분으로 함으로써), 결합 준위 밀도가 낮은 혼합층을 형성할 수 있다. 예를 들어, 산화물 반도체(230b)가 In-Ga-Zn 산화물인 경우, 산화물 반도체(230a) 및 산화물 반도체(230c)로서 In-Ga-Zn 산화물, Ga-Zn 산화물, 산화 갈륨 등을 사용하는 것이 좋다.
- [0278] 이때, 캐리어의 주된 경로는 산화물 반도체(230b)가 된다. 산화물 반도체(230a) 및 산화물 반도체(230c)를 상술한 구성으로 함으로써, 산화물 반도체(230a)와 산화물 반도체(230b)의 계면 및 산화물 반도체(230b)와 산화물 반도체(230c)의 계면에서의 결합 준위 밀도를 낮출 수 있다. 따라서, 계면 산란으로 인한 캐리어 전도에 대한 영향이 작아지므로, 트랜지스터(200)는 높은 온 전류를 얻을 수 있다.
- [0279] 또한, 산화물 반도체(230)는 영역(231), 영역(232), 및 영역(234)을 가진다. 또한, 영역(231)의 적어도 일부는 절연체(273)와 근접하는 영역을 가진다. 또한, 영역(232)은 적어도 절연체(275)와 중첩되는 영역을 가진다.

- [0280] 또한, 트랜지스터(200)를 온으로 하면, 영역(231a) 또는 영역(231b)은 소스 영역 또는 드레인 영역으로서 기능한다. 한편, 영역(234)의 적어도 일부는 채널 형성 영역으로서 기능한다. 영역(231)과 영역(234) 사이에 영역(232)을 가짐으로써, 트랜지스터(200)에서 온 전류를 크게 하고, 또한 오프 전류를 작게 할 수 있다.
- [0281] 트랜지스터(200)에서 영역(232)을 제공함으로써, 소스 영역 및 드레인 영역으로서 기능하는 영역(231)과 채널 형성 영역으로서 기능하는 영역(234) 사이에 고저항 영역이 형성되지 않기 때문에, 트랜지스터의 온 전류 및 이동도를 크게 할 수 있다. 또한, 영역(232)을 가짐으로써, 채널 길이 방향에서 소스 영역 및 드레인 영역과 제 1 게이트 전극으로서 기능하는 도전체(260)가 중첩되지 않기 때문에, 양자 간에서 불필요한 용량이 형성되는 것을 억제할 수 있다. 또한, 영역(232)을 가짐으로써, 오프 전류를 작게 할 수 있다.
- [0282] 예를 들어, 영역(234)이 되는 산화물 반도체로서는 밴드 갭이 2eV 이상, 바람직하게는 2.5eV 이상의 것을 사용하는 것이 바람직하다. 이와 같이, 밴드 갭이 큰 산화물 반도체를 사용함으로써, 트랜지스터의 오프 전류를 저감할 수 있다.
- [0283] 절연체(250)는 게이트 절연체로서 기능한다. 절연체(250)는 산화물 반도체(230c)의 상면과 접하여 배치되는 것이 바람직하다. 절연체(250)는 가열에 의하여 산소가 방출되는 절연체를 사용하여 형성되는 것이 바람직하다. 예를 들어, 승온 이탈 가스 분광법 분석(TDS 분석)에서 산소 분자로 환산한 산소의 이탈량이 $1.0 \times 10^{18} \text{atoms/cm}^3$ 이상, 바람직하게는 $1.0 \times 10^{19} \text{atoms/cm}^3$ 이상, 더 바람직하게는 $2.0 \times 10^{19} \text{atoms/cm}^3$ 또는 $3.0 \times 10^{20} \text{atoms/cm}^3$ 인 산화물막이다. 또한, 상기 TDS 분석 시의 막의 표면 온도는 100℃ 이상 700℃ 이하의 범위가 바람직하다.
- [0284] 구체적으로는, 과잉 산소를 포함하는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 구멍을 가지는 산화 실리콘을 사용할 수 있다. 특히, 산화 실리콘 및 산화질화 실리콘은 열에 대하여 안정적이기 때문에 바람직하다.
- [0285] 가열에 의하여 산소가 방출되는 절연체를 절연체(250)로서 산화물 반도체(230c)의 상면과 접하여 제공함으로써, 절연체(250)로부터 산화물 반도체(230b)의 영역(234)에 산소를 효과적으로 공급할 수 있다. 또한 절연체(224)와 마찬가지로, 절연체(250) 내의 물 또는 수소 등의 불순물 농도가 저감되어 있는 것이 바람직하다. 절연체(250)의 막 두께는, 1nm 이상 20nm 이하로 하는 것이 바람직하다.
- [0286] 또한, 절연체(250)에 포함되는 과잉 산소를 산화물 반도체(230)에 효율적으로 공급하기 위하여, 금속 산화물(252)을 제공하여도 좋다. 따라서, 금속 산화물(252)은 절연체(250)로부터의 산소 확산을 억제하는 것이 바람직하다. 산소의 확산을 억제하는 금속 산화물(252)을 제공함으로써, 절연체(250)로부터 도전체(260)로의 과잉 산소의 확산이 억제된다. 즉, 산화물 반도체(230)에 공급하는 과잉 산소량의 감소를 억제할 수 있다. 또한, 과잉 산소로 인한 도전체(260)의 산화를 억제할 수 있다.
- [0287] 또한, 금속 산화물(252)은 제 1 게이트 전극의 일부로서의 기능을 가져도 좋다. 예를 들어 산화물 반도체(230)로서 사용할 수 있는 산화물 반도체를 금속 산화물(252)로서 사용할 수 있다. 이 경우, 도전체(260)를 스퍼터링법에 의하여 성막함으로써, 금속 산화물(252)의 전기 저항값을 저하시켜 도전체로 할 수 있다. 이를 OC(Oxide Conductor) 전극이라고 부를 수 있다.
- [0288] 또한, 금속 산화물(252)은 게이트 절연체의 일부로서의 기능을 가지는 경우가 있다. 따라서, 절연체(250)에 산화 실리콘 또는 산화질화 실리콘 등을 사용하는 경우, 금속 산화물(252)에는 비유전율이 높은 high-k 재료인 금속 산화물을 사용하는 것이 바람직하다. 이 적층 구조로 함으로써, 열에 대하여 안정적이고, 또한 비유전율이 높은 적층 구조로 할 수 있다. 따라서, 물리적 막 두께를 유지하면서 트랜지스터 동작 시에 인가되는 게이트 전위를 저감할 수 있다. 또한, 게이트 절연체로서 기능하는 절연체의 등가 산화 막 두께(EOT)의 박막화가 가능해진다.
- [0289] 트랜지스터(200)의 금속 산화물(252)을 단층으로 나타내었지만, 2층 이상의 적층 구조로 하여도 좋다. 예를 들어, 게이트 전극의 일부로서 기능하는 금속 산화물과 게이트 절연체의 일부로서 기능하는 금속 산화물을 적층하여 제공하여도 좋다.
- [0290] 금속 산화물(252)을 가짐으로써, 게이트 전극으로서 기능하는 경우에는, 도전체(260)로부터의 전계의 영향을 감소시키지 않고, 트랜지스터(200)의 온 전류의 향상을 도모할 수 있다. 또는, 게이트 절연체로서 기능하는 경우에는, 절연체(250)와 금속 산화물(252)의 물리적인 두께에 의하여 도전체(260)와 산화물 반도체(230) 사이의 거

리를 유지함으로써, 도전체(260)와 산화물 반도체(230) 사이의 누설 전류를 억제할 수 있다. 따라서, 절연체(250) 및 금속 산화물(252)의 적층 구조를 제공함으로써, 도전체(260)와 산화물 반도체(230) 사이의 물리적인 거리, 및 도전체(260)로부터 산화물 반도체(230)에 가해지는 전계 강도를 용이하게 적절히 조정할 수 있다.

- [0291] 구체적으로는, 금속 산화물(252)로서, 산화물 반도체(230)에 사용할 수 있는 산화물 반도체를 저저항화한 금속 산화물을 사용할 수 있다. 또는, 하프늄, 알루미늄, 갈륨, 이트륨, 지르코늄, 텅스텐, 타이타늄, 탄탈럼, 니켈, 저마늄, 또는 마그네슘 등 중에서 선택된 1종류 또는 2종류 이상이 포함된 금속 산화물을 사용할 수 있다.
- [0292] 특히, 알루미늄의 산화물 및 하프늄의 산화물 중 한쪽 또는 양쪽을 포함한 절연체인, 산화 알루미늄, 산화 하프늄, 그리고 알루미늄 및 하프늄을 포함한 산화물(하프늄 알루미늄네이트) 등을 사용하는 것이 바람직하다. 특히, 하프늄 알루미늄네이트는 산화 하프늄보다 내열성이 높다. 그러므로, 나중의 공정에서의 열 이력에 의하여 결정화되기 어렵기 때문에 바람직하다. 또한, 금속 산화물(252)은 필수적인 구성이 아니다. 요구되는 트랜지스터 특성에 따라 적절히 설계하면 좋다.
- [0293] 제 1 게이트 전극으로서 기능하는 도전체(260)는 도전체(260a) 및 도전체(260a) 위의 도전체(260b)를 가진다. 도전체(260a)에는 도전체(205)의 제 1 도전체와 마찬가지로, 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(N₂O, NO, NO₂ 등), 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 또는, 예를 들어 산소 원자, 산소 분자 등의 산소 중 적어도 하나의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다.
- [0294] 도전체(260a)가 산소의 확산을 억제하는 기능을 가짐으로써, 절연체(250) 및 금속 산화물(252)에 포함되는 과잉 산소로 인하여 도전체(260b)가 산화되어 도전율이 저하하는 것을 억제할 수 있다. 산소의 확산을 억제하는 기능을 가지는 도전성 재료로서는, 예를 들어 탄탈럼, 질화 탄탈럼, 루테튬, 또는 산화 루테튬 등을 사용하는 것이 바람직하다.
- [0295] 또한, 도전체(260b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한, 도전체(260)는 배선으로서 기능하기 때문에, 도전성이 높은 도전체를 사용하는 것이 바람직하다. 예를 들어, 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용할 수 있다. 또한, 도전체(260b)를 적층 구조로 하여도 좋고, 예를 들어 타이타늄, 질화 타이타늄과 상기 도전성 재료의 적층으로 하여도 좋다.
- [0296] 또한, 도 19의 (A)에 나타낸 바와 같이, 도전체(205)가 산화물 반도체(230)의 채널 폭 방향과 교차되는 단부보다 외측의 영역에서 연장되는 경우, 도전체(260)는 상기 영역에서 절연체(250)를 개재하여 도전체(205)와 중첩되는 것이 바람직하다. 즉, 산화물 반도체(230)의 측면의 외측에서, 도전체(205)와 절연체(250)와 도전체(260)는 적층 구조를 형성하는 것이 바람직하다.
- [0297] 상기 구성을 가짐으로써, 도전체(260) 및 도전체(205)에 전위를 인가한 경우, 도전체(260)로부터 발생하는 전계와 도전체(205)로부터 발생하는 전계가 연결되어, 산화물 반도체(230)에 형성되는 채널 형성 영역을 덮을 수 있다.
- [0298] 즉, 제 1 게이트 전극으로서의 기능을 가지는 도전체(260)의 전계와 제 2 게이트 전극으로서의 기능을 가지는 도전체(205)의 전계로 채널 형성 영역으로서 기능하는 영역(234)을 전기적으로 둘러쌀 수 있다.
- [0299] 또한, 도전체(260b) 위에 배리어막으로서 기능하는 절연체(270)를 배치하여도 좋다. 절연체(270)에는 물 또는 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연성 재료를 사용하는 것이 좋다. 예를 들어, 산화 알루미늄 또는 산화 하프늄 등을 사용하는 것이 바람직하다. 이로써, 절연체(270)보다 위쪽으로부터의 산소로 인하여 도전체(260)가 산화하는 것을 억제할 수 있다. 또한, 절연체(270)보다 위쪽으로부터의 물 또는 수소 등의 불순물이 도전체(260) 및 절연체(250)를 통하여 산화물 반도체(230)에 혼입되는 것을 억제할 수 있다.
- [0300] 또한, 절연체(270) 위에 하드 마스크로서 기능하는 절연체(271)를 배치하는 것이 바람직하다. 절연체(271)를 제공함으로써, 도전체(260)의 가공 시, 도전체(260)의 측면을 실질적으로 수직으로, 구체적으로는 도전체(260)의 측면과 기판 표면이 이루는 각도를 75° 이상 100° 이하, 바람직하게는 80° 이상 95° 이하로 할 수 있다. 도전체(260)를 이와 같은 형상으로 가공함으로써, 그 다음에 형성하는 절연체(275)를 원하는 형상으로 형성할 수 있다.
- [0301] 또한, 절연체(271)에 물 또는 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연성 재료를 사용

함으로써, 배리어막으로서의 기능을 겸하게 하여도 좋다. 이 경우, 절연체(270)는 제공하지 않아도 된다.

- [0302] 버퍼층으로서 기능하는 절연체(275)를 산화물 반도체(230c)의 측면, 절연체(250)의 측면, 금속 산화물(252)의 측면, 도전체(260)의 측면, 및 절연체(270)의 측면과 접하여 제공한다.
- [0303] 예를 들어, 절연체(275)로서 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 구멍을 가지는 산화 실리콘, 또는 수지 등을 포함하는 것이 바람직하다. 특히, 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이므로 바람직하다. 특히, 산화 실리콘, 구멍을 가지는 산화 실리콘은 나중의 공정에서 파잉 산소 영역을 용이하게 형성할 수 있으므로 바람직하다.
- [0304] 또한, 절연체(275)는 파잉 산소 영역을 가지는 것이 바람직하다. 가열에 의하여 산소가 방출되는 절연체를 절연체(275)로서 산화물 반도체(230c) 및 절연체(250)와 접하여 제공함으로써, 절연체(250)로부터 산화물 반도체(230b)의 영역(234)에 산소를 효과적으로 공급할 수 있다. 또한, 절연체(275) 내의 물 또는 수소 등의 불순물 농도가 저감되어 있는 것이 바람직하다.
- [0305] 절연체(273)는 적어도 층(242) 위 및 절연체(275) 위에 제공된다. 절연체(273)를 스퍼터링법에 의하여 성막함으로써, 절연체(275)에 파잉 산소 영역을 제공할 수 있다. 이로써, 상기 파잉 산소 영역으로부터 산화물 반도체(230)에 산소를 공급할 수 있다. 또한, 절연체(273)를 산화물 반도체(230)의 층(242) 위에 제공함으로써, 산화물 반도체(230) 내의 수소를 절연체(273)로 추출할 수 있다.
- [0306] 예를 들어, 절연체(273)로서 하프늄, 알루미늄, 갈륨, 이트륨, 지르코늄, 텅스텐, 타이타늄, 탄탈럼, 니켈, 저마늄, 또는 마그네슘 등에서 선택된 1종류 또는 2종류 이상이 포함된 금속 산화물을 사용할 수 있다.
- [0307] 특히, 산화 알루미늄은 배리어성이 높아 0.5nm 이상 3.0nm 이하의 박막이어도 수소 및 질소의 확산을 억제할 수 있다.
- [0308] 또한, 절연체(273) 위에 절연체(274)를 제공한다. 절연체(274)에는 배리어성을 가지고 수소 농도가 저감된 막을 사용하는 것이 바람직하다. 예를 들어, 절연체(274)로서는 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘 등을 사용하는 것이 좋다. 배리어성을 가지는 절연체(273)와 배리어성을 가지는 절연체(274)를 제공함으로써, 층간막 등 다른 구조체로부터 불순물이 트랜지스터(200)로 확산되는 것을 억제할 수 있다.
- [0309] 또한, 절연체(274) 위에 층간막으로서 기능하는 절연체(280)를 제공하는 것이 바람직하다. 절연체(280)는 절연체(224) 등과 마찬가지로, 막 내의 물 또는 수소 등의 불순물 농도가 저감되어 있는 것이 바람직하다. 또한, 절연체(280) 위에 절연체(210)와 같은 절연체를 제공하여도 좋다. 상기 절연체를 스퍼터링법에 의하여 성막함으로써, 절연체(280)의 불순물을 저감할 수 있다.
- [0310] 절연체(280), 절연체(274), 및 절연체(273)의 개구의 내벽과 접하여 도전체(240a)가 형성되어 있다. 여기서, 도 19의 (B)에 나타낸 바와 같이, 도전체(240a)는 산화물 반도체(230b)의 측면과 중첩되는 영역을 가지는 것이 바람직하다. 특히, 도전체(240a)는 산화물 반도체(230b)의 채널 폭 방향과 교차되는 측면에서, A5 층의 측면 및 A6 층의 측면의 양쪽 또는 한쪽과 중첩되는 영역을 가지는 것이 바람직하다. 또한, 도전체(240a)가 산화물 반도체(230b)의 채널 길이 방향과 교차되는 측면에서, A1 층(A2 층)의 측면과 중첩되는 구성으로 하여도 좋다. 이와 같이, 도전체(240a)가 산화물 반도체(230b)의 측면과 중첩되는 영역을 가지는 구성으로 함으로써, 도전체(240a)와 트랜지스터(200)의 접촉 부분의 투영 면적을 크게 하지 않아도 접촉 부분의 접촉 면적을 크게 할 수 있어, 도전체(240a)와 트랜지스터(200)의 접촉 저항을 저감할 수 있다. 이로써, 트랜지스터의 온 전류를 크게 할 수 있다. 또한, 도전체(240b)에 대하여도 마찬가지이다.
- [0311] 도전체(240a) 및 도전체(240b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한, 도전체(240a) 및 도전체(240b)를 적층 구조로 하여도 좋다.
- [0312] 여기서, 예를 들어 절연체(280), 절연체(274), 및 절연체(273)에 개구를 형성할 때, 산화물 반도체(230)에서 영역(231) 중 저저항화된 영역이 제거되고, 저저항화되지 않은 산화물 반도체(230)가 노출되는 경우가 있다. 이 경우, 도전체(240)에서 산화물 반도체(230)와 접하는 도전체(이하, 도전체(240)의 제 1 도전체라고도 함)에 사용하는 도전체로서, 금속막, 금속 원소를 포함하는 질화막, 또는 금속 원소를 포함하는 산화막을 사용하는 것이 좋다. 즉, 저저항화되지 않은 산화물 반도체(230)와, 도전체(240)의 제 1 도전체가 접함으로써, 금속 화합물 또는 산화물 반도체(230)에 산소 결손이 형성되어 산화물 반도체(230)의 영역(231)이 저저항화한다. 따라서, 도전체(240)의 제 1 도전체와 접하는 산화물 반도체(230)를 저저항화함으로써, 산화물 반도체(230)와 도전체

(240)의 접촉 저항을 저감할 수 있다. 따라서, 도전체(240)의 제 1 도전체는, 예를 들어 알루미늄, 타이타늄, 탄탈럼, 텅스텐 등의 금속 원소를 포함하는 것이 바람직하다.

- [0313] 또한, 도전체(240)를 적층 구조로 하는 경우, 절연체(280), 절연체(274), 및 절연체(273)와 접하는 도전체에는 도전체(205)의 제 1 도전체 등과 마찬가지로 물 또는 수소 등의 불순물의 투과를 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 예를 들어, 탄탈럼, 질화 탄탈럼, 타이타늄, 질화 타이타늄, 루테튬, 또는 산화 루테튬 등을 사용하는 것이 바람직하다. 또한, 물 또는 수소 등의 불순물의 투과를 억제하는 기능을 가지는 도전성 재료를 단층 또는 적층으로 사용하여도 좋다. 상기 도전성 재료를 사용함으로써, 절연체(280)보다 위에 있는 층으로부터 수소, 물 등의 불순물이 도전체(240)를 통하여 산화물 반도체(230)에 혼입되는 것을 억제할 수 있다.
- [0314] 트랜지스터(200)를 형성하는 기판으로서의 예를 들어 절연체 기판, 반도체 기판, 또는 도전체 기판을 사용하면 좋다. 절연체 기판으로서의 예를 들어 유리 기판, 석영 기판, 사파이어 기판, 안정화 지르코니아 기판(이트리아 안정화 지르코니아 기판 등), 수지 기판 등이 있다. 또한, 반도체 기판으로서의 예를 들어 실리콘, 저마늄 등으로 이루어지는 반도체 기판, 또는 탄소화 실리콘, 실리콘 저마늄, 비소화 갈륨, 인화 인듐, 산화 아연, 산화 갈륨으로 이루어지는 화합물 반도체 기판 등이 있다. 또한, 상술한 반도체 기판 내부에 절연체 영역을 가지는 반도체 기판, 예를 들어 SOI(Silicon On Insulator) 기판 등이 있다. 도전체 기판으로서의 예를 들어, 금속 기판, 합금 기판, 도전성 수지 기판 등이 있다. 또는, 금속의 질화물을 포함하는 기판, 금속의 산화물을 포함하는 기판 등이 있다. 또한, 절연체 기판에 도전체 또는 반도체가 제공된 기판, 반도체 기판에 도전체 또는 절연체가 제공된 기판, 도전체 기판에 반도체 또는 절연체가 제공된 기판 등이 있다. 또는, 이들 기판에 소자가 제공된 것을 사용하여도 좋다. 기판에 제공되는 소자로서는 용량 소자, 저항 소자, 스위칭 소자, 발광 소자, 기억 소자 등이 있다.
- [0315] 또한, 기판으로서 가요성 기판을 사용하여도 좋다. 또한, 가요성 기판 위에 트랜지스터를 제공하는 방법으로서, 비가요성 기판 위에 트랜지스터를 제작한 후, 트랜지스터를 박리하고, 가요성 기판인 기판으로 전치(轉置)하는 방법도 있다. 이 경우에는, 비가요성 기판과 트랜지스터 사이에 박리층을 제공하는 것이 좋다. 또한, 기판이 신축성을 가져도 좋다. 또한, 기판은 구부리거나 당기는 것을 멈췄을 때 원래의 형상으로 되돌아가는 성질을 가져도 좋다. 또는, 원래의 형상으로 되돌아가지 않는 성질을 가져도 좋다. 기판은 예를 들어, 5 μm 이상 700 μm 이하, 바람직하게는 10 μm 이상 500 μm 이하, 더 바람직하게는 15 μm 이상 300 μm 이하의 두께가 되는 영역을 가진다. 기판을 얇게 하면, 트랜지스터를 가지는 기억 장치를 경량화시킬 수 있다. 또한, 기판을 얇게 함으로써, 유리 등을 사용하여도 신축성을 가지는 경우나, 구부리거나 당기는 것을 멈췄을 때 원래의 형상으로 되돌아가는 성질을 가지는 경우가 있다. 그러므로, 낙하 등으로 인하여 기판 위의 기억 장치에 가해지는 충격 등을 완화시킬 수 있다. 즉, 튼튼한 기억 장치를 제공할 수 있다.
- [0316] 가요성 기판인 기판으로서의 예를 들어 금속, 합금, 수지, 또는 유리, 혹은 이들의 섬유 등을 사용할 수 있다. 또한, 기판으로서 섬유를 짠 시트, 필름, 또는 박(箔) 등을 사용하여도 좋다. 가요성 기판인 기판은 선펡창물이 낮을수록 환경에 기인한 변형이 억제되므로 바람직하다. 가요성 기판인 기판으로서의 예를 들어 선펡창물이 1 \times 10 $^{-3}$ /K 이하, 5 \times 10 $^{-5}$ /K 이하, 또는 1 \times 10 $^{-5}$ /K 이하인 재질을 사용하면 좋다. 수지로서는 예를 들어 폴리에스터, 폴리올레핀, 폴리아마이드(나일론, 아라미드 등), 폴리이미드, 폴리카보네이트, 아크릴 등이 있다. 특히, 아라미드는 선펡창물이 낮기 때문에, 가요성 기판인 기판으로서 적합하다.
- [0317] 이상, 본 실시형태에서 나타낸 구성, 구조, 방법 등은 다른 실시형태에서 나타내는 구성, 구조, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0318] (실시형태 5)
- [0319] 본 실시형태에서는, 상기 실시형태에서 나타낸 기억 장치가 제공된 전자 부품 및 전자 기기의 일례를 나타낸다.
- [0320] <전자 부품>
- [0321] 먼저, 기억 장치(100)가 제공된 전자 부품의 예를 도 21의 (A), (B)를 사용하여 설명한다.
- [0322] 도 21의 (A)에 나타낸 전자 부품(7000)은 IC칩이고, 리드 및 회로부를 가진다. 전자 부품(7000)은 예를 들어 인쇄 기판(7002)에 실장된다. 이와 같은 IC칩이 복수 조합되고, 각각이 인쇄 기판(7002) 위에서 전기적으로 접속됨으로써, 전자 부품이 실장된 기판인 실장 기판(7004)이 완성된다.
- [0323] 전자 부품(7000)의 회로부는 기판(7031), 층(7032)의 적층으로 이루어진다.

- [0324] 기판(7031)으로서는, 실시형태 2에 기재된 트랜지스터(200)를 형성하는 기판에 사용할 수 있는 재료를 적용하면 좋다. 또한, 기판(7031)으로서 실리콘 등으로 이루어지는 반도체 기판을 사용한 경우에는, 기판(7031)에 집적 회로를 형성하고, 그 위에 OS 트랜지스터를 가지는 층(7032)을 형성하여도 좋다.
- [0325] 층(7032)은 상기 실시형태에서 나타낸 OS 트랜지스터를 가진다. 예를 들어, 실시형태 1에서 나타낸 기억 장치(100)를 기판(7031) 위 및 층(7032)에 제공할 수 있다.
- [0326] OS 트랜지스터는 다른 반도체 소자에 적층하여 제공할 수 있기 때문에, 전자 부품(7000)을 소형화할 수 있다.
- [0327] 전자 부품(7000)에서는 층(7032)의 위층에 ReRAM(Resistive Random Access Memory), MRAM(Magnetoresistive Random Access Memory), PRAM(Phase change RAM), FeRAM(Ferroelectric RAM) 등의 메모리를 제공하여도 좋다.
- [0328] 도 21의 (A)에서는 전자 부품(7000)의 패키지로서 QFP(Quad Flat Package)를 적용하고 있지만, 패키지의 형태는 이에 한정되지 않는다.
- [0329] 도 21의 (B)는 전자 부품(7400)의 모식도이다. 전자 부품(7400)은 카메라 모듈이고, 이미지 센서 칩(7451)을 내장한다. 전자 부품(7400)은 이미지 센서 칩(7451)을 고정하는 패키지 기판(7411), 렌즈 커버(7421), 및 렌즈(7435) 등을 가진다. 또한, 패키지 기판(7411)과 이미지 센서 칩(7451) 사이에는 촬상 장치의 구동 회로 및 신호 변환 회로 등의 기능을 가지는 IC칩(7490)도 제공되어 있으며, SiP(System in Package)로서의 구성을 가진다. 렌즈(7441)는 전극 패드(7461)와 전기적으로 접속되고, 전극 패드(7461)는 이미지 센서 칩(7451) 또는 IC칩(7490)과 와이어(7471)를 통하여 전기적으로 접속되어 있다. 도 21의 (B)에서는 전자 부품(7400)의 내부를 나타내기 위하여, 렌즈 커버(7421) 및 렌즈(7435)의 일부를 생략하여 도시하였다.
- [0330] 이미지 센서 칩(7451)의 회로부는 기판(7031), 층(7032), 층(7033)의 적층으로 이루어진다.
- [0331] 기판(7031) 및 층(7032)의 자세한 사항에 대해서는, 상술한 전자 부품(7000)의 기재를 참조하면 좋다.
- [0332] 층(7033)은 수광 소자를 가진다. 상기 수광 소자로서는, 예를 들어 셀레늄계 재료를 광전 변환층으로 한 pn 접합형 포토다이오드 등을 사용할 수 있다. 셀레늄계 재료를 사용한 광전 변환 소자는 가시광에 대한 외부 양자 효율이 높으므로, 고감도의 광 센서를 실현할 수 있다.
- [0333] 셀레늄계 재료는 p형 반도체로서 사용할 수 있다. 셀레늄계 재료로서는, 단결정 셀레늄이나 다결정 셀레늄 등의 결정성 셀레늄, 비정질 셀레늄, 구리, 인듐, 셀레늄의 화합물(CIS), 또는 구리, 인듐, 갈륨, 셀레늄의 화합물(CIGS) 등을 사용할 수 있다.
- [0334] 상기 pn 접합형 포토다이오드의 n형 반도체는, 밴드 갭이 넓고 가시광에 대하여 투광성을 가지는 재료로 형성되는 것이 바람직하다. 예를 들어, 아연 산화물, 갈륨 산화물, 인듐 산화물, 주석 산화물, 또는 이들이 혼재된 산화물 등을 사용할 수 있다.
- [0335] 또한, 층(7033)이 가지는 수광 소자로서는, p형 실리콘 반도체와 n형 실리콘 반도체를 사용한 pn 접합형 포토다이오드를 사용하여도 좋다. 또한, p형 실리콘 반도체와 n형 실리콘 반도체 사이에 i형 실리콘 반도체층을 제공하는 pin 접합형 포토다이오드이어도 좋다.
- [0336] 상기 실리콘을 사용한 포토다이오드는 단결정 실리콘을 사용하여 형성할 수 있다. 이때, 층(7032)과 층(7033)은 접합 공정을 사용하여 전기적으로 접속되는 것이 바람직하다. 또한, 상기 실리콘을 사용한 포토다이오드는 비정질 실리콘, 미결정 실리콘, 다결정 실리콘 등의 박막을 사용하여 형성할 수도 있다.
- [0337] <전자 기기>
- [0338] 다음으로, 상기 전자 부품을 가지는 전자 기기의 예에 대하여 도 22 및 도 23을 사용하여 설명한다.
- [0339] 도 22의 (A)에 나타낸 로봇(2100)은 연산 장치(2110), 조도 센서(2101), 마이크로폰(2102), 상부 카메라(2103), 스피커(2104), 디스플레이(2105), 하부 카메라(2106), 및 장애물 센서(2107), 이동 기구(2108)를 가진다.
- [0340] 로봇(2100)에서는, 연산 장치(2110), 조도 센서(2101), 상부 카메라(2103), 디스플레이(2105), 하부 카메라(2106), 및 장애물 센서(2107) 등에 상기 전자 부품을 사용할 수 있다.
- [0341] 마이크로폰(2102)은 사용자의 말소리 및 환경음 등을 검지하는 기능을 가진다. 또한, 스피커(2104)는 음성을 출력하는 기능을 가진다. 로봇(2100)은 마이크로폰(2102) 및 스피커(2104)를 사용하여, 사용자와 커뮤니케이션

을 하는 것이 가능하다.

- [0342] 디스플레이(2105)는 다양한 정보를 표시하는 기능을 가진다. 로봇(2100)은 사용자가 원하는 정보를 디스플레이(2105)에 표시하는 것이 가능하다. 디스플레이(2105)에는 터치 패널을 탑재하여도 좋다.
- [0343] 상부 카메라(2103) 및 하부 카메라(2106)는 로봇(2100)의 주위를 촬상하는 기능을 가진다. 또한, 장애물 센서(2107)는, 이동 기구(2108)를 사용하여 로봇(2100)이 앞으로 가는 진행 방향에서의 장애물의 유무를 감지할 수 있다. 로봇(2100)은 상부 카메라(2103), 하부 카메라(2106), 및 장애물 센서(2107)를 사용하여 주위의 환경을 인식함으로써 안전하게 이동할 수 있다.
- [0344] 도 22의 (B)에 나타낸 비행체(2120)는 연산 장치(2121)와, 프로펠러(2123)와, 카메라(2122)를 가지고, 자율 비행하는 기능을 가진다.
- [0345] 비행체(2120)에서는, 연산 장치(2121) 및 카메라(2122)에 상기 전자 부품을 사용할 수 있다.
- [0346] 도 22의 (C)는 자동차의 일례를 나타낸 외관도이다. 자동차(2980)는 카메라(2981) 등을 가진다. 또한, 자동차(2980)는 적외선 레이더, 밀리파 레이더, 레이저 레이더 등의 각종 센서 등을 가진다. 자동차(2980)는 카메라(2981)가 촬영한 화상을 해석하여 보행자의 유무 등 주위의 교통 상황을 판단함으로써 자동 운전을 하는 것이 가능하다.
- [0347] 자동차(2980)에서는 카메라(2981)에 상기 전자 부품을 사용할 수 있다.
- [0348] 도 22의 (D)에 나타낸 정보 단말기(2910)는 하우징(2911), 표시부(2912), 마이크로폰(2917), 스피커부(2914), 카메라(2913), 외부 접속부(2916), 및 조작 스위치(2915) 등을 가진다. 표시부(2912)는 가요성 기판이 사용된 표시 패널 및 터치 스크린을 가진다. 또한, 정보 단말기(2910)는 하우징(2911)의 내측에 안테나, 배터리 등을 가진다. 정보 단말기(2910)는, 예를 들어 스마트폰, 휴대 전화, 태블릿형 정보 단말기, 태블릿형 퍼스널 컴퓨터, 전자책 단말기 등으로서 사용할 수 있다. 정보 단말기(2910)에서는 그 내부의 기억 장치와 카메라(2913)에 상기 전자 부품을 사용할 수 있다.
- [0349] 도 22의 (E)에는 손목시계형 정보 단말기의 일례를 나타내었다. 정보 단말기(2960)는 하우징(2961), 표시부(2962), 밴드(2963), 버클(2964), 조작 스위치(2965), 입출력 단자(2966) 등을 가진다. 또한, 정보 단말기(2960)는 하우징(2961)의 내측에 안테나, 배터리 등을 가진다. 정보 단말기(2960)는 이동 전화, 전자 메일, 문장 열람 및 작성, 음악 재생, 인터넷 통신, 컴퓨터 게임 등의 각종 애플리케이션을 실행할 수 있다. 정보 단말기(2960)에서는 그 내부의 기억 장치에 상기 전자 부품을 사용할 수 있다.
- [0350] 도 23은 청소 로봇의 일례를 나타낸 모식도이다.
- [0351] 청소 로봇(5100)은 상면에 배치된 디스플레이(5101), 측면에 배치된 복수의 카메라(5102), 브러시(5103), 조작 버튼(5104)을 가진다. 또한, 도시하지 않았지만, 청소 로봇(5100)의 하면에는 바퀴, 흡입구 등이 제공되어 있다. 청소 로봇(5100)은 그 외에 적외선 센서, 초음파 센서, 가속도 센서, 피에조 센서, 광 센서, 자이로 센서 등의 각종 센서를 가진다. 또한, 청소 로봇(5100)은 무선 통신 수단을 가진다.
- [0352] 카메라(5102)에는 상기 전자 부품을 사용할 수 있다.
- [0353] 청소 로봇(5100)은 자력으로 움직이고, 쓰레기(5120)를 검지하고, 하면에 제공된 흡입구로부터 쓰레기를 흡인할 수 있다.
- [0354] 또한, 청소 로봇(5100)은 카메라(5102)가 촬영한 화상을 해석하여 벽, 가구, 또는 단차 등의 장애물의 유무를 판단할 수 있다. 또한, 화상을 해석함으로써 배선 등 브러시(5103)에 얽히기 쉬운 물체를 검지한 경우에는, 브러시(5103)의 회전을 멈출 수 있다.
- [0355] 디스플레이(5101)에는 배터리 잔량이나 흡인한 쓰레기의 양 등을 표시할 수 있다. 또한, 청소 로봇(5100)이 주행한 경로를 디스플레이(5101)에 표시하여도 좋다. 또한, 디스플레이(5101)를 터치 패널로 하고, 조작 버튼(5104)을 디스플레이(5101)에 제공하여도 좋다.
- [0356] 청소 로봇(5100)은 스마트폰 등의 휴대 전자 기기(5140)와 통신할 수 있다. 카메라(5102)가 촬영한 화상을 휴대 전자 기기(5140)에 표시할 수 있다. 그러므로, 청소 로봇(5100)의 소유자는 밖에 있어도 방의 상황을 알 수 있다.
- [0357] (실시형태 6)

- [0358] 본 실시형태에서는, 실시형태 1에서 나타난 기억 장치(100)가 제공된 GPU(Graphics Processing Unit)에 대하여 설명한다. 도 24는 GPU의 구성예를 나타낸 기능 블록도이다.
- [0359] 도 24에 나타난 GPU(500)는 스레드 배분 유닛(510), 복수의 스트리밍·멀티프로세서(SM; Streaming Multiprocessor)(512), L2(레벨 2) 캐시 메모리(514), 및 디바이스 메모리(516)를 가진다.
- [0360] 디바이스 메모리(516)에는 상술한 기억 장치(100)가 적용된다. 디바이스 메모리(516)는 GPU(500)가 실행하는 프로그램(커널 또는 커널·프로그램이라고도 함), 및 GPU(500)가 처리하는 데이터를 기억한다. 호스트(530)가 가지는 CPU(532)의 명령에 따라, GPU(500)는 커널을 기동하고 데이터를 처리한다. GPU(500)가 처리한 데이터는 디바이스 메모리(516)에 기록되고, CPU(532)의 메인 메모리(534)로 전송된다. 메인 메모리(534)와 디바이스 메모리(516) 사이의 데이터의 전송은 CPU(532)에 의하여 제어된다.
- [0361] 메인 메모리(534)에는 상술한 기억 장치(100)를 적용하여도 좋다.
- [0362] 스레드 배분 유닛(510)은, 복수의 스레드로 구성되는 스레드·블록을, 사용 가능한 SM(512)에 할당한다. 여기서 스레드란, 커널에서의 최소 실행 단위를 나타낸다.
- [0363] SM(512)은 다수의 스레드를 동시에 실행할 수 있다. 예를 들어, SM(512)은 L1 캐시 메모리, 공유 메모리, 레지스터, 명령 발행 유닛, 복수의 프로세서·코어(스트리밍·프로세서·코어라고도 함), 복수의 초월 함수 연산기를 가진다. GPU(500)의 초병렬 연산 처리 기능을 살리기 위하여, SM(512)에 복수의 딥 러닝용 연산기를 제공하여도 좋다.
- [0364] L2 캐시 메모리(514)는 GPU(500) 내의 SM(512)에서 공유된다. L2 캐시 메모리(514)와 SM(512)의 L1 캐시 사이에서 데이터의 로딩 및 저장이 수행된다. L2 캐시 메모리(514)는 적절히 제공되면 좋다. L2 캐시 메모리(514)가 제공되지 않은 경우에는, 디바이스 메모리(516)와 L1 캐시 사이에서 데이터의 로딩 및 저장이 수행된다.
- [0365] GPU에 상술한 기억 장치(100)를 사용함으로써, GPU의 소비전력을 저감할 수 있다. 예를 들어, 인공 신경망 등 대규모의 계산을 GPU에 의하여 수행하는 경우에는, GPU는 대전력을 필요로 하므로 칩이 고온으로 발열한다. GPU에 상술한 기억 장치(100)를 사용함으로써, GPU의 전력을 저감하여 칩의 발열을 억제할 수 있다.
- [0366] 이상, 본 실시형태에서 나타난 구성은, 다른 실시형태에서 나타내는 구성과 적절히 조합하여 사용할 수 있다.
- [0367] 또한, 본 명세서에서는, 특별히 언급이 없는 경우, 온 전류란 트랜지스터가 온 상태일 때의 드레인 전류를 말한다. 온 상태(온이라고 생략하는 경우도 있음)란, 특별히 언급이 없는 경우, n채널형 트랜지스터에서는 게이트와 소스 사이의 전압(VG)이 문턱 전압(Vth) 이상의 상태를, p채널형 트랜지스터에서는 VG가 Vth 이하의 상태를 말한다. 예를 들어, n채널형 트랜지스터의 온 전류란, VG가 Vth 이상일 때의 드레인 전류를 말한다. 또한, 트랜지스터의 온 전류는 드레인과 소스 사이의 전압(VD)에 의존하는 경우가 있다.
- [0368] 또한, 본 명세서에서는, 특별히 언급이 없는 경우, 오프 전류란 트랜지스터가 오프 상태일 때의 드레인 전류를 말한다. 오프 상태(오프라고 생략하는 경우도 있음)란, 특별히 언급이 없는 경우, n채널형 트랜지스터에서는 VG가 Vth보다 낮은 상태를, p채널형 트랜지스터에서는 VG가 Vth보다 높은 상태를 말한다. 예를 들어, n채널형 트랜지스터의 오프 전류란, VG가 Vth보다 낮을 때의 드레인 전류를 말한다. 트랜지스터의 오프 전류는 VG에 의존하는 경우가 있다. 따라서, 트랜지스터의 오프 전류가 10-21A 미만이란, 트랜지스터의 오프 전류가 10-21A 미만이 되는 VG의 값이 존재하는 것을 말하는 경우가 있다.
- [0369] 또한, 트랜지스터의 오프 전류는 VD에 의존하는 경우가 있다. 본 명세서에서, 오프 전류는 특별히 기재되지 않은 경우에는, VD의 절댓값이 0.1V, 0.8V, 1V, 1.2V, 1.8V, 2.5V, 3V, 3.3V, 10V, 12V, 16V, 또는 20V에서의 오프 전류를 가리키는 경우가 있다. 또는, 상기 트랜지스터가 포함되는 반도체 장치 등에서 사용되는 VD에서의 오프 전류를 가리키는 경우가 있다.
- [0370] 본 명세서 등에서 전압과 전위는 적절히 바꿔 말할 수 있다. 전압은 기준이 되는 전위로부터의 전위차를 말하고, 예를 들어 기준이 되는 전위를 그라운드 전위(접지 전위)로 하면, 전압을 전위로 바꿔 말할 수 있다. 그라운드 전위는 반드시 0V를 의미하는 것은 아니다. 또한, 전위는 상대적인 것이고, 기준이 되는 전위에 따라서는 배선 등에 공급되는 전위를 변화시키는 경우가 있다.
- [0371] 본 명세서 등에서, X와 Y가 접속되어 있다고 명시적으로 기재되어 있는 경우에는, X와 Y가 전기적으로 접속되어 있는 경우와, X와 Y가 직접 접속되어 있는 경우가 본 명세서 등에 개시되어 있는 것으로 한다.

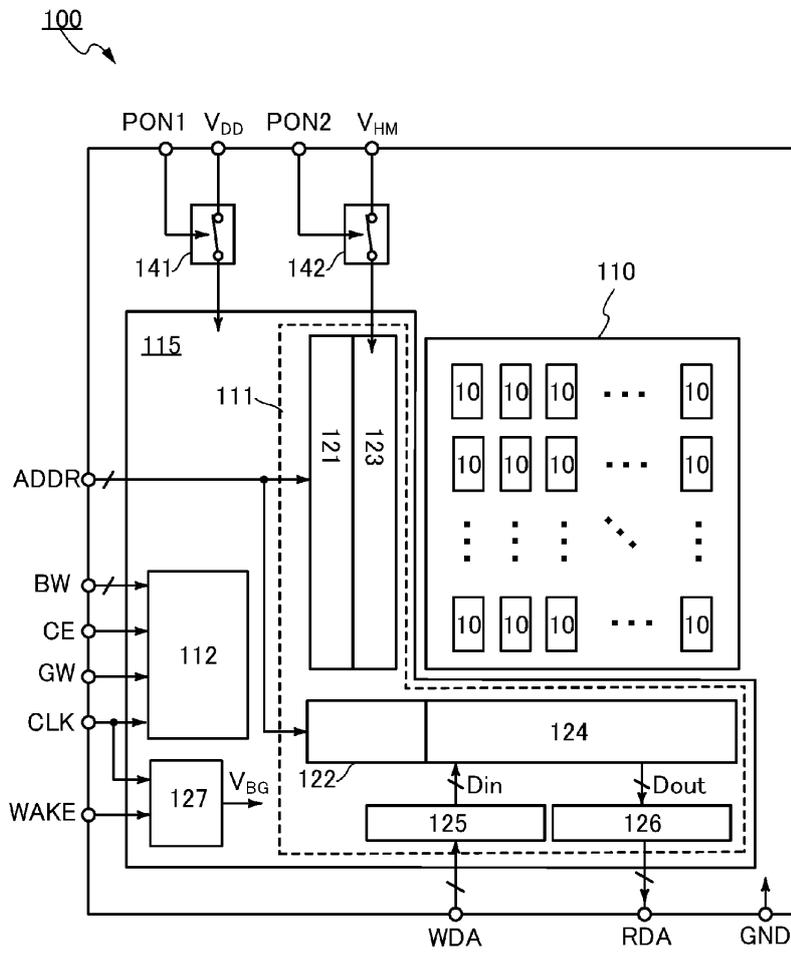
- [0372] 여기서, X, Y는 대상물(예를 들어 장치, 소자, 회로, 배선, 전극, 단자, 도전체, 층 등)인 것으로 한다.
- [0373] X와 Y가 직접적으로 접속되어 있는 경우의 일례로서는, X와 Y의 전기적인 접속을 가능하게 하는 소자(예를 들어 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 소자, 발광 소자, 부하 등)를 통하지 않고 X와 Y가 접속되어 있는 경우이다.
- [0374] X와 Y가 전기적으로 접속되어 있는 경우의 일례로서는, X와 Y의 전기적인 접속을 가능하게 하는 소자(예를 들어 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 소자, 발광 소자, 부하 등)가 X와 Y 사이에 하나 이상 접속되는 경우를 들 수 있다. 또한, 스위치는 도통 상태(온 상태) 또는 비도통 상태(오프 상태)가 되어 전류를 흘릴지 여부를 제어하는 기능을 가진다. 또는, 스위치는 전류를 흘리는 경로를 선택하여 전환하는 기능을 가진다. 또한, X와 Y가 전기적으로 접속되어 있는 경우에는, X와 Y가 직접적으로 접속되어 있는 경우를 포함하는 것으로 한다.

부호의 설명

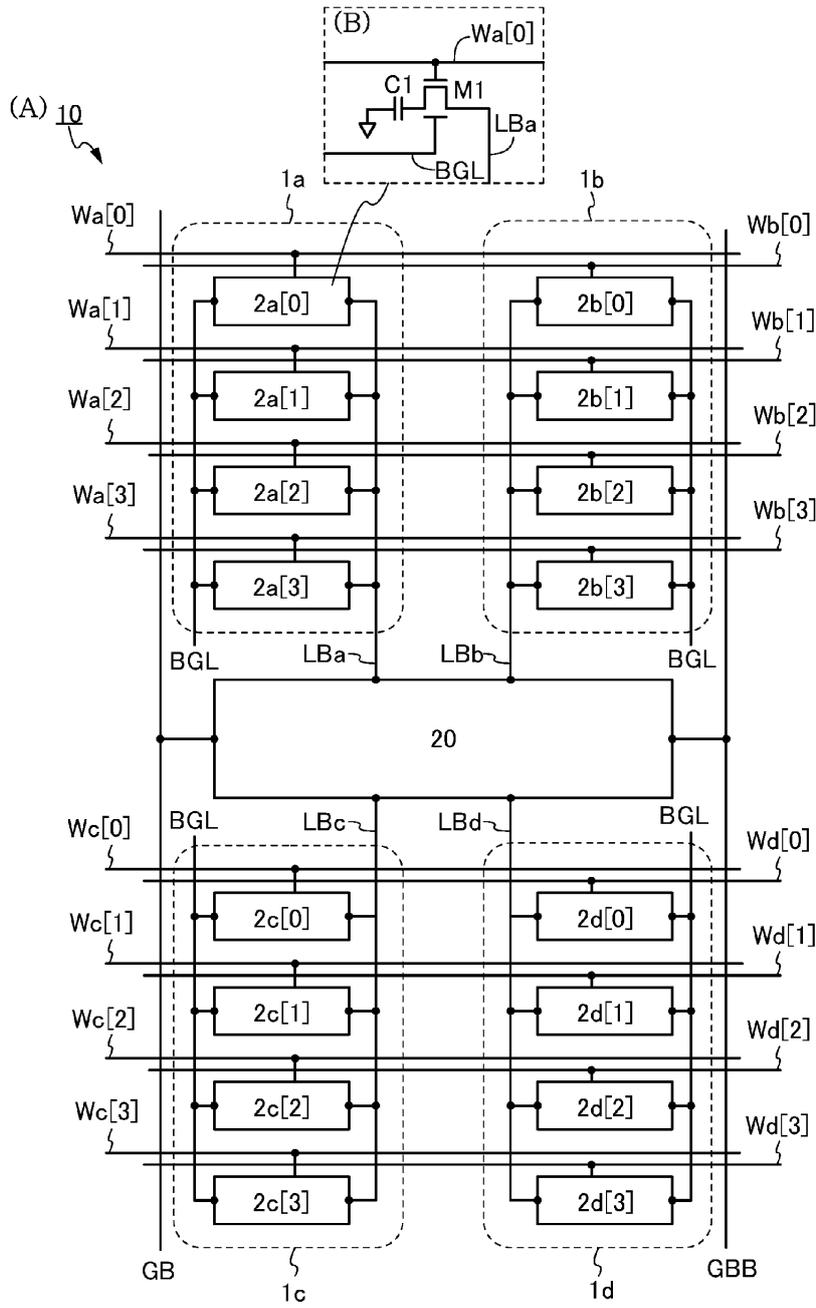
- [0375] 1a: 메모리 셀 어레이, 1b: 메모리 셀 어레이, 1c: 메모리 셀 어레이, 1d: 메모리 셀 어레이, 1e: 메모리 셀 어레이, 1f: 메모리 셀 어레이, 1g: 메모리 셀 어레이, 1h: 메모리 셀 어레이, 2a: 메모리 셀, 2b: 메모리 셀, 2c: 메모리 셀, 2d: 메모리 셀, 3a: 스위치, 3b: 스위치, 3c: 스위치, 3d: 스위치, 4a: 스위치, 4b: 스위치, 4c: 스위치, 4d: 스위치, 5a: 트랜지스터, 5b: 트랜지스터, 5c: 트랜지스터, 5d: 트랜지스터, 6a: 트랜지스터, 6b: 트랜지스터, 6c: 트랜지스터, 6d: 트랜지스터, 10: 셀, 20: 회로, 21: 트랜지스터, 22: 트랜지스터, 23: 트랜지스터, 24: 트랜지스터, 25: 트랜지스터, 26: 트랜지스터, 27: 스위치, 28: 스위치, 30: 감지 증폭기, 31: 인버터, 32: 인버터, 40a: 트랜지스터, 40b: 트랜지스터, 40c: 트랜지스터, 40d: 트랜지스터, 50: 감지 증폭기, 60: 프리차지 회로, 61: 트랜지스터, 62: 트랜지스터, 63: 트랜지스터, 70: 증폭 회로, 71: 트랜지스터, 72: 트랜지스터, 73: 트랜지스터, 74: 트랜지스터, 100: 기억 장치, 110: 셀 어레이, 111: 주변 회로, 112: 컨트롤 회로, 115: 주변 회로, 121: 행 디코더, 122: 열 디코더, 123: 행 드라이버, 124: 열 드라이버, 125: 입력 회로, 126: 출력 회로, 127: 전위 생성 회로, 141: PSW, 142: PSW, 150: 전원 제어부, 151: DVFS 제어 회로, 152: 레귤레이터 제어 회로, 153: 레귤레이터, 154: 발진 회로, 160: 검출 회로, 200: 트랜지스터, 203: 도전체, 205: 도전체, 210: 절연체, 212: 절연체, 214: 절연체, 216: 절연체, 220: 절연체, 222: 절연체, 224: 절연체, 230: 산화물 반도체, 230a: 산화물 반도체, 230b: 산화물 반도체, 230c: 산화물 반도체, 231: 영역, 231a: 영역, 231b: 영역, 232: 영역, 232a: 영역, 232b: 영역, 234: 영역, 240: 도전체, 240a: 도전체, 240b: 도전체, 242: 층, 250: 절연체, 252: 금속 산화물, 260: 도전체, 260a: 도전체, 260b: 도전체, 270: 절연체, 271: 절연체, 273: 절연체, 274: 절연체, 275: 절연체, 280: 절연체, 500: GPU, 510: 스택드 배분 유닛, 512: SM, 514: 캐시 메모리, 516: 디바이스 메모리, 530: 호스트, 532: CPU, 534: 메인 메모리, 2100: 로봇, 2101: 조도 센서, 2102: 마이크로폰, 2103: 상부 카메라, 2103: 스피커, 2105: 디스플레이, 2106: 하부 카메라, 2107: 장애물 센서, 2108: 이동 기구, 2110: 연산 장치, 2120: 비행체, 2121: 연산 장치, 2122: 카메라, 2123: 프로펠러, 2910: 정보 단말기, 2911: 하우징, 2912: 표시부, 2913: 카메라, 2914: 스피커부, 2915: 조작 스위치, 2916: 외부 접속부, 2917: 마이크로폰, 2960: 정보 단말기, 2961: 하우징, 2962: 표시부, 2963: 밴드, 2964: 버클, 2965: 조작 스위치, 2966: 입출력 단자, 2980: 자동차, 2981: 카메라, 5100: 청소 로봇, 5101: 디스플레이, 5102: 카메라, 5103: 브러시, 5104: 조작 버튼, 5129: 쓰레기, 5140: 휴대 전자 기기, 7000: 전자 부품, 7002: 인쇄 기관, 7004: 실장 기관, 7031: 기관, 7032: 층, 7033: 층, 7400: 전자 부품, 7411: 패키지 기관, 7421: 렌즈 커버, 7435: 렌즈, 7441: 렌즈, 7451: 이미지 센서 칩, 7461: 전극 패드, 7471: 와이어, 7490: IC칩

도면

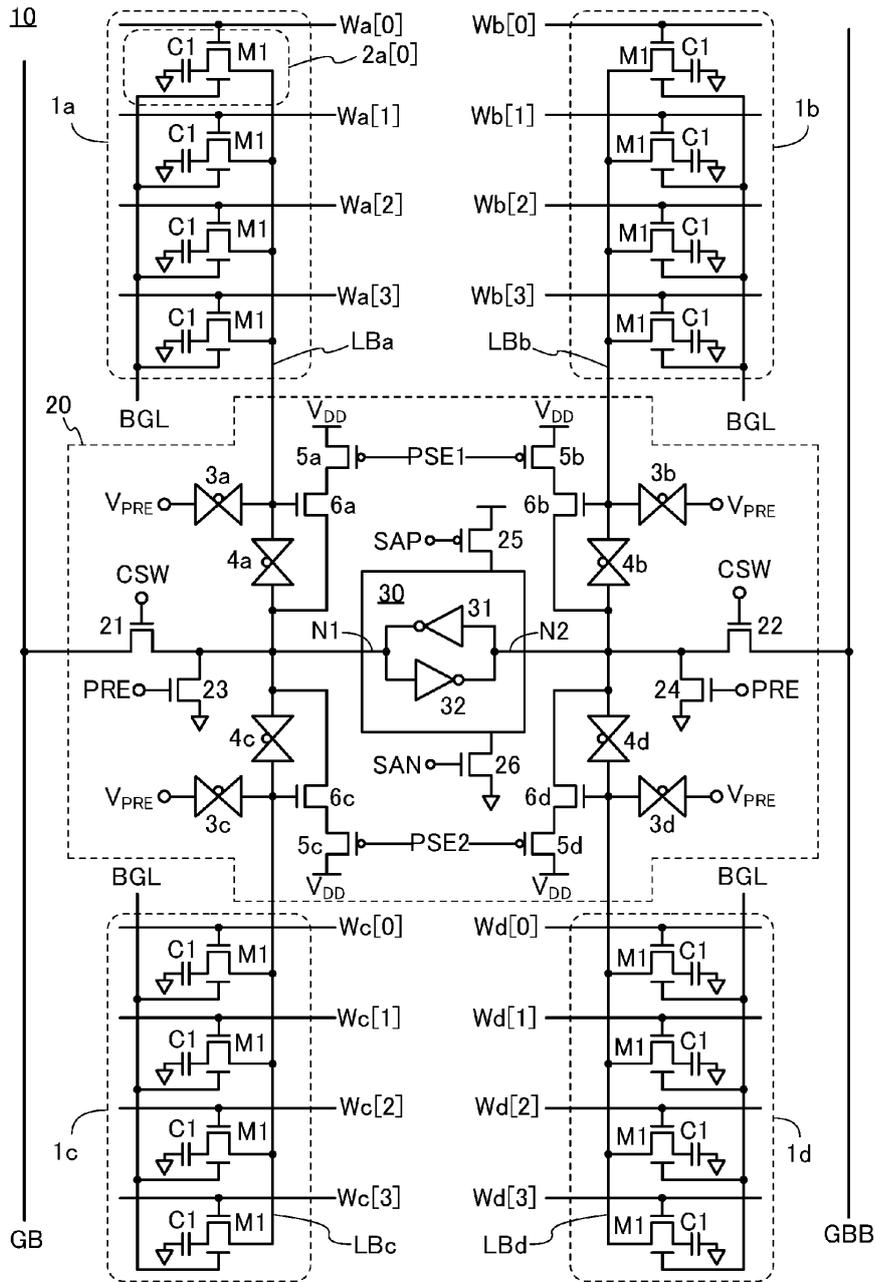
도면1



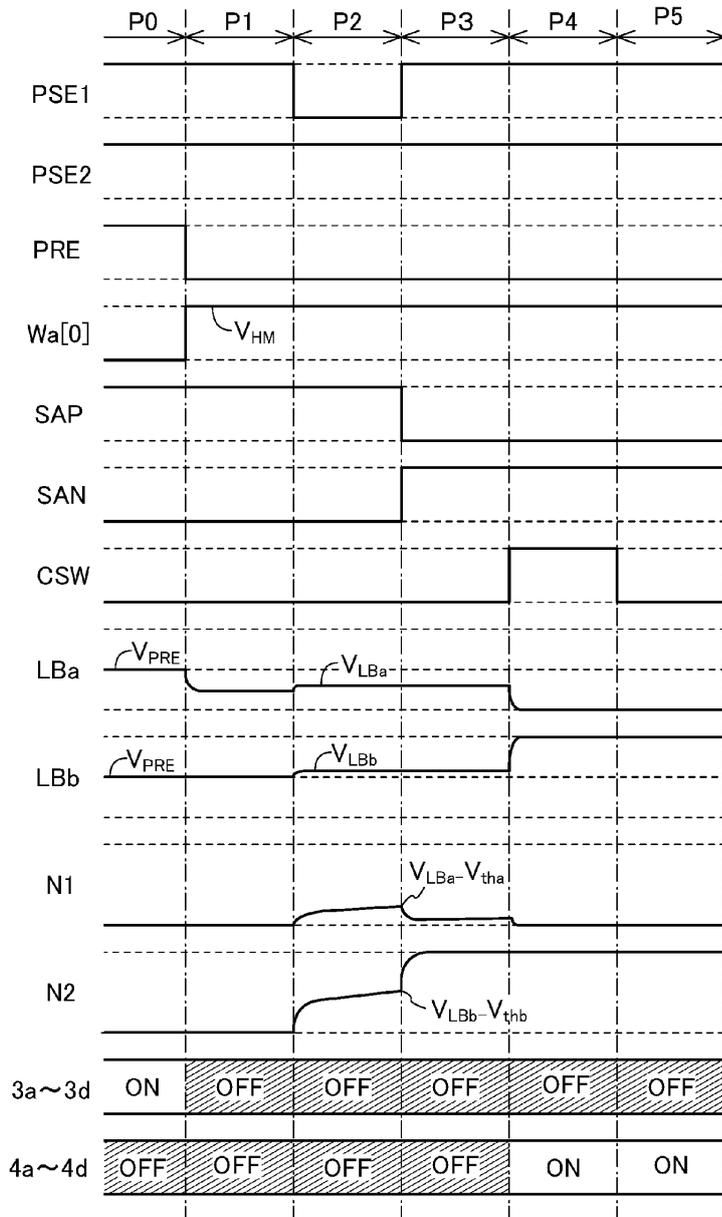
도면2



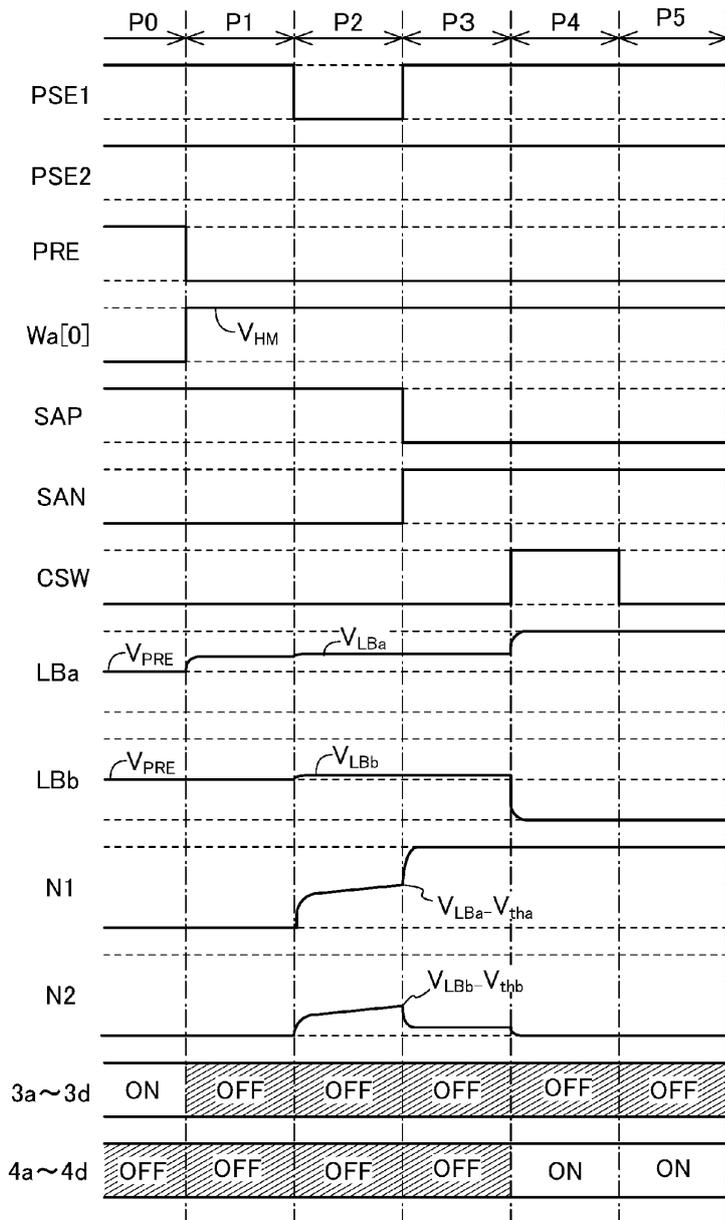
도면3



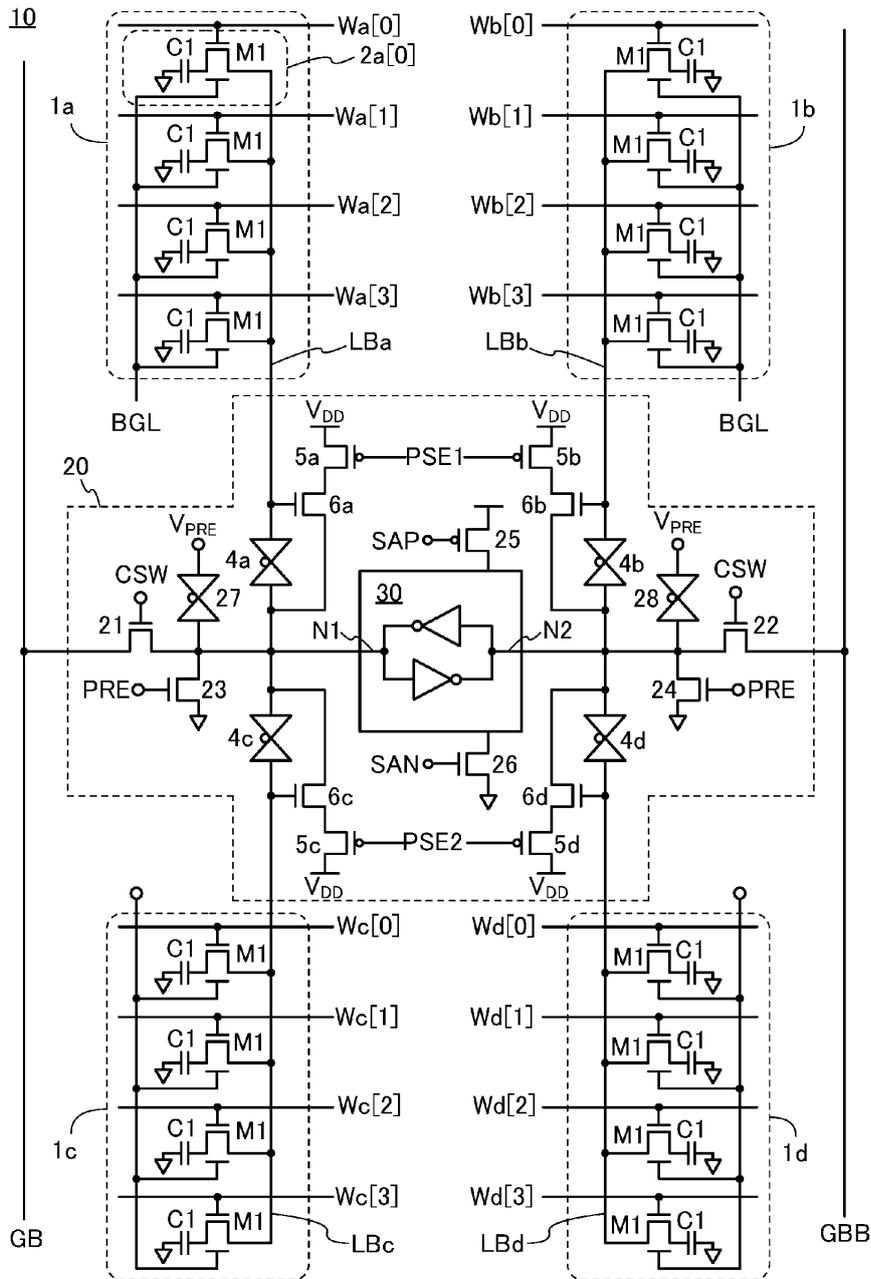
도면4



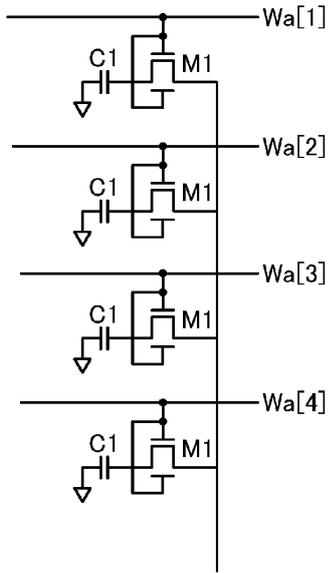
도면5



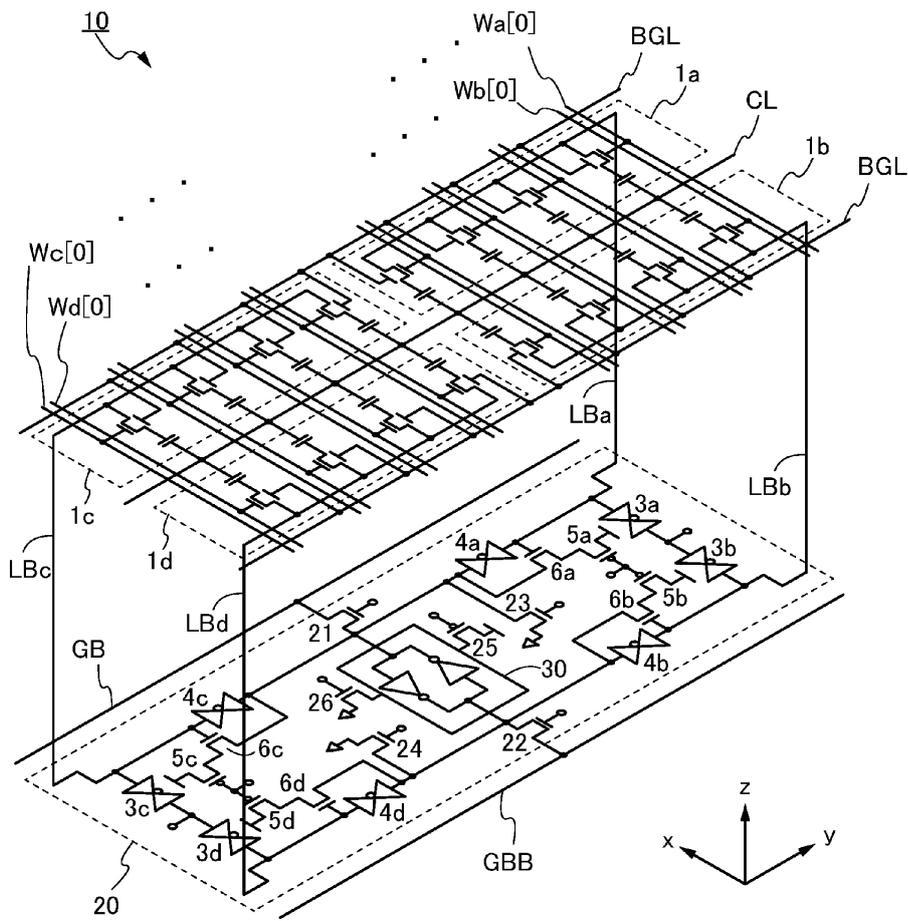
도면6



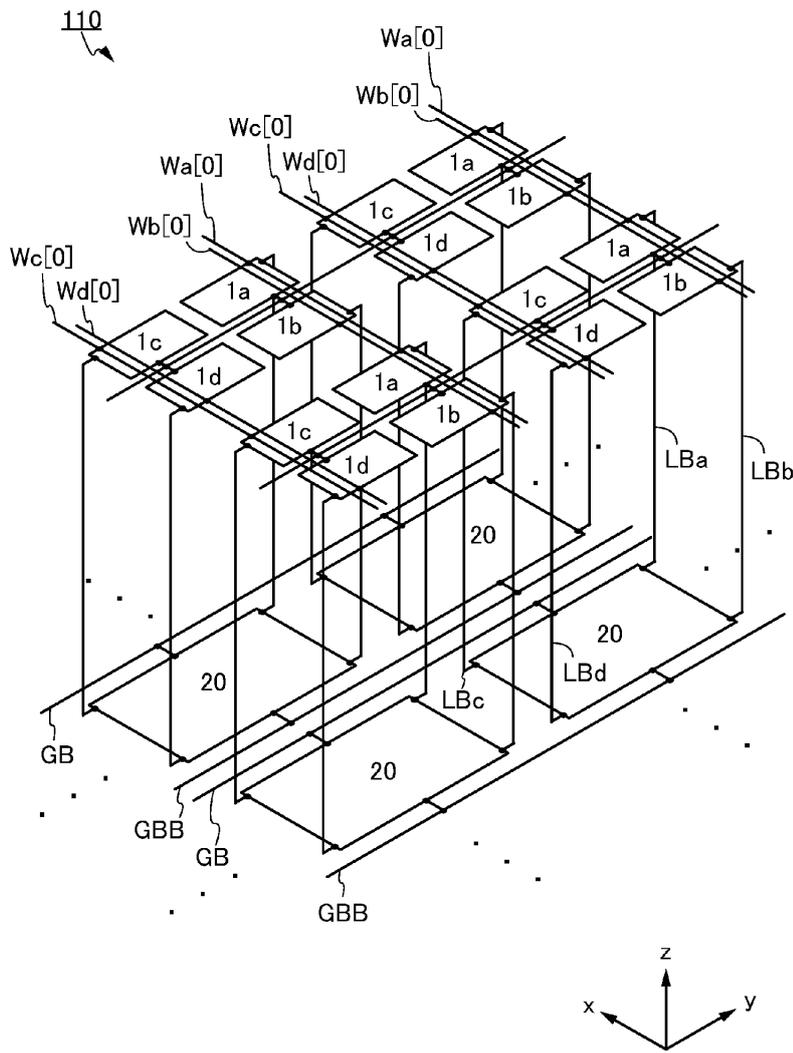
도면7



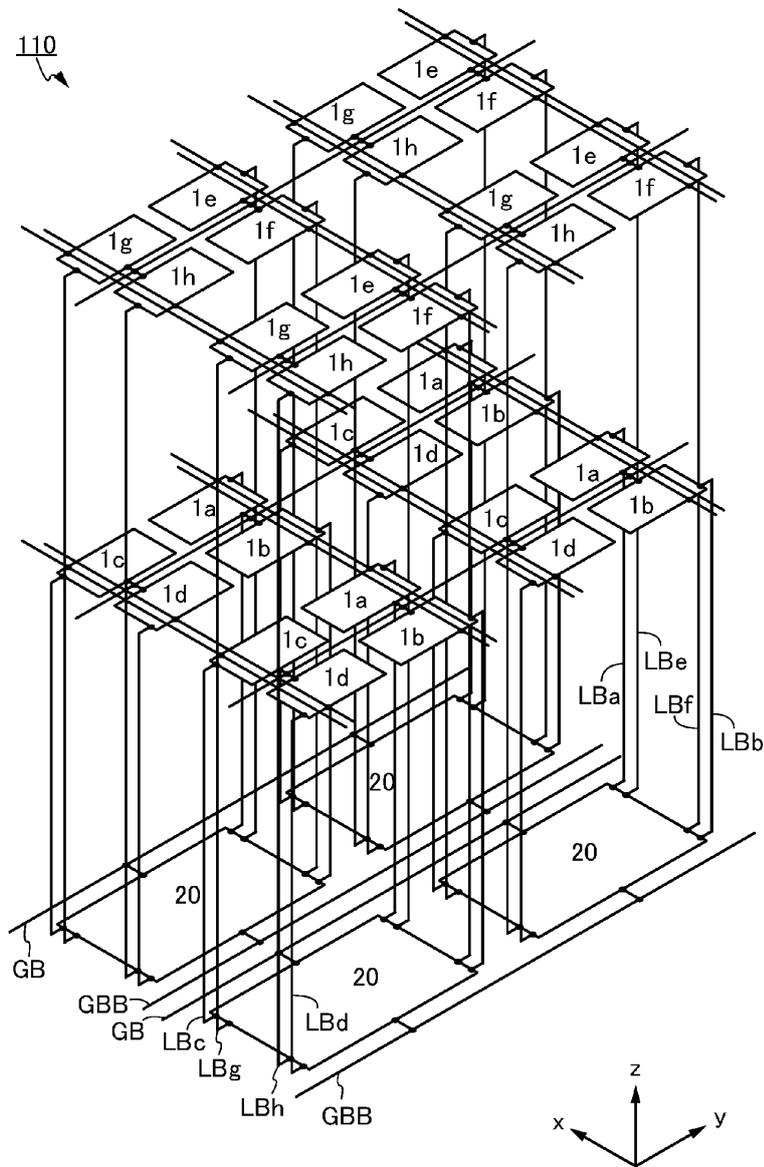
도면8



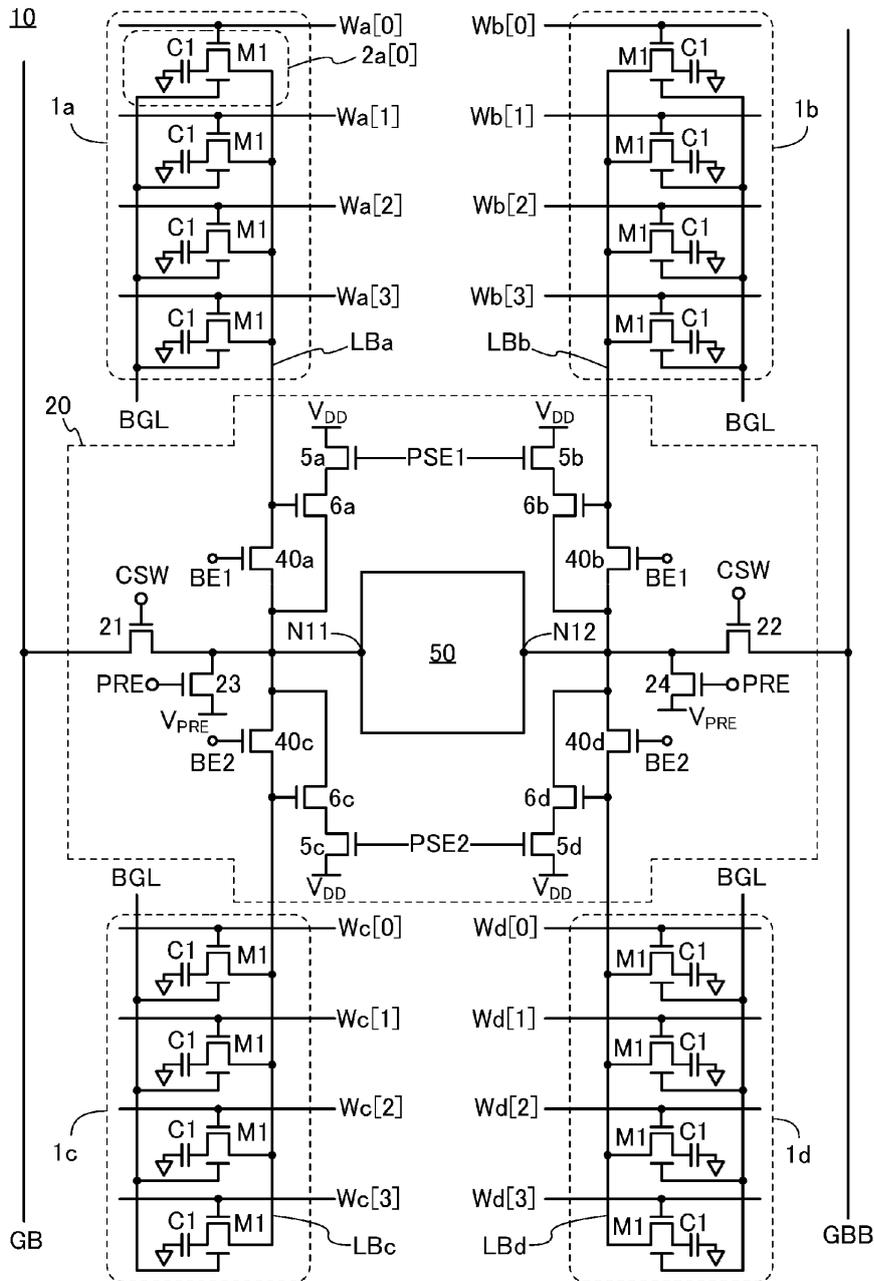
도면9



도면10

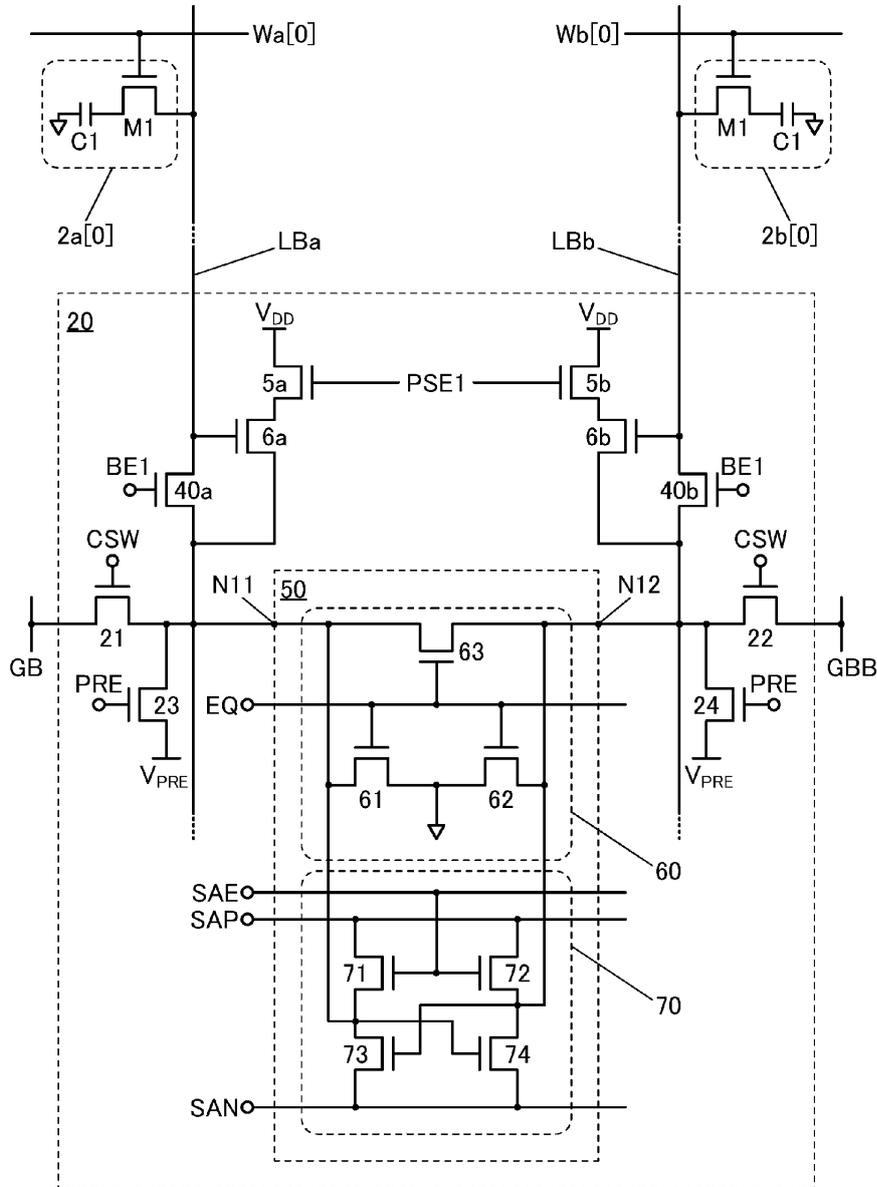


도면11

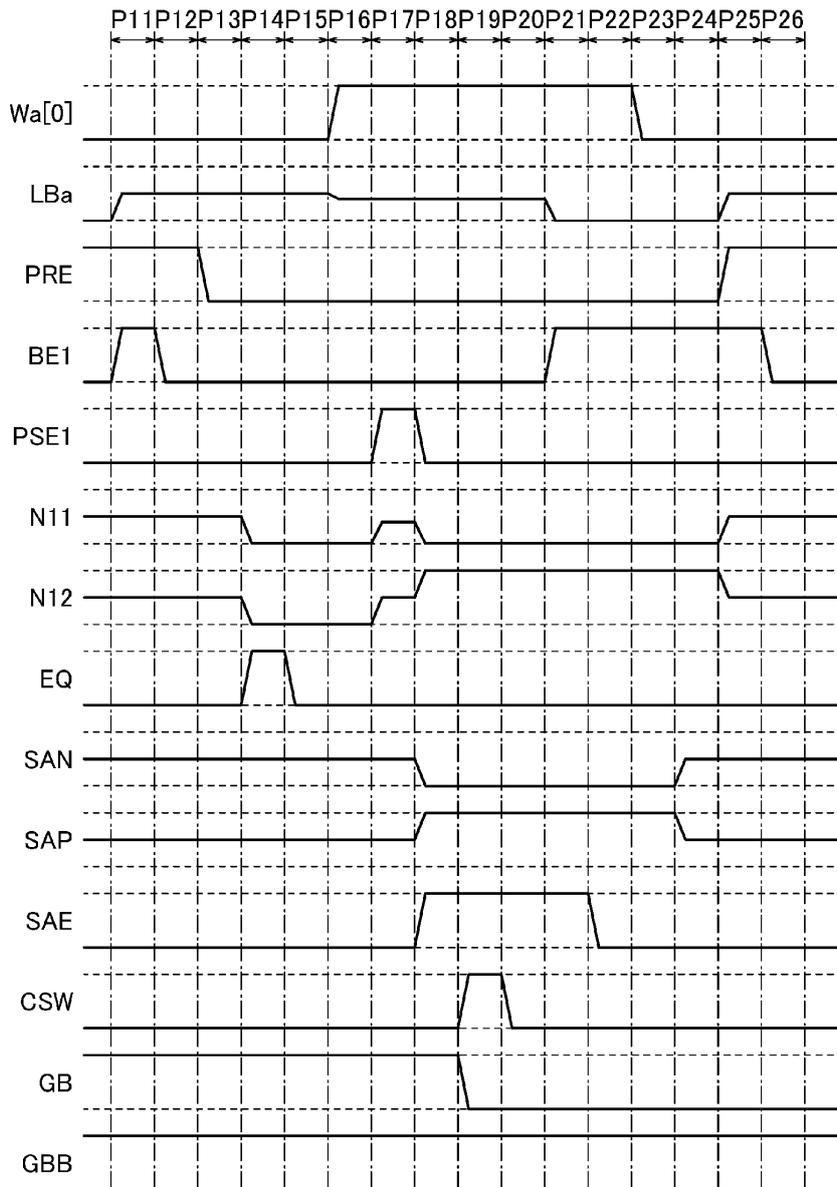


도면12

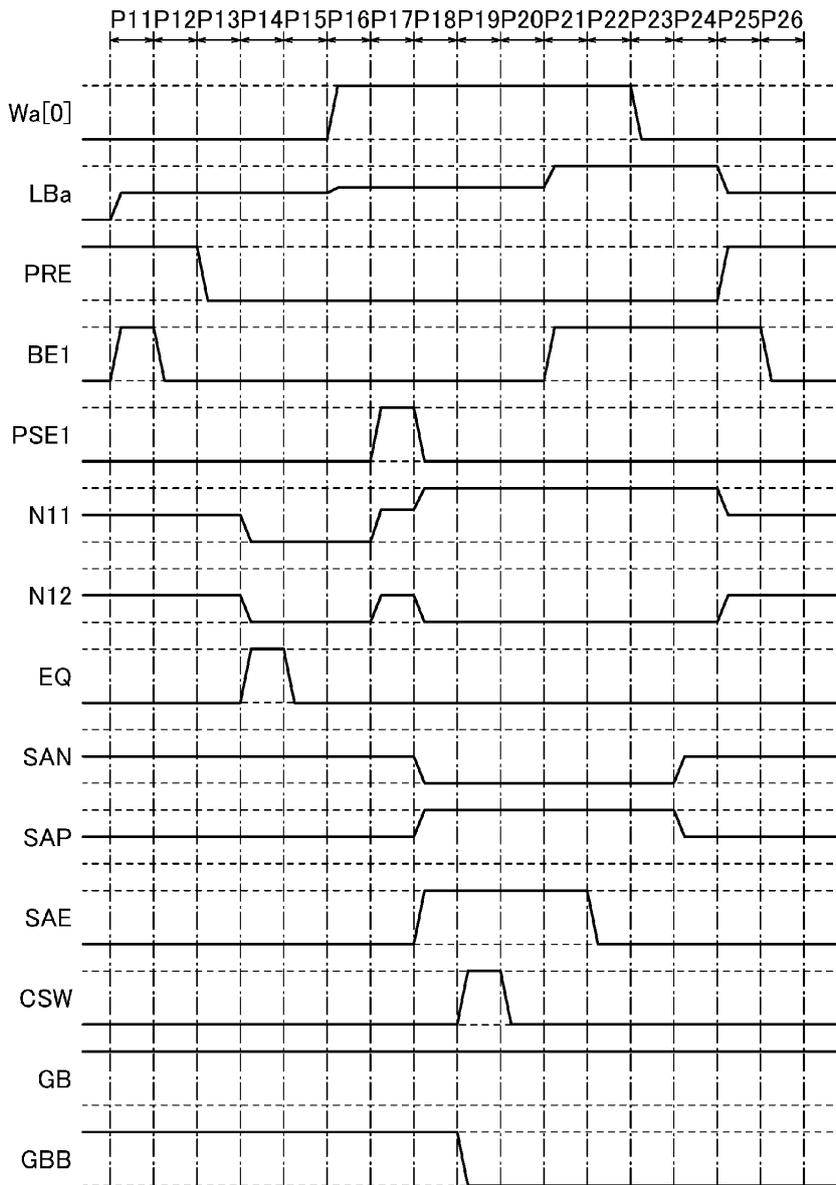
10



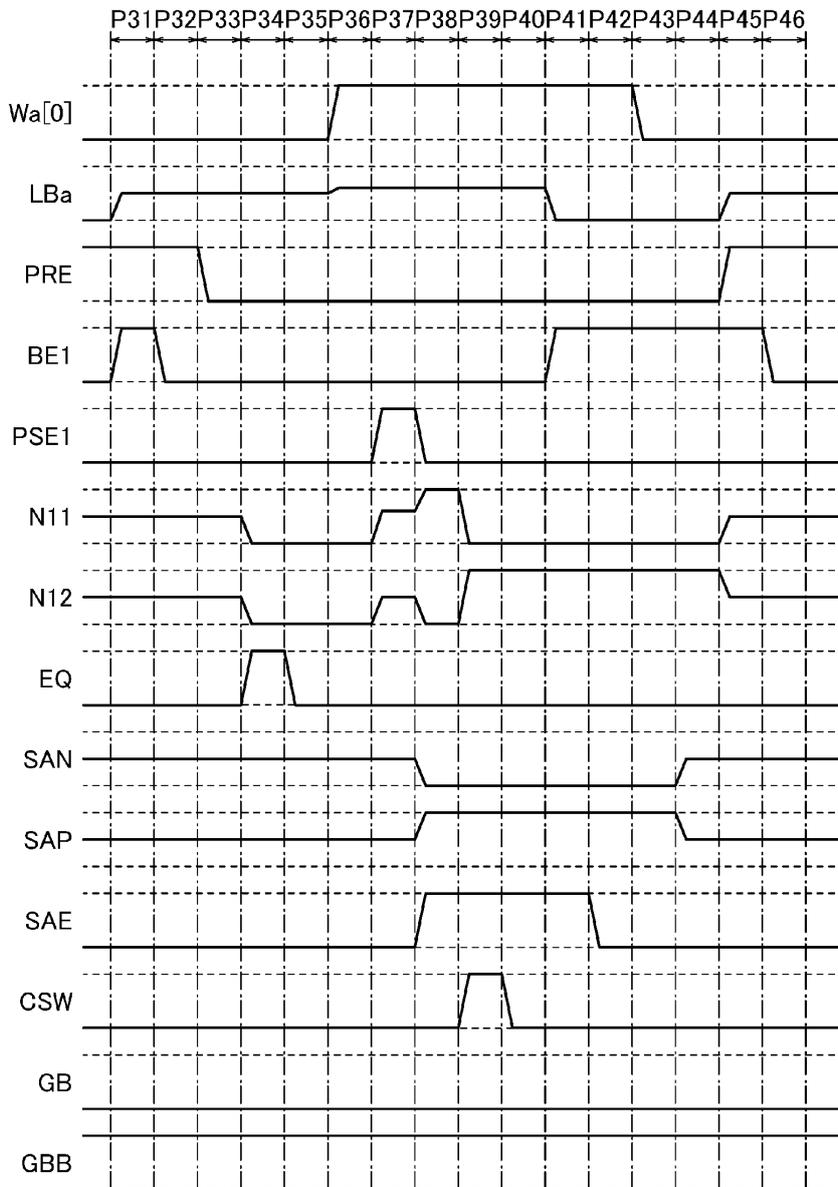
도면13



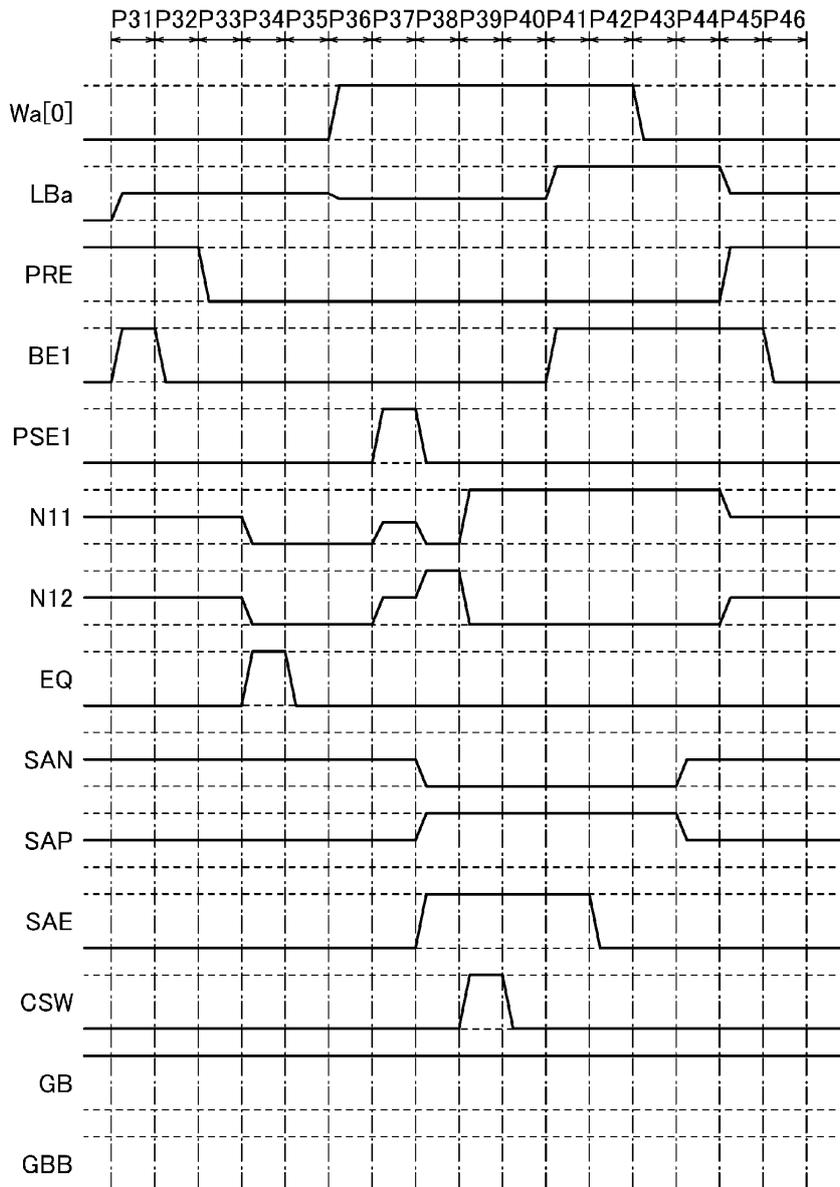
도면14



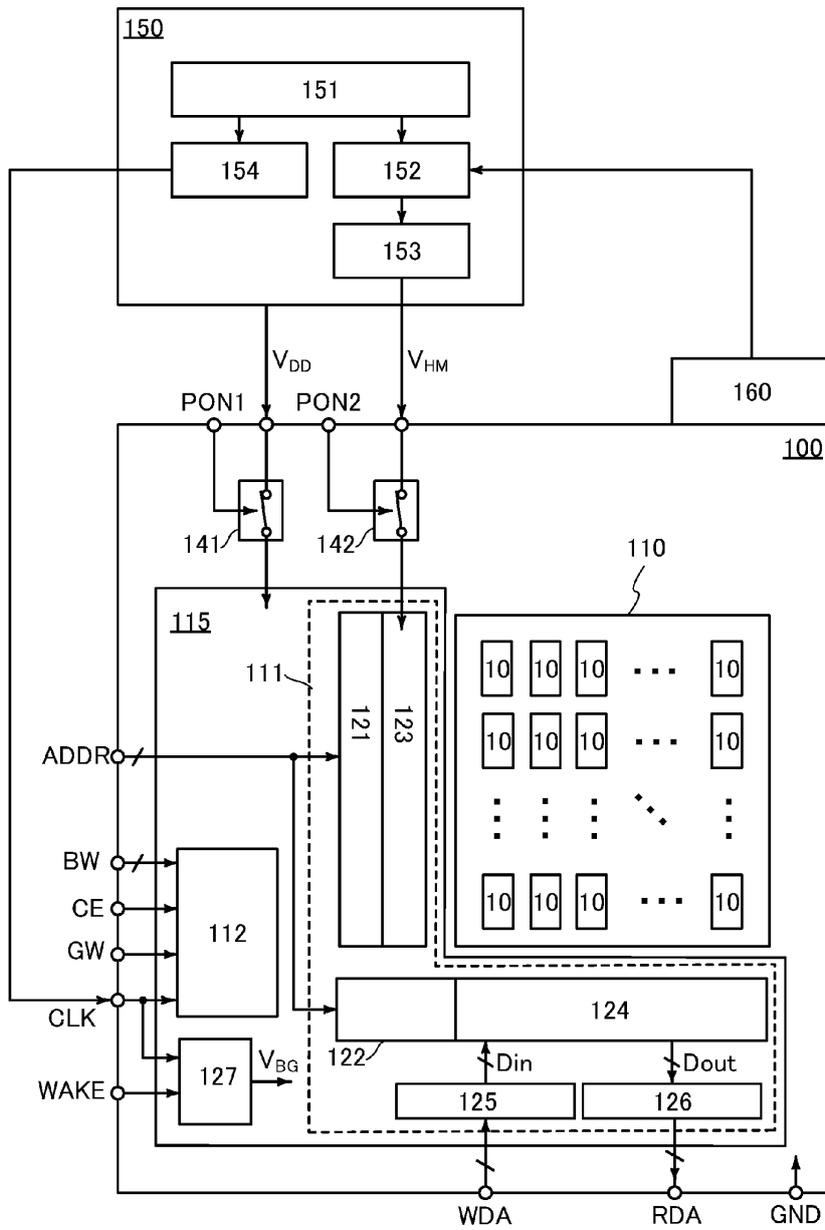
도면15



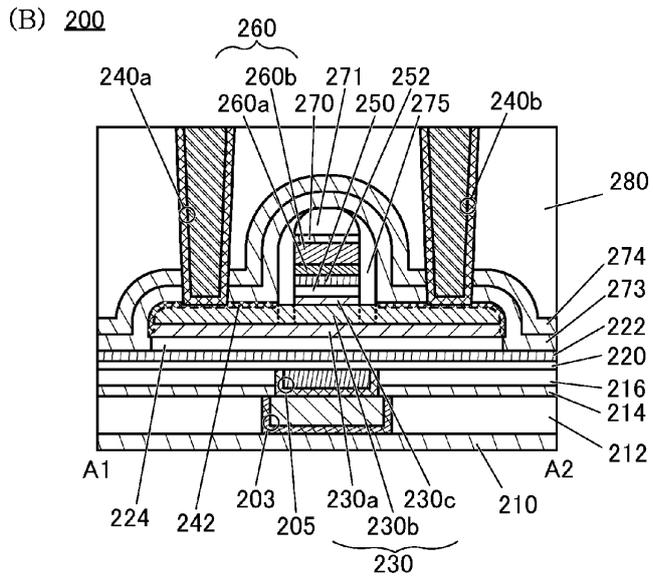
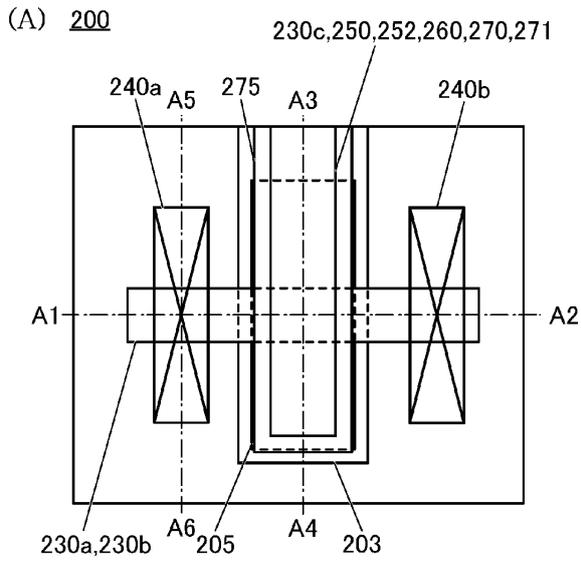
도면16



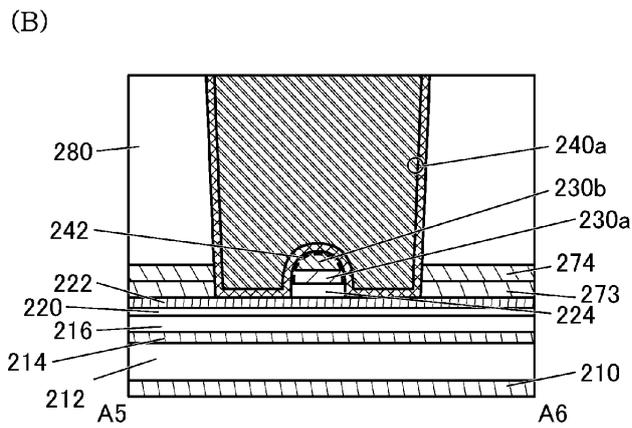
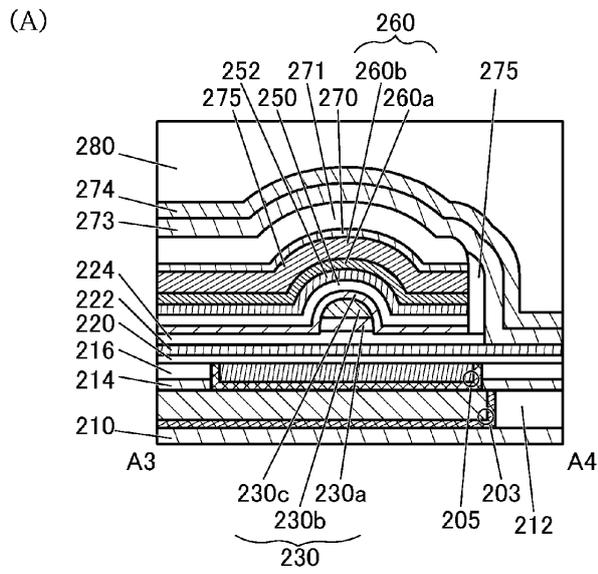
도면17



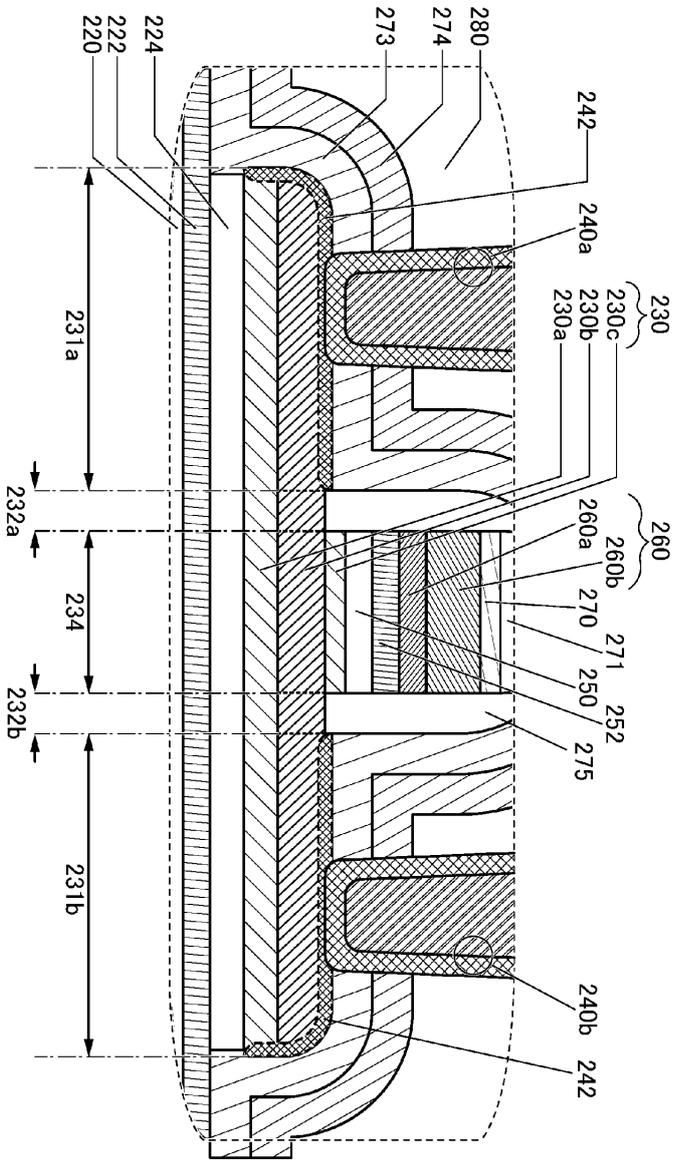
도면18



도면19

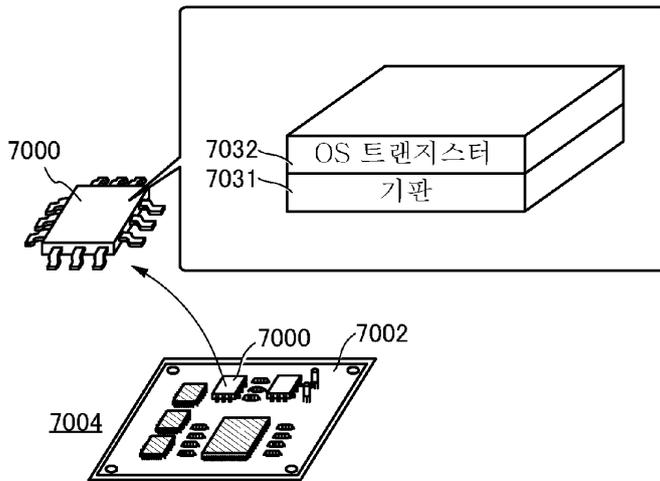


도면20

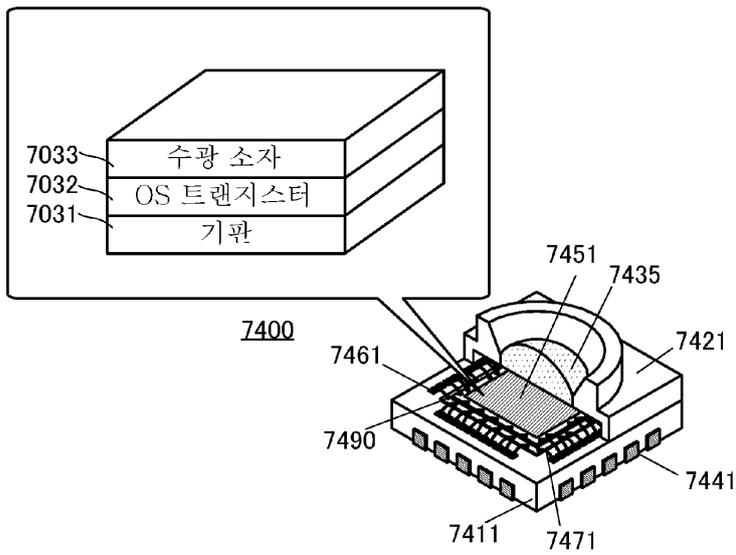


도면21

(A)

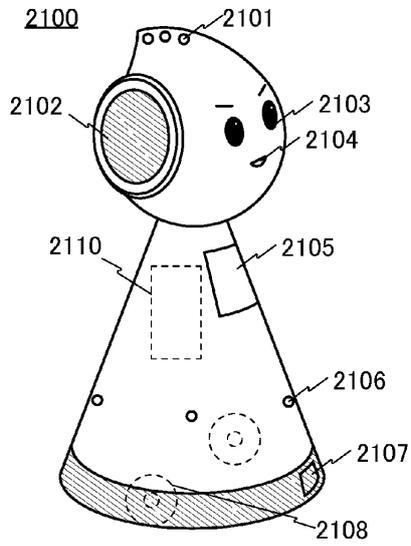


(B)

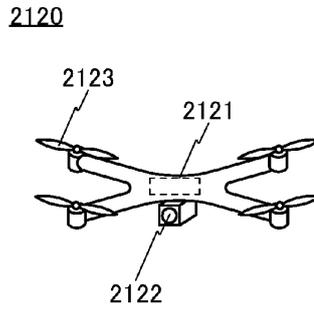


도면22

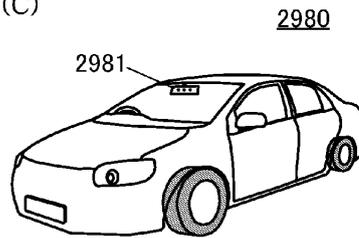
(A)



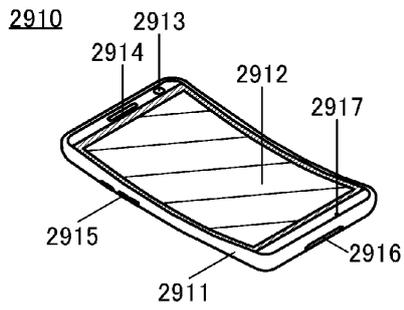
(B)



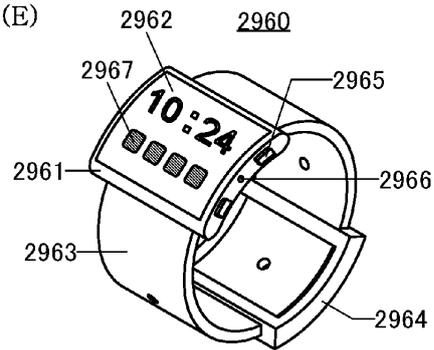
(C)



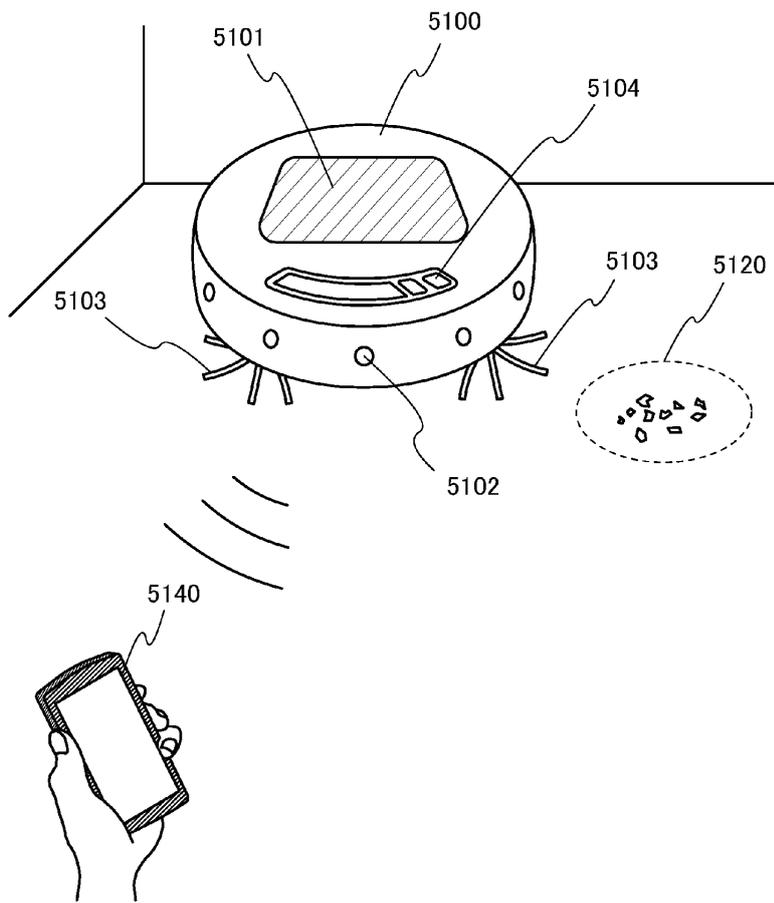
(D)



(E)



도면23



도면24

