

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-134395

(P2012-134395A)

(43) 公開日 平成24年7月12日(2012.7.12)

| (51) Int.Cl. | F I | テーマコード (参考) |
|--------------------------|----------------------|-------------|
| HO 1 L 27/108 (2006.01) | HO 1 L 27/10 6 8 1 D | 5 F 0 3 2 |
| HO 1 L 21/8242 (2006.01) | HO 1 L 27/10 6 2 1 Z | 5 F 0 8 3 |
| HO 1 L 21/76 (2006.01) | HO 1 L 27/10 6 7 1 B | |
| | HO 1 L 21/76 L | |
| | HO 1 L 27/10 6 8 1 A | |

審査請求 未請求 請求項の数 14 O L (全 28 頁) 最終頁に続く

(21) 出願番号 特願2010-286647 (P2010-286647)
 (22) 出願日 平成22年12月22日 (2010.12.22)

(71) 出願人 500174247
 エルピーダメモリ株式会社
 東京都中央区八重洲2-2-1
 (74) 代理人 100106909
 弁理士 棚井 澄雄
 (74) 代理人 100108578
 弁理士 高橋 詔男
 (74) 代理人 100138759
 弁理士 大房 直樹
 (74) 代理人 100140774
 弁理士 大浪 一徳
 (72) 発明者 大湯 静憲
 東京都中央区八重洲二丁目2番1号 エル
 ピーダメモリ株式会社内

最終頁に続く

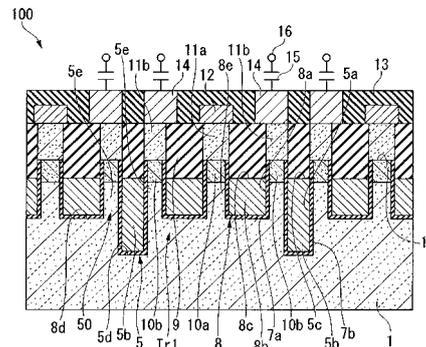
(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【要約】

【課題】埋め込みゲート型トランジスタの電流駆動能力の低下を防止可能な半導体装置を提供する。

【解決手段】本発明の半導体装置100は、半導体基板1において素子分離領域5によって複数の活性領域50が区画されると共に、前記半導体基板1内に埋め込まれたワード線8を有する半導体装置100であって、前記ワード線8は、第一の溝部8a内にゲート絶縁膜7aを介して埋め込まれた導電層8bからなり、前記素子分離領域5は、前記第一の溝部8aよりも幅の狭い第二の溝部5aに前記ゲート絶縁膜7bを介して埋め込まれた前記導電層5bからなることを特徴とする。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

半導体基板において素子分離領域によって複数の活性領域が区画されると共に、前記半導体基板内に埋め込まれたワード線を有する半導体装置であって、

前記ワード線は、第一の溝部内にゲート絶縁膜を介して埋め込まれた導電層からなり、

前記素子分離領域は、前記第一の溝部よりも幅の狭い第二の溝部に前記ゲート絶縁膜を介して埋め込まれた前記導電層からなることを特徴とする半導体装置。

【請求項 2】

前記第二の溝部が、前記第一の溝部よりも深く形成されていることを特徴とする請求項 1 に記載の半導体装置。

10

【請求項 3】

前記素子分離領域を成すゲート絶縁膜において、前記第二の溝部上部を覆う部分が、前記第二の溝部下部を覆う部分よりも膜厚が大きいことを特徴とする請求項 1 または請求項 2 に記載の半導体装置。

【請求項 4】

前記第二の溝部に埋め込まれた前記導電層の上面が、前記第一の溝部に埋め込まれた前記導電層の上面よりも深い位置にあることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】

前記半導体基板内において、隣接する前記第一の溝部同士の間設けられたピラーの上部および隣接する前記第一の溝部と前記第二の溝部との間に設けられたピラーの上部に拡散層が形成され、

20

前記第二の溝部に埋め込まれた前記導電層の上面が前記拡散層の下面よりも深い位置にあることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】

前記第二の溝部に埋め込まれた前記導電層の上面が、前記拡散層の下面よりも 20 nm 以上深い位置にあることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】

前記半導体基板の上面から、前記第二の溝部に埋め込まれた前記導電層の上面までの深さが、前記半導体基板の上面から前記第二の溝部底部までの深さの 0.8 倍以下であることを特徴とする請求項 5 または請求項 6 に記載の半導体装置。

30

【請求項 8】

半導体基板において素子分離領域によって複数の活性領域が区画されると共に、半導体基板内に埋め込まれたワード線を有する半導体装置の製造方法であって、

前記半導体基板に、第一の溝部と前記第一の溝部よりも幅の狭い第二の溝部とを形成する第一工程と、

ゲート絶縁膜を介して導電層を埋め込むことにより、前記第一の溝部にワード線を形成すると共に、前記第二の溝部に素子分離領域を形成する第二工程と、を有することを特徴とする半導体装置の製造方法。

【請求項 9】

40

前記第一工程の前に第二の溝部上部を形成し、

前記第一工程において、前記第一の溝部を形成すると同時に、前記第二の溝部上部の底面をさらに深く掘り下げて第二の溝部下部を形成することにより、前記第一の溝部よりも深い第二の溝部を形成することを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 10】

前記第一工程の前に、第二の溝部上部の内壁側面を覆うように上部ゲート絶縁膜を形成し、

前記第二工程において、前記第一の溝部内壁面および前記第二の溝部下部内壁面を覆うように前記ゲート絶縁膜をそれぞれ形成するとともに、前記上部ゲート絶縁膜の膜厚をさらに大きくして前記ゲート絶縁膜よりも厚くすることを特徴とする請求項 9 に記載の半導

50

体装置の製造方法。

【請求項 1 1】

前記第二工程の後に、前記第二の溝部に埋め込んだ前記導電層の上面を、前記第一の溝部に埋め込んだ前記導電層の上面よりも深い位置になるまでエッチバックすることを特徴とする、請求項 8 乃至 10 のいずれか一項に記載の半導体装置の製造方法。

【請求項 1 2】

前記第二工程の後に、前記半導体基板内において隣接する前記第一の溝部同士の間設けられたピラーの上部および隣接する前記第一の溝部と前記第二の溝部との間に設けられたピラーの上部に拡散層を形成する工程と、

前記第二の溝部に埋め込んだ前記導電層の上面が前記拡散層の下面よりも深い位置に位置するように、前記エッチバックの量および / または前記拡散層の形成領域の深さを調整する工程を有することを特徴とする請求項 8 乃至 11 のいずれか一項に記載の半導体装置の製造方法。

10

【請求項 1 3】

前記第二の溝部に埋め込まれた前記導電層の上面を、前記拡散層の下面よりも 20 nm 以上深い位置に位置するように、前記エッチバックの量および / または前記拡散層の形成領域の深さを調整することを特徴とする請求項 12 に記載の半導体装置の製造方法。

【請求項 1 4】

前記半導体基板の上面から、前記第二の溝部に埋め込まれた前記導電層の上面までの深さを、前記半導体基板の上面から前記第二の溝部底部までの深さの 0.8 倍以下となるように、前記エッチバックの量を調整することを特徴とする請求項 12 または請求項 13 に記載の半導体装置の製造方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置および半導体装置の製造方法に関する。

【背景技術】

【0002】

近年、D R A M (Dynamic Random Access Memory) などの素子の急速な微細化に伴い、M O S トランジスタのゲート長も短くなりつつある。また、多数の M O S トランジスタをメモリセル領域に集積させることにより、隣接する M O S トランジスタ同士の距離も短くなる。また、ゲート長が短くなればなるほど、M O S トランジスタの短チャネル効果によるトランジスタ特性の悪化が問題となる。

30

【0003】

このような M O S トランジスタの短チャネル効果を抑制する手段の一つとして、埋め込みゲート型の M O S トランジスタが提案されている。埋め込みゲート型の M O S トランジスタによれば、有効チャネル長 (ゲート長) を物理的かつ十分に確保することができ、最小加工寸法が 60 nm 以下の微細な D R A M も実現可能である。

埋め込みゲート型の M O S トランジスタは、ゲート電極 (ワード線) が、半導体基板に設けられた溝の内側にゲート絶縁膜を介して埋め込み形成されており、ワード線上面は半導体基板上面よりも溝内の深い位置 (下面側) に位置するように形成されている。また、不純物拡散層がワード線の一方側および他方側に形成されており、M O S トランジスタのソース領域またはドレイン領域として機能する。このような構成により、一方の不純物拡散層にドレイン電圧を印加するとともに、他方の不純物拡散層の電圧を保った状態でワード線に O N 電位を与えると、半導体基板内のワード線周囲の領域にチャネルが形成され、M O S トランジスタが動作する (特許文献 1)。

40

【0004】

また、素子分離用のワード線 (素子分離領域) を、M O S トランジスタのワード線と同じ構造で形成する方法が知られている (特許文献 2)。このような構造の M O S トランジスタによれば微細な素子分離が可能となるため、半導体装置の高集積化を実現できる。

50

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2001-210801号公報

【特許文献2】特開2008-315679号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

MOSトランジスタのワード線と素子分離用のワード線とが同じ構造である半導体装置は、ワード線と素子分離領域が同じ幅で形成されている。このため、ワード線は、MOSトランジスタの微細化に伴い、素子分離領域と同様に微細化する。

このため、ワード線の下面の曲率がMOSトランジスタの微細化に伴って小さくなり、MOSトランジスタのサブスレッショルド係数が増加する。そのため、要求されるOFF電流を確保しようとしても、十分なON電流を得づらく、セル容量に十分な情報書き込みができない。また、ワード線の微細化に伴ってMOSトランジスタの容量が低下するため、MOSトランジスタの電流駆動能力が低下する。

また、素子分離用のワード線の微細化に伴い、MOSトランジスタ同士の素子分離能力が低下する。このため、隣接するMOSトランジスタ同士の情報が干渉しあいやすくなり、情報保持特性が劣化する。

【課題を解決するための手段】

【0007】

上記課題を解決するために、本発明は以下の構成を採用した。すなわち、本発明の半導体装置は、半導体基板において素子分離領域によって複数の活性領域が区画されると共に、前記半導体基板内に埋め込まれたワード線を有する半導体装置であって、前記ワード線は、第一の溝部内にゲート絶縁膜を介して埋め込まれた導電層からなり、前記素子分離領域は、前記第一の溝部よりも幅の狭い第二の溝部に前記ゲート絶縁膜を介して埋め込まれた前記導電層からなることを特徴とする。

【0008】

本発明の半導体装置の製造方法は、半導体基板において素子分離領域によって複数の活性領域が区画されると共に、半導体基板内に埋め込まれたワード線を有する半導体装置の製造方法であって、前記半導体基板に、第一の溝部と前記第一の溝部よりも幅の狭い第二の溝部とを形成する第一工程と、前記第一の溝部と前記第二の溝部とに、それぞれゲート絶縁膜を介して導電層を埋め込むことにより、ワード線および素子分離領域とを形成する第二工程と、を有することを特徴とする。

【発明の効果】

【0009】

上記の構成の半導体装置によれば、ワード線が素子分離領域よりも広い幅で形成されるため、MOSトランジスタの微細化に伴うワード線の幅の縮小を防ぐことができる。そのため、ワード線の下面の曲率低下と、曲率低下に伴うサブスレッショルド係数の増加を防ぐことができる。そのため、ワード線にOFF電流を確保しつつ十分なON電流を得ることができ、容量の低下を抑えることができる。

また、ワード線の容量低下が抑えられるため、MOSトランジスタの電流駆動能力低下を防ぐことができる。

以上により、半導体装置の微細化に起因する情報保持特性の低下を防ぐことができる。

【0010】

上記の構成の半導体装置の製造方法によれば、第一の溝部と前記第一の溝部よりも幅の狭い第二の溝部とを形成した後に、第一の溝部と前記第二の溝部とに、それぞれゲート絶縁膜を介して導電層を埋め込むことにより、素子分離領域よりも幅の広いワード線を形成できる。そのため、MOSトランジスタの微細化に伴うワード線下面の曲率低下と、曲率低下に伴うサブスレッショルド係数の増加を防ぐことができる。

【図面の簡単な説明】

【0011】

【図1】図1は、本発明を適用した一実施形態である半導体装置を示す模式平面図である。

【図2】図2は、図1のA-A'線における断面図である。

【図3】図3は、本発明を適用した一実施形態である半導体装置の製造方法を説明するための模式工程図である。

【図4】図4は、図3のA-A'線における断面図である。

【図5】図5は、本発明を適用した一実施形態である半導体装置の製造方法を説明するための模式工程図である。

【図6】図6は、図5のA-A'線における断面図である。

【図7】図7は、本発明を適用した一実施形態である半導体装置の製造方法を説明するための模式工程図である。

【図8】図8は、図7のA-A'線における断面図である。

【図9】図9は、本発明を適用した一実施形態である半導体装置の製造方法を説明するための模式工程図である。

【図10】図10は、図9のA-A'線における断面図である。

【図11】図11は、本発明を適用した一実施形態である半導体装置の製造方法を説明するための模式工程図である。

【図12】図12は、図11のA-A'線における断面図である。

【図13】図13は、本発明を適用した一実施形態である半導体装置の製造方法を説明するための模式工程図である。

【図14】図14は、本発明を適用した一実施形態である半導体装置の製造方法を説明するための模式工程図である。

【図15】図15は、本発明を適用した一実施形態である半導体装置の製造方法を説明するための模式工程図である。

【図16】図16は、本発明を適用した一実施形態である半導体装置の製造方法を説明するための模式工程図である。

【図17】図17は、本発明を適用した一実施形態である半導体装置の製造方法を説明するための模式工程図である。

【図18】図18は、本発明を適用した一実施形態である半導体装置の製造方法を説明するための模式工程図である。

【図19】図19は、本発明を適用した一実施形態である半導体装置の製造方法を説明するための模式工程図である。

【図20】図20は、本発明を適用した一実施形態である半導体装置の製造方法を説明するための模式工程図である。

【図21】図21は、本発明を適用した一実施形態である半導体装置の製造方法を説明するための模式工程図である。

【図22】図22は、本発明を適用した一実施形態である半導体装置の製造方法を説明するための模式工程図である。

【図23】図23は、本発明を適用した一実施形態である半導体装置の製造方法を説明するための模式工程図である。

【図24】図24は、本発明を適用した一実施形態である半導体装置の製造方法を説明するための模式工程図である。

【図25】図25は、本発明を適用した一実施形態である半導体装置の製造方法を説明するための模式工程図である。

【図26】図26は、本発明を適用した一実施形態である半導体装置の製造方法を説明するための模式工程図である。

【図27】図27は、本発明を適用した一実施形態である半導体装置の製造方法を説明するための模式工程図である。

10

20

30

40

50

【図 28】図 28 は、本発明を適用した一実施形態である半導体装置の製造方法を説明するための模式工程図である。

【図 29】図 29 は、本発明を適用した一実施形態である半導体装置の製造方法を説明するための模式工程図である。

【図 30】図 30 は、本発明を適用した一実施形態である半導体装置の製造方法を説明するための模式工程図である。

【図 31】図 31 は、本発明を適用した一実施形態である半導体装置の製造方法を説明するための模式工程図である。

【図 32】図 32 は、本発明を適用した一実施形態である半導体装置の製造方法を説明するための模式工程図である。

10

【図 33】図 33 は、本発明を適用した一実施形態である半導体装置の製造方法を説明するための模式工程図である。

【図 34】図 34 は、本発明を適用した一実施形態である半導体装置の製造方法を説明するための模式工程図である。

【図 35】図 35 は、本発明を適用した一実施形態である半導体装置の製造方法を説明するための模式工程図である。

【図 36】図 36 は、本発明を適用した一実施形態である半導体装置の製造方法を説明するための模式工程図である。

【図 37】図 37 は、本発明を適用した一実施形態である半導体装置の製造方法を説明するための模式工程図である。

20

【図 38】図 38 は、本発明を適用した一実施形態である半導体装置の製造方法を説明するための模式工程図である。

【図 39】図 39 は、本発明を適用した一実施形態である半導体装置の製造方法を説明するための模式工程図である。

【図 40】図 40 は、本発明を適用した一実施形態である半導体装置の製造方法を説明するための模式工程図である。

【発明を実施するための形態】

【0012】

以下、本発明を適用した一実施形態である半導体装置の一例について、図面を参照にして説明する。また、本実施形態では、例えば半導体装置として D R A M (Dynamic Random Access Memory) に、本発明を適用した場合を例に挙げて説明する。なお、以下の説明において参照する図面は、特徴をわかりやすくするために便宜上特徴となる部分を拡大して示している場合があり、各構成要素の寸法比率などは実際と同じであるとは限らない。また、以下の説明において例示される原料、寸法等は一例であって、本発明はそれらに限定されるものではなく、その要旨を変更しない範囲で適宜変更して実施することが可能である。

30

【0013】

まず、本発明を適用した第一の実施形態である半導体装置 (D R A M) 100 の構成について説明する。本実施形態の半導体装置 100 は、図 1 に示すメモリセル領域と、図示略の周辺回路領域とから構成されている。

40

以下、第一の実施形態である半導体装置 100 を構成するメモリセルについて、図 1 , 2 を用いて説明する。

【0014】

まず、図 1 を用いて、半導体装置 100 のメモリセルの概略構成について説明する。

図 1 に示すように、半導体装置 100 のメモリセルには、ビット線 12 が、X 方向に折れ線形状 (湾曲形状) で延設され、Y 方向に所定の間隔で配置されている。

また、絶縁物からなるライン状の第一の素子分離領域 51 が、X 方向に延設されている。また、第一の素子分離領域 51 により区画されたライン状の活性領域 50 が、所定の間隔で形成されている。

【0015】

50

また、ワード線 8 と第二の素子分離領域 5 が、活性領域 5 0 と直交する方向（図 1 に示す Y 方向）に延設されている。なお、図 1 に示すワード線 8 および第二の素子分離領域 5 は、活性領域 5 0 と直交するように形成されているが、斜めに交差するように形成されていても構わない。また、図 1 に示したワード線 8、第二の素子分離領域 5 および活性領域 5 0 の形状と配列は、これに限定されるべきものではなく、その他一般的なトランジスタで適用されている形状および配列としてもよい。

また、活性領域 5 0 とワード線 8 とが交差する領域である領域 5 2 は、1 ビットの領域を示す。

【0016】

また、ワード線 8 の幅は、第二の素子分離領域 5 の幅よりも大きく形成されている。また、第二の素子分離領域 5 は、隣接するトランジスタ間の素子分離領域として機能し、ワード線 8 は、メモリセルのゲート電極として機能する。

10

【0017】

また、第一のコンタクトプラグ 1 1 a が、ワード線 8 同士の間と活性領域 5 0 との交差する領域に形成されている。また、第二のコンタクトプラグ 1 1 b が、ワード線 8 と第二の素子分離領域 5 の間と、活性領域 5 0 との交差する部分に形成されている。

【0018】

次いで、図 2 を用いて、半導体装置 1 0 0 のメモリセル部の詳細な構成について説明する。図 2 は、第一の実施形態の半導体装置 1 0 0 の一例を説明するための断面図であり、図 1 の A - A ' 線における断面図である。なお、これらの図で示される各部の寸法等は、実際の半導体装置の寸法等とは異なる。

20

図 2 に示すように、本実施形態の半導体装置 1 0 0 には、MOS トランジスタ Tr 1 と、キャパシタ 1 5 と、配線 1 6 が形成されている。

【0019】

MOS トランジスタ Tr 1 は、半導体基板 1 と、活性領域 5 0 と、ワード線 8 および第二の素子分離領域 5 と、から概略構成されている。

【0020】

半導体基板 1 としては、所定の濃度の P 型不純物を含有するシリコン (Si) などを用いることができる。また、第一の溝部 8 a と、第一の溝部 8 a よりも幅が狭くかつ深い第二の溝部 5 a が、所定の間隔で半導体基板 1 の上面側に形成されている。なお、図 2 以降

30

に示す第一の溝部 8 a および第二の溝部 5 a の下面は矩形となっているが、実際には、角部が丸みを帯びた形状となっている。

また、半導体基板 1 において活性領域 5 0 が第二の溝部 5 a により区画形成されている。また、第一のピラー 8 e が、隣接する第一の溝部 8 a 同士の間形成されている。また、第二のピラー 5 e が、隣接する第一の溝部 8 a と第二の溝部 5 a との間に設けられている。

【0021】

ワード線 8 および第二の素子分離領域 5 は、活性領域 5 0 を均等に区画するように形成されている。

ワード線 8 は、第一の溝部 8 a に、たとえばシリコン酸化膜からなる第一のゲート絶縁膜 7 a を介して導電層 8 b を埋め込むことによって形成されている。導電層 5 b および導電層 8 b は、たとえば金属膜の多層膜により構成されている。このような金属膜としては、窒化チタンとタングステン (W) 等からなる積層膜を用いることができるが、材料はこれに限定されず、窒化タングステン (WN)、タングステンシリサイド (WSi) 等の高融点金属を用いることができる。

40

【0022】

また、ワード線 8 を成す導電層 8 b の上面 8 c は、半導体基板 1 の上面 1 b よりも深い位置に位置している。

また、ワード線 8 の下面 8 d は、図 1 に示した第一の素子分離領域 5 1 の下面よりも 150 nm 以上浅い位置に位置することが好ましい。

50

【0023】

また、たとえばシリコン酸化膜からなる第一の絶縁膜9が、上面8cを覆い、かつ、第一の溝部8a内部を埋め込むように形成されている。また、第一の絶縁膜9は、半導体基板1の上面1bから突出するように形成されている。

【0024】

第二の素子分離領域5は、ワード線8よりも深く、かつ狭い幅で形成されている以外は、ワード線8と同様の構成であり、第二の溝部5aに第二のゲート絶縁膜7bを介して導電層5bを埋め込むことによって形成されている。なお、第二のゲート絶縁膜7bは、第一のゲート絶縁膜7aと同じ材料で同時に形成されたものである。

また、第二の素子分離領域5を成す導電層5bの上面5cは、半導体基板1の上面1bよりも深い位置に位置している。また、第二の素子分離領域5の下面5dは、ワード線8の下面8dよりも深い位置に位置している。

【0025】

また、第二の溝部5aの下面5dは、図1に示した第一の素子分離領域51の下面よりも50nm以上浅い位置に位置することが好ましい。

また、下面5dは、下面8dよりも20nm~100nm深い位置に位置することが好ましい。

また、第一の絶縁膜9が、導電層5bの上面5cを覆い、かつ、第二の溝部5a内部を埋め込むように形成されている。

【0026】

第一の不純物拡散層10aおよび第二の不純物拡散層10bは、例えばリン等のN型不純物が、第一のピラー8eおよび第二のピラー5eの上部にそれぞれ拡散されることによって形成されている。また、第一の不純物拡散層10aおよび第二の不純物拡散層10bは、MOSトランジスタTr1のソース領域またはドレイン領域のいずれか一方として機能する。

【0027】

また、第一の不純物拡散層10aと第二の不純物拡散層10bとの電位差が閾値を超える際に、活性領域50のうち、第一のゲート絶縁膜7aを介してワード線8と接する領域が、MOSトランジスタTr1のチャンネル領域として機能する。

【0028】

第一のコンタクトプラグ11aおよび第二のコンタクトプラグ11bは、例えば、リンを含有した多結晶シリコンからなり、第一の絶縁膜9を貫通するように形成されている。また、第一のコンタクトプラグ11aは、第一の不純物拡散層10aと接続するように形成されている。また、第二のコンタクトプラグ11bは、第二の不純物拡散層10bと接続するように形成されている。

【0029】

ビット線12は、第一のコンタクトプラグ11aに接続するように形成されている。また、ビット線12は、たとえば、窒化タングステン(WN)及びタングステン(W)からなる積層膜で形成されている。

また、第二の絶縁膜13が、ビット線12と第一の絶縁膜9との上面側を覆うように形成されている。また、第三のコンタクトプラグ14が、第二の絶縁膜13を貫通し、かつ、第二のコンタクトプラグ11bに接続するように形成されている。

【0030】

また、キャパシタ15が、第三のコンタクトプラグ14に接続するように形成されている。また、配線16がキャパシタ15に接続するように形成されている。

【0031】

第一の実施形態の半導体装置100によれば、ワード線8が第二の素子分離領域5よりも広い幅で形成されているため、MOSトランジスタTr1の微細化に伴うワード線8の幅の縮小を防ぐことができる。そのため、ワード線8にOFF電流を確保しつつ十分なON電流を得ることができ、容量の低下を抑えることができる。

10

20

30

40

50

また、ワード線 8 の容量低下が抑えられるため、M O S トランジスタ T r 1 の電流駆動能力低下を防ぐことができる。

【 0 0 3 2 】

また、第二の素子分離領域 5 の下面 5 d が、ワード線 8 の下面 8 d よりも深い位置に形成されているため、M O S トランジスタ T r 1 の微細化に伴う、素子分離能力低下を抑えることができる。このため、隣接する M O S トランジスタ T r 1 同士の情報の干渉を防ぐことができ、接合リーク電流を抑えることができる。また、半導体装置 1 0 0 の微細化に起因する情報保持特性の低下を防ぐことができる。

【 0 0 3 3 】

また、ワード線 8 の下面 8 d は、図 1 に示した第一の素子分離領域 5 1 の下面よりも 1 5 0 n m 以上浅い位置に位置していることにより、第一の素子分離領域 5 1 の素子分離能力を十分に保持できる。そのため、隣接する M O S トランジスタ T r 1 同士の情報の干渉を防ぐことができる。

【 0 0 3 4 】

また、第二の溝部 5 a の下面 5 d が、図 1 に示した第一の素子分離領域 5 1 の下面よりも 5 0 n m 以上浅い位置に位置することにより、第二の溝部 5 a による第一の素子分離領域 5 1 の貫通を防ぐことができる。

また、下面 5 d が、下面 8 d よりも 2 0 n m ~ 1 0 0 n m 深い位置に位置することにより、第二の素子分離領域 5 による素子分離能力の効果を向上できる。

【 0 0 3 5 】

次に、第一の実施形態である半導体装置 1 0 0 の製造方法の一例について図 2 ~ 図 1 8 を用いて説明する。

第一の実施形態である半導体装置 1 0 0 の製造方法は、半導体基板 1 に、第一の溝部 8 a および第二の溝部 5 a を形成する第一工程と、ワード線 8 および第二の素子分離領域 5 を形成する第二工程と、から概略構成されている。以下、各工程について詳細を説明する。

【 0 0 3 6 】

はじめに、p 型の半導体基板 1 に、フォトレジストを用いて形成したマスク（図示略）を用いてエッチングを行い、X 方向に延在する図示しない凹部を形成する。次いで、前記凹部に絶縁膜を埋設することにより、第一の素子分離領域 5 1 と、第一の素子分離領域 5 1 により区画された活性領域 5 0 とを形成する。

【 0 0 3 7 】

次いで、図 3、図 4 に示すように第 1 犠牲マスク 2 を形成する。なお、図 3 は半導体装置 1 0 0 の製造方法を説明するための平面模式図、図 4 は、図 3 の A - A ' 線における断面図である。まず、たとえば膜厚 1 5 0 n m のシリコン窒化膜を、半導体基板 1 上を覆うように形成する。次いで、通常のリソグラフィ技術と通常ドライエッチング技術を用いて、Y 方向に延在し、活性領域 5 0 に交差するライン状の第 1 犠牲マスク 2 を形成する。このとき、第 1 犠牲マスク 2 の幅 W は、最小加工寸法の 6 倍の間隔で、最小加工寸法のおおよそ 3 . 5 倍で形成する。

【 0 0 3 8 】

次いで、図 5、図 6 に示すように、第 2 犠牲マスク 3 を形成する。まず、通常 C V D 法により、最小加工寸法のおおよそ 1 . 3 倍の厚さのシリコン酸化膜を、半導体基板 1 上を覆うように形成する。次いで、前記シリコン酸化膜をサイドウォール状にエッチングし、Y 方向に延在する第 2 犠牲マスク 3 を形成する。このとき、第 2 犠牲マスク 3 の X 方向の幅を W 1 とする。幅 W 1 の制御は、シリコン酸化膜の厚さにより制御できる。

次いで、図 7、図 8 に示すように、第 1 犠牲マスク 2 を選択的に除去する。この除去により、Y 方向に延在するライン状の第 2 犠牲マスク 3 のパターンが形成される。

【 0 0 3 9 】

次いで、図 9、図 1 0 に示すように、第二の溝部上部 5 a ₁ を形成する。まず、通常 C V D 法により、最小加工寸法のおおよそ 1 . 2 倍の厚さのシリコン窒化膜を、半導体基

10

20

30

40

50

板 1 上を覆うように形成する。次いで、前記シリコン窒化膜をサイドウォール状にエッチングし、第 3 犠牲マスク 4 を形成する。このとき、第 3 犠牲マスク 4 の幅を W_2 とする。

次いで、ライン状に露出する活性領域 5 0 および第一の素子分離領域 5 1 をエッチングする。このエッチングにより、幅 W_3 の第二の溝部上部 5 a₁ が形成される。このとき、 W_3 が W_1 よりも小さい値になるように、 W および W_2 の大きさを予め調整しておく。第二の溝部上部 5 a₁ の底面（下面）を下面 5 d とする。

【 0 0 4 0 】

次いで、図 1 1、図 1 2 に示すように、フッ酸を用いたウエットエッチングにより、第 2 犠牲マスク 3 を選択的に除去する。このエッチングにより、第 2 犠牲マスク 3 に対応する箇所の活性領域 5 0 および第一の素子分離領域 5 1 がライン状に露出する。

10

【 0 0 4 1 】

次いで、図 1 3 に示すように、第一の溝部 8 a および第二の溝部下部 5 a₂ を形成する。まず、通常のドライエッチングにより、活性領域 5 0 および第一の素子分離領域 5 1 の露出した領域に、幅 W_1 の第一の溝部 8 a を形成する。このとき、第一の溝部 8 a 形成と同時に第二の溝部上部 5 a₁ を追加エッチングし、第二の溝部上部 5 a₁ の底面（下面）5 d をさらに深く掘り下げる。この追加エッチングにより掘り下げられた第二の溝部上部 5 a₁ の下部の溝を、第二の溝部下部 5 a₂ とする。以上により、第二の溝部上部 5 a₁ と第二の溝部下部 5 a₂ とからなる第二の溝部 5 a が形成される。なお、第二の溝部 5 a の下面 5 d は、第一の溝部 8 a の下面 8 d よりも下面側に形成される。

20

【 0 0 4 2 】

このとき、第一の溝部 8 a の下面 8 d は、第一の素子分離領域 5 1 の下面側と半導体基板 1 との境界よりも 150 nm 以上浅い位置に位置するように形成することが好ましい。

また、第二の溝部 5 a は、第一の素子分離領域 5 1 を貫通させないように下面 5 d の位置を調整することが好ましい。特に、下面 5 d を、第一の素子分離領域 5 1 の下面側よりも 50 nm 以上、浅い位置に位置するよう、エッチング条件を調整することが好ましい。

また、下面 5 d を、下面 8 d に対して最大で 100 nm、最小で 20 nm、下面側に位置するように形成することが好ましい。

【 0 0 4 3 】

また、第一の溝部 8 a の幅 W_1 の大きさは特に制限されず、MOS トランジスタ T_{r1} の電流駆動能力の低下が問題にならない大きさであれば良い。また、幅 W_1 は、図 9 に示した第 2 犠牲マスク 3 の幅 W_1 と同じ値となるため、第 2 犠牲マスク 3 の幅で制御できる。また、第二の溝部 5 a の幅 W_3 の大きさは特に規定されず、 W_1 より小さく、かつ、第一の溝部 8 a、第一のコンタクトプラグ 1 1 a および第二のコンタクトプラグ 1 1 b の幅を確保可能な値であればよい。また、幅 W_3 は、 $W - 2 \times W_2$ となるため、第 3 犠牲マスク 4 の幅 W_2 により制御できる。

30

【 0 0 4 4 】

次いで、図 1 4 に示すように、通常の熱酸化法により、第二の溝部 5 a の内壁および第一の溝部 8 a の内壁を酸化し、シリコン酸化膜 (SiO_2) からなる熱酸化膜を形成する。このシリコン酸化膜のうち、第一の溝部 8 a 内壁を覆う部分を第一のゲート絶縁膜 7 a、第二の溝部 5 a 内壁を覆う部分を第二のゲート絶縁膜 7 b とする。

40

【 0 0 4 5 】

次いで、図 1 5 に示すように、ワード線 8 および第二の素子分離領域 5 を形成する。まず、第一の溝部 8 a 内および第二の溝部 5 a 内に、たとえば窒化チタン膜、タングステン膜を順次堆積させて、金属膜からなる導電層を形成する。

その後、通常のエッチバック技術により、第 3 犠牲マスク 4 をマスクとして導電層をエッチングし、第一の溝部 8 a 内に第一のゲート絶縁膜 7 a を介して埋め込まれた導電層 8 b からなるワード線 8 と、第二の溝部 5 a 内に第二のゲート絶縁膜 7 b を介して埋め込まれた導電層 5 b からなる第二の素子分離領域 5 とを形成する。

【 0 0 4 6 】

また、この導電層のエッチングの際、導電層 5 b の上面 5 c および導電層 8 b の上面 8

50

cを、半導体基板1の上面1bから、たとえば50nm程度下面側に位置するように、エッチングの条件を調整する。

【0047】

次いで、図16に示すように、第一の絶縁膜9を形成する。まず、プラズマCVD法により、第一の溝部8a内部の上面8c上と、第二の溝部5a内部の導電層5bの上面5c上とを埋め込むように、たとえば窒化シリコンからなる第一の絶縁膜9を60nm程度の膜厚で堆積する。次いでCMP法により、第一の絶縁膜9表面を、第3犠牲マスク4が露出するまで研磨する。

【0048】

次いで、図17に示すように、第一の不純物拡散層10aおよび第二の不純物拡散層10bを形成する。まず、熱燐酸を用いたウェットエッチング法により、第3犠牲マスク4のみを選択的に除去し、活性領域50を露出させる。

10

次いで、活性領域50表面に、例えば $2.0 \times 10^{13} / \text{cm}^2$ 程度の濃度のリン等のn型不純物を、25keVの加速エネルギーでイオン注入する。次いで、950度で10秒の熱処理を行い、n型不純物を拡散させる。このn型不純物の拡散により、活性領域50の表面近傍に不純物拡散層(第一の不純物拡散層10a、第二の不純物拡散層10b)が形成される。

【0049】

この不純物拡散層のうち、隣接するワード線8同士の間形成された領域を第一の不純物拡散層10a、第二の素子分離領域5とワード線8の間形成された領域を第二の不純物拡散層10bとする。以上により、MOSトランジスタTr1が形成される。

20

また、第一の不純物拡散層10aは、MOSトランジスタTr1のソース領域またはドレイン領域のいずれか一方として機能し、第二の不純物拡散層10bは、MOSトランジスタTr1のソース領域またはドレイン領域のいずれか他方として機能する。

【0050】

次いで、図18に示すように、第一のコンタクトプラグ11aおよび第二のコンタクトプラグ11bを形成する。まず、通常を選択エピタキシャル成長技術により、第一の不純物拡散層10a上および第二の不純物拡散層10b上にエピ層を成長させる。

次いで、たとえば砒素などの不純物をエピ層に導入する。以上により、第一の不純物拡散層10aに接続する第一のコンタクトプラグ11aと、第二の不純物拡散層10bに接続する第二のコンタクトプラグ11bが形成される。

30

この後、図2に示すように、ビット線12、第二の絶縁膜13、第三のコンタクトプラグ14、キャパシタ15、配線16を順次形成する。以上の工程により、本発明の実施形態である半導体装置100が製造される。

【0051】

第一の実施形態の半導体装置100の製造方法によれば、第二の素子分離領域5と、第二の素子分離領域5よりも幅の大きいワード線8を形成することにより、ワード線8の下面8dの曲率低下と、サブスレッショルド係数の増加を防ぐことができる。このため、ワード線8において十分なON電流を得ることができ、セル容量に十分な情報を書き込むことができる。また、ワード線8の容量低下が防がれるため、ワード線8の容量低下を防ぐことができる。このため、MOSトランジスタTr1の電流駆動能力低下を防ぐことができる。

40

【0052】

また、第二の素子分離領域5の下面5dを、ワード線8の下面8dよりも深い位置になるように形成することにより、MOSトランジスタTr1の素子分離能力の低下を抑えることができる。このため、隣接するMOSトランジスタTr1同士の情報の干渉を防ぐことができ、接合リーク電流を抑えることができる。

また、第二の溝部5aの下面5dを、第一の素子分離領域51の下面側よりも50nm以上浅い位置に形成することにより、下面8d下に第一の素子分離領域51を150nm以上の厚さで残存させることができる。このため、第一の素子分離領域51の素子分離能

50

力の低下を防ぐことができるとともに、隣接するMOSトランジスタTr1同士の情報の干渉を防ぐことができる。

【0053】

また、下面5dを、下面8dに対して最大で100nm程度、最小で20nm程度、下面側に位置するように形成することにより、第二の素子分離領域5による素子分離能力の効果を向上できる。

【0054】

また、第一の溝部8aの下面8dを、第一の素子分離領域51の下面側と半導体基板1との境界よりも150nm以上、上面側に形成することにより、下面8dの下面側に第一の素子分離領域51を150nm以上の厚さで残存させることができる。このため、第一の素子分離領域51の素子分離能力を低下させることなく、ワード線8の素子分離能力の低下を防ぐことができる。そのため、隣接するMOSトランジスタTr1同士の情報の干渉を防ぐことができる。

10

【0055】

以上により、隣接するMOSトランジスタTr1同士の情報の干渉を防ぐことができるとともに、情報保持特性を向上することができる。そのため、MOSトランジスタTr1の接合リーク電流を抑えることができ、半導体装置100(DRAM)の微細化による情報保持特性の低下を防ぐことができる。

【0056】

次に、第二の実施形態の半導体装置100について、図19を用いて説明する。図19は、第二の実施形態の半導体装置100を説明するための断面図であり、図1のA-A'線における断面図である。なお、第二の実施形態の半導体装置100は、第二のゲート絶縁膜7bの上部(第二のゲート絶縁膜上部7b₁)が、第二のゲート絶縁膜7bの下部(第二のゲート絶縁膜下部7b₂)よりも厚く形成されている点が、第一の実施形態の半導体装置100と異なる。そのため、第一の実施形態に記載の構成と同様の部分については、詳細な説明を省略する。

20

【0057】

以下、第二のゲート絶縁膜7bについて説明する。

第二のゲート絶縁膜7bは第二のゲート絶縁膜上部7b₁と第二のゲート絶縁膜下部7b₂とから構成されている。

30

また、第二のゲート絶縁膜下部7b₂は第一のゲート絶縁膜7aと同時に形成されたものであり、第一のゲート絶縁膜7aと第二のゲート絶縁膜下部7b₂とは同じ膜厚で形成されている。

【0058】

第二のゲート絶縁膜上部7b₁は、第一のゲート絶縁膜7aおよび第二のゲート絶縁膜下部7b₂よりも膜厚のシリコン酸化膜からなり、第二の溝部上部5a₁側面を覆うように形成されている。また、第二のゲート絶縁膜下部7b₂は、第二の溝部下部5a₂内側面を覆うように形成されている。

このような構成により、第二の溝部5a内側の導電層5bは、第二のゲート絶縁膜上部7b₁を介して第二の不純物拡散層10bと隣接している。ここで、第二の素子分離領域5の側面と第二の不純物拡散層10bの重なっている部分を領域dとした場合、領域dの幅は10nm~20nmであることが好ましい。

40

【0059】

第二の実施形態の半導体装置100によれば、第二の溝部5a内側の導電層5bは、第二のゲート絶縁膜上部7b₁を介して第二の不純物拡散層10bと領域dの部分で隣接している。このため、領域dにおける接合リーク電流、および、GIDL(Gate Induced Drain Leakage)を無視できる程度まで抑えることができる。

【0060】

このため、GIDLは、ワード線8の側面のみで発生し、第一の実施形態の半導体装置100におけるGIDLの約半分まで抑えることができる。また、領域dの幅が10nm

50

～20nmの範囲内であることにより、ワード線8の側面で発生するGIDLの増加と、ワード線8の容量低下を防ぐことができる。このため、MOSトランジスタTr1の電流駆動能力の低下を防ぐことができる。

【0061】

以上のように、第二の実施形態の半導体装置100によれば、第一の実施形態の効果に加えて、接合リーク電流を低減できる。そのため、第二の素子分離領域5の素子分離用の領域としての機能を向上できる。そのため、セル容量に書き込まれた電荷の保持特性を向上することができる。

【0062】

次に、第二の実施形態である半導体装置100の製造方法の一例について図19～図24を用いて説明する。

第二の実施形態である半導体装置100の製造方法は、第二の溝部上部5a₁を形成する工程と、第一の溝部8aおよび第二の溝部下部5a₂を形成する工程と、第一のゲート絶縁膜7aおよび第二のゲート絶縁膜7bを形成する工程と、から概略構成されている。なお、第二の実施形態の半導体装置100の製造方法は、第二のゲート絶縁膜上部7b₁を、第一のゲート絶縁膜7a及び第二のゲート絶縁膜下部7b₂よりも厚く形成する工程のみが第一の実施形態と異なる。そのため、第一の実施形態に記載の工程と同様の部分については、詳細な説明を省略する。

【0063】

まず、図12に示すように、第2犠牲マスク3を選択的に除去する工程までを、第一の実施形態と同様に行う。

次いで、図20に示すように、第二の溝部上部5a₁と第二のゲート絶縁膜上部7b₁とを形成する。はじめに、半導体基板1上に第3犠牲マスク4を形成する。次いで、ライン状に露出する活性領域50と第一の素子分離領域51とをエッチングし、たとえば深さ100nmの第二の溝部上部5a₁を形成する。

【0064】

次いで、熱酸化法により、第二の溝部上部5a₁の内壁面および半導体基板1の露出面に、たとえば膜厚5nmのシリコン酸化膜からなる熱酸化膜を形成する。次いで、第二の溝部上部5a₁の下面5dが露出するまでエッチバックを行い、第二の溝部上部5a₁の内壁側面を覆う第二のゲート絶縁膜上部7b₁を形成する。

次いで、第2犠牲マスク3を選択的に除去し、活性領域50および第一の素子分離領域51をライン状に露出させる。

【0065】

次いで、図21に示すように、第一の溝部8aおよび第二の溝部下部5a₂を形成する。

まず、ドライエッチングにより、たとえば深さ150nmの第一の溝部8aを、活性領域50および第一の素子分離領域51の露出した領域に形成する。このときのエッチングにより、同時に、第二の溝部上部5a₁を追加エッチングして底面(下面5d)を掘り下げる。この追加エッチングにより掘り下げられた第二の溝部上部5a₁の下部の溝部分を、第二の溝部下部5a₂とする。第二の溝部下部5a₂は、第一の溝部8aと同じ深さとなる。

【0066】

このエッチングにより、第二の溝部上部5a₁と第二の溝部下部5a₂とからなる深さ250nmの第二の溝部5aが形成される。第二の溝部5aの下面5dは、第一の溝部8aの下面8dよりもたとえば100nm深い位置に形成される。また、このエッチングにより、第二の溝部5aの内壁面のうち、第二の溝部上部5a₁の内壁面のみが第二のゲート絶縁膜上部7b₁により覆われ、第二の溝部下部5a₂の内壁面は、半導体基板1が露出した状態となる。

【0067】

次いで、図22に示すように、熱酸化法により、第二の溝部下部5a₂の内壁面および

10

20

30

40

50

第一の溝部 8 a の内壁面を酸化して、たとえば膜厚 6 nm のシリコン酸化膜からなる熱酸化膜（第一のゲート絶縁膜 7 a、第二のゲート絶縁膜下部 7 b₂）を形成する。

この熱酸化膜形成の際に、第二のゲート絶縁膜上部 7 b₁ も同時に酸化されるため、第二のゲート絶縁膜上部 7 b₁ の膜厚は 8 nm 程度まで増加し、第一のゲート絶縁膜 7 a 及び第二のゲート絶縁膜下部 7 b₂ よりも膜厚になる。以上により、第二の溝部上部 5 a₁ 側面を覆う第二のゲート絶縁膜上部 7 b₁ と、第二の溝部下部 5 a₂ 内壁面を覆う第二のゲート絶縁膜下部 7 b₂ とからなる第二のゲート絶縁膜 7 b が形成される。

【0068】

次いで、第一の溝部 8 a 内および第二の溝部 5 a 内に導電層を埋め込み、ワード線 8 および第二の素子分離領域 5 を形成する。

10

次いで、図 23 に示すように、第一の絶縁膜 9 を形成する。

【0069】

次いで、図 24 に示すように、第一の不純物拡散層 10 a および第二の不純物拡散層 10 b を形成する。このような構成により、第二の素子分離領域 5 は、領域 d において第二のゲート絶縁膜上部 7 b₁ を介して第二の不純物拡散層 10 b と隣接する。このとき、領域 d の幅が 10 nm ~ 20 nm の範囲になるように、第二の不純物拡散層 10 b 形成の際の不純物濃度や拡散させる領域を適宜調整することが好ましい。

【0070】

次いで、図 24 に示すように、第一のコンタクトプラグ 11 a および第二のコンタクトプラグ 11 b を形成する。その後、図 19 に示すように、ビット線 12、第二の絶縁膜 13、第三のコンタクトプラグ 14、キャパシタ 15、配線 16 を順次形成する。以上の工程により、第二の実施形態である半導体装置 100 が製造される。

20

【0071】

第二の実施形態の半導体装置 100 の製造方法によれば、第二の溝部上部 5 a₁ 内壁側面に、第二のゲート絶縁膜上部 7 b₁ を形成した後に、熱酸化法により、第二の溝部下部 5 a₂ の内壁面および第一の溝部 8 a の内壁面を酸化して、第一の溝部 8 a の内壁面を覆う第一のゲート絶縁膜 7 a と、第二の溝部下部 5 a₂ の内壁面を覆う第二のゲート絶縁膜下部 7 b₂ とを形成することにより、第二のゲート絶縁膜上部 7 b₁ を、第一のゲート絶縁膜 7 a および第二のゲート絶縁膜下部 7 b₂ よりも厚く形成することができる。

【0072】

このため、第二の溝部 5 a 内側の導電層 5 b は、第二のゲート絶縁膜上部 7 b₁ を介して第二の不純物拡散層 10 b と領域 d の部分で隣接し、領域 d における接合リーク電流、および、GIDL を無視できる程度まで抑えることができる。また、領域 d の幅を 10 nm ~ 20 nm の範囲内とすることにより、ワード線 8 の側面で発生する GIDL の増加と、ワード線 8 の容量低下を防ぐことができる。このため、MOS トランジスタ Tr 1 の電流駆動能力の低下を防ぐことができる。

30

【0073】

以上により、第 1 の実施形態の効果に加えて、接合リーク電流を低減することができる。そのため、第二の素子分離領域 5 の素子分離用の領域としての機能を向上することができる。セル容量に書き込まれた電荷の保持特性を向上することができる。

40

【0074】

次に、第三の実施形態の半導体装置 100 について、図 25 を用いて説明する。図 25 は、第三の実施形態の半導体装置 100 を説明するための断面図であり、図 1 の A - A' 線における断面図である。なお、第三の実施形態の半導体装置 100 は、第 1 の実施形態の半導体装置 100 と、第二の素子分離領域 5 の構成のみが異なっている。そのため、第 1 の実施形態の構成と同様の部分については、詳細な説明を省略する。

【0075】

以下、第二の素子分離領域 5 および、第二の素子分離領域 5 に関連する部分について説明する。

第二の素子分離領域 5 は、第二の溝部 5 a に第二のゲート絶縁膜 7 b を介して導電層 5

50

bを埋め込むことによって形成されている。また、第二の素子分離領域5を成す導電層5bの上面5cは、不純物拡散層(第一の不純物拡散層10a、第二の不純物拡散層10b)の下面10cよりも深い位置に位置している。

【0076】

また、上面5cと下面10cとの高さの差を距離eとすると、距離eは20nm以上であることが好ましい。また、半導体基板1の上面1bから、第二の溝部5aに埋め込まれた導電層5bの上面5cまでの深さが、半導体基板1の上面1bから第二の溝部5aの底部(下面5d)までの深さの0.8倍以下であることが好ましい。

また、導電層8bの上面8cは、導電層5bの上面5cおよび不純物拡散層の下面10cよりも浅い位置に位置している。

【0077】

なお、第二の溝部5aは、図25においては第一の溝部8aと同じ深さで形成されているが、第一の溝部8aよりも深く形成されていることが特に好ましい。

また、第一の絶縁膜9が、上面8cおよび上面5cを覆い、かつ、第一の溝部8a内部および第二の溝部5a内部に埋め込まれるように形成されている。

【0078】

第三の実施形態の半導体装置100は、導電層5bの上面5cが、不純物拡散層(第一の不純物拡散層10a、第二の不純物拡散層10b)の下面10cよりも深い位置に位置するように形成されている。このため、導電層5bの側面と、不純物拡散層とが第二のゲート絶縁膜7bを介して重なることがない。このため、第一の不純物拡散層10aの側面と第二の素子分離領域5側面との間の電界強度の増大を抑えることができる。

【0079】

また、導電層5bの上面5cと不純物拡散層の下面10cの高さの差(距離e)が20nm以上であることにより、導電層5bの側面と不純物拡散層とは十分に離間される。このため、更に効果的に、第一の不純物拡散層10aの側面と第二の素子分離領域5側面との間の電界強度の増大を抑えることができる。このため、第二の素子分離領域5の素子分離用の領域としての機能を向上させることができる。

また、半導体基板1の上面1bから導電層5bの上面5cまでの深さが、半導体基板1の上面1bから第二の溝部5aの下面5dまでの深さの0.8倍以下で形成されていることにより、導電層5bの上面5cと、不純物拡散層の下面10cとの高さの差が十分に確保される。

【0080】

以上より、第三の実施形態の半導体装置100は、第一の実施形態の半導体装置100の効果に加えて、MOSトランジスタTr1の接合リーク電流を抑えることができる。このため、セル容量に書き込まれた電荷を十分保持することができる。

また、導電層8bの上面8cは、不純物拡散層の下面10cよりも浅い位置に位置しているため、導電層8b(ワード線8)は十分な厚さで形成されている。このため、MOSトランジスタTr1の電流駆動能力低下を防ぐことができる。

【0081】

次に、第三の実施形態である半導体装置100の製造方法の一例について図25~図34を用いて説明する。

第三の実施形態である半導体装置100の製造方法は、半導体基板1に、第一の溝部8aおよび第二の溝部5aを形成する工程と、第二の溝部5aに埋め込んだ導電層5bの上面5cをエッチバックする工程と、から概略構成されている。以下、第一の実施形態に記載の工程と同様の部分については、詳細な説明を省略する。

【0082】

まず、図8に示すように、第2犠牲マスク3のパターンを形成する工程まで、第一の実施例と同様に行う。

次いで、図26に示すように、半導体基板1上に第3犠牲マスク4を形成する。次いで、図27に示すように、第2犠牲マスク3を選択的に除去し、活性領域50および第一の

10

20

30

40

50

素子分離領域 5 1 をライン状に露出させる。

【 0 0 8 3 】

次いで、図 2 8 に示すように、露出した活性領域 5 0 および第一の素子分離領域 5 1 をエッチングし、同じ深さの第一の溝部 8 a と第二の溝部 5 a とを同時に形成する。このとき、第二の溝部 5 a の下面 5 d と、第一の溝部 8 a の下面 8 d とは同じ高さとなる。

【 0 0 8 4 】

次いで、図 2 9 に示すように、第一の溝部 8 a の内壁面および第二の溝部 5 a の内壁面を酸化し、第一のゲート絶縁膜 7 a と第二のゲート絶縁膜 7 b とをそれぞれ形成する。

【 0 0 8 5 】

次いで、図 3 0 に示すように、第一の溝部 8 a および第二の溝部 5 a に、導電層を埋め込み形成する。このとき、第一の溝部 8 a 内の導電層 8 b の上面 8 c と、第二の溝部 5 a 内の導電層 5 b の上面 5 c とが、半導体基板 1 の上面 1 b から、たとえば 5 0 n m 程度深い位置に位置されるよう、エッチング条件を調整する。

10

【 0 0 8 6 】

次いで、図 3 1 に示すように、導電層 5 b の上面 5 c をエッチバックする。はじめに、たとえばシリコン窒化膜からなる第 4 犠牲マスク 1 9 を、導電層 5 b の上面 5 c、導電層 8 b の上面 8 c および第 3 犠牲マスク 4 を覆うように形成する。次いで、第 4 犠牲マスク 1 9 をエッチバックし、導電層 5 b の上面 5 c を露出させる。次いで、第 4 犠牲マスク 1 9 をマスクにしてエッチングを行い、導電層 5 b の上面 5 c をたとえば 5 0 n m 深く掘り下げる。このエッチングにより、導電層 5 b の上面 5 c は、導電層 8 b の上面 8 c よりも深い位置に形成される。

20

【 0 0 8 7 】

このとき、半導体基板 1 の上面 1 b から、第二の溝部 5 a に埋め込まれた導電層 5 b の上面 5 c までの深さが、半導体基板 1 の上面 1 b から第二の溝部 5 a の下面 5 d までの深さの 0 . 8 倍以下となるように、エッチング条件を調整することが好ましい。

【 0 0 8 8 】

次いで、図 3 2 に示すように、第 4 犠牲マスク 1 9 を除去し、導電層 5 b の上面 5 c と導電層 8 b の上面 8 c とを露出させる。

次いで、図 3 3 に示すように、第一の絶縁膜 9 を、第一の溝部 8 a と第二の溝部 5 a とを埋め込むように形成する。次いで C M P 法により、第一の絶縁膜 9 表面を第 3 犠牲マスク 4 が露出するまで研磨する。

30

【 0 0 8 9 】

次いで、図 3 4 に示すように、第 3 犠牲マスク 4 を除去し、活性領域 5 0 表面を露出させる。次いで、第一の不純物拡散層 1 0 a および第二の不純物拡散層 1 0 b を形成する。このとき、不純物拡散層（第一の不純物拡散層 1 0 a、第二の不純物拡散層 1 0 b）の下面 1 0 c が、導電層 5 b の上面 5 c よりも浅く、かつ、導電層 8 b の上面 8 c よりも深い位置に位置するように、不純物の濃度や拡散の条件を調整する。

このように、不純物拡散層の下面 1 0 c の位置が、導電層 5 b の上面 5 c よりも浅い位置になるように調整することにより、導電層 5 b の上面 5 c と不純物拡散層の下面 1 0 c とは、距離 e だけ離間する。このとき、距離 e は 2 0 n m 以上であることが好ましい。

40

その後、図 2 5 に示すように、第一のコンタクトプラグ 1 1 a および第二のコンタクトプラグ 1 1 b を形成する。その後、ビット線 1 2、第二の絶縁膜 1 3、第三のコンタクトプラグ 1 4、キャパシタ 1 5、配線 1 6 を順次形成することにより、第三の実施形態の半導体装置 1 0 0 を形成する。

【 0 0 9 0 】

第三の実施形態の半導体装置 1 0 0 の製造方法によれば、導電層 5 b の上面 5 c を、導電層 8 b の上面 8 c と、不純物拡散層の下面 1 0 c よりも深い位置になるようにエッチバックすることにより、導電層 5 b の上面 5 c と不純物拡散層の下面 1 0 c とを離間することができる。

また、半導体基板 1 の上面 1 b から導電層 5 b の上面 5 c までの深さを、半導体基板 1

50

の上面 1 b から第二の溝部 5 a の下面 5 d までの深さの 0.8 倍以下とすることにより、導電層 5 b の上面 5 c と不純物拡散層の下面 1 0 c の高さの差を十分に確保できる。また、導電層 5 b の膜厚制御により、容易に導電層 5 b の上面 5 c と不純物拡散層の下面 1 0 c の高さの差を調整することができる。

【0091】

また、導電層 5 b の上面 5 c と不純物拡散層の下面 1 0 c の高さの差（距離 e）が 20 nm 以上になるように、エッチバックの条件もしくは不純物拡散層形成の条件を調整することにより、導電層 5 b の側面と、不純物拡散層（第一の不純物拡散層 1 0 a、第二の不純物拡散層 1 0 b）とを十分に離間できる。このため、更に効果的に、第一の不純物拡散層 1 0 a の側面と第二の素子分離領域 5 側面との間の電界強度の増大を抑えることができる。よって、第二の素子分離領域 5 の素子分離用の領域としての機能を向上させることができる。

10

【0092】

次に、第四の実施形態の半導体装置 1 0 0 について、図 4 0 を用いて説明する。図 4 0 は、第四の実施形態の半導体装置 1 0 0 を説明するための断面図であり、図 1 の A - A' 線における断面図である。なお、第四の実施形態の半導体装置 1 0 0 は、第 1 の実施形態の半導体装置 1 0 0 と、第二の素子分離領域 5 をなす導電層 5 b の上面 5 c の位置のみが異なっている。そのため、第 1 の実施形態の構成と同様の部分については、詳細な説明を省略する。

20

【0093】

以下、第二の素子分離領域 5 および、第二の素子分離領域 5 に関連する部分について説明する。

第二の溝部 5 a は、第一の溝部 8 a よりも深く形成されている。また、第二の素子分離領域 5 を成す導電層 5 b の上面 5 c は、不純物拡散層（第一の不純物拡散層 1 0 a、第二の不純物拡散層 1 0 b）の下面 1 0 c よりも深い位置に位置している。

【0094】

また、導電層 5 b の上面 5 c と下面 1 0 c との高さの差を距離 e とすると、距離 e は 20 nm 以上であることが好ましい。また、半導体基板 1 の上面 1 b から、第二の溝部 5 a に埋め込まれた導電層 5 b の上面 5 c までの深さが、半導体基板 1 の上面 1 b から第二の溝部 5 a の底部（下面 5 d）までの深さの 0.8 倍以下であることが好ましい。また、導電層 8 b の上面 8 c は、導電層 5 b の上面 5 c および下面 1 0 c よりも浅い位置に位置している。

30

また、第一の絶縁膜 9 が、導電層 8 b の上面 8 c と導電層 5 b の上面 5 c とを覆い、かつ、第一の溝部 8 a 内部および第二の溝部 5 a 内部に埋め込まれるように形成されている。

【0095】

第四の実施形態の半導体装置 1 0 0 は、導電層 5 b の上面 5 c が下面 1 0 c よりも深い位置に位置するように形成されているため、第一の不純物拡散層 1 0 a の側面と第二の素子分離領域 5 側面との間の電界強度の増大を抑えることができる。

また、導電層 5 b の上面 5 c と下面 1 0 c との高さの差（距離 e）が 20 nm 以上であることにより、第一の不純物拡散層 1 0 a の側面と第二の素子分離領域 5 側面との間の電界強度の増大を抑えることができる。また、上面 1 b から導電層 5 b の上面 5 c までの深さが、上面 1 b から下面 5 d までの深さの 0.8 倍以下で形成されていることにより、導電層 5 b の上面 5 c と下面 1 0 c との高さの差が十分に確保される。

40

【0096】

また、第二の素子分離領域 5 の下面 5 d が、ワード線 8 の下面 8 d よりも深い位置に位置するように形成されているため、第二の素子分離領域 5 の素子分離能力低下を抑えることができる。このため、隣接する MOS トランジスタ Tr 1 同士の情報の干渉を防ぐことができ、接合リーク電流を抑えることができる。また、半導体装置 1 0 0 の微細化に起因する情報保持特性の低下を防ぐことができる。

50

以上より、第四の実施形態の半導体装置100は、第1の実施形態の半導体装置100の効果に加えて、MOSトランジスタTr1の接合リーク電流を抑えることができる。このため、セル容量に書き込まれた電荷を十分保持することができる。

【0097】

次に、第四の実施形態である半導体装置100の製造方法の一例について図35～図40を用いて説明する。

第四の実施形態である半導体装置100の製造方法は、半導体基板1に、第一の溝部8aおよび第二の溝部5aを形成する工程と、第二の溝部5aに埋め込んだ導電層5bの上面5cをエッチバックする工程と、から概略構成されている。以下、第1の実施形態に記載の工程と同様の部分については、詳細な説明を省略する。

10

【0098】

まず、図15に示すように、第一の溝部8a内および第二の溝部5a内に導電層を埋め込み形成するまで、第一の実施形態と同様に行う。図35に、導電層5bと導電層8bとが形成された状態を示す。

次いで、図36に示すように、半導体基板1上に第4犠牲マスク19を形成する。次いで、第二の溝部5a上の第4犠牲マスク19を選択的に除去し、第3犠牲マスク4と、導電層5bの上面5cとを露出させる。

【0099】

次いで、第4犠牲マスク19および第3犠牲マスク4をマスクにしたエッチングにより、導電層5bの上面5cをたとえば50nm深く掘り下げる。このエッチングにより、導電層5bの上面5cは、導電層8bの上面8cよりも深い位置に形成される。

20

この時、半導体基板1の上面1bから、第二の溝部5aに埋め込まれた導電層5bの上面5cまでの深さが、半導体基板1の上面1bから第二の溝部5aの底部(下面5d)までの深さの0.8倍以下となるように、エッチング条件を調整することが好ましい。

次いで、図37に示すように、第4犠牲マスク19を除去し、導電層5bの上面5cと導電層8bの上面8cとを露出させる。

【0100】

次いで、図38に示すように、第一の絶縁膜9を、第一の溝部8aおよび第二の溝部5aを埋め込むように形成する。次いでCMP法により、第一の絶縁膜9表面を第3犠牲マスク4が露出するまで研磨する。

30

【0101】

次いで、図39に示すように、第3犠牲マスク4を除去し、活性領域50表面を露出させる。次いで、第一の不純物拡散層10aおよび第二の不純物拡散層10bを形成する。このとき、不純物拡散層(第一の不純物拡散層10a、第二の不純物拡散層10b)の下面10cが、導電層5bの上面5cよりも浅く、かつ、導電層8bの上面8cよりも深い位置に位置するように、不純物の濃度や拡散の条件を調整する。

【0102】

このように、不純物拡散層の下面10cの位置を導電層5bの上面5cよりも浅い位置に調整することにより、導電層5bの上面5cと不純物拡散層の下面10cとは、距離eだけ離間する。このとき、距離eは20nm以上であることが好ましい。

40

【0103】

次いで、図40に示すように、第一のコンタクトプラグ11aおよび第二のコンタクトプラグ11bを形成する。その後、ビット線12、第二の絶縁膜13、第三のコンタクトプラグ14、キャパシタ15、配線16を順次形成することにより、第四の実施形態の半導体装置100を形成する。

【0104】

第四の実施形態の半導体装置100の製造方法によれば、第二の素子分離領域5の下面5dを、ワード線8の下面8dよりも深い位置になるように形成することにより、第二の素子分離領域5の素子分離能力低下を抑えることができる。このため、隣接するMOSトランジスタTr1同士の情報の干渉を防ぐことができ、接合リーク電流を抑えることがで

50

きる。また、半導体装置 100 の微細化に起因する情報保持特性の低下を防ぐことができる。

【0105】

また、導電層 5b の上面 5c を、不純物拡散層の下面 10c よりも深い位置に位置するように形成することにより、第一の不純物拡散層 10a の側面と第二の素子分離領域 5 側面との間の電界強度の増大を抑えることができる。

また、導電層 5b の上面 5c と不純物拡散層の下面 10c との高さの差（距離 e）を 20nm 以上とすることにより、第一の不純物拡散層 10a の側面と第二の素子分離領域 5 側面との間の電界強度の増大を抑えることができる。また、上面 1b から導電層 5b の上面 5c までの深さを、上面 1b から下面 5d までの深さの 0.8 倍以下で形成することにより、導電層 5b の上面 5c と不純物拡散層の下面 10c の高さの差を十分に確保できる。また、導電層 5b の膜厚制御により、容易に導電層 5b の上面 5c と不純物拡散層の下面 10c との高さの差を調整することができる。

【実施例】

【0106】

以下、本発明を実施例に基づいて具体的に説明する。しかし、本発明はこれらの実施例にのみ限定されるものではない。

（実施例 1）

【0107】

実施例 1 として、第一の実施形態の半導体装置 100 の製造方法について説明する。

まず、p 型の不純物が $1.0 \times 10^{17} / \text{cm}^3$ の濃度で含有されたシリコンからなる半導体基板 1 を準備した。次いで、p 型の半導体基板 1 の上面に、X 方向の幅 75nm の第一の素子分離領域 51 および活性領域 50 を形成した。また、第一の素子分離領域 51 は 300nm の深さで形成した。

次いで、図 3、図 4 に示すように第 1 犠牲マスク 2 を形成した。まず、膜厚 150nm のシリコン窒化膜を、半導体基板 1 上を覆うように形成した。次いで、リソグラフィ技術とドライエッチング技術により、450nm 間隔で並び、175nm 幅のライン状の第 1 犠牲マスク 2 を形成した。

【0108】

次いで、図 5、図 6 に示すように、第 2 犠牲マスク 3 を形成した。まず、CVD 法により、膜厚 100nm のシリコン酸化膜を、半導体基板 1 上を覆うように形成した。次いで、前記シリコン酸化膜をサイドウォール状にエッチングし、第 2 犠牲マスク 3 を形成した。

次いで、図 7、図 8 に示すように、第 1 犠牲マスク 2 のみを選択的に除去した。

次いで、CVD 法により、半導体基板 1 上を覆うように膜厚 60nm のシリコン窒化膜を形成した。次いで、前記シリコン窒化膜をサイドウォール状にエッチングし、第 3 犠牲マスク 4 を形成した。

【0109】

次いで、図 9、図 10 に示すように、ライン状に露出する活性領域 50 および第一の素子分離領域 51 をエッチングし、X 方向の幅 55nm、深さ 100nm の第二の溝部上部 5a₁ を形成した。

次いで、図 11、図 12 に示すように、第 2 犠牲マスク 3 を選択的に除去し、活性領域 50 および第一の素子分離領域 51 をライン状に露出させた。

【0110】

次いで、図 13 に示すように、活性領域 50 および第一の素子分離領域 51 の露出した領域に、X 方向の幅 100nm、深さ 150nm の第一の溝部 8a を形成した。このとき、同時に第二の溝部上部 5a₁ は追加エッチングされ、第二の溝部上部 5a₁ の底面（下面）5d がさらに深く掘り下げられた。この追加エッチングにより、深さ 150nm の第二の溝部下部 5a₂ を形成した。以上により、第二の溝部上部 5a₁ と第二の溝部下部 5a₂ とからなる深さ 250nm の第二の溝部 5a を形成した。これにより、第二の溝部 5a の下面側の第一の素子分離領域 51 の厚さは 50nm、第一の溝部 8a の下面側の第一

10

20

30

40

50

の素子分離領域 5 1 の厚さは 1 5 0 n m となった。また、複数の第一の溝部 8 a は、それぞれ深さにばらつきが見られたが、全ての第二の溝部 5 a よりも浅く形成された。また、第一の溝部 8 a と第二の溝部 5 a との深さの差は、2 0 n m ~ 1 0 0 n m の範囲内であった。

【 0 1 1 1 】

次いで、図 1 4 に示すように、熱酸化法により、第二の溝部 5 a の内壁および第一の溝部 8 a の内壁を酸化して、膜厚 6 n m のシリコン酸化膜からなる、第一の溝部 8 a 内壁を覆う第一のゲート絶縁膜 7 a と、第二の溝部 5 a 内壁を覆う第二のゲート絶縁膜 7 b とを形成した。

【 0 1 1 2 】

次いで、図 1 5 に示すように、ワード線 8 および第二の素子分離領域 5 を形成した。まず、第二の溝部 5 a 内および第一の溝部 8 a 内に膜厚 5 n m の窒化チタン膜と、6 0 n m の膜厚のタングステン膜とを順次積層した。次いで、導電層 5 b の上面 5 c および導電層 8 b の上面 8 c を、半導体基板 1 の上面 1 b から、5 0 n m 程度下面側になるまでエッチバックした。

【 0 1 1 3 】

次いで、図 1 6 に示すように、膜厚 6 0 n m の窒化シリコンからなる第一の絶縁膜 9 を形成した。次いで C M P 法により、第一の絶縁膜 9 表面を第 3 犠牲マスク 4 が露出するまで研磨した。

次いで、図 1 7 に示すように、第一の不純物拡散層 1 0 a および第二の不純物拡散層 1 0 b を形成した。まず、第 3 犠牲マスク 4 のみを選択的に除去し、活性領域 5 0 を露出させた。次いで、活性領域 5 0 表面に、 $2 \cdot 0 \times 1 0^{13} / \text{cm}^2$ の濃度のリンを、2 5 k e V の加速エネルギーでイオン注入した。次いで、9 5 0 度で 1 0 秒の熱処理を行い、リンを拡散させた。

【 0 1 1 4 】

次いで、選択エピタキシャル成長技術により、第一の不純物拡散層 1 0 a 上および第二の不純物拡散層 1 0 b 上にエピ層を成長させた。次いで、たとえば砒素などの不純物をエピ層に導入し、図 1 8 に示すように、第一のコンタクトプラグ 1 1 a および第二のコンタクトプラグ 1 1 b を形成した。

この後、図 2 に示すように、ビット線 1 2、第二の絶縁膜 1 3、第三のコンタクトプラグ 1 4、キャパシタ 1 5、配線 1 6 を順次形成することにより、半導体装置 1 0 0 を製造した。

(実施例 2)

【 0 1 1 5 】

実施例 2 として、第二の実施形態の半導体装置 1 0 0 の製造方法について説明する。なお、第 1 の実施例に記載の工程と同様の部分については、詳細な説明を省略する。

【 0 1 1 6 】

まず、図 1 2 に示すように、第 2 犠牲マスク 3 を選択的に除去する工程までを、第一の実施例と同様に行った。

次いで、図 2 0 に示すように、第二の溝部上部 5 a₁ と第二のゲート絶縁膜上部 7 b₁ とを形成した。はじめに、第 3 犠牲マスク 4 をマスクに、活性領域 5 0 および第一の素子分離領域 5 1 をエッチングし、X 方向の幅 5 5 n m、深さ 1 0 0 n m の第二の溝部上部 5 a₁ を形成した。

次いで、熱酸化法により、第二の溝部上部 5 a₁ の内壁面および半導体基板 1 の露出面に、膜厚 5 n m のシリコン酸化膜を形成した。次いで、第二の溝部上部 5 a₁ の下面 5 d が露出するまでエッチバックを行い、第二の溝部上部 5 a₁ の内壁側面を覆う第二のゲート絶縁膜上部 7 b₁ を形成した。次いで、第 2 犠牲マスク 3 を選択的に除去した。

【 0 1 1 7 】

次いで、図 2 1 に示すように、ドライエッチングにより、活性領域 5 0 および第一の素子分離領域 5 1 の露出した領域に、X 方向の幅 1 0 0 n m、深さ 1 5 0 n m の第一の溝部

10

20

30

40

50

8 aを形成した。この際、第二の溝部上部 5 a₁は追加エッチングされて深さ 150 nmの第二の溝部下部 5 a₂が形成された。以上により、第二の溝部上部 5 a₁と第二の溝部下部 5 a₂とからなる深さ 250 nmの第二の溝部 5 aが形成された。これにより、第二の溝部 5 aの下面 5 dは、第一の溝部 8 aの下面 8 dよりも 100 nm下面側に形成された。また、第二の溝部 5 aの内壁面のうち、第二の溝部上部 5 a₁の内壁面のみが第二のゲート絶縁膜上部 7 b₁により覆われ、第二の溝部下部 5 a₂の内壁面は、半導体基板 1が露出した状態となった。

【0118】

次いで、図 22 に示すように、熱酸化法により、第二の溝部下部 5 a₂の内壁面および第一の溝部 8 aの内壁面を酸化した。これにより、第二の溝部下部 5 a₂の内壁面に、膜厚 6 nmのシリコン酸化膜からなる第二のゲート絶縁膜下部 7 b₂が形成された。また、第一の溝部 8 aの内壁面に、膜厚 6 nmのシリコン酸化膜からなる第一のゲート絶縁膜 7 aが形成された。この熱酸化の際、第二のゲート絶縁膜上部 7 b₁も同時に酸化され、第二のゲート絶縁膜上部 7 b₁の膜厚は 8 nmまで増加した。これにより、第二の溝部 5 aの内壁面のうち、第二の溝部上部 5 a₁(上面 1 bから 150 nmの範囲内)は膜厚 8 nmの第二のゲート絶縁膜上部 7 b₁により覆われ、第二の溝部下部 5 a₂(下面 5 dから 100 nmの範囲内)は膜厚 6 nmの第二のゲート絶縁膜下部 7 b₂によって覆われた。

【0119】

次いで、図 23、図 24 に示すように、ワード線 8 および第二の素子分離領域 5、第一の不純物拡散層 10 a および第二の不純物拡散層 10 b、第一のコンタクトプラグ 11 a および第二のコンタクトプラグ 11 b を形成した後に、図 19 に示すように、ビット線 12、第二の絶縁膜 13、第三のコンタクトプラグ 14、キャパシタ 15、配線 16 を順次形成することにより、半導体装置 100 を製造した。

(実施例 3)

【0120】

実施例 3 として、第三の実施形態の半導体装置 100 の製造方法について説明する。なお、第 1 の実施例に記載の工程と同様の部分については、詳細な説明を省略する。

【0121】

まず、図 8 に示すように、第 2 犠牲マスク 3 のパターンを形成する工程まで、第一の実施例と同様に行った。

次いで、図 26 に示すように、半導体基板 1 上に第 2 犠牲マスク 3 および第 3 犠牲マスク 4 を形成したのちに第 2 犠牲マスク 3 を選択的に除去した。次いで、図 27 に示すように、第 2 犠牲マスク 3 を選択的に除去し、活性領域 50 および第一の素子分離領域 51 をライン状に露出させた。

【0122】

次いで、図 28 に示すように、露出した活性領域 50 および第一の素子分離領域 51 をエッチングし、X 方向の幅 55 nm、深さ 150 nmの第二の溝部 5 a および X 方向の幅 100 nm、深さ 150 nmの第一の溝部 8 a を同時に形成した。

次いで、図 29 に示すように、熱酸化法により、膜厚 6 nmの第一のゲート絶縁膜 7 a および第二のゲート絶縁膜 7 b を形成した。

【0123】

次いで、図 30 に示すように、ワード線 8 および第二の素子分離領域 5 を形成した。また、導電層 5 b の上面 5 c および導電層 8 b の上面 8 c を、半導体基板 1 の上面 1 b から、50 nm程度下面側になるまでエッチバックした。

【0124】

次いで、導電層 5 b の上面 5 c、導電層 8 b の上面 8 c および第 3 犠牲マスク 4 を覆うようにシリコン窒化膜からなる第 4 犠牲マスク 19 を形成した。次いで、第 4 犠牲マスク 19 をエッチバックし、導電層 5 b の上面 5 c を露出させた。次いで、図 31 に示すように、第 4 犠牲マスク 19 をマスクにしたエッチバックにより導電層 5 b の上面 5 c を 50 nm深く掘り下げた。次いで、図 32 に示すように、第 4 犠牲マスク 19 を除去し、導電

10

20

30

40

50

層 5 b の上面 5 c と導電層 8 b の上面 8 c とを露出させた。

【 0 1 2 5 】

次いで、図 3 3 に示すように、第一の絶縁膜 9 を形成した。次いで、図 3 4 に示すように、第一の不純物拡散層 1 0 a および第二の不純物拡散層 1 0 b を形成した。この際、不純物拡散層の下面 1 0 c を、導電層 8 b の上面 8 c よりも下面側、かつ、導電層 5 b の上面 5 c よりも上面側に位置するように、不純物の濃度条件及び拡散条件を調整した。また、導電層 5 b の上面 5 c と不純物拡散層の下面 1 0 c との距離 e が 2 0 n m 以上となるように、条件を調整した。

【 0 1 2 6 】

次いで、第一のコンタクトプラグ 1 1 a および第二のコンタクトプラグ 1 1 b、ビット線 1 2、第二の絶縁膜 1 3、第三のコンタクトプラグ 1 4、キャパシタ 1 5、配線 1 6 を順次形成し、半導体装置 1 0 0 を製造した。

(実施例 4)

【 0 1 2 7 】

実施例 4 として、第三の実施形態の半導体装置 1 0 0 の製造方法について説明する。なお、第 1 の実施例に記載の工程と同様の部分については、詳細な説明を省略する。

【 0 1 2 8 】

まず、図 1 5 に示すように導電層 5 b と導電層 8 b とを形成する工程まで、第一の実施例と同様に行った。

次いで、図 3 6 に示すように、半導体基板 1 上に第 4 犠牲マスク 1 9 を形成した。次いで、第二の溝部 5 a 上の第 4 犠牲マスク 1 9 を選択的に除去し、第 3 犠牲マスク 4 と、導電層 5 b の上面 5 c とを露出させた。

【 0 1 2 9 】

次いで、導電層 5 b の上面 5 c を 5 0 n m 深く掘り下げた。また、半導体基板 1 の上面 1 b から、第二の溝部 5 a に埋め込まれた導電層 5 b の上面 5 c までの深さが、半導体基板 1 の上面 1 b から第二の溝部 5 a の下面 5 d までの深さの 0 . 8 倍以下となるように、エッチング条件を調整した。次いで、図 3 7 に示すように、第 4 犠牲マスク 1 9 を除去し、導電層 5 b の上面 5 c と導電層 8 b の上面 8 c とを露出させた。次いで、図 3 8 に示すように、第一の絶縁膜 9 を形成した。次いで C M P 法により、第一の絶縁膜 9 表面を第 3 犠牲マスク 4 が露出するまで研磨した。

【 0 1 3 0 】

次いで、図 3 9 に示すように、第 3 犠牲マスク 4 を除去し、活性領域 5 0 表面を露出させた。次いで、第一の不純物拡散層 1 0 a と第二の不純物拡散層 1 0 b とを形成した。このとき、不純物拡散層の下面 1 0 c が、導電層 5 b の上面 5 c よりも 2 0 n m 以上浅く、かつ、導電層 8 b の上面 8 c よりも深い位置に位置するように、不純物の濃度や拡散の条件を調整した。

【 0 1 3 1 】

次いで、図 4 0 に示すように、第一のコンタクトプラグ 1 1 a および第二のコンタクトプラグ 1 1 b を形成した。その後、ビット線 1 2、第二の絶縁膜 1 3、第三のコンタクトプラグ 1 4、キャパシタ 1 5、配線 1 6 を順次形成することにより、半導体装置 1 0 0 を形成した。

【符号の説明】

【 0 1 3 2 】

1 ... 半導体基板、 5 ... 第二の素子分離領域、 5 a ... 第二の溝部、 5 a₁ ... 第二の溝部上部、 5 a₂ ... 第二の溝部下部、 5 b ... 導電層、 5 c ... 上面、 5 d ... 下面 (底面)、 5 e ... 第二のピラー、 7 a ... 第一のゲート絶縁膜、 7 b ... 第二のゲート絶縁膜、 7 b₁ ... 第二のゲート絶縁膜上部、 7 b₂ ... 第二のゲート絶縁膜下部、 8 ... ワード線、 8 a ... 第一の溝部、 8 b ... 導電層、 8 c ... 上面、 8 d ... 下面、 8 e ... 第一のピラー、 9 ... 第一の絶縁膜、 1 0 a ... 第一の不純物拡散層、 1 0 b ... 第二の不純物拡散層、 1 0 c ... 下面、 5 0 ... 活性領域、 5 1 ... 第一の素子分離領域、 1 0 0 ... 半導体装置

10

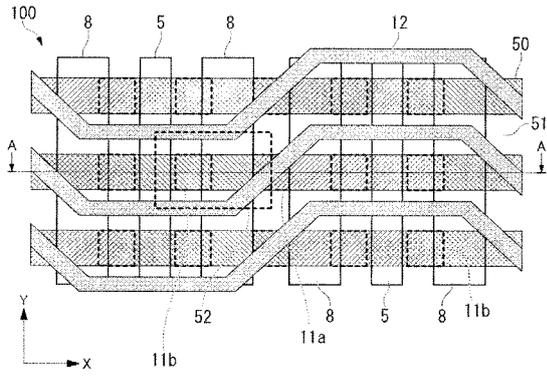
20

30

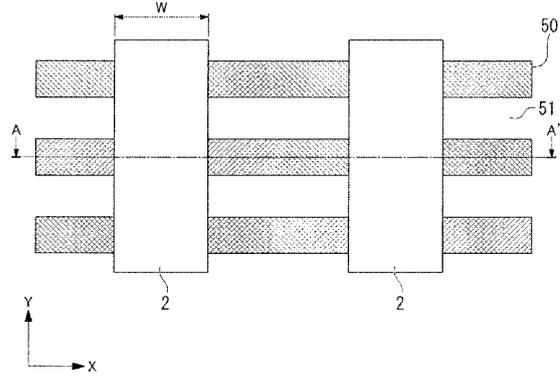
40

50

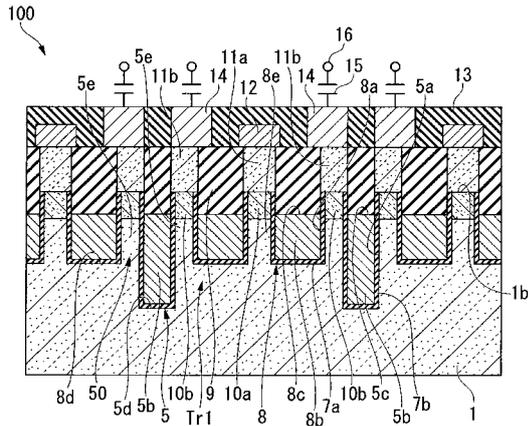
【 図 1 】



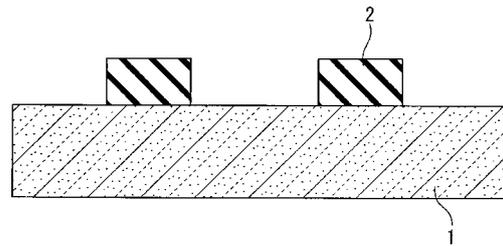
【 図 3 】



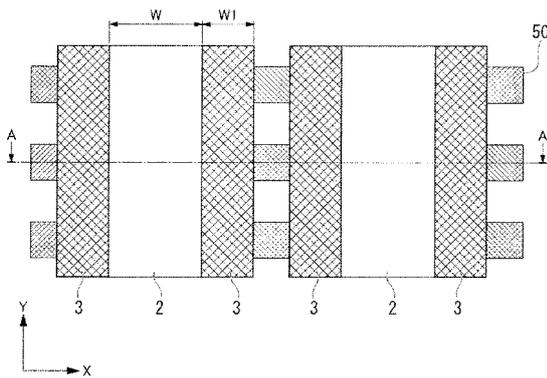
【 図 2 】



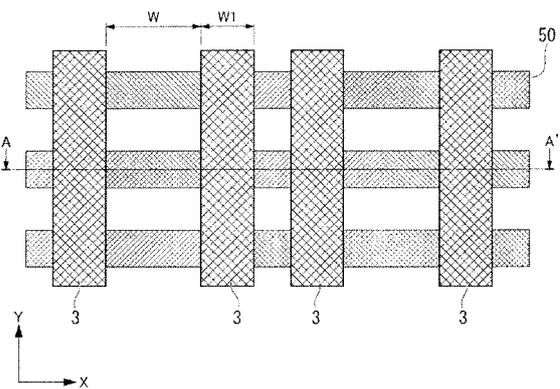
【 図 4 】



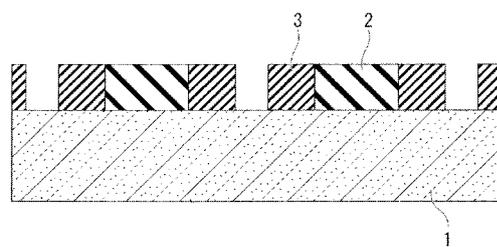
【 図 5 】



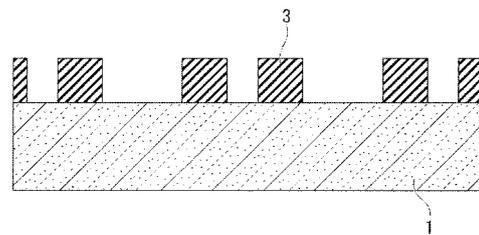
【 図 7 】



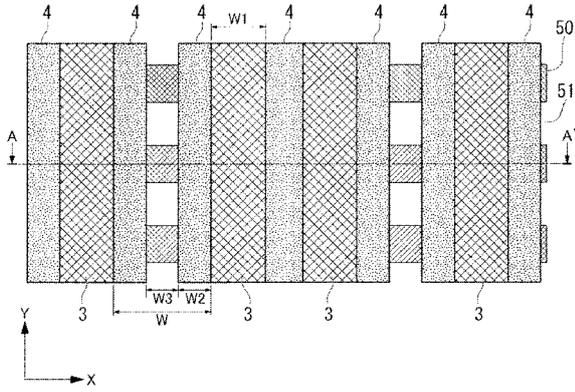
【 図 6 】



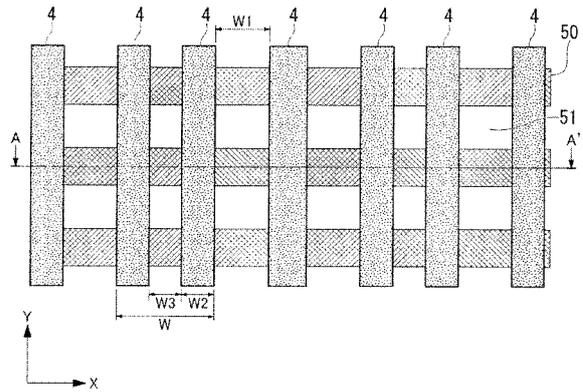
【 図 8 】



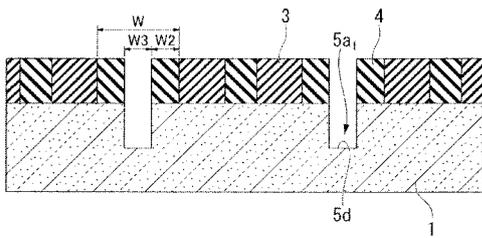
【 図 9 】



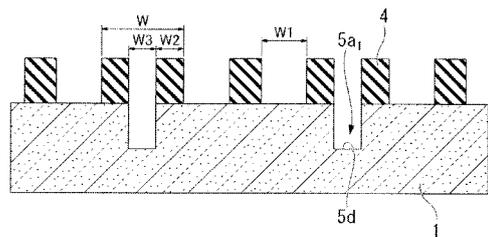
【 図 1 1 】



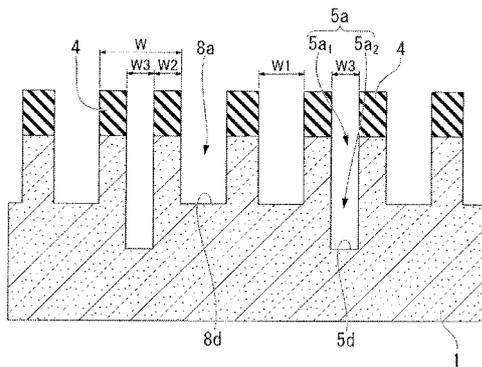
【 図 1 0 】



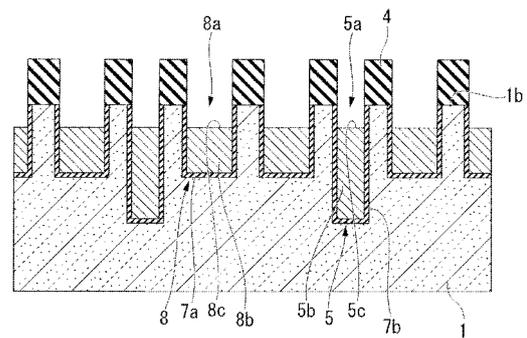
【 図 1 2 】



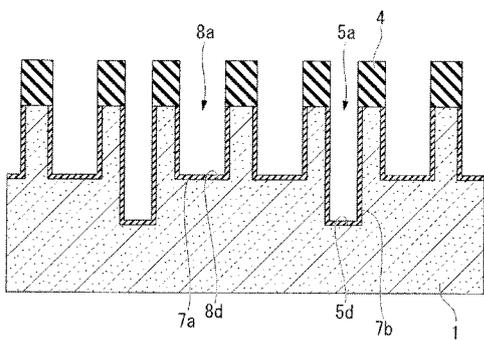
【 図 1 3 】



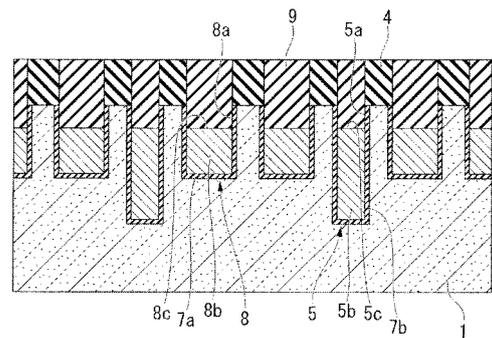
【 図 1 5 】



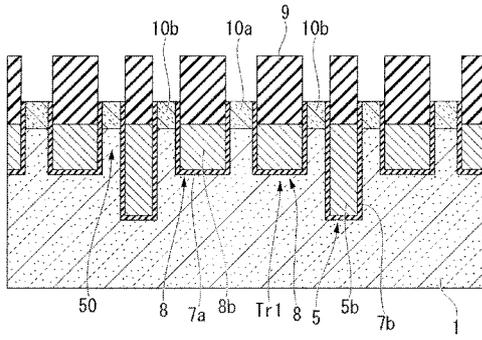
【 図 1 4 】



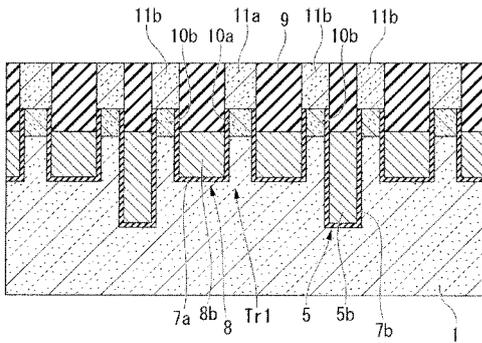
【 図 1 6 】



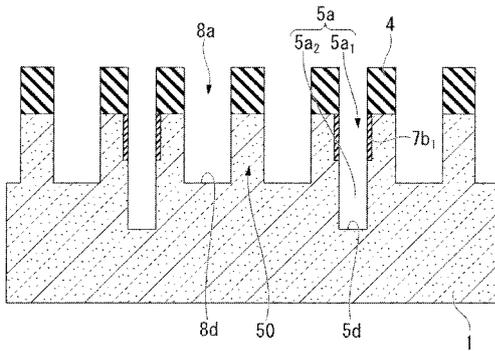
【 図 17 】



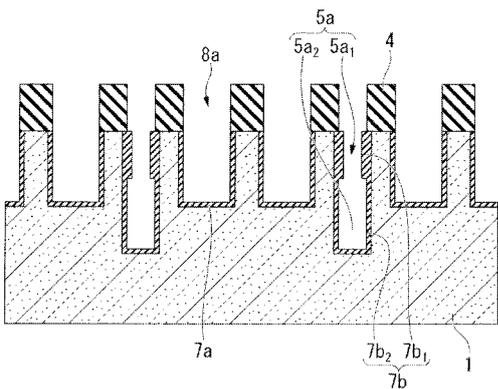
【 図 18 】



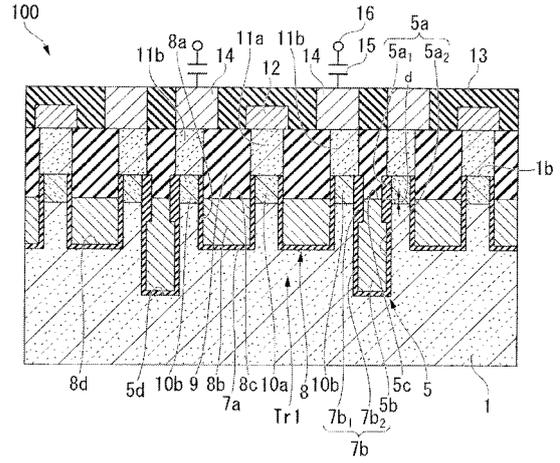
【 図 21 】



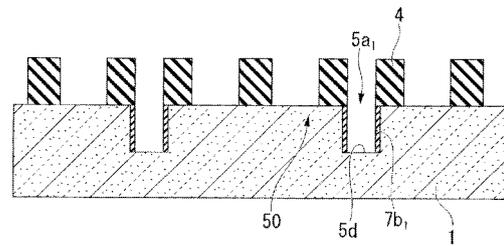
【 図 22 】



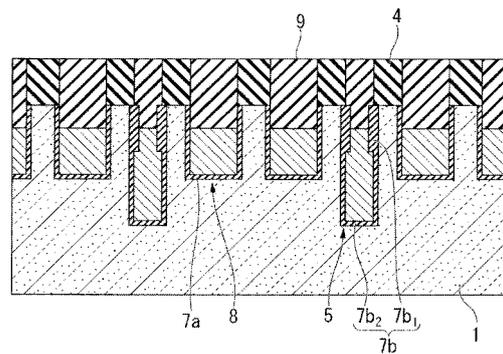
【 図 19 】



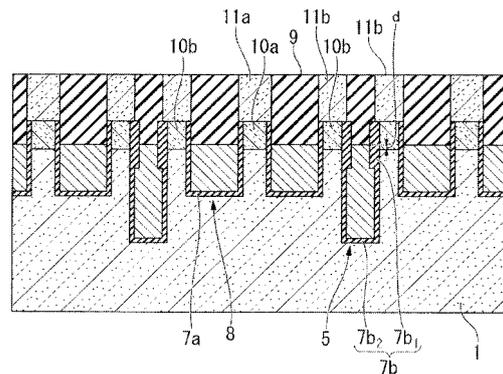
【 図 20 】



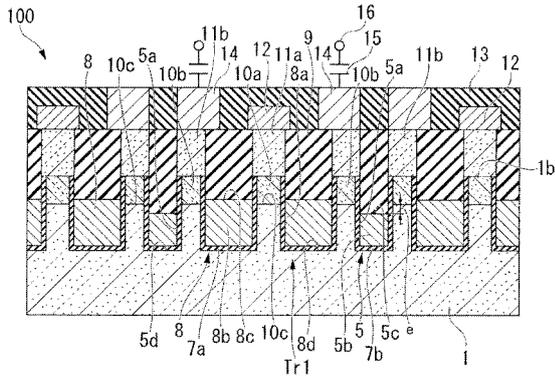
【 図 23 】



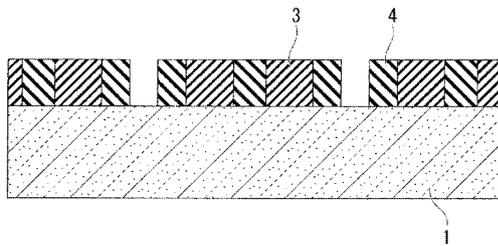
【 図 24 】



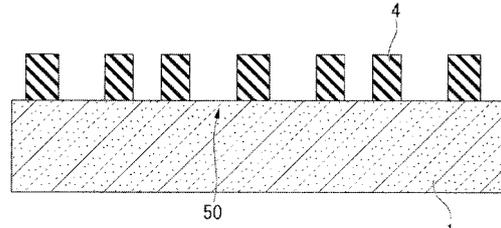
【図 25】



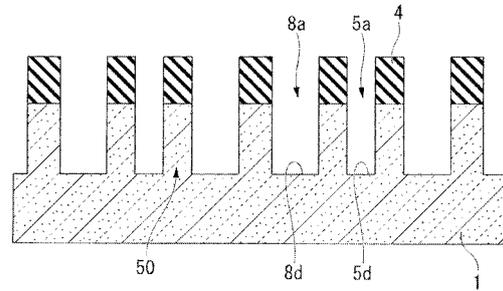
【図 26】



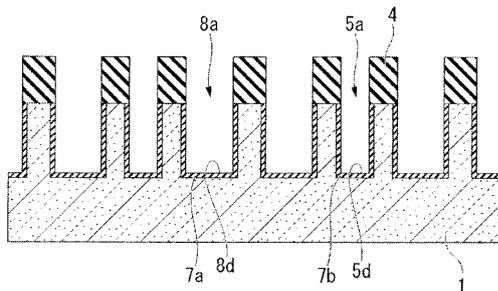
【図 27】



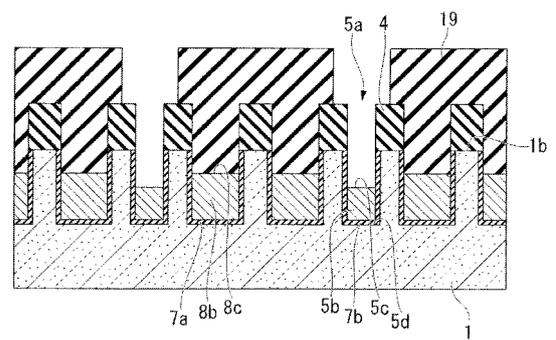
【図 28】



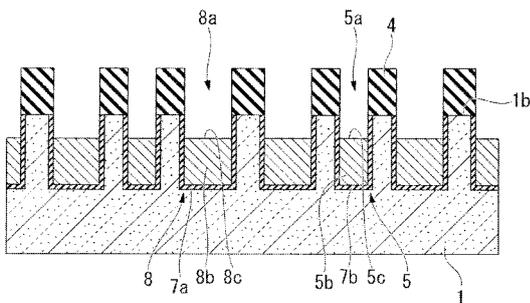
【図 29】



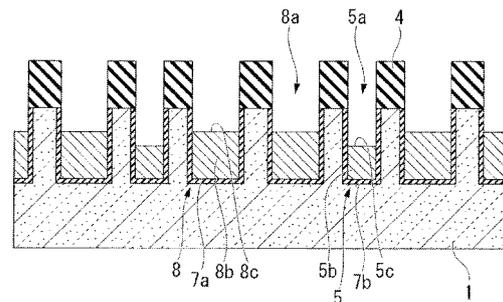
【図 31】



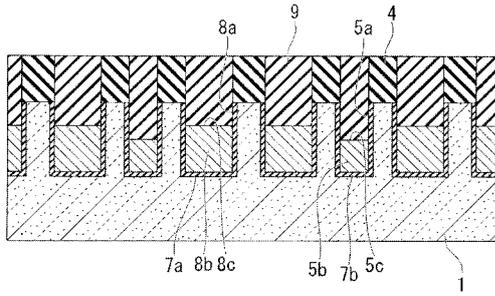
【図 30】



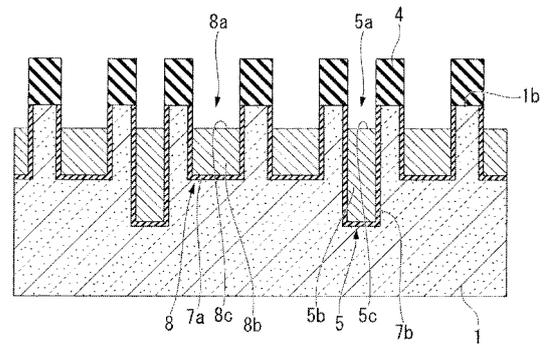
【図 32】



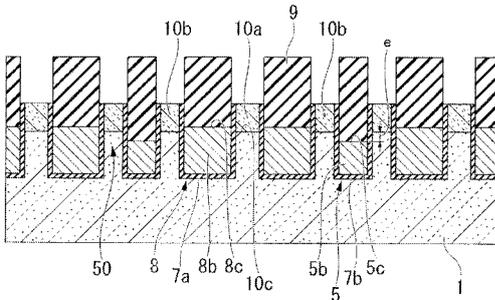
【図 3 3】



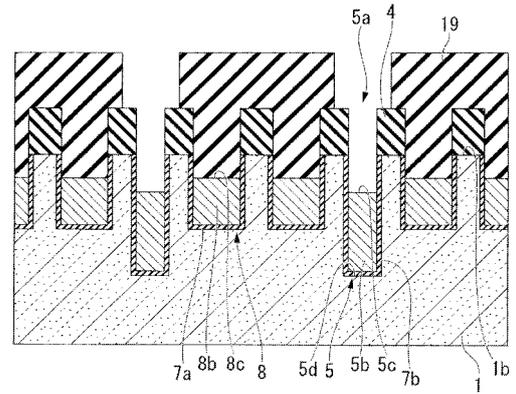
【図 3 5】



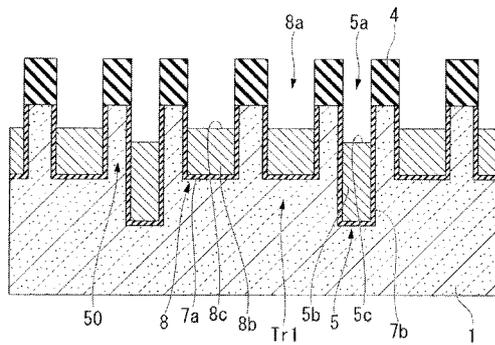
【図 3 4】



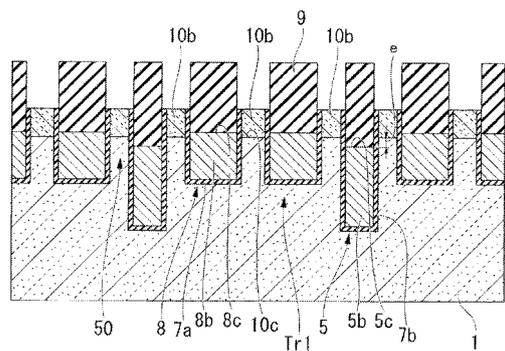
【図 3 6】



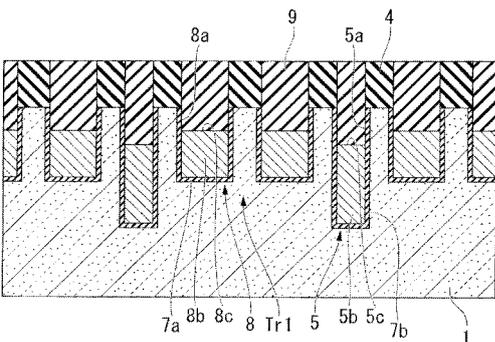
【図 3 7】



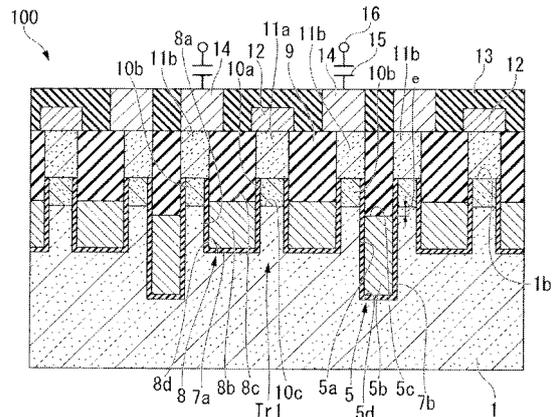
【図 3 9】



【図 3 8】



【図 4 0】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 27/10 6 8 1 B

Fターム(参考) 5F032 AA34 AA35 AA44 AA45 AA47 AA54 AA67 AA70 AA77 AA84
BA01 BB06 CA17 DA02 DA23 DA33 DA78
5F083 AD04 AD21 GA06 GA09 GA11 GA12 GA19 GA27 JA35 JA39
JA40 JA53 KA01 LA02 LA21 MA06 MA17 MA20 NA05 PR05
PR07 PR10 PR25 PR34 PR36 PR40