



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년05월15일
(11) 등록번호 10-2532018
(24) 등록일자 2023년05월09일

(51) 국제특허분류(Int. Cl.)
H10N 70/00 (2023.01) G06F 12/08 (2016.01)
G06F 9/30 (2018.01)
(52) CPC특허분류
H10N 70/20 (2023.02)
G06F 12/0802 (2013.01)
(21) 출원번호 10-2016-0050568
(22) 출원일자 2016년04월26일
심사청구일자 2021년04월07일
(65) 공개번호 10-2017-0121829
(43) 공개일자 2017년11월03일
(56) 선행기술조사문헌
US09130166 B2*
US20060113520 A1*
US20090225588 A1*
US20130122651 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
김완기
서울특별시 양천구 신정이펜2로 55 신정이펜하우스 210동 101호
(74) 대리인
신성특허법인(유한)

전체 청구항 수 : 총 2 항

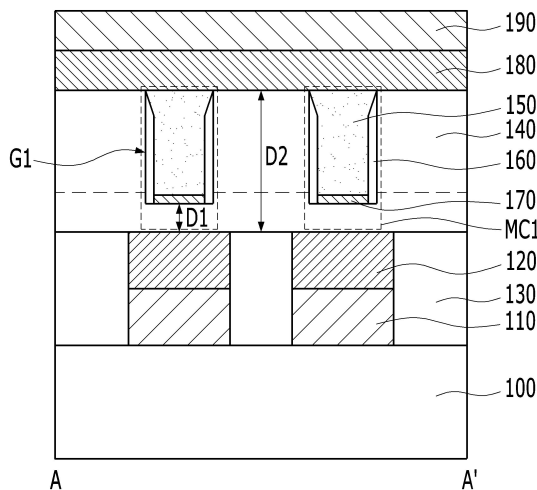
심사관 : 임창연

(54) 발명의 명칭 전자 장치 및 그 제조 방법

(57) 요약

전자 장치 및 그 제조 방법이 제공된다. 본 발명의 일 실시예에 따른 전자 장치는, 반도체 메모리를 포함하는 전자 장치로서, 상기 반도체 메모리는, 제1 도전 패턴; 제1 도전 패턴 상에 위치하고, 상기 제1 도전 패턴과 중첩하는 하나 이상의 제1 홈을 갖는 제1 선택 소자층; 상기 제1 홈 내에 매립되어 측벽 및 저면이 상기 제1 선택 소자층에 의해 둘러싸이는 제1 가변 저항층; 및 상기 제1 가변 저항층 상에서 상기 제1 가변 저항층과 중첩하는 제2 도전 패턴을 포함할 수 있다.

대표도 - 도5b



(52) CPC특허분류

G06F 9/3004 (2013.01)

H10N 70/021 (2023.02)

H10N 70/826 (2023.02)

H10N 70/882 (2023.02)

H10N 70/8845 (2023.02)

명세서

청구범위

청구항 1

반도체 메모리를 포함하는 전자 장치로서,

상기 반도체 메모리는,

제1 도전 패턴;

제1 도전 패턴 상에 위치하고, 상기 제1 도전 패턴과 중첩하는 하나 이상의 제1 홈을 갖는 제1 선택 소자층;

상기 제1 홈 내에 매립되어 측벽 및 저면이 상기 제1 선택 소자층에 의해 둘러싸이는 제1 가변 저항층;

상기 제1 가변 저항층 상에서 상기 제1 가변 저항층과 중첩하는 제2 도전 패턴; 및

상기 제1 홈의 저면 상에 위치하여, 상기 제1 가변 저항층의 저면과 상기 제1 선택 소자층 사이에 개재되는 제1 도전 물질층을 포함하는

전자 장치.

청구항 2

◆청구항 2은(는) 설정등록료 납부시 포기되었습니다.◆

제1 항에 있어서,

상기 제1 선택 소자층 중 상기 제1 가변 저항층 아래에 위치하는 제1 부분은 선택 소자 특성을 갖고, 제1 부분을 제외한 제2 부분은 절연 특성을 갖는

전자 장치.

청구항 3

◆청구항 3은(는) 설정등록료 납부시 포기되었습니다.◆

제1 항에 있어서,

상기 제1 선택 소자층 중 상기 제1 가변 저항층 아래에 위치하는 제1 부분의 두께는, 제1 부분을 제외한 제2 부분의 두께보다 작은

전자 장치.

청구항 4

삭제

청구항 5

◆청구항 5은(는) 설정등록료 납부시 포기되었습니다.◆

제1 항에 있어서,

상기 반도체 메모리는,

상기 제1 홈의 측벽 상에 위치하여, 상기 제1 가변 저항층의 측벽과 상기 제1 선택 소자층 사이에 개재되는 절

연 스페이서를 더 포함하는
전자 장치.

청구항 6

반도체 메모리를 포함하는 전자 장치로서,
상기 반도체 메모리는,
제1 도전 패턴;
제1 도전 패턴 상에 위치하고, 상기 제1 도전 패턴과 중첩하는 하나 이상의 제1 홈을 갖는 제1 선택 소자층;
상기 제1 홈 내에 매립되어 측벽 및 저면이 상기 제1 선택 소자층에 의해 둘러싸이는 제1 가변 저항층; 및
상기 제1 가변 저항층 상에서 상기 제1 가변 저항층과 중첩하는 제2 도전 패턴을 포함하고,
상기 제1 선택 소자층 중 상기 제1 가변 저항층 아래에 위치하는 제1 부분에 비하여, 제1 부분을 제외한 제2 부분은 상기 제1 선택 소자층의 저항을 증가시키는 불순물을 더 포함하는
전자 장치.

청구항 7

◆청구항 7은(는) 설정등록료 납부시 포기되었습니다.◆
제6 항에 있어서,
상기 불순물은, 상기 제2 부분 중 상기 제1 홈의 저면 이상의 높이를 갖는 영역에 존재하는
전자 장치.

청구항 8

◆청구항 8은(는) 설정등록료 납부시 포기되었습니다.◆
제6 항에 있어서,
상기 제1 선택 소자층은, 칼코게나이드 계열 물질을 포함하고,
상기 불순물은, 산소 또는 실리콘을 포함하는
전자 장치.

청구항 9

◆청구항 9은(는) 설정등록료 납부시 포기되었습니다.◆
제1 항에 있어서,
상기 제1 도전 패턴은, 제1 방향으로 연장하는 제1 도전 라인을 포함하고,
상기 제2 도전 패턴은, 상기 제1 방향과 교차하는 방향으로 연장하는 제2 도전 라인을 포함하고,
상기 제1 홈은, 상기 제1 도전 라인과 상기 제2 도전 라인의 교차점과 중첩하는
전자 장치.

청구항 10

◆청구항 10은(는) 설정등록료 납부시 포기되었습니다.◆

제1 항에 있어서,

상기 제1 도전 패턴 및 상기 제2 도전 패턴 중 적어도 하나는 카본을 포함하는 전자 장치.

청구항 11

◆청구항 11은(는) 설정등록료 납부시 포기되었습니다.◆

제1 항에 있어서,

상기 제1 도전 물질층은 카본을 포함하는 전자 장치.

청구항 12

◆청구항 12은(는) 설정등록료 납부시 포기되었습니다.◆

제1 항에 있어서,

상기 제1 가변 저항층은, 상기 제1 홈의 하부에 매립되고,

상기 반도체 메모리는,

상기 제1 가변 저항층이 형성된 상기 제1 홈의 나머지 공간을 매립하는 제2 도전 물질층을 더 포함하는 전자 장치.

청구항 13

◆청구항 13은(는) 설정등록료 납부시 포기되었습니다.◆

제12 항에 있어서,

상기 제2 도전 물질층은 카본을 포함하는

전자 장치.

청구항 14

◆청구항 14은(는) 설정등록료 납부시 포기되었습니다.◆

제1 항에 있어서,

상기 제2 도전 패턴은, 상기 제1 가변 저항층의 상면을 완전히 덮는 폭을 갖는

전자 장치.

청구항 15

◆청구항 15은(는) 설정등록료 납부시 포기되었습니다.◆

제1 항에 있어서,

상기 반도체 메모리는,

상기 제2 도전 패턴 상에 위치하고, 상기 제2 도전 패턴과 중첩하는 하나 이상의 제2 홈을 갖는 제2 선택 소자층;

상기 제2 홈 내에 매립되어 측벽 및 저면이 상기 제2 선택 소자층에 의해 둘러싸이는 제2 가변 저항층; 및

상기 제2 가변 저항층 상에서 상기 제2 가변 저항층과 중첩하는 제3 도전 패턴을 더 포함하는

전자 장치.

청구항 16

◆청구항 16은(는) 설정등록료 납부시 포기되었습니다.◆

제15 항에 있어서,

상기 제1 도전 패턴 및 제3 도전 패턴은, 제1 방향으로 연장하는 제1 도전 라인 및 제3 도전 라인을 각각 포함하고,

상기 제2 도전 패턴은, 상기 제1 방향과 교차하는 방향으로 연장하는 제2 도전 라인을 포함하고,

상기 제1 홈은, 상기 제1 도전 라인과 상기 제2 도전 라인의 교차점과 중첩하고,

상기 제2 홈은, 상기 제2 도전 라인과 상기 제3 도전 라인의 교차점과 중첩하는

전자 장치.

청구항 17

◆청구항 17은(는) 설정등록료 납부시 포기되었습니다.◆

제1 항에 있어서,

상기 제1 선택 소자층은, 제1 서브 선택 소자층 및 상기 제1 서브 선택 소자층 상의 제2 서브 선택 소자층을 포함하고,

상기 반도체 메모리는,

상기 제1 서브 선택 소자층과 상기 제2 서브 선택 소자층 사이에 개재되고 상기 제1 서브 선택 소자층 및 상기 제2 서브 선택 소자층과 상이한 식각율을 갖는 물질층을 더 포함하고,

상기 제1 홈은, 상기 제1 서브 선택 소자층의 상면을 노출시키면서 상기 물질층 및 상기 제2 서브 선택 소자층에 의해 측벽이 둘러싸이는

전자 장치.

청구항 18

◆청구항 18은(는) 설정등록료 납부시 포기되었습니다.◆

제17 항에 있어서,

상기 제1 서브 선택 소자층 중 상기 제1 홈과 중첩하는 제1 부분은 선택 소자 특성을 갖고, 상기 제1 부분을 제외한 상기 제1 서브 선택 소자층의 제2 부분 및 상기 제2 서브 선택 소자층은 절연 특성을 갖는

전자 장치.

청구항 19

삭제

- 청구항 20
- 삭제
- 청구항 21
- 삭제
- 청구항 22
- 삭제
- 청구항 23
- 삭제
- 청구항 24
- 삭제
- 청구항 25
- 삭제
- 청구항 26
- 삭제
- 청구항 27
- 삭제
- 청구항 28
- 삭제
- 청구항 29
- 삭제
- 청구항 30
- 삭제
- 청구항 31
- 삭제
- 청구항 32
- 삭제
- 청구항 33
- 삭제
- 청구항 34
- 삭제
- 청구항 35
- 삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

발명의 설명

기술 분야

[0001] 본 특허 문헌은 메모리 회로 또는 장치와, 전자 장치에서의 이들의 응용에 관한 것이다.

배경 기술

[0003] 최근 전자기기의 소형화, 저전력화, 고성능화, 다양화 등에 따라, 컴퓨터, 휴대용 통신기기 등 다양한 전자기기에서 정보를 저장할 수 있는 반도체 장치가 요구되고 있으며, 이에 대한 연구가 진행되고 있다. 이러한 반도체 장치로는 인가되는 전압 또는 전류에 따라 서로 다른 저항 상태 사이에서 스위칭하는 특성을 이용하여 데이터를 저장할 수 있는 반도체 장치 예컨대, RRAM(Resistive Random Access Memory), PRAM(Phase-change Random Access Memory), FRAM(Ferroelectric Random Access Memory), MRAM(Magnetic Random Access Memory), 이-퓨즈(E-fuse) 등이 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 실시예들이 해결하려는 과제는, 공정 단순화가 가능하고 메모리 셀의 특성 향상이 가능한 전자 장치 및 그 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0007] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 전자 장치는, 반도체 메모리를 포함하는 전자 장치로서, 상기 반도체 메모리는, 제1 도전 패턴; 제1 도전 패턴 상에 위치하고, 상기 제1 도전 패턴과 중첩하는 하나 이상의 제1 홈을 갖는 제1 선택 소자층; 상기 제1 홈 내에 매립되어 측벽 및 저면이 상기 제1 선택 소자층에 의해 둘러싸이는 제1 가변 저항층; 및 상기 제1 가변 저항층 상에서 상기 제1 가변 저항층과 중첩하는 제2 도전 패턴을 포함할 수 있다.

[0008] 위 전자 장치에 있어서, 상기 제1 선택 소자층 중 상기 제1 가변 저항층 아래에 위치하는 제1 부분은 선택 소자층 특성을 갖고, 제1 부분을 제외한 제2 부분은 절연 특성을 가질 수 있다. 상기 제1 선택 소자층 중 상기 제1 가변 저항층 아래에 위치하는 제1 부분의 두께는, 제1 부분을 제외한 제2 부분의 두께보다 작을 수 있다. 상기 반도체 메모리는, 상기 제1 홈의 저면 상에 위치하여, 상기 제1 가변 저항층의 저면과 상기 제1 선택 소자층 사이에 개재되는 제1 도전 물질층을 더 포함할 수 있다. 상기 반도체 메모리는, 상기 제1 홈의 측벽 상에 위치하여, 상기 제1 가변 저항층의 측벽과 상기 제1 선택 소자층 사이에 개재되는 절연 스페이서를 더 포함할 수 있다. 상

기 제1 선택 소자층 중 상기 제1 가변 저항층 아래에 위치하는 제1 부분에 비하여, 제1 부분을 제외한 제2 부분은 상기 제1 선택 소자층의 저항을 증가시키는 불순물을 더 포함할 수 있다. 상기 불순물은, 상기 제2 부분 중 상기 제1 홈의 저면 이상의 높이를 갖는 영역에 존재할 수 있다. 상기 제1 선택 소자층은, 칼코게나이드 계열 물질을 포함하고, 상기 불순물은, 산소 또는 실리콘을 포함할 수 있다. 상기 제1 도전 패턴은, 제1 방향으로 연장하는 제1 도전 라인을 포함하고, 상기 제2 도전 패턴은, 상기 제1 방향과 교차하는 방향으로 연장하는 제2 도전 라인을 포함하고, 상기 제1 홈은, 상기 제1 도전 라인과 상기 제2 도전 라인의 교차점과 중첩할 수 있다. 상기 제1 도전 패턴 및 상기 제2 도전 패턴 중 적어도 하나는 카본을 포함할 수 있다. 상기 제1 도전 물질층은 카본을 포함할 수 있다. 상기 제1 가변 저항층은, 상기 제1 홈의 하부에 매립되고, 상기 반도체 메모리는, 상기 제1 가변 저항층이 형성된 상기 제1 홈의 나머지 공간을 매립하는 제2 도전 물질층을 더 포함할 수 있다. 상기 제2 도전 물질층은 카본을 포함할 수 있다. 상기 제2 도전 패턴은, 상기 제1 가변 저항층의 상면을 완전히 덮는 폭을 가질 수 있다. 상기 반도체 메모리는, 상기 제2 도전 패턴 상에 위치하고, 상기 제2 도전 패턴과 중첩하는 하나 이상의 제2 홈을 갖는 제2 선택 소자층; 상기 제2 홈 내에 매립되어 측벽 및 저면이 상기 제2 선택 소자층에 의해 둘러싸이는 제2 가변 저항층; 및 상기 제2 가변 저항층 상에서 상기 제2 가변 저항층과 중첩하는 제3 도전 패턴을 더 포함할 수 있다. 상기 제1 도전 패턴 및 제3 도전 패턴은, 제1 방향으로 연장하는 제1 도전 라인 및 제3 도전 라인을 각각 포함하고, 상기 제2 도전 패턴은, 상기 제1 방향과 교차하는 방향으로 연장하는 제2 도전 라인을 포함하고, 상기 제1 홈은, 상기 제1 도전 라인과 상기 제2 도전 라인의 교차점과 중첩하고, 상기 제2 홈은, 상기 제2 도전 라인과 상기 제3 도전 라인의 교차점과 중첩할 수 있다. 상기 제1 선택 소자층은, 제1 서브 선택 소자층 및 상기 제1 서브 선택 소자층 상의 제2 서브 선택 소자층을 포함하고, 상기 반도체 메모리는, 상기 제1 서브 선택 소자층과 상기 제2 서브 선택 소자층 사이에 개재되고 상기 제1 서브 선택 소자층 및 상기 제2 서브 선택 소자층과 상이한 식각율을 갖는 물질층을 더 포함하고, 상기 제1 홈은, 상기 제1 서브 선택 소자층의 상면을 노출시키면서 상기 물질층 및 상기 제2 서브 선택 소자층에 의해 측벽이 둘러싸일 수 있다. 상기 제1 서브 선택 소자층 중 상기 제1 홈과 중첩하는 제1 부분은 선택 소자 특성을 갖고, 상기 제1 부분을 제외한 상기 제1 서브 선택 소자층의 제2 부분 및 상기 제2 서브 선택 소자층은 절연 특성을 가질 수 있다.

[0009] 상기 전자 장치는, 마이크로프로세서를 더 포함하고, 상기 마이크로프로세서는, 상기 마이크로프로세서 외부로부터의 명령을 포함하는 신호를 수신하고, 상기 명령의 추출이나 해독 또는 상기 마이크로프로세서의 신호의 입출력 제어를 수행하는 제어부; 상기 제어부가 명령을 해독한 결과에 따라서 연산을 수행하는 연산부; 및 상기 연산을 수행하는 데이터, 상기 연산을 수행한 결과에 대응하는 데이터 또는 상기 연산을 수행하는 데이터의 주소를 저장하는 기억부를 포함하고, 상기 반도체 메모리는, 상기 마이크로프로세서 내에서 상기 기억부의 일부일 수 있다.

[0010] 상기 전자 장치는, 프로세서를 더 포함하고, 상기 프로세서는, 상기 프로세서의 외부로부터 입력된 명령에 따라 데이터를 이용하여 상기 명령에 대응하는 연산을 수행하는 코어부; 상기 연산을 수행하는 데이터, 상기 연산을 수행한 결과에 대응하는 데이터 또는 상기 연산을 수행하는 데이터의 주소를 저장하는 캐시 메모리부; 및 상기 코어부와 상기 캐시 메모리부 사이에 연결되고, 상기 코어부와 상기 캐시 메모리부 사이에 데이터를 전송하는 버스 인터페이스를 포함하고, 상기 반도체 메모리는, 상기 프로세서 내에서 상기 캐시 메모리부의 일부일 수 있다.

[0011] 상기 전자 장치는, 프로세싱 시스템을 더 포함하고, 상기 프로세싱 시스템은, 수신된 명령을 해석하고 상기 명령을 해석한 결과에 따라 정보의 연산을 제어하는 프로세서; 상기 명령을 해석하기 위한 프로그램 및 상기 정보를 저장하기 위한 보조기억장치; 상기 프로그램을 실행할 때 상기 프로세서가 상기 프로그램 및 상기 정보를 이용해 상기 연산을 수행할 수 있도록 상기 보조기억장치로부터 상기 프로그램 및 상기 정보를 이동시켜 저장하는 주기억장치; 및 상기 프로세서, 상기 보조기억장치 및 상기 주기억장치 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스 장치를 포함하고, 상기 반도체 메모리는, 상기 프로세싱 시스템 내에서 상기 보조기억장치 또는 상기 주기억장치의 일부일 수 있다.

[0012] 상기 전자 장치는, 데이터 저장 시스템을 더 포함하고, 상기 데이터 저장 시스템은, 데이터를 저장하며 공급되는 전원에 관계없이 저장된 데이터가 유지되는 저장 장치; 외부로부터 입력된 명령에 따라 상기 저장 장치의 데이터 입출력을 제어하는 컨트롤러; 상기 저장 장치와 외부 사이에 교환되는 데이터를 임시로 저장하는 임시 저장 장치; 및 상기 저장 장치, 상기 컨트롤러 및 상기 임시 저장 장치 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스를 포함하고, 상기 반도체 메모리는, 상기 데이터 저장 시스템 내에서 상기 저장 장치 또는 상기 임시 저장 장치의 일부일 수 있다.

[0013] 상기 전자 장치는, 메모리 시스템을 더 포함하고, 상기 메모리 시스템은, 데이터를 저장하며 공급되는 전원에 관계없이 저장된 데이터가 유지되는 메모리; 외부로부터 입력된 명령에 따라 상기 메모리의 데이터 입출력을 제어하는 메모리 컨트롤러; 상기 메모리와 외부 사이에 교환되는 데이터를 버퍼링하기 위한 버퍼 메모리; 및 상기 메모리, 상기 메모리 컨트롤러 및 상기 버퍼 메모리 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스를 포함하고, 상기 반도체 메모리는, 상기 메모리 시스템 내에서 상기 메모리 또는 상기 버퍼 메모리의 일부일 수 있다.

[0014] 또한, 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 전자 장치의 제조 방법은, 기판 상에 제1 도전 패턴을 형성하는 단계; 상기 제1 도전 패턴 상에 제1 선택 소자층을 형성하는 단계; 상기 제1 선택 소자층을 선택적으로 식각하여 제1 홈을 형성하는 단계 - 여기서, 상기 제1 선택 소자층의 식각은 상기 제1 홈 아래에서 상기 제1 선택 소자층이 소정 두께로 잔류할 때까지 수행됨. - ; 상기 제1 홈 내에 제1 가변 저항층을 형성하는 단계; 및 상기 제1 가변 저항층 상에 제2 도전 패턴을 형성하는 단계를 포함할 수 있다.

[0015] 위 전자 장치의 제조 방법에 있어서, 상기 제1 선택 소자층 중 상기 제1 홈 아래에 잔류하는 제1 부분은 선택 소자 특성을 갖고, 제1 부분을 제외한 제2 부분은 절연 특성을 가질 수 있다. 상기 제1 가변 저항층 형성 단계 전에, 상기 제1 홈의 저면 상에 제1 도전 물질층을 형성하는 단계를 더 포함할 수 있다. 상기 제1 가변 저항층 형성 단계 전에, 상기 제1 홈의 측벽 상에 절연 스페이서를 형성하는 단계를 더 포함할 수 있다. 상기 제1 선택 소자층 형성 단계 후에, 상기 제1 선택 소자층으로 상기 제1 선택 소자층의 저항을 증가시키는 불순물을 주입하는 단계를 더 포함하고, 상기 불순물은, 상기 제1 선택 소자층 중 상기 제1 홈 아래에 잔류하는 제1 부분을 제외한 나머지 부분에 주입될 수 있다. 상기 불순물 주입 단계는, 상기 제1 선택 소자층 상에 상기 제1 홈과 중첩하는 영역을 덮는 마스크 패턴을 형성한 상태에서 수행될 수 있다. 상기 불순물 주입 단계는, 상기 제1 홈의 저면 이상의 높이를 타겟으로 수행될 수 있다. 상기 제1 선택 소자층은, 칼코게나이드 계열 물질을 포함하고, 상기 불순물 주입 단계는, 산소 또는 실리콘을 주입할 수 있다. 상기 제1 도전 패턴 형성 단계는, 제1 방향으로 연장하는 제1 도전 라인을 형성하는 단계를 포함하고, 상기 제2 도전 패턴 형성 단계는, 상기 제1 방향과 교차하는 제2 방향으로 연장하는 제2 도전 라인을 형성하는 단계를 포함할 수 있다. 상기 제1 도전 패턴 및 상기 제2 도전 패턴 중 적어도 하나는 카본을 포함할 수 있다. 상기 제1 도전 물질층은 카본을 포함할 수 있다. 상기 제1 가변 저항층 형성 단계는, 상기 제1 가변 저항층이 상기 제1 홈의 하부에 매립되도록 수행되고, 상기 제1 가변 저항층이 형성된 상기 제1 홈의 나머지 공간을 매립하는 제2 도전 물질층을 형성하는 단계를 더 포함할 수 있다. 상기 제2 도전 물질층은 카본을 포함할 수 있다. 상기 제2 도전 패턴 형성 단계는, 상기 제1 가변 저항층 및 상기 제1 선택 소자층 상에 도전 물질을 형성하는 단계; 및 상기 도전 물질을 선택적으로 식각하여 상기 제1 가변 저항층의 상면을 완전히 덮는 폭을 갖는 상기 제2 도전 패턴을 형성하는 단계를 포함할 수 있다. 상기 제2 도전 패턴 형성 단계 후에, 상기 제2 도전 패턴 상에 제2 선택 소자층을 형성하는 단계; 상기 제2 선택 소자층을 선택적으로 식각하여 제2 홈을 형성하는 단계 - 여기서, 상기 제2 선택 소자층의 식각은 상기 제2 홈 아래에서 상기 제2 선택 소자층이 소정 두께로 잔류할 때까지 수행됨. - ; 상기 제2 홈 내에 제2 가변 저항층을 형성하는 단계; 및 상기 제2 가변 저항층 상에 제3 도전 패턴을 형성하는 단계를 포함할 수 있다. 상기 제1 도전 패턴 및 제3 도전 패턴은, 제1 방향으로 연장하는 제1 도전 라인 및 제3 도전 라인을 각각 포함하고, 상기 제2 도전 패턴은, 상기 제1 방향과 교차하는 방향으로 연장하는 제2 도전 라인을 포함하고, 상기 제1 홈은, 상기 제1 도전 라인과 상기 제2 도전 라인의 교차점과 중첩하고, 상기 제2 홈은, 상기 제2 도전 라인과 상기 제3 도전 라인의 교차점과 중첩할 수 있다. 상기 제1 선택 소자층은, 제1 서브 선택 소자층 및 상기 제1 서브 선택 소자층 상의 제2 서브 선택 소자층을 포함하고, 상기 제조 방법은, 상기 제1 서브 선택 소자층과 상기 제2 서브 선택 소자층 사이에 식각 정지층을 형성하는 단계를 더 포함하고, 상기 제1 홈 형성 단계는, 상기 제1 서브 선택 소자층을 선택적으로 식각하는 단계; 및 상기 제1 서브 선택 소자층의 식각에 의하여 드러나는 상기 식각 정지층을 제거하는 단계를 포함할 수 있다. 상기 식각 정지층은, 상기 제1 서브 선택 소자층 및 상기 제2 서브 선택 소자층과 상이한 식각율을 가질 수 있다.

발명의 효과

[0016] 상술한 본 발명의 실시예들에 의한 전자 장치 및 그 제조 방법에 의하면, 공정 단순화가 가능하고 메모리 셀의 특성 향상이 가능할 수 있다.

도면의 간단한 설명

[0018] 도 1은 비교예의 반도체 장치를 나타내는 단면도이다.

도 2a 내지 도 5b는 본 발명의 일 실시예에 따른 반도체 장치 및 그 제조 방법을 설명하기 위한 도면들이다.

도 6은 본 발명의 다른 일 실시예에 따른 반도체 장치 및 그 제조 방법을 설명하기 위한 단면도이다.

도 7a 및 도 7b는 본 발명의 다른 일 실시예에 따른 반도체 장치 및 그 제조 방법을 설명하기 위한 도면들이다.

도 8 내지 도 11은 본 발명의 또 다른 일 실시예에 따른 반도체 장치 및 그 제조 방법을 설명하기 위한 단면도이다.

도 12은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 마이크로프로세서의 구성도의 일 예이다.

도 13는 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 프로세서의 구성도의 일 예이다.

도 14은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 시스템의 구성도의 일 예이다.

도 15은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 데이터 저장 시스템의 구성도의 일 예이다.

도 16는 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 메모리 시스템의 구성도의 일 예이다.

발명을 실시하기 위한 구체적인 내용

- [0019] 이하에서는, 첨부된 도면을 참조하여 다양한 실시예들이 상세히 설명된다.
- [0020] 도면은 반드시 일정한 비율로 도시된 것이라 할 수 없으며, 몇몇 예시들에서, 실시예들의 특징을 명확히 보여주기 위하여 도면에 도시된 구조물 중 적어도 일부의 비례는 과장될 수도 있다. 도면 또는 상세한 설명에 둘 이상의 층을 갖는 다층 구조물이 개시된 경우, 도시된 것과 같은 층들의 상대적인 위치 관계나 배열 순서는 특정 실시예를 반영할 뿐이어서 본 발명이 이에 한정되는 것은 아니며, 층들의 상대적인 위치 관계나 배열 순서는 달라질 수도 있다. 또한, 다층 구조물의 도면 또는 상세한 설명은 특정 다층 구조물에 존재하는 모든 층들을 반영하지 않을 수도 있다(예를 들어, 도시된 두 개의 층 사이에 하나 이상의 추가 층이 존재할 수도 있다). 예컨대, 도면 또는 상세한 설명의 다층 구조물에서 제1 층이 제2 층 상에 있거나 또는 기판상에 있는 경우, 제1 층이 제2 층 상에 직접 형성되거나 또는 기판상에 직접 형성될 수 있음을 나타낼 뿐만 아니라, 하나 이상의 다른 층이 제1 층과 제2 층 사이 또는 제1 층과 기판 사이에 존재하는 경우도 나타낼 수 있다.
- [0021] 본 실시예의 설명에 앞서 비교예의 반도체 장치, 그 제조 방법 및 그 문제점을 설명하기로 한다.
- [0022] 도 1은 비교예의 반도체 장치를 나타내는 단면도이다.
- [0023] 도 1을 참조하면, 비교예의 반도체 장치는, 소정의 하부 구조물(미도시됨)이 형성된 기판(10) 상에 위치하는 하나 이상의 메모리 셀(MC)을 포함할 수 있다.
- [0024] 여기서, 메모리 셀(MC)은 서로 이격된 제1 전극(11) 및 제2 전극(14)과, 제1 전극(11)과 제2 전극(14) 사이에 개재되는 선택 소자층(12) 및 가변 저항층(13)을 포함할 수 있다. 가변 저항층(13)은 제1 및 제2 전극(11, 14)을 통하여 인가되는 전압 또는 전류에 따라 서로 다른 저항 상태 사이에서 스위칭할 수 있으며, 그에 따라 서로 다른 데이터를 저장할 수 있다. 선택 소자층(12)은 가변 저항층(13)의 일단과 접촉하여 제1 및 제2 전극(11, 14)을 통하여 인가되는 전압 또는 전류에 따라 가변 저항층(13)으로의 접근을 제어할 수 있다.
- [0025] 인접한 메모리 셀(MC) 사이에는 층간 절연층(ILD)이 매립되어 이들 메모리 셀(MC)을 전기적으로 분리할 수 있다.
- [0026] 위의 반도체 장치의 제조 방법을 간략히 설명하면 아래와 같다.
- [0027] 기판(100) 상에 제1 전극(11)을 형성한 후, 선택 소자층(12) 및 가변 저항층(13) 형성을 위한 물질층들을 증착하고 이 물질층들을 선택적으로 식각함으로써 선택 소자층(12) 및 가변 저항층(13)의 적층 구조를 획득할 수 있다. 이어서, 선택 소자층(12) 및 가변 저항층(13)의 적층 구조 상에 제2 전극(14)을 형성하여 메모리 셀(MC)을 형성한 후, 메모리 셀(MC) 사이의 공간을 절연 물질로 매립함으로써 층간 절연막(ILD)을 형성할 수 있다.
- [0028] 그런데, 이와 같은 반도체 장치 및 그 제조 방법에서는 여러가지 문제가 발생할 수 있다. 우선, 선택 소자층(12) 및 가변 저항층(13)이 식각으로 형성되기 때문에, 선택 소자층(12) 및 가변 저항층(13)의 측벽에 식각으로 인한 손상(damage)이 발생할 수 있다. 또한, 선택 소자층(12) 및 가변 저항층(13)의 측벽 상에 층간 절연막(ILD) 또는 도시되지 않은 스페이서 형성을 위한 절연 물질이 증착되는 과정에서도 선택 소자층(12) 및 가변 저항층(13)의 측벽에 추가 손상이 발생할 수 있다. 이러한 측벽 손상은 메모리 셀(MC)의 데이터 저장 특성, 동작

특성 등을 열화시키는 원인이 될 수 있다. 또한, 선택 소자층(12) 및 가변 저항층(13)이 서로 다른 물질로 형성되는 경우, 각 물질층에 대한 별개의 식각 공정이 필요하므로 공정이 복잡한 문제가 있다. 나아가, 메모리 셀(MC) 사이의 공간이 좁은 경우, 층간 절연막(ILD) 형성시 메모리 셀(MC) 사이의 공간에 절연 물질이 미처 매립되지 않아 형성되는 빈 공간인 보이드(V)가 생성될 수 있다. 보이드(V)는 반도체 장치의 제조 공정에 문제를 일으키거나 반도체 장치의 특성을 열화시킬 수 있다.

- [0029] 본 실시예에서는 위와 같은 문제들을 해결함으로써 공정 단순화가 가능하고 메모리 셀의 특성을 향상시킬 수 있는 반도체 장치 및 그 제조 방법을 제공하고자 한다.
- [0030] 도 2a 내지 도 5b는 본 발명의 일 실시예에 따른 반도체 장치 및 그 제조 방법을 설명하기 위한 도면들로서, 각 a도는 평면도를 나타내고, 각 b도 및/또는 c도는 각 a도의 A-A' 선에 따른 단면도를 나타낸다.
- [0031] 먼저, 제조 방법을 설명하기로 한다.
- [0032] 도 2a 및 도 2b를 참조하면, 요구되는 소정의 하부 구조물(미도시됨)이 형성된 기판(100) 상에 A-A' 선과 교차하는 제1 방향으로 연장하는 제1 도전 라인(110, 120)을 형성할 수 있다. 둘 이상의 제1 도전 라인(110, 120)은 A-A' 선과 평행한 제2 방향으로 서로 이격하여 배열될 수 있다. 둘 이상의 제1 도전 라인(110, 120) 사이의 공간은 제1 층간 절연층(130)에 의해 매립될 수 있다.
- [0033] 제1 도전 라인(110, 120)은 후술하는 제1 메모리 셀의 하단과 접속하여 제1 메모리 셀로 전압 또는 전류를 공급하기 위한 것으로서, 다양한 도전 물질 예컨대, W 등의 금속 또는 TiN 등의 금속 질화물을 포함하는 단일막 구조 또는 다중막 구조를 가질 수 있다. 일례로서, 제1 도전 라인(110, 120)은 두 층의 적층 구조를 가질 수 있다. 제1 도전 라인(110, 120)의 하부층(110)은 워드라인 혹은 비트라인으로 기능할 수 있고, 제1 도전 라인(110, 120)의 상부층(120)은 제1 메모리 셀의 하단과 직접 접속하는 하부 전극으로 기능할 수 있다. 본 실시예에서 워드라인 혹은 비트라인과, 하부 전극이 서로 동일한 라인 형상을 가지나, 워드라인 혹은 비트라인이 하부 전극을 통하여 제1 메모리 셀의 하단과 전기적으로 접속할 수 있다면 워드라인 혹은 비트라인과 하부 전극은 서로 상이한 형상을 가져도 무방하다. 또한, 본 실시예에서 제1 도전 라인(110, 120)은 제1 방향으로 연장하는 라인 형상을 가지나, 이는 서로 교차하는 상하부 배선 사이에 메모리 셀이 위치하는 크로스 포인트 구조를 구현하기 위한 것으로, 제1 도전 라인(110, 120)은 라인 형상 대신 다양한 형상의 도전 패턴으로 대체될 수 있다. 또한, 본 실시예에서 하부 전극은 카본(carbon)을 포함하는 단일막 구조 또는 다중막 구조를 가질 수 있다. 하부 전극이 카본을 포함하는 경우, 메모리 셀의 스위칭 동작시 열 장벽(thermal barrier) 및/또는 전기적 장벽(electrical barrier)으로 기능할 수 있다.
- [0034] 제1 층간 절연층(130)은 인접한 제1 도전 라인(110, 120)을 서로 전기적으로 절연시키기 위한 것으로서, 산화물, 질화물 또는 이들의 조합 등 다양한 절연 물질을 포함하는 단일막 구조 또는 다중막 구조를 가질 수 있다.
- [0035] 제1 도전 라인(110, 120) 및 제1 층간 절연층(130)의 형성은, 기판(100) 상에 제1 도전 라인(110, 120) 형성을 위한 도전 물질을 증착하고 이 도전 물질을 선택적으로 식각한 후, 식각된 도전 물질 사이에 절연 물질을 매립하는 방식에 의할 수 있다. 또는, 제1 도전 라인(110, 120) 및 제1 층간 절연층(130)의 형성은, 기판(100) 상에 제1 층간 절연층(130) 형성을 위한 절연 물질을 증착하고 이 절연 물질을 선택적으로 식각하여 제1 도전 라인(110, 120)이 형성될 공간을 제공한 후, 이 공간에 도전 물질을 매립하는 방식에 의할 수 있다.
- [0036] 도 3a 내지 도 3c를 참조하면, 제1 도전 라인(110, 120) 및 제1 층간 절연층(130) 상에 제1 선택 소자층(140)을 형성할 수 있다.
- [0037] 제1 선택 소자층(140)은 제1 메모리 셀의 일부로서, 데이터를 저장하는 가변 저항층과 접속하여 가변 저항층으로의 접근을 제어하는 기능을 할 수 있다. 제1 선택 소자층(140)은 인가되는 전압 또는 전류의 크기가 소정 임계값 이하인 경우에는 전류를 거의 흘리지 않다가, 소정 임계값을 초과하면 인가되는 전압 또는 전류의 크기에 실질적으로 비례하여 급격히 증가하는 전류를 흘리는 특성을 가질 수 있다.
- [0038] 이러한 제1 선택 소자층(140)으로는, NbO₂, TiO₂ 등과 같은 MIT(Metal Insulator Transition) 소자, ZrO₂(Y₂O₃), Bi₂O₃-BaO, (La₂O₃)_x(CeO₂)_{1-x} 등과 같은 MIEC(Mixed Ion-Electron Conducting) 소자, Ge₂Sb₂Te₅, As₂Te₃, As₂, As₂Se₃ 등과 같이 칼코게나이드(chalcogenide) 계열 물질을 포함하는 OTS(Ovonic Threshold Switching) 소자, 기타 실리콘 산화물, 실리콘 질화물, 금속 산화물 등 다양한 절연 물질로 이루어지면서 얇은 두께를 가짐으로써 특정 전압 또는 전류 하에서 전자의 터널링을 허용하는 터널링 절연층 등이 이용될 수 있다.

- [0039] 위와 같은 제1 선택 소자층(140)은 두께가 소정 임계값 이하인 경우에 위에서 설명한 선택 소자 특성 즉, 인가되는 전압 또는 전류의 크기가 소정 임계값 이하인 경우에는 전류를 거의 흘리지 않다가, 소정 임계값을 초과하면 인가되는 전압 또는 전류의 크기에 실질적으로 비례하여 급격히 증가하는 전류를 흘리는 특성을 가질 수 있다. 반면, 제1 선택 소자층(140)의 두께가 소정 임계값을 초과하면 인가되는 전압 또는 전류에 상관 없이 전류 흐름을 차단하는 절연 특성을 가질 수 있다. 후술하는 제1 홈 형성 공정 전, 제1 선택 소자층(140)의 두께(D2)는 절연 특성을 갖도록 소정 임계값을 초과하는 큰 값을 가질 수 있다.
- [0040] 이어서, 제1 선택 소자층(140)을 선택적으로 식각하여, 제1 선택 소자층(140) 내에 하나 이상의 제1 홈(G1)을 형성할 수 있다. 여기서, 제1 홈(G1) 형성을 위한 제1 선택 소자층(140)의 식각은, 제1 선택 소자층(140)이 선택 소자 특성을 갖는 두께 이하가 될 때까지 수행될 수 있다. 즉, 제1 홈(G1) 아래의 제1 선택 소자층(140)의 두께(D1)는 제1 선택 소자층(140)이 선택 소자 특성을 갖게 되는 두께의 최대값 또는 그 미만일 수 있다. 결과적으로, 제1 선택 소자층(140) 중 제1 홈(G1) 아래에 위치하는 부분은 선택 소자로서 기능하는 반면, 나머지 부분은 절연 물질로 기능할 수 있다.
- [0041] 본 실시예에서 평면상 제1 홈(G1)은 제1 도전 라인(110, 120)과 중첩하면서, 제1 방향 및 제2 방향을 따라 매트릭스 형태로 배열될 수 있다. 그러나, 제1 홈(G1)은 제1 도전 라인(110, 120)과 적어도 일부가 중첩하기만 하면, 그 형상, 개수 및 배열은 다양하게 변형될 수 있다. 제1 홈(G1)의 일부가 제1 도전 라인(110, 120)과 중첩하는 경우, 제1 선택 소자층(140) 중 제1 홈(G1) 및 제1 도전 라인(110, 120)과 동시에 중첩하는 부분이 선택 소자로서 기능하고 나머지 부분은 절연 물질로 기능할 수 있다.
- [0042] 한편, 제1 선택 소자층(140) 중 절연 물질로 기능하는 부분은, 그 두께 때문에 절연 특성을 가질 수 있음은 위에서 설명하였다.
- [0043] 나아가, 제1 선택 소자층(140) 및 제1 홈(G1)이 형성된 상태는 제1 선택 소자층(140)을 최초로 온 상태로 만드는 파이어링(firing) 동작이 수행되기 전이므로, 제1 선택 소자층(140) 중 절연 물질로 기능하는 부분은 강한 절연 특성을 가질 수 있다.
- [0044] 더 나아가, 제1 선택 소자층(140)의 형성 후, 제1 선택 소자층(140) 중 절연 물질로 기능하는 부분으로 제1 선택 소자층(140)의 저항을 증가시키는 불순물을 주입하는 공정을 추가 수행함으로써(도 3b 및 도 3c의 화살표 참조), 그 절연 특성을 더 강화할 수 있다. 일례로서, 제1 선택 소자층(140)이 칼코게나이드 계열 물질을 포함하는 경우, O₂, Si 등의 불순물이 주입되면, 해당 불순물이 주입된 부분의 저항이 더 증가하여 절연 특성이 더 증가할 수 있다. 그러나, 불순물의 종류는 제1 선택 소자층(140)의 물질을 고려하여 그 저항을 더 증가시키는 것이면 어떤 것이든 이용될 수 있다. 본 불순물 주입 공정 수행은 선택적일 수 있다.
- [0045] 본 불순물 주입 공정은, 제1 홈(G1) 아래의 제1 선택 소자층(140)으로는 불순물이 주입되지 않도록 수행되어야 한다. 제1 홈(G1) 아래의 제1 선택 소자층(140)은 선택 소자로서 기능하여야 하기 때문이다. 일례로서, 불순물 주입 공정은, 제1 선택 소자층(140) 상에 제1 홈(G1)과 중첩하는 영역은 덮고 나머지 영역은 노출시키는 마스크 패턴(미도시됨)을 형성한 상태에서 기관(100)의 표면에 대해 수직인 방향으로 수행될 수 있다(도 3b 참조). 이 경우, 불순물 주입 깊이의 제한이 없을 수 있다. 반면, 다른 일례로서, 마스크를 형성하지 않는 경우, 불순물 주입 공정은 제1 홈(G1)의 저면 이상의 높이 예컨대, 1 선택 소자층(140)의 상면으로부터 점선 ①로 표기한 부분까지 불순물이 주입되도록 수행될 수 있다(도 3c 참조). 이 경우, 불순물 주입 공정은, 그 깊이 조절을 위하여 기관(100)이 표면에 대해 소정 예각을 갖도록 수행될 수 있다.
- [0046] 도 4a 및 도 4b를 참조하면, 제1 홈(G1) 내에 매립되는 제1 가변 저항층(150)을 형성할 수 있다.
- [0047] 제1 가변 저항층(150)은 제1 메모리 셀의 일부로서, 하단이 제1 선택 소자층(140)과 전기적으로 접촉할 수 있고, 상단이 후술하는 상부 전극 등 다양한 도전 패턴과 전기적으로 접촉할 수 있다. 제1 가변 저항층(150)은 자신의 상단 및 하단을 통하여 인가되는 전압 또는 전류에 따라 서로 다른 저항 상태 사이에서 스위칭하는 가변 저항 특성을 가짐으로써, 서로 다른 데이터를 저장할 수 있다.
- [0048] 제1 가변 저항층(150)은 다양한 가변 저항 물질을 포함하는 단일막 구조 또는 다중막 구조를 가질 수 있다. 제1 가변 저항층(150)이 둘 이상의 층을 포함하는 다중막 구조를 갖는 경우, 둘 이상의 층의 조합에 의하여 가변 저항 특성이 나타날 수 있다. 일례로서, 가변 저항 물질은 RRAM, PRAM, FRAM, MRAM 등에 이용되는 전이 금속 산화물, 페로브스카이트(perovskite)계 물질 등과 같은 금속 산화물, 칼코게나이드(chalcogenide)계 물질 등과 같은 상변화 물질, 강유전 물질, 강자성 물질 등을 포함할 수 있다.

- [0049] 제1 가변 저항층(150)의 형성은, 도 3a 및 도 3b의 공정 결과물 상에 제1 홈(G1)을 충분히 매립하는 두께로 가변 저항 물질을 형성한 후, 제1 선택 소자층(140)의 상면이 드러날 때까지 평탄화 공정 예컨대, 에치백 또는 CMP(Cheical Mechanical Polishing)를 수행하는 방식에 의할 수 있다. 제1 가변 저항층(150)이 다중막 구조를 갖는 경우, 도 3a 및 도 3b의 공정 결과물 상에 다중막 구조 중 최하부막을 형성한 후, 최하부막이 제1 홈(G1)의 최하부를 매립하면서 원하는 두께를 갖도록 최하부막의 상부를 에치백 등으로 제거할 수 있다. 다중막 구조 중 최상부막을 제외한 나머지막은 최하부막과 실질적으로 동일한 공정으로 순차적으로 형성될 수 있다. 이어서, 제1 가변 저항층(150)의 나머지막이 형성된 제1 홈(G1) 상에 최상부막을 형성한 후 제1 선택 소자층(140)의 상면이 드러날 때까지 평탄화 공정을 수행함으로써, 제1 홈(G1) 내에 매립되는 제1 가변 저항층(150)을 형성할 수 있다.
- [0050] 한편, 제1 가변 저항층(150)의 형성 전 제1 홈(G1)의 측벽 상에는 제1 스페이서(160)가 더 형성될 수 있다. 그에 따라, 제1 가변 저항층(150)은 제1 스페이서(160)가 형성된 제1 홈(G1) 내에 매립될 수 있다. 제1 스페이서(160)는 제1 가변 저항층(150)의 측벽을 둘러싸므로써, 제1 가변 저항층(150) 사이의 제1 선택 소자층(140)과 제1 가변 저항층(150)을 서로 분리하는 역할을 수행할 수 있다. 이러한 경우, 본 실시예의 반도체 장치의 동작시, 특히, 제1 가변 저항층(150)의 저저항 상태와 고저항 상태 사이의 스위칭시 발생하는 열에 의하여 제1 가변 저항층(150) 측벽 상의 제1 선택 소자층(140)이 손상되는 현상이 방지될 수 있다. 제1 스페이서(160)는 산화물, 질화물 또는 이들의 조합 등 다양한 절연 물질로 형성될 수 있다.
- [0051] 또한, 제1 가변 저항층(150)의 형성 전 제1 홈(G1)의 저면 상에는 제1 도전 물질층(170)이 더 형성될 수 있다. 그에 따라, 제1 가변 저항층(150)은 제1 도전 물질층(170)이 형성된 제1 홈(G1) 내에 매립될 수 있다. 제1 도전 물질층(170)은 제1 가변 저항층(150)과 그 아래의 제1 선택 소자층(140)을 물리적으로 서로 구분되게 하면서 이들의 전기적 접속을 가능하게 하는 중간 전극으로 기능할 수 있다. 제1 도전 물질층(170)은, 금속, 금속 질화물 등 다양한 도전 물질을 포함하는 단일막 구조 또는 다중막 구조를 가질 수 있다. 특히, 제1 도전 물질층(170)은 카본을 함유하는 단일막 구조 또는 다중막 구조를 가질 수 있고, 이 경우, 열 장벽 및/또는 전기적 장벽으로 기능할 수 있다.
- [0052] 본 실시예에서는 제1 홈(G1) 내에 제1 스페이서(160) 및 제1 도전 물질층(170)이 순차적으로 형성된 후, 제1 가변 저항층(150)이 형성되는 경우를 나타내었다. 그러나, 다른 실시예에서, 제1 스페이서(160) 형성 공정 및 제1 도전 물질층(170) 형성 공정 중 적어도 하나는 생략될 수 있다.
- [0053] 본 공정 결과, 제1 가변 저항층(150) 및 제1 가변 저항층(150)의 아래에서 제1 가변 저항층(150)과 전기적으로 접속하는 제1 선택 소자층(140)의 일부를 포함하는 제1 메모리 셀(MC1)이 형성될 수 있다. 제1 메모리 셀(MC1) 사이에는 절연 특성을 갖는 제1 선택 소자층(140)의 나머지가 위치하여 인접한 제1 메모리 셀(MC1)을 전기적으로 절연시킬 수 있다.
- [0054] 도 5a 및 도 5b를 참조하면, 도 4a 및 도 4b의 공정 결과물 상에 제2 방향으로 연장하는 제2 도전 라인(180, 190)을 형성할 수 있다. 둘 이상의 제2 도전 라인(180, 190)은 제1 방향으로 서로 이격하여 배열될 수 있다. 둘 이상의 제2 도전 라인(180, 190) 사이의 공간은 제2 층간 절연층(미도시됨)에 의해 매립될 수 있다.
- [0055] 제2 도전 라인(180, 190)은 제1 메모리 셀(MC1)의 상단과 접속하여 제1 메모리 셀(MC1)로 전압 또는 전류를 공급하기 위한 것으로서, 다양한 도전 물질 예컨대, W 등의 금속 또는 TiN 등의 금속 질화물을 포함하는 단일막 구조 또는 다중막 구조를 가질 수 있다. 일례로서, 제2 도전 라인(180, 190)은 두 층의 적층 구조를 가질 수 있다. 제2 도전 라인(180, 190)의 상부층(190)은, 제1 도전 라인(110, 120)의 하부층(110)이 위드라인인 경우 비트라인으로, 제1 도전 라인(110, 120)의 하부층(110)이 비트라인인 경우 위드라인으로 기능할 수 있다. 제2 도전 라인(180, 190)의 하부층(180)은 제1 메모리 셀(MC1)의 상단과 직접 접속하는 상부 전극으로 기능할 수 있다. 본 실시예에서 위드라인 혹은 비트라인과, 상부 전극이 서로 동일한 라인 형상을 가지나, 위드라인 혹은 비트라인이 상부 전극을 통하여 제1 메모리 셀(MC1)의 상단과 전기적으로 접속할 수 있다면 위드라인 혹은 비트라인과 상부 전극은 서로 상이한 형상을 가져도 무방하다. 또한, 본 실시예에서 제2 도전 라인(180, 190)은 제2 방향으로 연장하는 라인 형상을 가지나, 이는 서로 교차하는 상하부 배선 사이에 메모리 셀이 위치하는 크로스 포인트 구조를 구현하기 위한 것으로, 제2 도전 라인(180, 190)은 라인 형상 대신 다양한 형상의 도전 패턴으로 대체될 수 있다. 또한, 본 실시예에서 상부 전극은 카본(carbon)을 포함하는 단일막 구조 또는 다중막 구조를 가질 수 있다. 이 경우, 제1 메모리 셀(MC1)의 스위칭 동작시 열 장벽(thermal barrier) 및/또는 전기적 장벽(electrical barrier)으로 기능할 수 있다.
- [0056] 도시되지 않은 제2 층간 절연층은 인접한 제2 도전 라인(180, 190)을 서로 전기적으로 절연시키기 위한 것으로

서, 산화물, 질화물 또는 이들의 조합 등 다양한 절연 물질을 포함하는 단일막 구조 또는 다중막 구조를 가질 수 있다.

- [0057] 제2 도전 라인(180, 190) 및 제2 층간 절연층의 형성은, 도 4a 및 도 4b의 공정 결과물 상에 제2 도전 라인(180, 190) 형성을 위한 도전 물질을 증착하고 이 도전 물질을 선택적으로 식각한 후, 식각된 도전 물질 사이에 절연 물질을 매립하는 방식에 의할 수 있다. 또는, 제2 도전 라인(180, 190) 및 제2 층간 절연층의 형성은, 도 4a 및 도 4b의 공정 결과물 상에 제2 층간 절연층 형성을 위한 절연 물질을 증착하고 이 절연 물질을 선택적으로 식각하여 제2 도전 라인(180, 190)이 형성될 공간을 제공한 후, 이 공간에 도전 물질을 매립하는 방식에 의할 수 있다.
- [0058] 한편, 제2 도전 라인(180, 190)의 제2 방향에서의 하면 폭(도 5a의 W1 참조)은, 제1 가변 저항층(150)을 완전히 덮을 수 있도록 제1 가변 저항층(150)의 상면 폭(도 5a의 W2 참조)보다 클 수 있다. 이는, 도전 물질을 식각하는 방식으로 제2 도전 라인(180, 190)을 형성하는 경우, 제1 가변 저항층(150)이 드러나서 제1 가변 저항층(150)의 상부에 식각 손상이 발생하는 것을 방지하기 위함이다.
- [0059] 이상으로 설명한 공정에 의하여 도 5a 및 도 5b와 같은 반도체 장치가 제조될 수 있다.
- [0060] 도 5a 및 도 5b를 다시 참조하면, 본 발명의 일 실시예에 따른 반도체 장치는, 기판(100) 상에 위치하고 제1 방향으로 연장하는 제1 도전 라인(110, 120), 제1 도전 라인(110, 120) 상에서 제1 도전 라인(110, 120)과 이격하도록 위치하고 제2 방향으로 연장하는 제2 도전 라인(180, 190), 및 제1 도전 라인(110, 120)과 제2 도전 라인(180, 190)의 사이에서 이들의 교차점에 위치하는 제1 메모리 셀(MC1)을 포함할 수 있다.
- [0061] 여기서, 제1 메모리 셀(MC1)은 제1 가변 저항층(150) 및 제1 가변 저항층(150)의 아래에서 제1 가변 저항층(150)과 전기적으로 접속하는 제1 선택 소자층(140)을 포함할 수 있다. 제1 메모리 셀(MC1)의 사이에는 제1 선택 소자층(140)이 위치할 수 있다. 즉, 제1 선택 소자층(140)은 제1 가변 저항층(150)의 측벽 및 저면을 둘러싸도록 형성되면서, 제1 가변 저항층(150) 아래에 위치하는 부분은 선택 소자 특성을 가질 수 있고, 나머지 부분은 절연 특성을 가질 수 있다.
- [0062] 제1 가변 저항층(150)의 측벽과 제1 선택 소자층(140)의 사이에는 제1 스페이서(160)가 더 개재될 수 있다. 또한, 제1 가변 저항층(150)의 저면과 제1 선택 소자층(140)의 사이에는 중간 전극으로 기능할 수 있는 제1 도전 물질층(170)이 더 개재될 수 있다.
- [0063] 이상으로 설명한 반도체 장치 및 그 제조 방법에 의하면 다음과 같은 장점이 존재할 수 있다.
- [0064] 우선, 선택 소자층의 일부를 식각하여 생성되는 홈 내에 가변 저항층을 매립하는 방식으로 메모리셀이 형성되기 때문에, 비교예와 같이 메모리 셀의 측벽에 식각으로 인한 손상이 발생하지 않을 수 있다. 게다가, 메모리 셀 사이의 절연은 기 형성된 선택 소자층에 의해 이루어지므로, 추가로 층간 절연층을 증착하는 공정 등이 요구되지 않는다. 따라서, 메모리 셀의 측벽에 증착으로 인한 손상도 발생하지 않을 수 있다. 이와 같이 층간 절연층 증착 공정이 생략되므로, 보이드 형성 문제는 원천적으로 방지될 수 있다. 또한, 층간 절연층을 이루는 산화 물질이 선택 소자층에 영향을 주어 선택 소자층을 산화시키는 현상도 방지될 수 있다. 결과적으로, 메모리 셀의 특성이 향상될 수 있다.
- [0065] 또한, 비교예와 같이 메모리 셀을 구성하는 선택 소자층 및 가변 저항층 각각에 대한 별개의 식각 공정이나, 메모리 셀 사이의 층간 절연층 형성 공정이 생략될 수 있으므로, 공정 단순화가 가능할 수 있다.
- [0067] 한편, 도 2a 내지 도 5b의 실시예에서는 제1 홈(G1) 전부에 제1 가변 저항층(150)이 매립되는 경우가 도시되었으나, 다른 실시예에서는, 제1 홈(G1)의 일부에 제1 가변 저항층(150)이 매립될 수도 있다. 이에 대해서는, 도 6에 예시적으로 나타내었다.
- [0068] 도 6은 본 발명의 다른 일 실시예에 따른 반도체 장치 및 그 제조 방법을 설명하기 위한 단면도이다. 전술한 실시예들과 실질적으로 동일한 부분에 대해서는 그 상세한 설명을 생략하기로 한다.
- [0069] 도 6을 참조하면, 제1 가변 저항층(150)은 제1 홈(G1)의 하부에만 매립될 수 있다. 이를 위하여, 제1 가변 저항층(150)은 제1 홈(G1)이 형성된 제1 선택 소자층(140) 상에 가변 저항 물질을 형성한 후, 제1 홈(G1) 하부에 매립되면서 원하는 두께를 갖도록 가변 저항 물질의 상부를 에치백하는 방식에 의하여 형성될 수 있다.
- [0071] 제1 가변 저항층(150)이 형성된 제1 홈(G1)의 나머지 공간은 제2 도전 물질층(185)으로 매립될 수 있다. 제2 도전 물질층(185)의 형성은, 제1 가변 저항층(150)을 구비한 제1 홈(G1) 상에 도전 물질을 형성한 후, 제1 선택

소자층(140)의 상면이 드러날 때까지 평탄화 공정을 수행하는 방식에 의할 수 있다.

- [0072] 제2 도전 물질층(185)은 제2 도전 라인(180, 190)의 하부층(180)과 함께 상부 전극으로 기능할 수 있다. 그에 따라, 하부층(180)과 실질적으로 동일한 물질 예컨대, 금속, 금속 질화물 또는 카본을 포함할 수 있다. 또는, 제2 도전 물질층(185)은 제2 도전 라인(180, 190)에서 하부층(180)이 생략되고 단독으로 상부 전극으로 기능할 수 있다. 제2 도전 물질층(185)은 제1 홈(G1) 내에 매립되므로 제1 가변 저항층(150)과 정렬된 측벽을 가질 수 있다.
- [0074] 한편, 도 2a 내지 도 5b의 실시예에서는 수직 방향에서 상하로 위치하고 서로 교차하는 방향으로 연장하는 두 배선 사이에 한 층의 메모리 셀이 위치하는 크로스 포인트 구조가 도시되었다. 그러나, 다른 실시예에서, 3개 이상의 배선이 수직 방향으로 배열될 수 있고, 어느 하나의 배선은 바로 위 및 바로 아래의 배선과 교차하는 방향으로 연장할 수 있다. 즉, 수직 방향에서 일 방향으로 연장하는 배선과 타 방향으로 연장하는 배선은 교대로 배열될 수 있다. 이러한 경우, 수직 방향에서 인접한 두 배선 사이마다 메모리 셀이 배치될 수 있고, 그에 따라, 두 층 이상의 메모리 셀이 위치하는 크로스 포인트 구조가 획득될 수 있다. 이에 대해서는, 도 7a 및 도 7b를 참조하여 예시적으로 설명하기로 한다.
- [0075] 도 7a 및 도 7b는 본 발명의 다른 일 실시예에 따른 반도체 장치 및 그 제조 방법을 설명하기 위한 도면들이다. 전술한 실시예들과 실질적으로 동일한 부분에 대해서는 그 상세한 설명을 생략하기로 한다.
- [0076] 도 7a 및 도 7b를 참조하면, 본 발명의 다른 일 실시예에 따른 반도체 장치는, 기판(100) 상에 위치하고 제1 방향으로 연장하는 제1 도전 라인(110, 120), 제1 도전 라인(110, 120) 상에서 제1 도전 라인(110, 120)과 이격하도록 위치하고 제2 방향으로 연장하는 제2 도전 라인(180, 190, 220), 및 제1 도전 라인(110, 120)과 제2 도전 라인(180, 190, 220)의 사이에서 이들의 교차점에 위치하는 제1 메모리 셀(MC1)을 포함하는 제1 스택(ST1)과, 제2 도전 라인(180, 190, 220), 제2 도전 라인(180, 190, 220) 상에서 제2 도전 라인(180, 190, 220)과 이격하도록 위치하고 제1 방향으로 연장하는 제3 도전 라인(280, 290), 및 제2 도전 라인(180, 190, 220)과 제3 도전 라인(280, 290)의 사이에서 이들의 교차점에 위치하는 제2 메모리 셀(MC2)을 포함하는 제2 스택(ST2)을 포함할 수 있다. 제1 스택(ST1)과 제2 스택(ST2)은 제2 도전 라인(180, 190, 220)을 공유할 수 있다.
- [0077] 제1 스택(ST1)은 제1 도전 라인(180, 190, 220)을 제외하고는, 도 5a 및 도 5b의 구조물과 실질적으로 동일할 수 있다.
- [0078] 제2 도전 라인(180, 190, 220)은 제1 메모리 셀(MC1)의 상부 전극으로 기능할 수 있는 하부층(180), 워드라인 또는 비트라인으로 기능할 수 있는 중간층(190) 및 제2 메모리 셀(MC2)의 하부 전극으로 기능할 수 있는 상부층(220)을 포함할 수 있다. 제2 도전 라인(180, 190, 220)의 하부층(180), 중간층(190) 및 상부층(220)은 함께 패터닝되어 즉, 하나의 마스크를 이용하여 식각됨으로써 서로 정렬된 측벽을 가질 수 있다. 인접한 제2 도전 라인(180, 190, 220) 사이의 공간은 도시되지 않은 층간 절연 물질로 매립될 수 있다. 그러나, 다른 실시예에서, 하부층(180) 및/또는 상부층(220)은 중간층(190)과 함께 패터닝되지 않고 다른 형상을 가질 수도 있다.
- [0079] 제2 스택(ST2)은 하부 배선 및 상부 배선의 방향이 제1 스택(ST1)의 하부 배선 및 상부 배선의 방향과 반대임을 제외하고는, 제1 스택(ST1)과 실질적으로 동일한 구조를 가질 수 있다.
- [0080] 구체적으로, 제2 스택(ST2)의 제2 메모리 셀(MC2)은 제2 가변 저항층(250) 및 제2 가변 저항층(250)의 아래에서 제2 가변 저항층(250)과 전기적으로 접속하는 제2 선택 소자층(240)을 포함할 수 있다. 제2 메모리 셀(MC2)의 사이에는 제2 선택 소자층(240)이 위치할 수 있다. 즉, 제2 선택 소자층(240)은 제2 가변 저항층(250)의 측벽 및 저면을 둘러싸도록 형성되면서, 제2 가변 저항층(250) 아래에 위치하는 부분은 선택 소자 특성을 가질 수 있고, 나머지 부분은 절연 특성을 가질 수 있다. 제2 가변 저항층(250)의 측벽과 제2 선택 소자층(240)의 사이에는 제2 스페이서(260)가 더 개재될 수 있다. 또한, 제2 가변 저항층(250)의 저면과 제2 선택 소자층(240)의 사이에는 중간 전극으로 기능할 수 있는 제3 도전 물질층(270)이 더 개재될 수 있다. 제3 도전 라인(280, 290)의 하부층(280)은 제2 메모리 셀(MC2)의 상부 전극으로 기능할 수 있고, 상부층(290)은 워드라인 또는 비트라인으로 기능할 수 있다. 인접한 제3 도전 라인(280, 290) 사이의 공간은 제3 층간 절연층(300)으로 매립될 수 있다.
- [0081] 위와 같은 구조에서, 제2 도전 라인(180, 190, 220)의 중간층(190)이 제1 및 제2 스택(ST1, ST2)의 공통 비트라인으로 기능하는 경우, 제1 도전 라인(110, 120)의 하부층(110) 및 제3 도전 라인(280, 290)의 상부층(290)은 제1 스택(ST1)의 워드라인 및 제2 스택(ST2)의 워드라인으로 각각 기능할 수 있다. 반대로, 제2 도전 라인(180, 190, 220)의 중간층(190)이 제1 및 제2 스택(ST1, ST2)의 공통 워드라인으로 기능하는 경우, 제1 도전 라인

(110, 120)의 하부층(110) 및 제3 도전 라인(280, 290)의 상부층(290)은 제1 스택(ST1)의 비트라인 및 제2 스택(ST2)의 비트라인으로 각각 기능할 수 있다.

- [0082] 본 실시예에서는 두 개의 제1 및 제2 스택(ST1, ST2)이 적층된 경우를 도시하였으나, 동일한 방식으로 세 개 이상의 스택을 적층하는 것도 가능함은 당연하다.
- [0084] 도 8 내지 도 11은 본 발명의 또 다른 일 실시예에 따른 반도체 장치 및 그 제조 방법을 설명하기 위한 단면도이다. 전술한 실시예들과 실질적으로 동일한 부분에 대해서는 그 상세한 설명을 생략하기로 한다.
- [0085] 도 8을 참조하면, 기판(100) 상에 제1 도전 라인(110, 120) 및 제1 층간 절연층(130)을 형성할 수 있다.
- [0086] 이어서, 제1 도전 라인(110, 120) 및 제1 층간 절연층(130) 상에 제1 서브 선택 소자층(140A), 식각 정지층(145) 및 제2 서브 선택 소자층(140B)을 형성할 수 있다.
- [0087] 제1 서브 선택 소자층(140A) 및 제2 서브 선택 소자층(140B)은 전술한 선택 소자층(140)과 실질적으로 동일한 물질로 형성될 수 있다.
- [0088] 식각 정지층(145)은, 후술하는 제1 홈(G1) 형성을 위한 제2 서브 선택 소자층(140B) 식각 공정에서 식각 정지 기능을 할 수 있다. 식각 정지층(145)은 제1 서브 선택 소자층(140A) 및 제2 서브 선택 소자층(140B)과 식각율이 상이한 물질로서, 다양한 절연 물질 또는 반도체 물질을 포함할 수 있다.
- [0089] 제1 서브 선택 소자층(140A)은 후술하는 제1 홈(G1) 아래에 위치하게 될 부분으로서, 그 두께는 전술한 D1과 대응할 수 있다. 또한, 제1 서브 선택 소자층(140A), 식각 정지층(145) 및 제2 서브 선택 소자층(140B)의 두께의 합은 전술한 D2와 대응할 수 있다.
- [0090] 도 9를 참조하면, 제2 서브 선택 소자층(140B)을 선택적으로 식각하여 제2 서브 선택 소자층(140B) 내에 하나 이상의 초기 제1 홈(G1')을 형성할 수 있다. 여기서, 제2 서브 선택 소자층(140B)의 식각은 식각 정지층(145)에서 식각이 정지되도록 수행될 수 있다.
- [0091] 도 10을 참조하면, 초기 제1 홈(G1')에 의해 드러나는 식각 정지층(145)을 에치백 등의 방식으로 제거하여 제1 홈(G1)을 형성할 수 있다. 그에 따라, 제1 홈(G1) 아래에는 선택 소자로서 기능할 수 있는 두께를 갖는 제1 서브 선택 소자층(140A)이 존재하게 된다. 제1 홈(G1)의 저면은 식각 정지층(145)의 저면과 실질적으로 동일한 높이에 위치할 수 있다.
- [0092] 이후의 후속 공정들은 전술한 실시예들에서 설명한 것과 실질적으로 동일할 수 있다. 예컨대, 도 11을 참조하면, 제1 홈(G1) 형성 후, 제1 홈(G1) 내에 제1 가변 저항층(150), 제1 스페이서(160) 및 제1 도전 물질층(170)이 형성되고, 그 상부에 제2 도전 라인(180, 190)이 형성될 수 있다.
- [0093] 본 실시예에 의하는 경우, 제1 홈(G1)의 깊이를 일정하게 조절함으로써 메모리 셀이 특성을 균일하게 확보할 수 있다.
- [0095] 전술한 실시예들의 메모리 회로 또는 반도체 장치는 다양한 장치 또는 시스템에 이용될 수 있다. 도 12 내지 도 16는 전술한 실시예들의 메모리 회로 또는 반도체 장치를 구현할 수 있는 장치 또는 시스템의 몇몇 예시들을 나타낸다.
- [0097] 도 12은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 마이크로프로세서의 구성도의 일 예이다.
- [0098] 도 12을 참조하면, 마이크로프로세서(1000)는 다양한 외부 장치로부터 데이터를 받아서 처리한 후 그 결과를 외부 장치로 보내는 일련의 과정을 제어하고 조정하는 일을 수행할 수 있으며, 기억부(1010), 연산부(1020), 제어부(1030) 등을 포함할 수 있다. 마이크로프로세서(1000)는 중앙 처리 장치(Central Processing Unit; CPU), 그래픽 처리 장치(Graphic Processing Unit; GPU), 디지털 신호 처리 장치(Digital Signal Processor; DSP), 어플리케이션 프로세서(Application Processor; AP) 등 각종 데이터 처리 장치 일 수 있다.
- [0099] 기억부(1010)는 프로세서 레지스터(Mrocessor register), 레지스터(Register) 등으로, 마이크로프로세서(1000) 내에서 데이터를 저장하는 부분일 수 있고, 데이터 레지스터, 주소 레지스터, 부동 소수점 레지스터 등을 포함할 수 있으며 이외에 다양한 레지스터를 포함할 수 있다. 기억부(1010)는 연산부(1020)에서 연산을 수행하는 데이터나 수행결과 데이터, 수행을 위한 데이터가 저장되어 있는 주소를 일시적으로 저장하는 역할을 수행할 수 있다.
- [0100] 기억부(1010)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예컨대, 기억부(1010)는 제1

도전 패턴; 제1 도전 패턴 상에 위치하고, 상기 제1 도전 패턴과 중첩하는 하나 이상의 제1 홈을 갖는 제1 선택 소자층; 상기 제1 홈 내에 매립되어 측벽 및 저면이 상기 제1 선택 소자층에 의해 둘러싸이는 제1 가변 저항층; 및 상기 제1 가변 저항층 상에서 상기 제1 가변 저항층과 중첩하는 제2 도전 패턴을 포함할 수 있다. 이를 통해, 기억부(1010) 제조시 공정 단순화가 가능하고 메모리 셀의 특성을 향상시킬 수 있다. 결과적으로, 마이크로프로세서(1000)의 동작 특성이 향상될 수 있다.

[0101] 연산부(1020)는 제어부(1030)가 명령을 해독한 결과에 따라서 여러 가지 사칙 연산 또는 논리 연산을 수행할 수 있다. 연산부(1020)는 하나 이상의 산술 논리 연산 장치(Arithmetic and Logic Unit; ALU) 등을 포함할 수 있다.

[0102] 제어부(1030)는 기억부(1010), 연산부(1020), 마이크로프로세서(1000)의 외부 장치 등으로부터 신호를 수신하고, 명령의 추출이나 해독, 마이크로프로세서(1000)의 신호 입출력의 제어 등을 수행하고, 프로그램으로 나타내어진 처리를 실행할 수 있다.

[0103] 본 실시예에 따른 마이크로프로세서(1000)는 기억부(1010) 이외에 외부 장치로부터 입력되거나 외부 장치로 출력할 데이터를 임시 저장할 수 있는 캐시 메모리부(1040)를 추가로 포함할 수 있다. 이 경우 캐시 메모리부(1040)는 버스 인터페이스(1050)를 통해 기억부(1010), 연산부(1020) 및 제어부(1030)와 데이터를 주고 받을 수 있다.

[0105] 도 13는 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 프로세서의 구성도의 일 예이다.

[0106] 도 13를 참조하면, 프로세서(1100)는 다양한 외부 장치로부터 데이터를 받아서 처리한 후 그 결과를 외부 장치로 보내는 일련의 과정을 제어하고 조정하는 일을 수행하는 마이크로프로세서의 기능 이외에 다양한 기능을 포함하여 성능 향상 및 다기능을 구현할 수 있다. 프로세서(1100)는 마이크로프로세서의 역할을 하는 코어부(1110), 데이터를 임시 저장하는 역할을 하는 캐시 메모리부(1120) 및 내부와 외부 장치 사이의 데이터 전달을 위한 버스 인터페이스(1430)를 포함할 수 있다. 프로세서(1100)는 멀티 코어 프로세서(Multi Core Processor), 그래픽 처리 장치(Graphic Processing Unit; GPU), 어플리케이션 프로세서(Application Processor; AP) 등과 같은 각종 시스템 온 칩(System on Chip; SoC)을 포함할 수 있다.

[0107] 본 실시예의 코어부(1110)는 외부 장치로부터 입력된 데이터를 산술 논리 연산하는 부분으로, 기억부(1111), 연산부(1112) 및 제어부(1113)를 포함할 수 있다.

[0108] 기억부(1111)는 프로세서 레지스터(Mrocessor register), 레지스터(Register) 등으로, 프로세서(1100) 내에서 데이터를 저장하는 부분일 수 있고, 데이터 레지스터, 주소 레지스터, 부동 소수점 레지스터 등을 포함할 수 있으며 이외에 다양한 레지스터를 포함할 수 있다. 기억부(1111)는 연산부(1112)에서 연산을 수행하는 데이터나 수행결과 데이터, 수행을 위한 데이터가 저장되어 있는 주소를 일시적으로 저장하는 역할을 수행할 수 있다. 연산부(1112)는 프로세서(1100)의 내부에서 연산을 수행하는 부분으로, 제어부(1113)가 명령을 해독한 결과에 따라서 여러 가지 사칙 연산, 논리 연산 등을 수행할 수 있다. 연산부(1112)는 하나 이상의 산술 논리 연산 장치(Arithmetic and Logic Unit; ALU) 등을 포함할 수 있다. 제어부(1113)는 기억부(1111), 연산부(1112), 프로세서(1100)의 외부 장치 등으로부터 신호를 수신하고, 명령의 추출이나 해독, 프로세서(1100)의 신호 입출력의 제어 등을 수행하고, 프로그램으로 나타내어진 처리를 실행할 수 있다.

[0109] 캐시 메모리부(1120)는 고속으로 동작하는 코어부(1110)와 저속으로 동작하는 외부 장치 사이의 데이터 처리 속도 차이를 보완하기 위해 임시로 데이터를 저장하는 부분으로, 1차 저장부(1121), 2차 저장부(1122) 및 3차 저장부(1123)를 포함할 수 있다. 일반적으로 캐시 메모리부(1120)는 1차, 2차 저장부(1121, 1122)를 포함하며 고용량이 필요할 경우 3차 저장부(1123)를 포함할 수 있으며, 필요시 더 많은 저장부를 포함할 수 있다. 즉 캐시 메모리부(1120)가 포함하는 저장부의 개수는 설계에 따라 달라질 수 있다. 여기서, 1차, 2차, 3차 저장부(1121, 1122, 1123)의 데이터 저장 및 판별하는 처리 속도는 같을 수도 있고 다를 수도 있다. 각 저장부의 처리 속도가 다른 경우, 1차 저장부의 속도가 제일 빠를 수 있다. 캐시 메모리부(1120)의 1차 저장부(1121), 2차 저장부(1122) 및 3차 저장부(1123) 중 하나 이상의 저장부는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 캐시 메모리부(1120)는 제1 도전 패턴; 제1 도전 패턴 상에 위치하고, 상기 제1 도전 패턴과 중첩하는 하나 이상의 제1 홈을 갖는 제1 선택 소자층; 상기 제1 홈 내에 매립되어 측벽 및 저면이 상기 제1 선택 소자층에 의해 둘러싸이는 제1 가변 저항층; 및 상기 제1 가변 저항층 상에서 상기 제1 가변 저항층과 중첩하는 제2 도전 패턴을 포함할 수 있다. 이를 통해 캐시 메모리부(1120) 제조시 공정 단순화가 가능하고 메모리 셀의 특성을 향상시킬 수 있다. 결과적으로, 프로세서(1100)의 동작 특성이 향상될 수 있다.

- [0110] 도 13에는 1차, 2차, 3차 저장부(1121, 1122, 1123)가 모두 캐시 메모리부(1120)의 내부에 구성된 경우를 도시하였으나, 캐시 메모리부(1120)의 1차, 2차, 3차 저장부(1121, 1122, 1123)는 모두 코어부(1110)의 외부에 구성되어 코어부(1110)와 외부 장치간의 처리 속도 차이를 보완할 수 있다. 또는, 캐시 메모리부(1120)의 1차 저장부(1121)는 코어부(1110)의 내부에 위치할 수 있고, 2차 저장부(1122) 및 3차 저장부(1123)는 코어부(1110)의 외부에 구성되어 처리 속도 차이의 보완 기능이 보다 강화될 수 있다. 또는, 1차, 2차 저장부(1121, 1122)는 코어부(1110)의 내부에 위치할 수 있고, 3차 저장부(1123)는 코어부(1110)의 외부에 위치할 수 있다.
- [0111] 버스 인터페이스(1430)는 코어부(1110), 캐시 메모리부(1120) 및 외부 장치를 연결하여 데이터를 효율적으로 전송할 수 있게 해주는 부분이다.
- [0112] 본 실시예에 따른 프로세서(1100)는 다수의 코어부(1110)를 포함할 수 있으며 다수의 코어부(1110)가 캐시 메모리부(1120)를 공유할 수 있다. 다수의 코어부(1110)와 캐시 메모리부(1120)는 직접 연결되거나, 버스 인터페이스(1430)를 통해 연결될 수 있다. 다수의 코어부(1110)는 모두 상술한 코어부의 구성과 동일하게 구성될 수 있다. 프로세서(1100)가 다수의 코어부(1110)를 포함할 경우, 캐시 메모리부(1120)의 1차 저장부(1121)는 다수의 코어부(1110)의 개수에 대응하여 각각의 코어부(1110) 내에 구성되고 2차 저장부(1122)와 3차 저장부(1123)는 다수의 코어부(1110)의 외부에 버스 인터페이스(1130)를 통해 공유되도록 구성될 수 있다. 여기서, 1차 저장부(1121)의 처리 속도가 2차, 3차 저장부(1122, 1123)의 처리 속도보다 빠를 수 있다. 다른 실시예에서, 1차 저장부(1121)와 2차 저장부(1122)는 다수의 코어부(1110)의 개수에 대응하여 각각의 코어부(1110) 내에 구성되고, 3차 저장부(1123)는 다수의 코어부(1110) 외부에 버스 인터페이스(1130)를 통해 공유되도록 구성될 수 있다.
- [0113] 본 실시예에 따른 프로세서(1100)는 데이터를 저장하는 임베디드(Embedded) 메모리부(1140), 외부 장치와 유선 또는 무선으로 데이터를 송수신할 수 있는 통신모듈부(1150), 외부 기억 장치를 구동하는 메모리 컨트롤부(1160), 외부 인터페이스 장치에 프로세서(1100)에서 처리된 데이터나 외부 입력장치에서 입력된 데이터를 가공하고 출력하는 미디어처리부(1170) 등을 추가로 포함할 수 있으며, 이 이외에도 다수의 모듈과 장치를 포함할 수 있다. 이 경우 추가된 다수의 모듈들은 버스 인터페이스(1130)를 통해 코어부(1110), 캐시 메모리부(1120) 및 상호간 데이터를 주고 받을 수 있다.
- [0114] 여기서 임베디드 메모리부(1140)는 휘발성 메모리뿐만 아니라 비휘발성 메모리를 포함할 수 있다. 휘발성 메모리는 DRAM(Dynamic Random Access Memory), Mobile DRAM, SRAM(Static Random Access Memory), 및 이와 유사한 기능을 하는 메모리 등을 포함할 수 있으며, 비휘발성 메모리는 ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Phase Change Random Access Memory), RRAM(Resistive Random Access Memory), STTRAM(Spin Transfer Torque Random Access Memory), MRAM(Magnetic Random Access Memory), 및 이와 유사한 기능을 수행하는 메모리 등을 포함할 수 있다.
- [0115] 통신모듈부(1150)는 유선 네트워크와 연결할 수 있는 모듈, 무선 네트워크와 연결할 수 있는 모듈, 및 이들 전부를 포함할 수 있다. 유선 네트워크 모듈은, 전송 라인을 통하여 데이터를 송수신하는 다양한 장치들과 같이, 유선랜(Local Area Network; LAN), 유에스비(Universal Serial Bus; USB), 이더넷(Ethernet), 전력선통신(Mover Line Communication; PLC) 등을 포함할 수 있다. 무선 네트워크 모듈은, 전송 라인 없이 데이터를 송수신하는 다양한 장치들과 같이, 적외선 통신(Infrared Data Association; IrDA), 코드 분할 다중 접속(Code Division Multiple Access; CDMA), 시분할 다중 접속(Time Division Multiple Access; TDMA), 주파수 분할 다중 접속(Frequency Division Multiple Access; FDMA), 무선랜(Wireless LAN), 지그비(Zigbee), 유니쿼터스 센서 네트워크(Ubiquitous Sensor Network; USN), 블루투스(Bluetooth), RFID(Radio Frequency Identification), 롱텀에볼루션(Long Term Evolution; LTE), 근거리 무선통신(Near Field Communication; NFC), 광대역 무선 인터넷(Wireless Broadband Internet; Wibro), 고속 하향 패킷 접속(High Speed Downlink Packet Access; HSDPA), 광대역 코드 분할 다중 접속(Wideband CDMA; WCDMA), 초광대역 통신(Ultra WideBand; UWB) 등을 포함할 수 있다.
- [0116] 메모리 컨트롤부(1160)는 프로세서(1100)와 서로 다른 통신 규격에 따라 동작하는 외부 저장 장치 사이에 전송되는 데이터를 처리하고 관리하기 위한 것으로 각종 메모리 컨트롤러, 예를 들어, IDE(Integrated Device Electronics), SATA(Serial Advanced Technology Attachment), SCSI(Small Computer System Interface), RAID(Redundant Array of Independent Disks), SSD(Solid State Disk), eSATA(External SATA), PCMCIA(Personal Computer Memory Card International Association), USB(Universal Serial Bus), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드

(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등을 제어하는 컨트롤러를 포함할 수 있다.

- [0117] 미디어처리부(1170)는 프로세서(1100)에서 처리된 데이터나 외부 입력장치로부터 영상, 음성 및 기타 형태로 입력된 데이터를 가공하고, 이 데이터를 외부 인터페이스 장치로 출력할 수 있다. 미디어처리부(1170)는 그래픽 처리 장치(Graphics Processing Unit; GPU), 디지털 신호 처리 장치(Digital Signal Processor; DSP), 고선명 오디오(High Definition Audio; HD Audio), 고선명 멀티미디어 인터페이스(High Definition Multimedia Interface; HDMI) 컨트롤러 등을 포함할 수 있다.
- [0119] 도 14은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 시스템의 구성도의 일 예이다.
- [0120] 도 14을 참조하면, 시스템(1200)은 데이터를 처리하는 장치로, 데이터에 대하여 일련의 조작을 행하기 위해 입력, 처리, 출력, 통신, 저장 등을 수행할 수 있다. 시스템(1200)은 프로세서(1210), 주기억장치(1220), 보조기억장치(1230), 인터페이스 장치(1240) 등을 포함할 수 있다. 본 실시예의 시스템(1200)은 컴퓨터(Computer), 서버(Server), PDA(Personal Digital Assistant), 휴대용 컴퓨터(Mobile Computer), 웹 태블릿(Web Tablet), 무선 폰(Wireless Phone), 모바일 폰(Mobile Phone), 스마트 폰(Smart Phone), 디지털 뮤직 플레이어(Digital Music Player), PMP(Personal Multimedia Player), 카메라(Camera), 위성항법장치(Global Positioning System; GPS), 비디오 카메라(Video Camera), 음성 녹음기(Voice Recorder), 텔레매틱스(Telematics), AV시스템(Audio Visual System), 스마트 텔레비전(Smart Television) 등 프로세스를 사용하여 동작하는 각종 전자 시스템일 수 있다.
- [0121] 프로세서(1210)는 입력된 명령어의 해석과 시스템(1200)에 저장된 자료의 연산, 비교 등의 처리를 제어할 수 있고, 마이크로프로세서(Micro Processor Unit; MPU), 중앙 처리 장치(Central Processing Unit; CPU), 싱글/멀티 코어 프로세서(Single/Multi Core Processor), 그래픽 처리 장치(Graphic Processing Unit; GPU), 어플리케이션 프로세서(Application Processor; AP), 디지털 신호 처리 장치(Digital Signal Processor; DSP) 등을 포함할 수 있다.
- [0122] 주기억장치(1220)는 프로그램이 실행될 때 보조기억장치(1230)로부터 프로그램 코드나 자료를 이동시켜 저장, 실행시킬 수 있는 기억장소로, 전원이 끊어져도 기억된 내용이 보존될 수 있다. 주기억장치(1220)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 주기억장치(1220)는 제1 도전 패턴; 제1 도전 패턴 상에 위치하고, 상기 제1 도전 패턴과 중첩하는 하나 이상의 제1 홈을 갖는 제1 선택 소자층; 상기 제1 홈 내에 매립되어 측벽 및 저면이 상기 제1 선택 소자층에 의해 둘러싸이는 제1 가변 저항층; 및 상기 제1 가변 저항층 상에서 상기 제1 가변 저항층과 중첩하는 제2 도전 패턴을 포함할 수 있다. 이를 통해, 주기억장치(1220) 제조시 공정 단순화가 가능하고 메모리 셀의 특성을 향상시킬 수 있다. 결과적으로, 시스템(1200)의 동작 특성이 향상될 수 있다.
- [0123] 또한, 주기억장치(1220)는 전원이 꺼지면 모든 내용이 지워지는 휘발성 메모리 타입의 에스램(Static Random Access Memory; SRAM), 디램(Dynamic Random Access Memory) 등을 더 포함할 수 있다. 이와는 다르게, 주기억장치(1220)는 전술한 실시예의 반도체 장치를 포함하지 않고, 전원이 꺼지면 모든 내용이 지워지는 휘발성 메모리 타입의 에스램(Static Random Access Memory; SRAM), 디램(Dynamic Random Access Memory) 등을 포함할 수 있다.
- [0124] 보조기억장치(1230)는 프로그램 코드나 데이터를 보관하기 위한 기억장치를 말한다. 주기억장치(1220)보다 속도는 느리지만 많은 자료를 보관할 수 있다. 보조기억장치(1230)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 보조기억장치(1230)는 제1 도전 패턴; 제1 도전 패턴 상에 위치하고, 상기 제1 도전 패턴과 중첩하는 하나 이상의 제1 홈을 갖는 제1 선택 소자층; 상기 제1 홈 내에 매립되어 측벽 및 저면이 상기 제1 선택 소자층에 의해 둘러싸이는 제1 가변 저항층; 및 상기 제1 가변 저항층 상에서 상기 제1 가변 저항층과 중첩하는 제2 도전 패턴을 포함할 수 있다. 이를 통해, 보조기억장치(1230) 제조시 공정 단순화가 가능하고 메모리 셀의 특성을 향상시킬 수 있다. 결과적으로, 시스템(1200)의 동작 특성이 향상될 수 있다.
- [0125] 또한, 보조기억장치(1230)는 자기를 이용한 자기테이프, 자기디스크, 빛을 이용한 레이저 디스크, 이들 둘을 이용한 광자기디스크, 고상 디스크(Solid State Disk; SSD), USB메모리(Universal Serial Bus Memory; USB Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity;

SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등과 같은 데이터 저장 시스템(도 15의 1300 참조)을 더 포함할 수 있다. 이와는 다르게, 보조기억장치(1230)는 전술한 실시예의 반도체 장치를 포함하지 않고 자기를 이용한 자기테이프, 자기디스크, 빛을 이용한 레이저 디스크, 이들 둘을 이용한 광자기디스크, 고상 디스크(Solid State Disk; SSD), USB메모리(Universal Serial Bus Memory; USB Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등의 데이터 저장 시스템(도 7의 1300 참조)들을 포함할 수 있다.

[0126] 인터페이스 장치(1240)는 본 실시예의 시스템(1200)과 외부 장치 사이에서 명령, 데이터 등을 교환하기 위한 것일 수 있으며, 키패드(keypad), 키보드(keyboard), 마우스(Mouse), 스피커(Speaker), 마이크(Mike), 표시장치(Display), 각종 휴먼 인터페이스 장치(Human Interface Device; HID), 통신장치 등일 수 있다. 통신장치는 유선 네트워크와 연결할 수 있는 모듈, 무선 네트워크와 연결할 수 있는 모듈, 및 이들 전부를 포함할 수 있다. 유선 네트워크 모듈은, 전송 라인을 통하여 데이터를 송수신하는 다양한 장치들과 같이, 유선랜(Local Area Network; LAN), 유에스비(Universal Serial Bus; USB), 이더넷(Ethernet), 전력선통신(Mover Line Communication; PLC) 등을 포함할 수 있으며, 무선 네트워크 모듈은, 전송 라인 없이 데이터를 송수신하는 다양한 장치들과 같이, 적외선 통신(Infrared Data Association; IrDA), 코드 분할 다중 접속(Code Division Multiple Access; CDMA), 시분할 다중 접속(Time Division Multiple Access; TDMA), 주파수 분할 다중 접속(Frequency Division Multiple Access; FDMA), 무선랜(Wireless LAN), 지그비(Zigbee), 유비쿼터스 센서 네트워크(Ubiquitous Sensor Network; USN), 블루투스(Bluetooth), RFID(Radio Frequency IDentification), 롱텀 에볼루션(Long Term Evolution; LTE), 근거리 무선통신(Near Field Communication; NFC), 광대역 무선 인터넷(Wireless Broadband Internet; Wibro), 고속 하향 패킷 접속(High Speed Downlink Packet Access; HSDPA), 광대역 코드 분할 다중 접속(Wideband CDMA; WCDMA), 초광대역 통신(Ultra WideBand; UWB) 등을 포함할 수 있다.

[0128] 도 15은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 데이터 저장 시스템의 구성도의 일 예이다.

[0129] 도 15을 참조하면, 데이터 저장 시스템(1300)은 데이터 저장을 위한 구성으로 비휘발성 특성을 가지는 저장 장치(1310), 이를 제어하는 컨트롤러(1320), 외부 장치와의 연결을 위한 인터페이스(1330), 및 데이터를 임시 저장하기 위한 임시 저장 장치(1340)를 포함할 수 있다. 데이터 저장 시스템(1300)은 하드 디스크(Hard Disk Drive; HDD), 광학 드라이브(Compact Disc Read Only Memory; CDRom), DVD(Digital Versatile Disc), 고상 디스크(Solid State Disk; SSD) 등의 디스크 형태와 USB메모리(Universal Serial Bus Memory; USB Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등의 카드 형태일 수 있다.

[0130] 저장 장치(1310)는 데이터를 반 영구적으로 저장하는 비휘발성 메모리를 포함할 수 있다. 여기서, 비휘발성 메모리는, ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Mhase Change Random Access Memory), RRAM(Resistive Random Access Memory), MRAM(Magnetic Random Access Memory) 등을 포함할 수 있다.

[0131] 컨트롤러(1320)는 저장 장치(1310)와 인터페이스(1330) 사이에서 데이터의 교환을 제어할 수 있다. 이를 위해 컨트롤러(1320)는 데이터 저장 시스템(1300) 외부에서 인터페이스(1330)를 통해 입력된 명령어들을 처리하기 위한 연산 등을 수행하는 프로세서(1321)를 포함할 수 있다.

[0132] 인터페이스(1330)는 데이터 저장 시스템(1300)과 외부 장치간에 명령 및 데이터 등을 교환하기 위한 것이다. 데이터 저장 시스템(1300)이 카드인 경우, 인터페이스(1330)는, USB(Universal Serial Bus Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC),

내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등과 같은 장치에서 사용되는 인터페이스들과 호환될 수 있거나, 또는, 이들 장치와 유사한 장치에서 사용되는 인터페이스들과 호환될 수 있다. 데이터 저장 시스템(1300)이 디스크 형태일 경우, 인터페이스(1330)는 IDE(Integrated Device Electronics), SATA(Serial Advanced Technology Attachment), SCSI(Small Computer System Interface), eSATA(External SATA), PCMCIA(Personal Computer Memory Card International Association), USB(Universal Serial Bus) 등과 같은 인터페이스와 호환될 수 있거나, 또는, 이들 인터페이스와 유사한 인터페이스와 호환될 수 있다. 인터페이스(1330)는 서로 다른 타입을 갖는 하나 이상의 인터페이스와 호환될 수도 있다.

[0133] 임시 저장 장치(1340)는 외부 장치와의 인터페이스, 컨트롤러, 및 시스템의 다양화, 고성능화에 따라 인터페이스(1330)와 저장 장치(1310)간의 데이터의 전달을 효율적으로 하기 위하여 데이터를 임시로 저장할 수 있다. 임시 저장 장치(1340)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 임시 저장 장치(1340)는 제1 도전 패턴; 제1 도전 패턴 상에 위치하고, 상기 제1 도전 패턴과 중첩하는 하나 이상의 제1 홈을 갖는 제1 선택 소자층; 상기 제1 홈 내에 매립되어 측벽 및 저면이 상기 제1 선택 소자층에 의해 둘러싸이는 제1 가변 저항층; 및 상기 제1 가변 저항층 상에서 상기 제1 가변 저항층과 중첩하는 제2 도전 패턴을 포함할 수 있다. 이를 통해, 임시 저장 장치(1340) 제조시 공정 단순화가 가능하고 메모리 셀의 특성을 향상시킬 수 있다. 결과적으로, 데이터 저장 시스템(1300)의 데이터 저장 특성 및 동작 특성이 향상될 수 있다.

[0135] 도 16는 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 메모리 시스템의 구성도의 일 예이다.

[0136] 도 16를 참조하면, 메모리 시스템(1400)은 데이터 저장을 위한 구성으로 비휘발성 특성을 가지는 메모리(1410), 이를 제어하는 메모리 컨트롤러(1420), 외부 장치와의 연결을 위한 인터페이스(1430) 등을 포함할 수 있다. 메모리 시스템(1400)은 고상 디스크(Solid State Disk; SSD), USB메모리(Universal Serial Bus Memory; USB Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등의 카드 형태일 수 있다.

[0137] 데이터를 저장하는 메모리(1410)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 메모리(1410)는 제1 도전 패턴; 제1 도전 패턴 상에 위치하고, 상기 제1 도전 패턴과 중첩하는 하나 이상의 제1 홈을 갖는 제1 선택 소자층; 상기 제1 홈 내에 매립되어 측벽 및 저면이 상기 제1 선택 소자층에 의해 둘러싸이는 제1 가변 저항층; 및 상기 제1 가변 저항층 상에서 상기 제1 가변 저항층과 중첩하는 제2 도전 패턴을 포함할 수 있다. 이를 통해, 메모리(1410) 제조시 공정 단순화가 가능하고 메모리 셀의 특성을 향상시킬 수 있다. 결과적으로, 메모리 시스템(1400)의 데이터 저장 특성 및 동작 특성이 향상될 수 있다.

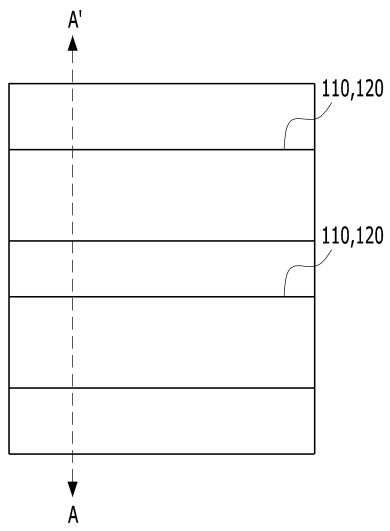
[0138] 더불어, 본 실시예의 메모리는 비휘발성인 특성을 가지는 ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Phase Change Random Access Memory), RRAM(Resistive Random Access Memory), MRAM(Magnetic Random Access Memory) 등을 포함할 수 있다.

[0139] 메모리 컨트롤러(1420)는 메모리(1410)와 인터페이스(1430) 사이에서 데이터의 교환을 제어할 수 있다. 이를 위해 메모리 컨트롤러(1420)는 메모리 시스템(1400) 외부에서 인터페이스(1430)를 통해 입력된 명령어들을 처리 연산하기 위한 프로세서(1421)를 포함할 수 있다.

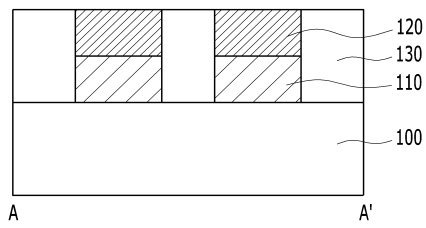
[0140] 인터페이스(1430)는 메모리 시스템(1400)과 외부 장치간에 명령 및 데이터 등을 교환하기 위한 것으로, USB(Universal Serial Bus), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등과 같은 장치에서 사용되는 인터페이스와 호환될 수 있거나, 또는, 이들 장치들과 유사한 장치들에서 사용되는 인터페이스와 호환될 수 있다. 인터페이스(1430)는 서로 다른 타입을 갖는 하나 이상의 인터페이스와 호환될 수도 있다.

[0141] 본 실시예의 메모리 시스템(1400)은 외부 장치와의 인터페이스, 메모리 컨트롤러, 및 메모리 시스템의 다양화, 고성능화에 따라 인터페이스(1430)와 메모리(1410)간의 데이터의 입출력을 효율적으로 전달하기 위한 버퍼 메모리(1440)를 더 포함할 수 있다. 데이터를 임시로 저장하는 버퍼 메모리(1440)는 전술한 반도체 장치의 실시예들

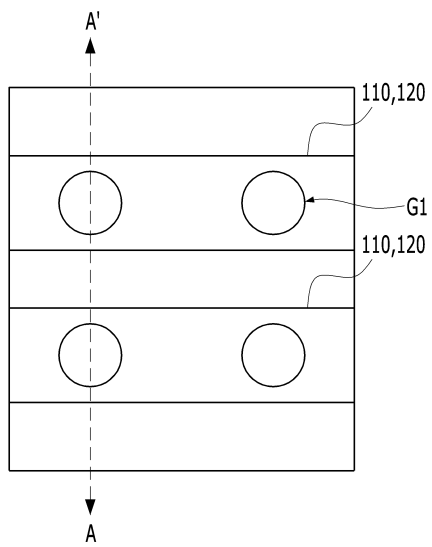
도면2a



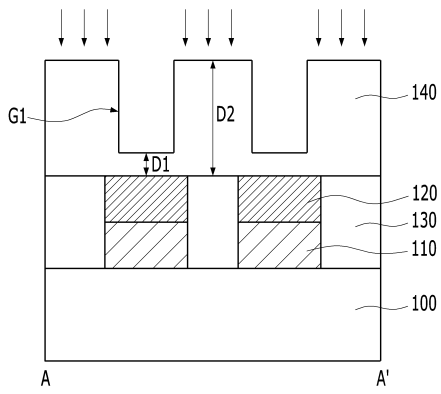
도면2b



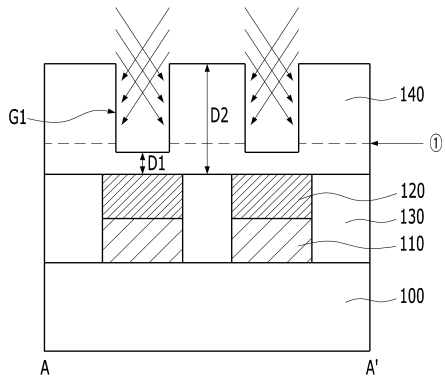
도면3a



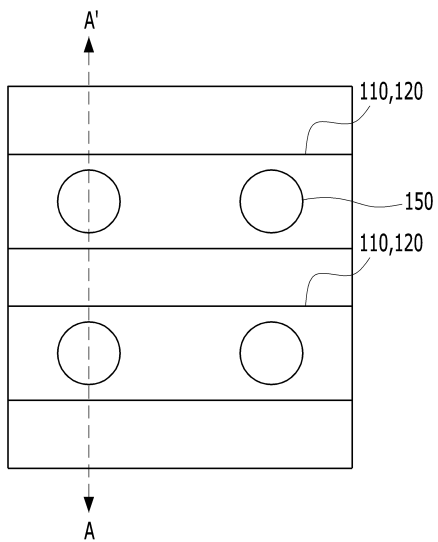
도면3b



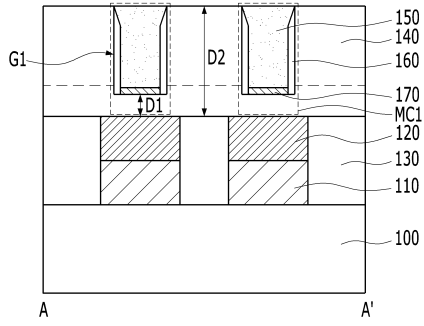
도면3c



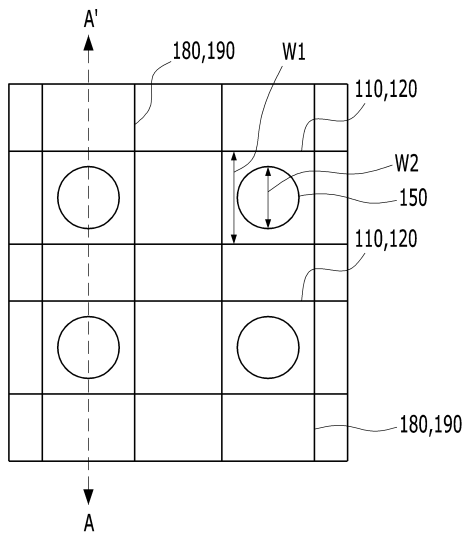
도면4a



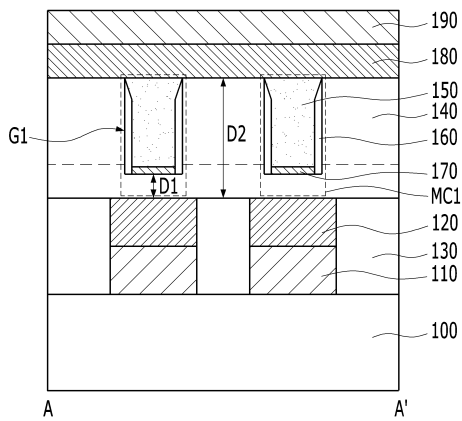
도면4b



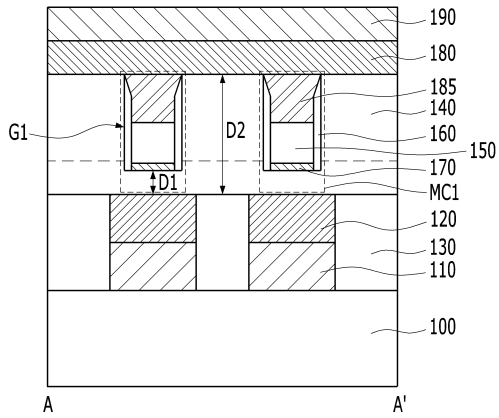
도면5a



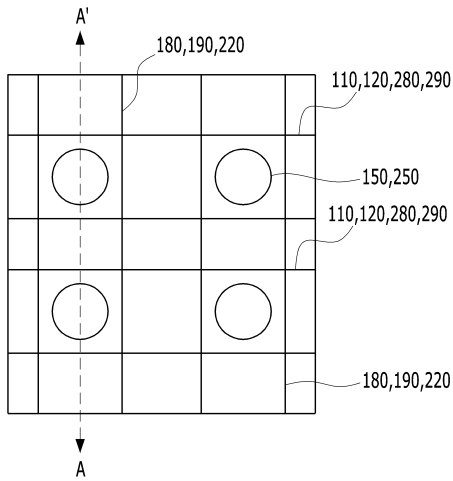
도면5b



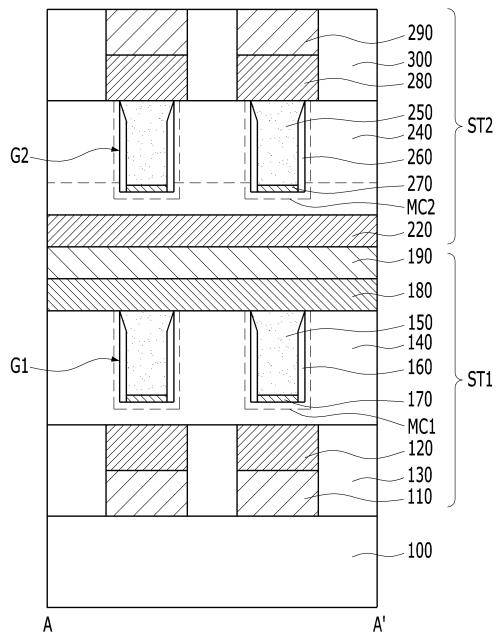
도면6



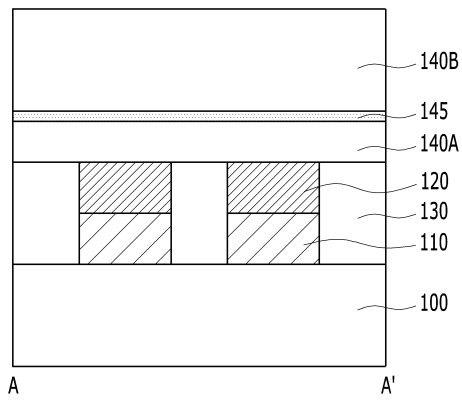
도면7a



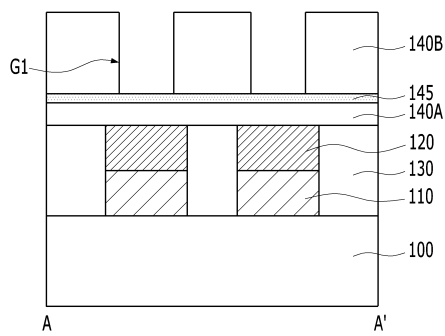
도면7b



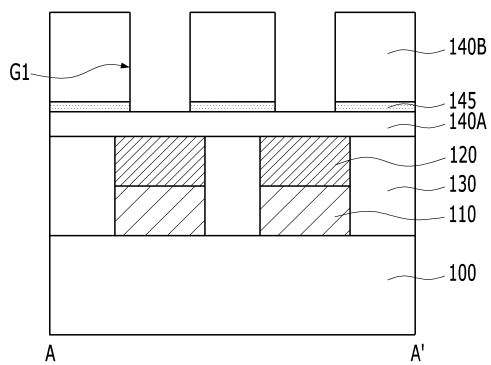
도면8



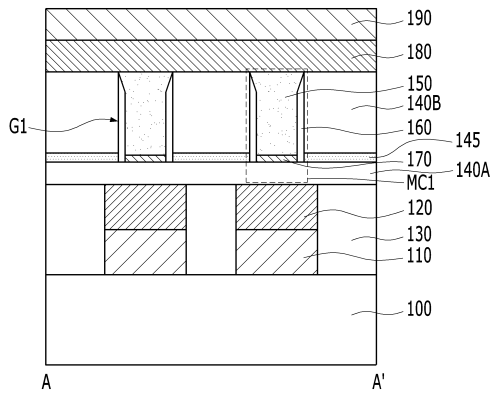
도면9



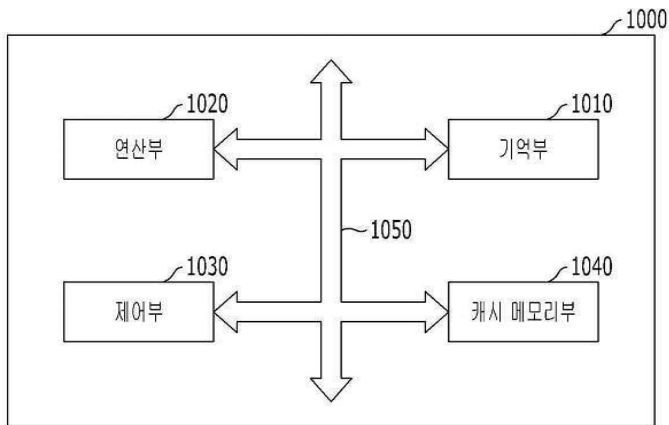
도면10



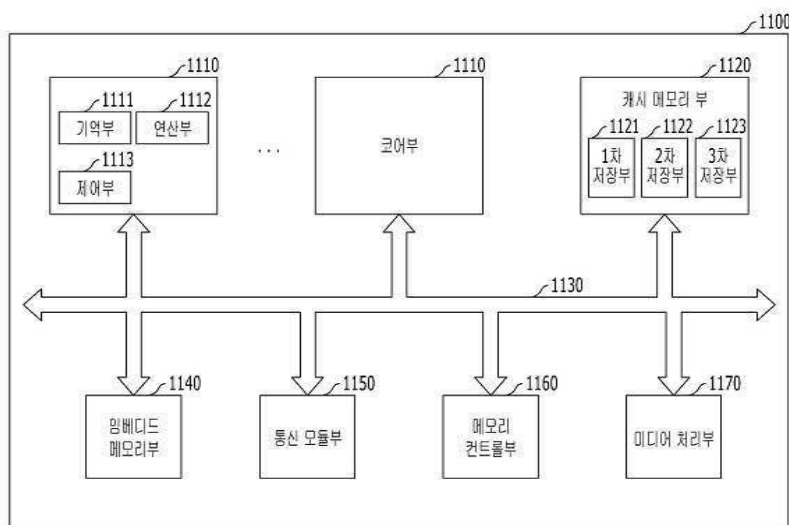
도면11



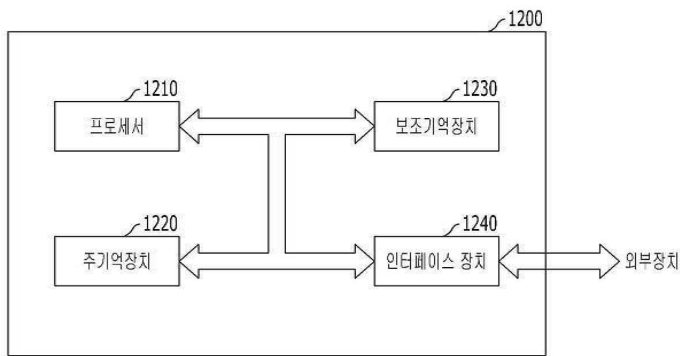
도면12



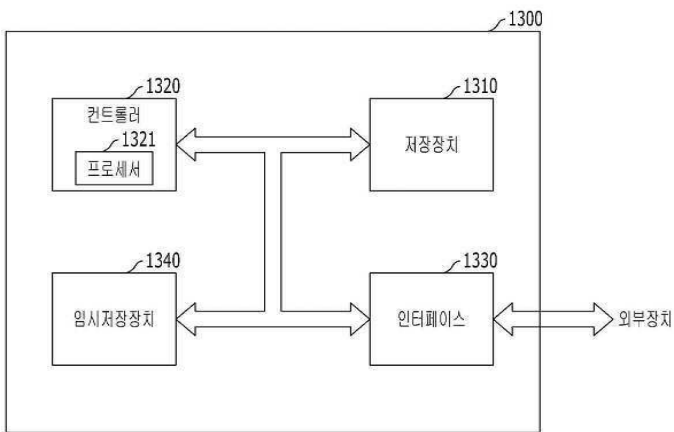
도면13



도면14



도면15



도면16

