



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년02월10일
(11) 등록번호 10-2497577
(24) 등록일자 2023년02월03일

(51) 국제특허분류(Int. Cl.)
H01L 23/60 (2006.01) H01L 23/00 (2006.01)
H01L 23/31 (2006.01) H01L 23/40 (2006.01)
(52) CPC특허분류
H01L 23/60 (2021.01)
H01L 23/3114 (2013.01)
(21) 출원번호 10-2015-0181883
(22) 출원일자 2015년12월18일
심사청구일자 2020년12월17일
(65) 공개번호 10-2017-0073801
(43) 공개일자 2017년06월29일
(56) 선행기술조사문헌
JP2015162636 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
유혜인
경기도 평택시 막곡길 11, 105동 1401호 (가재동, 우림필유아파트)
김영석
경기도 화성시 동탄반석로 277
(74) 대리인
특허법인 고려

전체 청구항 수 : 총 10 항

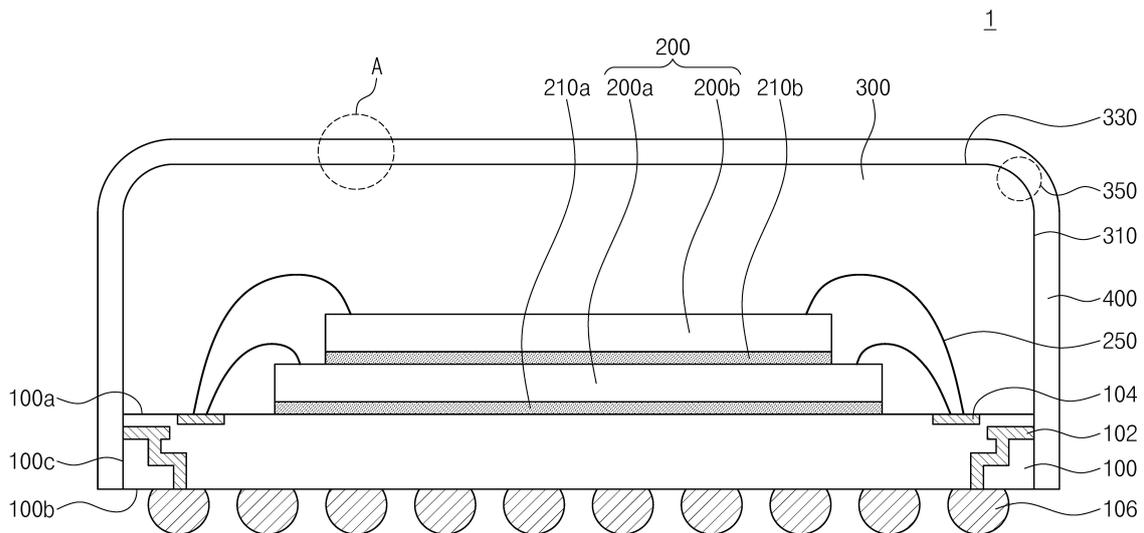
심사관 : 이석주

(54) 발명의 명칭 반도체 패키지의 제조방법

(57) 요약

본 발명의 실시예에 따른 반도체 패키지의 제조방법을 제공한다. 반도체 패키지의 제조방법은 스트립(strip) 상태의 기판 상에 복수개의 반도체 칩들을 실장하고, 상기 반도체 칩들을 덮는 몰드막을 형성하고, 상기 반도체 칩들을 각각 포함하는 단위 패키지들이 서로 분리되도록 상기 몰드막 및 상기 기판을 커팅하고, 그리고, 상기 분리된 단위 패키지들 각각의 상기 몰드막 상에 차폐층을 형성하는 것을 포함하고, 상기 단위 패키지들 각각의 상기 몰드막은 측면들, 상면 및 모서리 영역들을 가지고, 상기 모서리 영역들과 만나는 상기 측면들의 제 1 모서리와 상기 모서리 영역들과 만나는 상기 상면의 제 2 모서리 각각은 곡률반경을 가진다.

대표도



(52) CPC특허분류

H01L 23/3171 (2013.01)

H01L 23/3185 (2013.01)

H01L 23/40 (2013.01)

H01L 24/98 (2013.01)

명세서

청구범위

청구항 1

스트립(strip) 상태의 기관 상에 복수개의 반도체 칩들을 실장하고;

상기 반도체 칩들을 덮는 몰드막을 형성하고;

상기 반도체 칩들을 각각 포함하는 단위 패키지들이 서로 분리되도록 상기 몰드막 및 상기 기관을 커팅하고; 그리고

상기 분리된 단위 패키지들 각각의 상기 몰드막 상에 차폐층을 형성하는 것을 포함하고,

상기 단위 패키지들 각각의 상기 몰드막은 측면들, 상면 및 모서리 영역들을 가지고,

상기 모서리 영역들과 만나는 상기 측면들의 제 1 모서리와 상기 모서리 영역들과 만나는 상기 상면의 제 2 모서리 각각은 제 1 및 제 2 곡률반경을 가지고,

상기 제 1 곡률반경은 상기 제 2 곡률반경보다 크고,

상기 차폐층은 상기 몰드막에 밀착되는 반도체 패키지의 제조방법.

청구항 2

제 1 항에 있어서,

상기 차폐층을 형성하는 것은:

상기 분리된 단위 패키지들 각각의 상기 몰드막 상에 차폐 필름을 제공하고;

상기 차폐 필름 상에 열판을 제공하고; 그리고

상기 열판에서 상기 몰드막을 향하여 열과 압력을 가해 상기 차폐 필름을 상기 몰드막 상에 전사시키는 것;

을 포함하는 반도체 패키지의 제조방법.

청구항 3

제 2 항에 있어서,

상기 몰드막 상에 상기 차폐 필름을 전사시키는 것은:

상기 열판에 제공된 복수개의 구멍들을 통해 상기 열판에서 상기 차폐 필름을 향해 공기를 배출하여 압력을 가하는 것인 반도체 패키지의 제조방법.

청구항 4

제 1 항에 있어서,

상기 제 1 모서리는:

상기 제 1 곡률반경을 가지도록 라운드진 상부 영역; 및

상기 기관의 수직방향과 제 1 각도로 기울어진 하부 영역을 포함하는 반도체 패키지의 제조방법.

청구항 5

제 4 항에 있어서,

상기 제 1 각도는 0° 초과 60° 이하의 값을 가지는 반도체 패키지의 제조방법.

청구항 6

제 1 항에 있어서,
 상기 모서리 영역들의 각각은 상기 측면들이 만나는 제 1 지점에서 상기 상면을 향해 연장되고,
 상기 제 1 지점의 높이는 상기 반도체 칩의 높이보다 높은 반도체 패키지의 제조방법.

청구항 7

제 1 항에 있어서,

상기 차폐층은:

상기 몰드막 상에 배치되는 접착층; 및

상기 접착층 상에 배치되는 금속층을 포함하고,

상기 금속층은 니켈(Ni), 코발트(Co), 구리(Cu), 금(Au), 주철(Cast Iron), 규소철(Silicon Iron), 철(Fe), 뮤합금(Mumetal), 퍼멀로이(Permalloy), 슈퍼멀로이(Supermalloy), 페라이트(Ferrite), 탄소강(Carbon steel) 및 마텐자이트계 스테인리스강(Martensitic Stainless Steel) 중 적어도 하나인 반도체 패키지의 제조방법.

청구항 8

기관 상에 실장된 반도체 칩 및 상기 반도체 칩을 덮는 몰드막을 포함하는 복수개의 단위 패키지들을 챔버 내에 제공하고;

상기 챔버 상에 차폐 필름이 하면에 부착된 열판을 제공하고;

상기 열판과 상기 챔버를 접촉시켜 상기 챔버를 밀폐하고; 그리고

상기 열판에 제공된 구멍들을 통해 상기 차폐 필름을 향하여 공기를 배출하여 상기 차폐 필름을 상기 몰드막 상에 밀착되도록 전사하는 것을 포함하되,

상기 몰드막은 상면과 두 개의 측면들이 만나는 모서리 영역을 갖고,

상기 모서리 영역은 곡면인 반도체 패키지의 제조방법.

청구항 9

제 8 항에 있어서,

상기 차폐 필름을 전사하는 것은:

상기 열판의 상기 구멍들을 통해 공기를 배출하여 상기 챔버 내의 압력을 증가시키고; 그리고

상기 차폐 필름은 압력에 의해 상기 몰드막 상에 밀착되어 차폐층을 형성하는 것을 포함하고,

상기 차폐 필름은 상기 몰드막의 상기 상면, 상기 측면들 및 상기 모서리 영역들 및 상기 기관의 측면을 덮는 반도체 패키지의 제조방법.

청구항 10

제 8 항에 있어서,

상기 복수개의 단위 패키지들을 서로 연결하는 상기 차폐 필름을 커팅하여 상기 복수개의 단위 패키지들을 서로 분리하는 것을 더 포함하는 반도체 패키지의 제조방법.

발명의 설명

기술 분야

본 발명은 반도체 패키지에 관한 것으로, 몰드막의 모서리가 라운드진 반도체 패키지의 제조방법에 관한 것이다.

배경 기술

[0001]

[0002] 모바일 시장이 더욱 확대되면서 전자기기에서 발생하는 전자파에 대한 연구가 활발해지고 있다. 각종 전자기기에 실장된 반도체 패키지들로부터 전자파가 발산되면, 그 주변에 실장된 반도체 패키지에까지 영향을 미칠 수 있다. 이러한 전자파의 간섭으로 인하여 전자장치 자체에 회로기능 약화 및 동작 불량 등의 기능 장애 및 고장을 유발하게 된다.

[0003] 더욱이, 반도체 패키지의 고속화와 고집적화의 요구에 부응하여 여러 종류의 패키지가 개발되고 있으나, 전자파에 의하여 회로기능 약화 및 동작 불량 등의 기능 장애 및 고장이 발생되고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 기술적 과제는 차폐층이 배치된 반도체 패키지를 제공할 수 있다.

[0005] 본 발명의 기술적 과제는 모서리가 라운드진 몰드막 상에 차폐 필름을 전사하는 반도체 패키지의 제조방법을 제공할 수 있다.

과제의 해결 수단

[0006] 본 발명의 실시예에 따른 반도체 패키지의 제조방법을 제공한다. 반도체 패키지의 제조방법은 스트립(strip) 상태의 기판 상에 복수개의 반도체 칩들을 실장하고, 상기 반도체 칩들을 덮는 몰드막을 형성하고, 상기 반도체 칩들을 각각 포함하는 단위 패키지들이 서로 분리되도록 상기 몰드막 및 상기 기판을 커팅하고, 그리고, 상기 분리된 단위 패키지들 각각의 상기 몰드막 상에 차폐층을 형성하는 것을 포함하고, 상기 단위 패키지들 각각의 상기 몰드막은 측면들, 상면 및 모서리 영역들을 가지고, 상기 모서리 영역들과 만나는 상기 측면들의 제 1 모서리와 상기 모서리 영역들과 만나는 상기 상면의 제 2 모서리 각각은 곡률반경을 가진다.

[0007] 일 예에 의하여, 상기 차폐층을 형성하는 것은, 상기 분리된 단위 패키지들 각각의 상기 몰드막 상에 차폐 필름을 제공하고, 상기 차폐 필름 상에 열판을 제공하고, 그리고, 상기 열판에서 상기 몰드막을 향하여 열과 압력을 가해 상기 차폐 필름을 상기 몰드막 상에 전사시키는 것을 포함한다.

[0008] 일 예에 의하여, 상기 몰드막 상에 상기 차폐 필름을 전사시키는 것은, 상기 열판에 제공된 복수개의 구멍들을 통해 상기 열판에서 상기 차폐 필름을 향해 공기를 배출하여 압력을 가하는 것이다.

[0009] 일 예에 의하여, 상기 열판은 상기 차폐 필름이 유동성을 가지도록 상기 차폐 필름을 가열한다.

[0010] 일 예에 의하여, 상기 제 1 모서리는, 제 1 곡률반경을 가지도록 라운드진 상부 영역, 및 상기 기판의 수직방향과 제 1 각도로 기울어진 하부 영역을 포함한다.

[0011] 일 예에 의하여, 상기 제 2 모서리는 제 2 곡률반경을 가지고, 상기 제 1 곡률반경은 상기 제 2 곡률반경보다 크다.

[0012] 일 예에 의하여, 상기 제 1 모서리는 제 1 곡률반경을 가지도록 라운드지고, 상기 제 2 모서리는 제 2 곡률반경을 가지고, 상기 제 1 곡률반경은 제 2 곡률반경보다 크다.

[0013] 일 예에 의하여, 상기 차폐층은, 상기 몰드막 상에 배치되는 접착층 및 상기 접착층 상에 배치되는 금속층을 포함하고, 상기 금속층은 니켈(Ni), 코발트(Co), 구리(Cu), 금(Au), 주철(Cast Iron), 규소철(Silicon Iron), 철(Fe), 뮤 합금(Mumetal), 퍼멀로이(Permalloy), 슈퍼멀로이(Supermalloy), 페라이트(Ferrite), 나노퍼름(Nanoperm), 탄소강(Carbon steel) 및 마텐자이트계 스테인리스강(Martensitic Stainless Steel) 중 적어도 하나이다.

[0014] 일 예에 의하여, 상기 차폐층을 형성하는 것은, 상기 몰드막의 상기 상면, 상기 측면들 및 상기 모서리 영역들 및 상기 기판의 측면을 덮도록 상기 차폐 필름을 전사한다.

[0015] 일 예에 의하여, 상기 하부 영역은 상기 반도체 칩의 상면보다 높은 레벨을 가진다.

[0016] 본 발명의 실시예에 따라 반도체 패키지의 제조방법을 제공한다. 반도체 패키지의 제조방법은 기판 상에 실장된 반도체 칩 및 상기 반도체 칩을 덮는 몰드막이 형성된 복수개의 패키지를 챔버 내에 제공하고, 상기 챔버 상에 차폐 필름이 하면에 부착된 열판을 제공하고, 상기 열판과 상기 챔버를 접촉시켜 상기 챔버 내를 진공상태로 만들고, 그리고, 상기 열판에 제공된 구멍들을 통해 상기 차폐 필름에 공기를 주입하여 상기 차폐 필름을 상기 몰

드막 상에 전사하는 것을 포함한다.

- [0017] 일 예에 의하여, 상기 기관의 하면에 외부 단자가 제공되고, 상기 기관의 하면과 상기 외부 단자를 덮는 보호막을 형성하여 상기 외부 단자를 보호한다.
- [0018] 일 예에 의하여, 상기 차폐 필름을 전사하는 것은, 상기 열판의 상기 구멍들을 통해 공기를 주입하여 상기 챔버 내의 압력을 증가시키고, 상기 차폐 필름은 압력에 의해 상기 몰드막 상에 밀착되어 차폐층을 형성하는 것을 포함하고, 상기 차폐 필름은 상기 몰드막의 상기 상면, 상기 측면들 및 상기 모서리 영역들 및 상기 기관의 측면을 덮는다.
- [0019] 일 예에 의하여, 상기 열판은 상기 차폐 필름이 유동성을 가지도록 상기 차폐 필름을 가열하고, 상기 전사된 차폐 필름은 상기 몰드막 상에서 경화되어 차폐층을 형성하는 것을 포함한다.
- [0020] 일 예에 의하여, 상기 복수개의 패키지들을 서로 연결하는 상기 차폐 필름을 커팅하여 상기 복수개의 패키지들을 서로 분리하는 것을 더 포함한다.

발명의 효과

- [0021] 본 발명의 실시예에 따르면, 차폐층을 포함하는 반도체 패키지를 제공하여 차폐층에 흡수되는 전자파를 반도체 패키지 외부로 방출시킬 수 있다.
- [0022] 본 발명의 실시예에 따르면, 모서리가 라운드진 몰드막을 제공하여 몰드막 상에 제공되는 차폐층에 결함이 발생하는 것을 방지할 수 있다. 또한, 몰드막 상에 차폐 필름을 전사하는 방법으로 차폐층을 형성하여, 몰드막과 차폐층 사이에 보이드(void)가 발생하는 것을 방지할 수 있다.

도면의 간단한 설명

- [0023] 도 1은 본 발명의 실시예에 따른 반도체 패키지를 나타내는 측면도이다.
- 도 2a는 본 발명의 실시예에 따른 몰드막을 나타내는 사시도이다.
- 도 2b는 본 발명의 실시예에 따른 몰드막을 나타내는 평면도이다.
- 도 2c는 본 발명의 실시예에 따른 몰드막을 나타내는 측면도이다.
- 도 3은 도 1의 A영역을 확대한 단면도이다.
- 도 4a 내지 도 4d는 본 발명의 실시예에 따른 반도체 패키지를 제조하는 방법을 나타내는 측면도들이다.
- 도 5a 내지 도 5e는 본 발명의 실시예에 따라 차폐층을 형성하는 방법을 나타내는 도면들이다.
- 도 6a는 본 발명의 실시예에 따른 반도체 패키지를 나타내는 측면도이다.
- 도 6b는 본 발명의 실시예에 따른 몰드막을 나타내는 사시도이다.
- 도 6c는 본 발명의 실시예에 따른 몰드막을 나타내는 평면도이다.
- 도 6d는 본 발명의 실시예에 따른 몰드막을 나타내는 측면도이다.

발명을 실시하기 위한 구체적인 내용

- [0024] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전문에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0025] 또한, 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 예시도인 단면도 및/또는 평면도들을 참고하여 설명될 것이다. 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함되는 것이다. 예를 들면, 직각으로 도시된 식각 영역은 라운드지거나 소정 곡률을 가지는 형태일 수 있다. 따라서, 도면에서 예

시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이며 발명의 범주를 제한하기 위한 것이 아니다.

- [0027] 도 1은 본 발명의 실시예에 따른 반도체 패키지를 나타내는 측면도이다.
- [0028] 도 1을 참조하면, 반도체 패키지(1)는 기판(100), 반도체 칩(200), 몰드막(300) 및 차폐층(400)을 포함할 수 있다.
- [0029] 기판(100)은 상면(100a)과 그 반대면인 하면(100b)을 가지는 인쇄회로기판(PCB)일 수 있다. 기판(100)은 그라운드 패턴(102)을 노출하는 측면(100c)을 가질 수 있다. 기판(100)의 상면(100a)에는 연결패드(104)가 제공될 수 있고, 기판(100)의 하면(100b) 상에 외부단자들(106)이 제공될 수 있다. 예를 들어, 외부단자들(106)은 솔더볼일 수 있다. 외부단자들(106)은 주석(Sn), 은(Ag), 구리(Cu), 니켈(Ni), 비스무트(Bi), 인듐(In), 안티모니(Sb) 또는 세륨(Ce) 중 적어도 하나 이상을 포함하는 합금일 수 있다.
- [0030] 반도체 칩(200)은 기판(100)의 상면(100a) 상에 실장될 수 있다. 반도체 칩(200a)은 기판(100)과 접촉하는 제 1 반도체 칩(200a)과 제 1 반도체 칩(200a) 상에 배치되는 제 2 반도체 칩(200b)을 포함할 수 있다. 제 1 반도체 칩(200a)과 제 2 반도체 칩(200b)은 기판(100) 상에 와이어 본딩될 수 있다 제 1 반도체 칩(200a)과 제 2 반도체 칩(200b)은 로직 칩, 메모리 칩, 혹은 이들의 조합일 수 있다. 기판(100)의 상면(100a)과 제 1 반도체 칩(200a) 사이에는 제 1 접착층(210a)이 제공될 수 있고, 제 1 반도체 칩(200a)과 제 2 반도체 칩(200b) 사이에는 제 2 접착층(210b)이 제공될 수 있다.
- [0031] 반도체 칩(200)을 기판(100) 상에 실장하는 방식은 본 발명의 실시예에 제한되지 않고 많은 변형이 가능할 수 있다. 가령, 접착 테이프를 사용하는 대신에 플립 칩(flip-chip)의 범프를 통해 반도체 칩(200)과 기판(100)을 서로 전기적으로 연결할 수 있다. 또한, 복수의 반도체 칩(200)이 수직으로 적층된 구조일 경우, 내부에 형성된 쓰루 실리콘 비아(TSV)를 통해 반도체 칩(200a)과 기판(100)을 서로 전기적으로 연결할 수 있다.
- [0032] 몰드막(300)은 기판(100)의 상면(100a) 및 반도체 칩(200)을 덮을 수 있다. 몰드막(300)은 측면들(310), 상면(330) 및 모서리 영역들(350)을 가질 수 있다. 몰드막(300)의 모서리 영역(350)은 라운드질 수 있다. 몰드막(300)은 에폭시 몰딩 컴파운드(EMC) 같은 절연성 고분자 물질을 포함할 수 있다.
- [0033] 차폐층(400)은 몰드막(300) 상에 제공될 수 있다. 차폐층(400)은 몰드막(300)의 측면들(310), 상면(330) 및 모서리 영역들(350)을 덮을 수 있고, 기판(100)의 측면(100c)을 덮을 수 있다. 차폐층(400)은 기판(100)의 측면(100c)으로 노출된 그라운드 패턴(102)과 연결될 수 있다. 차폐층(400)은 예를 들어, 자성체인 도전 물질을 포함할 수 있고, 도전 물질은 금속일 수 있다. 예를 들어, 도전 물질은 니켈(Ni), 코발트(Co), 구리(Cu), 금(Au), 주철(Cast Iron), 규소철(Silicon Iron), 철(Fe), 뮤합금(Mumetal), 퍼멀로이(Permalloy), 슈퍼퍼멀로이(Supermalloy), 페라이트(Ferrite), 나노퍼름(Nanoperm), 탄소강(Carbon steel) 및 마텐자이트계 스테인리스강(Martensitic Stainless Steel) 등을 포함할 수 있다.
- [0034] 몰드막(300)의 모서리 영역들(350)이 라운드짐에 따라, 몰드막(300)과 차폐층(400) 사이에 발생할 수 있는 보이드(void)를 방지할 수 있고, 몰드막(300)의 모서리에서 차폐층(400)이 손상되는 것을 방지할 수 있다.
- [0035] 차폐층(400)은 모바일 기기 및 컴퓨터 등 전자파에 민감한 전자 기기의 전자파 방출을 막을 수 있다. 차폐층(400)은 기판(100)의 그라운드 패턴(102)과 접촉하여 전자기적 폐회로를 구성할 수 있다. 차폐층(400)은 기판(100)의 그라운드 패턴(102)과 전기적으로 연결되어 흡수한 전자파를 외부로 방출시킬 수 있다. 또한, 차폐층(400)은 도전성 물질로 이루어지므로, 반도체 패키지(1)에서 발생하는 열을 용이하게 방출할 수 있다.
- [0037] 도 2a는 본 발명의 실시예에 따른 몰드막을 나타내는 사시도이고, 도 2b는 본 발명의 실시예에 따른 몰드막을 나타내는 평면도이고, 도 2c는 본 발명의 실시예에 따른 몰드막을 나타내는 측면도이다.
- [0038] 도 2a를 참조하면, 몰드막(300)은 측면들(310), 상면(330) 및 모서리 영역(350)을 포함할 수 있다. 측면들(310)과 상면(330)은 플랫폼 면일 수 있고, 모서리 영역(350)은 곡면일 수 있다. 모서리 영역(350)은 두 개의 측면들(310)과 상면(330)이 만나는 영역일 수 있다. 측면들(310) 및 상면(330)은 모서리 영역(350)을 통해 연결될 수 있다.
- [0039] 모서리 영역(350)은 측면들(310)과 만나는 두 개의 제 1 모서리들(352) 및 상면(330)과 만나는 제 2 모서리들(354)를 가질 수 있다. 제 1 모서리들(352)의 각각은 제 1 곡률반경(R1)을 가지도록 라운드질 수 있다. 제 1 모서리들(352)의 각각은 제 1 지점(P1)에서 상면(330)을 향해 연장될 수 있다. 제 1 지점(P1)은 두 개의 제 1 모서리들(352)이 서로 만나는 지점일 수 있다. 제 2 모서리(354)는 제 2 곡률반경(R2)을 가지도록 라운드질 수 있다.

다. 제 1 곡률반경(R1)은 제 2 곡률반경(R2)보다 클 수 있다.

- [0040] 하나의 측면(310)과 상면(330)이 만나는 모서리(357)는 라운드질 수 있다. 모서리(357)는 제 3 곡률반경(R3)을 가질 수 있다. 제 3 곡률반경(R3)은 제 1 곡률반경(R1) 및 제 2 곡률반경(R2)보다 미소한 값을 가질 수 있다.
- [0041] 도 2b 및 도 2c를 참조하면, 제 1 모서리(352)는 제 1 곡률반경(R1)을 가지도록 라운드질 수 있다. 제 1 모서리(352)의 높이(h)에 따라 제 1 곡률반경(R1)은 변할 수 있다. 예를 들어, 제 1 모서리(352)의 높이(h)가 커질수록 제 1 곡률반경(R1)은 커질 수 있다.
- [0042] 제 2 모서리(354)는 제 2 곡률반경(R2)을 가지도록 라운드질 수 있다. 제 1 모서리(352)의 높이(h)에 따라 제 2 곡률반경(R2)은 변할 수 있다. 예를 들어, 제 1 모서리(352)의 높이(h)가 커질수록 제 2 곡률반경(R2)은 커질 수 있다. 제 2 곡률반경(R2)은 제 1 곡률반경(R2)보다 작을 수 있다.
- [0043] 제 1 지점(P1)은 제 1 높이(h1)를 가질 수 있다. 제 2 반도체 칩(200b)의 상면은 제 2 높이(h2)를 가질 수 있고, 와이어(250)의 최상부는 제 3 높이(h3)를 가질 수 있다. 제 1 지점(P1)은 제 2 반도체 칩(200b)의 상면보다 높은 레벨을 가질 수 있고, 와이어(250)의 최상부보다 높은 높이를 가질 수 있다. 즉, 제 1 높이(h1)는 제 2 높이(h2)와 제 3 높이(h3)보다 큰 높이를 가질 수 있다.
- [0045] 도 3은 도 1의 A영역을 확대한 단면도이다.
- [0046] 도 3을 참조하면, 차폐층(400)은 접착층(410), 증착 프라이머(420) 및 금속층(430)을 포함할 수 있다. 접착층(410)은 폴리에스테르, 폴리우레탄, 아크릴, EVA(ethylene co-vinyl acetate) 또는 PVAc(polyvinyl acetate)를 포함할 수 있다. 접착층(410)을 통해 금속층(430)과 몰드막(300)을 접착시킬 수 있다. 금속층(430)은 예를 들어, 자성체인 도전 물질을 포함할 수 있고, 도전 물질은 금속일 수 있다. 예를 들어, 도전 물질은 니켈(Ni), 코발트(Co), 구리(Cu), 금(Au), 주철(Cast Iron), 규소철(Silicon Iron), 철(Fe), 뮤 합금(Mumetal), 퍼멀로이(Permalloy), 슈퍼퍼멀로이(Supermalloy), 페라이트(Ferrite), 나노퍼름(Nanoperm), 탄소강(Carbon steel) 및 마텐자이트계 스테인리스강(Martensitic Stainless Steel) 중 적어도 하나 이상을 포함할 수 있다. 접착층(410)과 금속층(430) 사이에는 각 층간의 밀착력을 확보하기 위해 증착 프라이머(420)가 제공될 수 있다. 증착 프라이머(420)는 접착층(410)과 금속층(430) 사이 및/또는 금속층(430) 상부에 배치될 수 있고, 증착 프라이머(420) 없이 접착층(410)과 금속층(430)만 몰드막(300) 상에 배치될 수 있다. 증착 프라이머(420)는 우레탄계 또는 아크릴계일 수 있다. 구체적으로, 증착 프라이머(420)는 주체, 경화제 및 용제로 구성될 수 있다. 주체는 수산기를 가지는 불포화화합물(unsaturated compound), 불포화카르본산에스테르 (unsaturated carbonic acid ester), 불포화카르본산(unsaturated carbonic acid), 불포화탄화수소(unsaturated hydrocarbon), 비닐에스테르(vinyl ester) 및 할로젠화비닐(halogenated vinyl) 중 어느 하나일 수 있다. 경화제는 이소시아네이트기를 가지는 물질일 수 있다. 용제는 경화제를 녹일 수 있는 물질일 수 있다.
- [0048] 도 4a 내지 도 4d는 본 발명의 실시예에 따른 반도체 패키지를 제조하는 방법을 나타내는 측면도들이다. 설명의 간략을 위해 중복되는 내용의 기재는 생략한다.
- [0049] 도 4a를 참조하면, 그라운드 패턴들(102) 및 연결 패드들(104)을 가지는 스트립(strip) 상태의 기관(100)을 제공할 수 있다. 기관(100)은 상면(100a) 및 그 반대면인 하면(100b)을 포함할 수 있다. 기관(100)의 하면(100a) 상에 외부단자들(106)을 형성할 수 있다.
- [0050] 도 4b를 참조하면, 기관(100) 상에 복수개의 반도체 칩들(200)이 실장될 수 있다. 반도체 칩들(200)은 제 1 반도체 칩(200a) 및 제 2 반도체 칩(200b)을 포함할 수 있다. 반도체 칩들(200) 각각은 제 1 반도체 칩들(200a) 및 제 2 반도체 칩(200b)을 포함할 수 있다. 제 1 반도체 칩(200a)은 기관(100) 상에 배치될 수 있고, 제 2 반도체 칩(200b)은 제 1 반도체 칩(200a) 상에 배치될 수 있다. 제 1 반도체 칩(200a) 및 제 2 반도체 칩(200b)은 각각 서로 이격되어 배치될 수 있다. 제 1 반도체 칩(200a) 및 제 2 반도체 칩(200b)은 와이어들(250)을 통해 기관(100)과 전기적으로 연결될 수 있다. 와이어들(250)은 제 1 반도체 칩들(200a) 및 제 2 반도체 칩들(200b)과 연결패드들(104)을 전기적으로 연결할 수 있다.
- [0051] 도 4c를 참조하면, 기관(100) 상에 서로 이격되어 적층된 복수개의 반도체 칩들(200)이 서로 분리되도록 기관(100)을 커팅할 수 있다. 기관(100)은 소우 블레이드(saw blade) 혹은 레이저 커팅(LASER cutting)을 통해 커팅될 수 있다. 개별화된 기관(100)은 그라운드 패턴(102)을 노출하는 측면(100c)을 가질 수 있다. 개별화된 기관(100) 상에 몰드막(300)을 형성할 수 있다. 몰드막(300)은 측면들(310), 상면(330) 및 모서리 영역들(350)을 포함할 수 있다. 몰드막(300)은 금형을 제공하고, 금형 내에 몰딩 물질을 주입하여 형성될 수 있다. 예를 들어,

몰딩 물질은 에폭시 몰딩 컴파운드(EMC) 같은 절연성 고분자 물질을 포함할 수 있다.

- [0052] 도 4d를 참조하면, 몰드막(300)을 덮는 차폐층(400)을 형성할 수 있다. 차폐층(400)은 몰드막(300)의 측면들(310), 상면(330) 및 모서리 영역들(350)을 덮을 수 있고, 기관(100)의 측면(100c)을 덮을 수 있다. 차폐층(400)은 스퍼터링(sputtering) 공정, 메탈 스프레이(spray) 공정, 전해 도금 공정, 무전해 도금 공정 및 차폐 필름 전사 공정 등을 통해 형성될 수 있다. 차폐층(400)은 예를 들어, 자성체인 도전 물질을 포함할 수 있고, 도전 물질은 금속일 수 있다. 예를 들어, 도전 물질은 니켈(Ni), 코발트(Co), 구리(Cu), 금(Au), 주철(Cast Iron), 규소철(Silicon Iron), 철(Fe), 무 합금(Mumetal), 퍼멀로이(Permalloy), 슈퍼멀로이(Supermalloy), 페라이트(Ferrite), 나노펄(Nanoperm), 탄소강(Carbon steel) 및 마텐자이트계 스테인리스강(Martensitic Stainless Steel) 등을 포함할 수 있다. 차폐층(400)을 형성하는 공정을 통해 도 1의 반도체 패키지들(1)을 제조할 수 있다.
- [0054] 도 5a 내지 도 5e는 본 발명의 실시예에 따라 차폐층을 형성하는 방법을 나타내는 도면들이다. 도 5a 내지 도 5e는 차폐 필름 전사 공정을 통해 차폐층을 형성하는 방법을 나타내는 도면들이다. 설명의 간략을 위해 중복되는 내용의 기재는 생략한다.
- [0055] 도 5a를 참조하면, 몰드막(300)이 형성된 복수개의 기관들(100)을 챔버(10) 내에 배치된 지그(12) 상에 배치시킬 수 있다. 기관들(100)의 하면들(100b)에는 외부단자들(106)을 덮는 보호막(500)이 형성될 수 있다. 챔버(10) 상에는 차폐 필름 이송장치(20)가 제공될 수 있다. 차폐 필름 이송장치(20)는 차폐 필름(450)이 챔버(10)의 개구된 영역을 덮도록 차폐 필름(450)을 펼칠 수 있다.
- [0056] 도 5b를 참조하면, 차폐 필름(450) 상에 열판(30)이 제공될 수 있다. 열판(30)은 복수개의 구멍들(32)을 포함할 수 있다. 구멍들(32)을 통해 차폐 필름(450)이 배치되는 방향과 반대방향으로 공기를 배출하여, 열판(30)과 차폐 필름(450)을 밀착시킬 수 있다. 열판(30)은 약 120°의 공정온도로 차폐 필름(450)을 가열할 수 있다. 가열된 차폐 필름(450)은 유동적일 수 있다.
- [0057] 도 5c를 참조하면, 차폐 필름(450)이 밀착된 열판(30)과 차폐 필름 이송장치(20)를 하강시켜 챔버(10)의 개구된 영역을 덮을 수 있다. 열판(30)과 차폐 필름 이송장치(20)로 챔버(10)의 개구된 영역을 막아 챔버(10)를 밀폐시킬 수 있다. 챔버(10) 내부는 펌프(P)를 통해 진공상태가 될 수 있다.
- [0058] 도 5d를 참조하면, 구멍들(32)을 통해 챔버(10) 내로 공기를 내보내 차폐 필름(450)을 전사시킬 수 있다. 구멍들(32)을 통해 공기를 유입함에 따라, 챔버(10) 내의 압력은 최대 2.4MPa까지 상승할 수 있다. 챔버(10) 내의 압력이 가해짐에 따라 차폐 필름(450)은 몰드막(300) 상에 밀착될 수 있다. 차폐 필름(450)은 몰드막들(300) 사이 및 기관들(100)의 측면들(100c) 사이에 제공될 수 있다.
- [0059] 도 5e를 참조하면, 열판(30)과 차폐 필름 이송장치(20)를 상승시켜, 챔버(10) 내의 압력이 대기압과 동일하도록 할 수 있다. 몰드막들(300)을 덮지 않는 차폐 필름(450)은 커팅하여 제거할 수 있다. 이를 통해, 몰드막(300) 각각의 측면들(310), 상면(330) 및 모서리 영역들(350)을 덮는 차폐층(400)을 형성할 수 있다. 기관들(100)의 하면들(100b)에 제공된 보호막(500)을 제거하여 도 1의 반도체 패키지들(1)을 형성할 수 있다.
- [0060] 본 발명의 실시예에 따르면, 모서리 영역들(350)을 가지는 몰드막(300) 상에 차폐 필름(450)을 전사하여 차폐층(400)을 형성함에 따라, 차폐층(400)과 몰드막(300) 사이에 보이드(void)가 발생하는 것을 방지할 수 있다.
- [0062] 도 6a는 본 발명의 실시예에 따른 반도체 패키지를 나타내는 측면도이고, 도 6b는 본 발명의 실시예에 따른 몰드막을 나타내는 사시도이고, 도 6c는 본 발명의 실시예에 따른 몰드막을 나타내는 평면도이고, 도 6d는 본 발명의 실시예에 따른 몰드막을 나타내는 측면도이다. 설명의 간략을 위해 중복되는 내용의 기재는 생략한다.
- [0063] 도 6a 내지 도 6d를 참조하면, 몰드막(300)은 측면들(310), 상면(330) 및 모서리 영역들(350)을 포함할 수 있다. 모서리 영역들(350)의 각각은 측면들(310)과 만나는 두 개의 제 1 모서리들(352) 및 상면(330)과 만나는 제 2 모서리(354)를 가질 수 있다. 제 1 모서리들(352) 각각은 상부 영역(352a) 및 하부 영역(352b)을 포함할 수 있다. 상부 영역(352a)은 상면(330)과 인접할 수 있다. 상부 영역(352a)은 제 1 곡률반경(R1)을 가지도록 라운드질 수 있다. 제 1 모서리들(352)의 높이(h)에 따라 제 1 곡률반경(R1)은 변할 수 있다. 예를 들어, 제 1 모서리들(352)의 높이(h)가 커질수록 제 1 곡률반경(R1)은 커질 수 있다. 하부 영역(352b)은 기관(100)에서 차폐층(400)을 향하는 수직방향과 소정의 각도로 기울어진 상태로 연장될 수 있다. 예를 들어, 하부 영역(352b)은 수직방향과 0° 초과 60° 이하의 각도로 기울어질 수 있다. 제 1 영역들(352)은 제 2 지점(P2)에서 상면(330)을 향해 연장될 수 있다. 제 2 지점(P2)은 제 1 영역들(352)이 서로 만나는 지점일 수 있다. 제 2 모서리(354)은 제 2 곡률반경(R2)을 가지도록 라운드질 수 있다. 제 2 곡률반경(R2)은 제 1 곡률반경(R1)보다 작을 수

있다. 제 1 모서리들(352)의 높이(h)에 따라 제 2 곡률반경(R2)은 변할 수 있다. 예를 들어, 제 1 모서리들(352)의 높이(h)가 커질수록 제 2 곡률반경(R2)은 커질 수 있다.

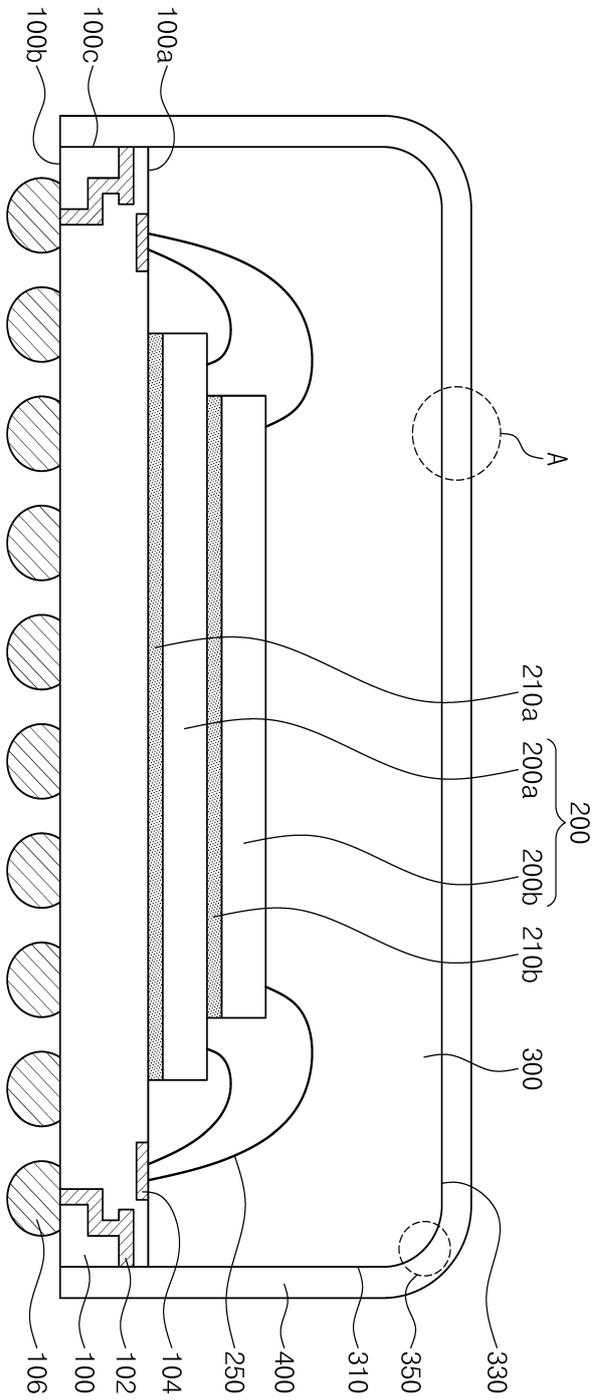
[0064] 제 2 지점(P2)은 제 4 높이(h4)를 가질 수 있다. 제 2 반도체 칩(200b)의 상면은 제 2 높이(h2)를 가질 수 있고, 와이어(250)의 최상부는 제 3 높이(h3)를 가질 수 있다. 제 2 지점(P2)은 제 2 반도체 칩(200b)의 상면보다 높은 레벨을 가질 수 있고, 와이어(250)의 최상부보다 높은 높이를 가질 수 있다. 즉, 제 4 높이(h4)는 제 2 높이(h2)와 제 3 높이(h3)보다 큰 높이를 가질 수 있다.

[0065] 하나의 측면(310)과 상면(330)이 만나는 모서리들(357)은 라운드질 수 있다. 모서리들(357)은 제 3 곡률반경(R3)을 가질 수 있다. 제 3 곡률반경(R3)은 제 1 곡률반경(R1) 및 제 2 곡률반경(R2)보다 미소한 값을 가질 수 있다.

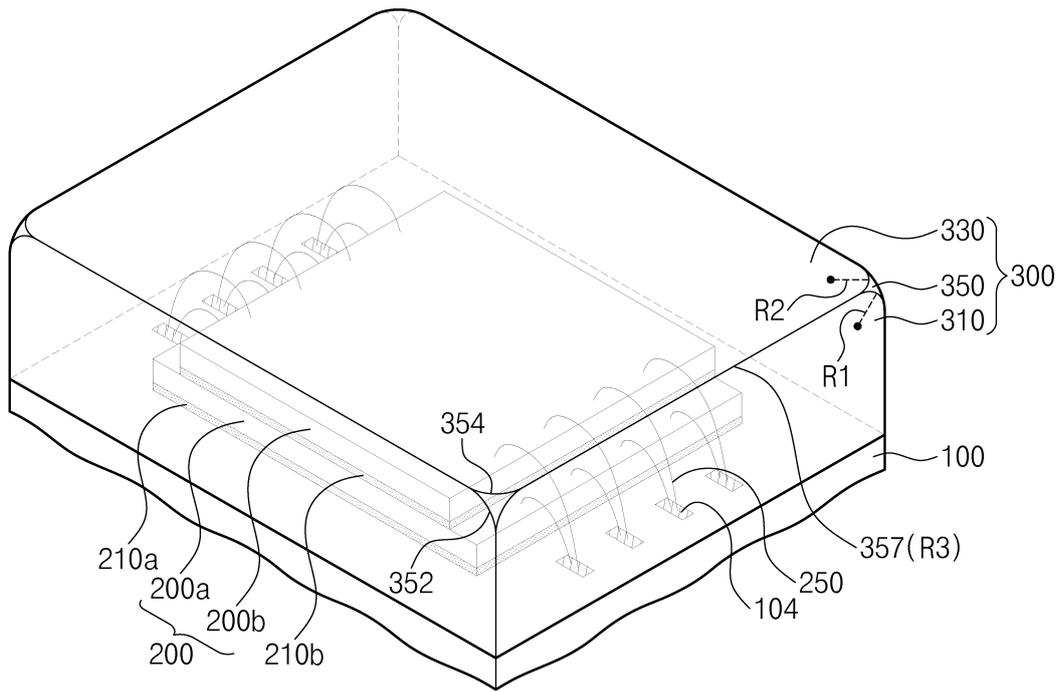
[0067] 상술한 예와 달리, 제 2 곡률반경(R2)은 제 1 곡률반경(R1)과 같거나 클 수 있다.

도면

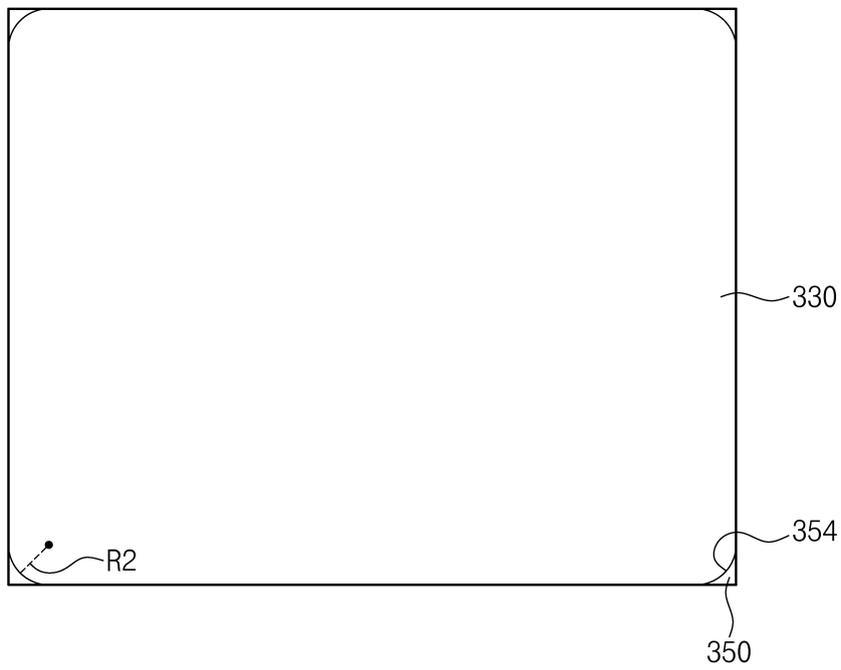
도면1



도면2a

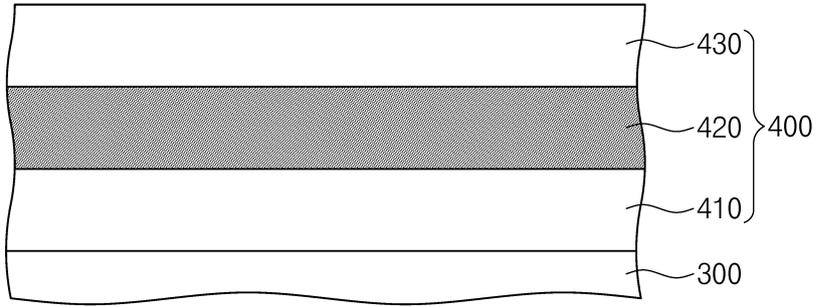


도면2b

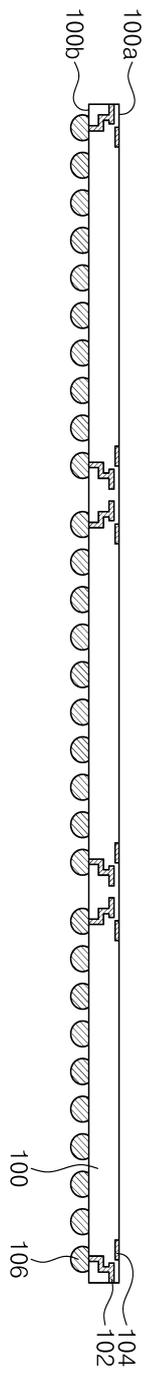


도면3

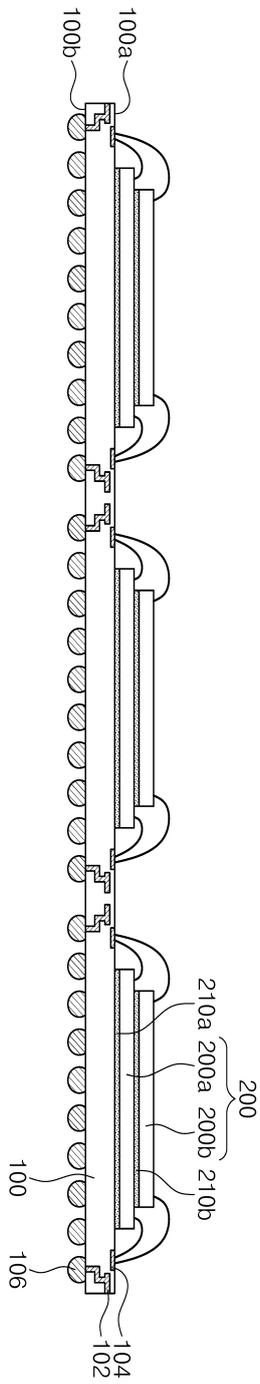
A



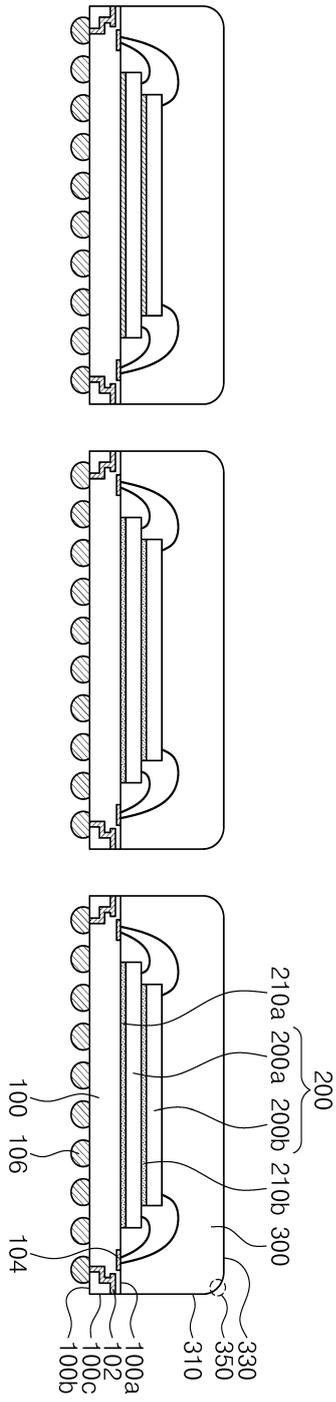
도면4a



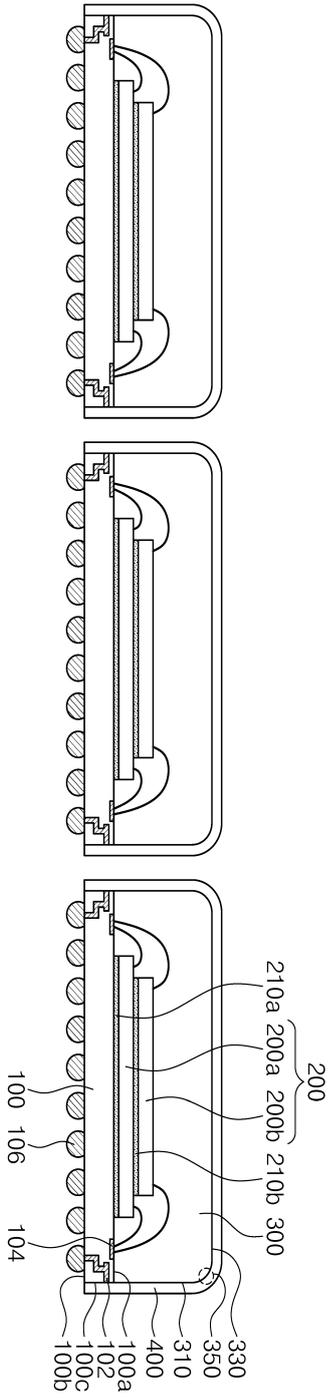
도면4b



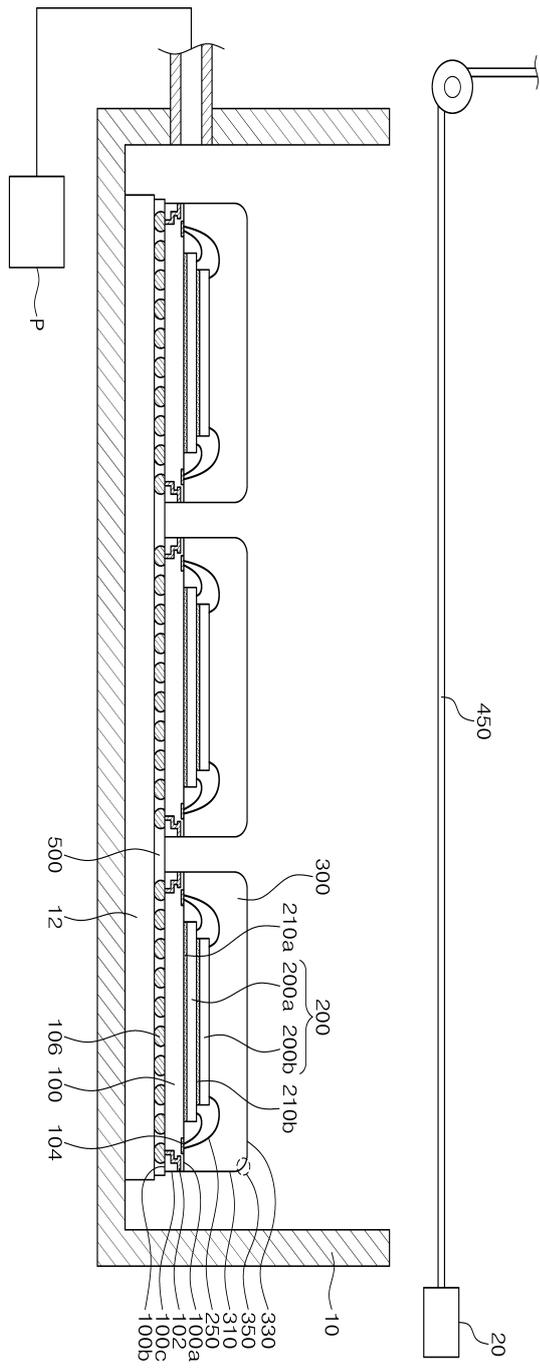
도면4c



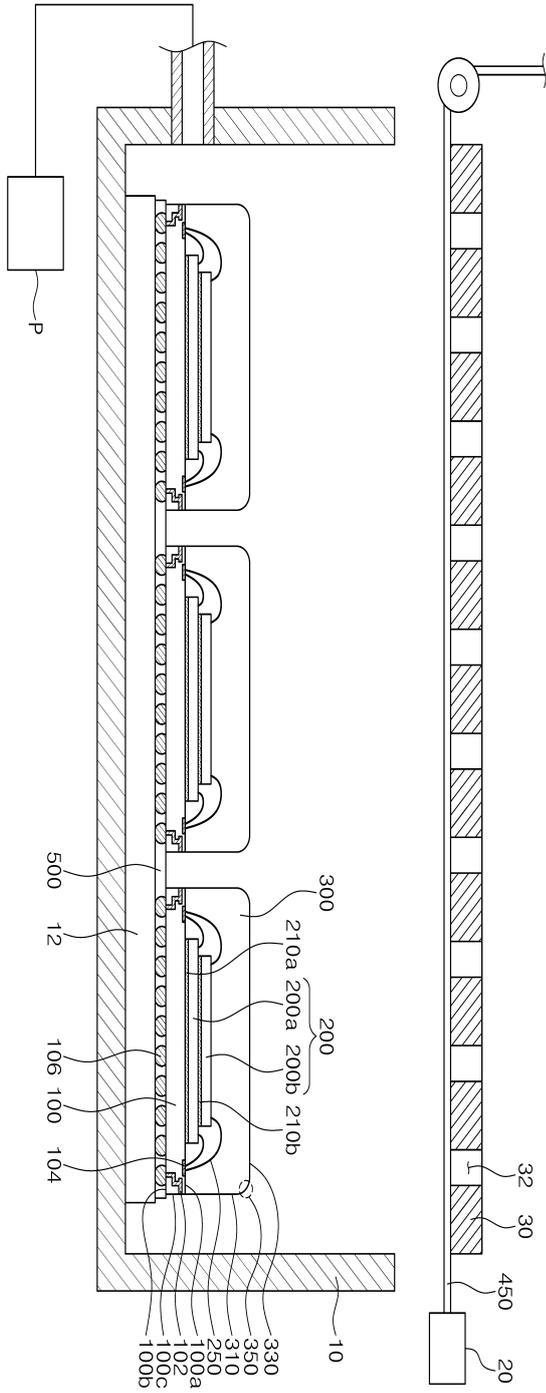
도면4d



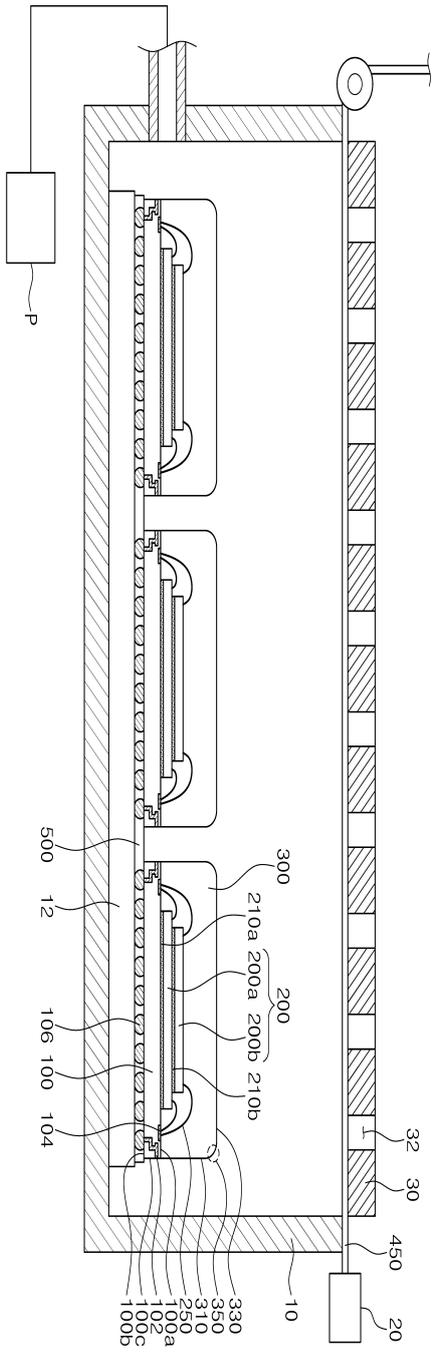
도면5a



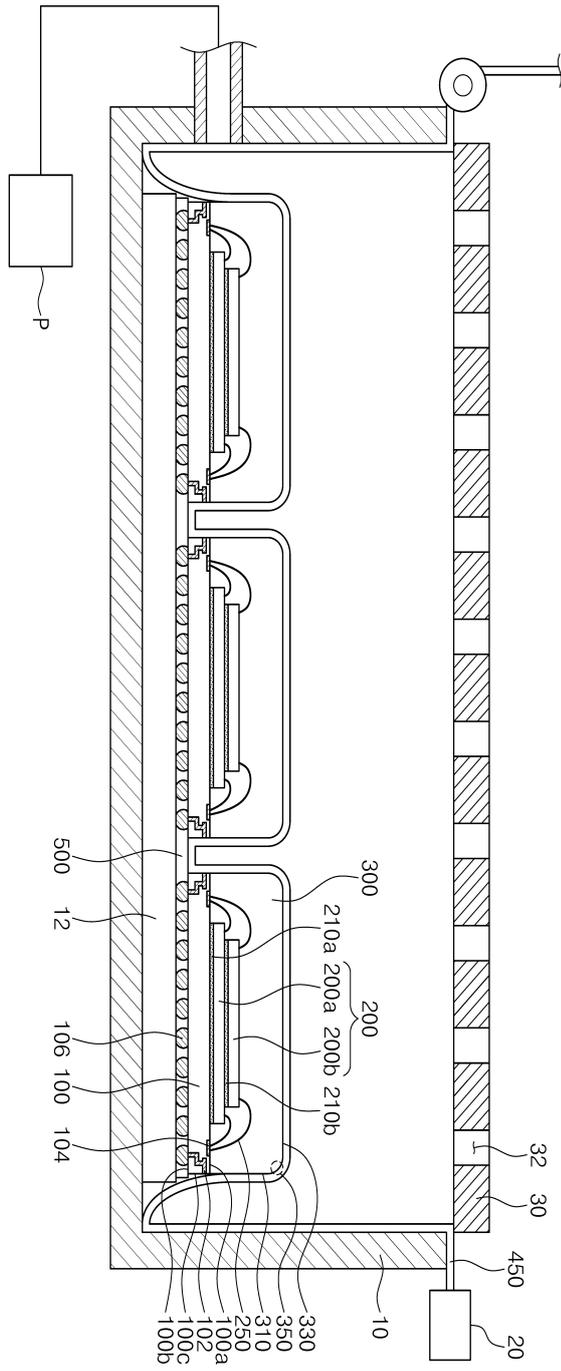
도면5b



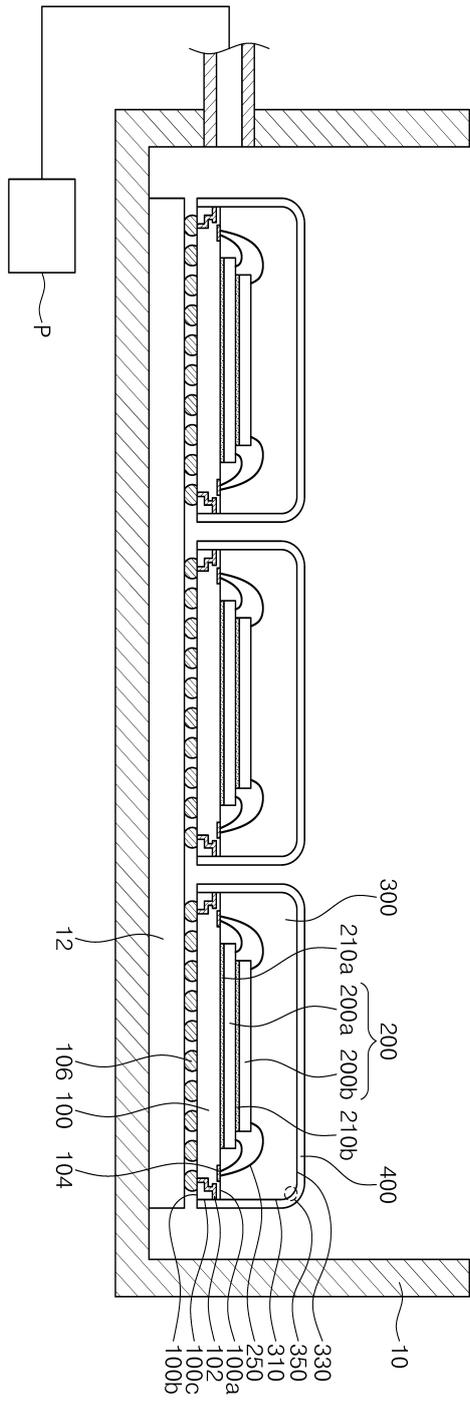
도면5c



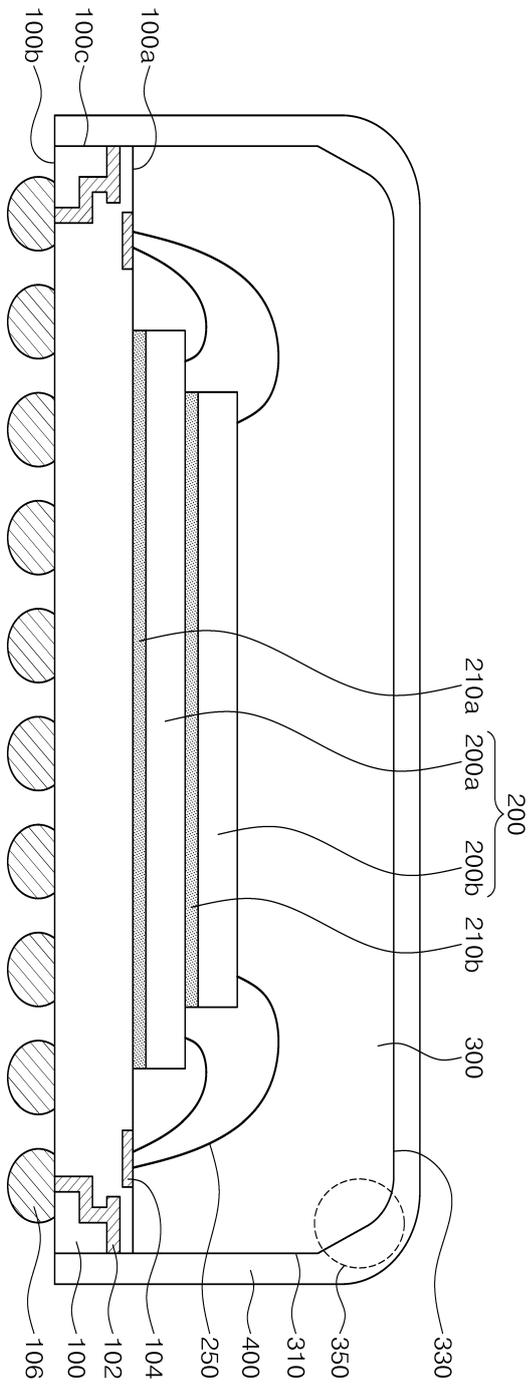
도면5d



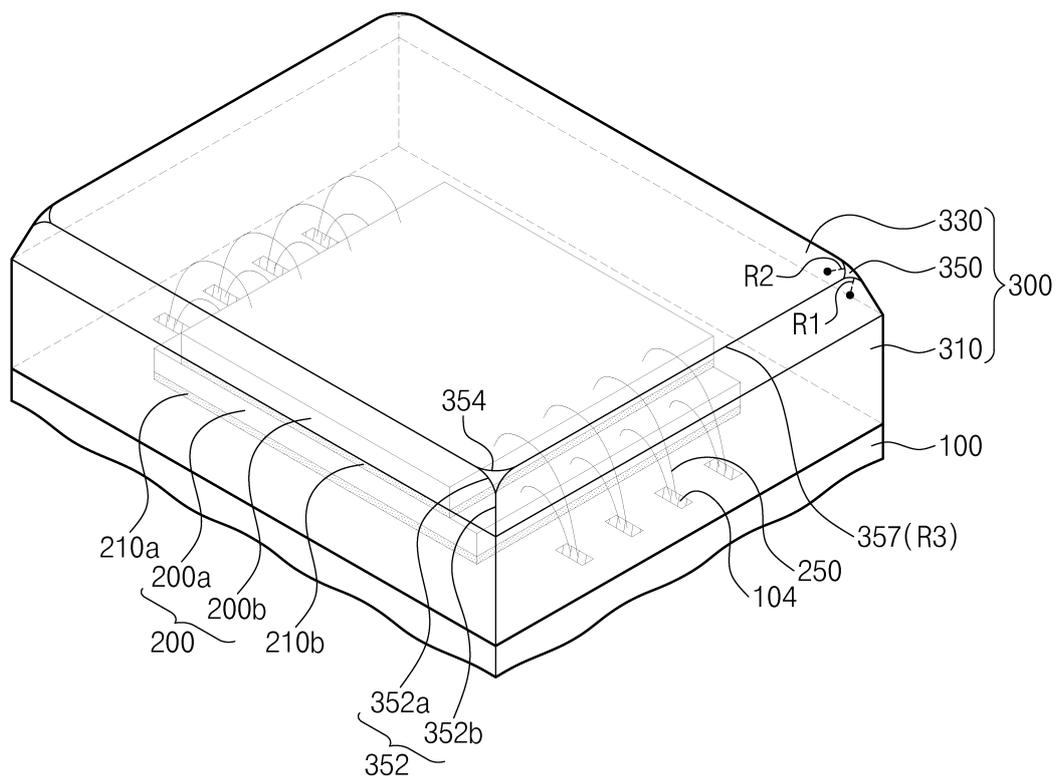
도면5e



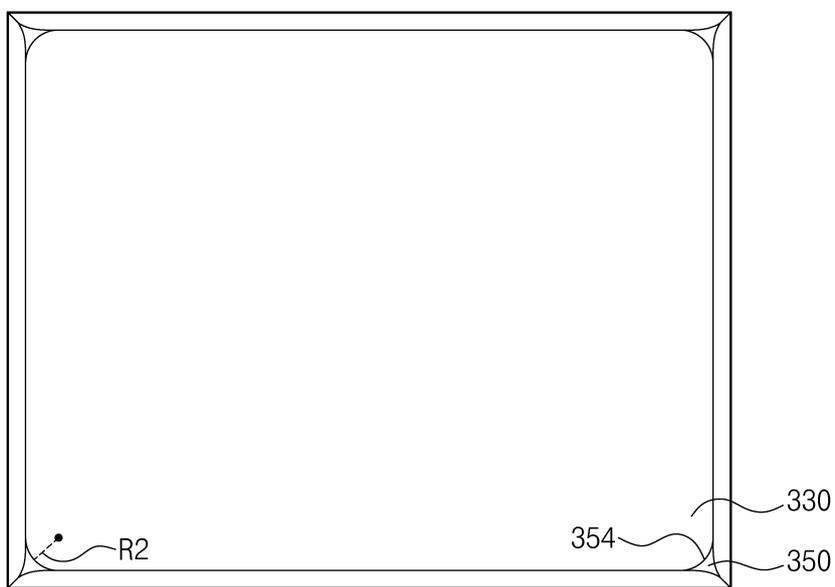
도면6a



도면6b



도면6c



도면6d

