



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201419294 A

(43) 公開日：中華民國 103 (2014) 年 05 月 16 日

(21) 申請案號：101141614

(22) 申請日：中華民國 101 (2012) 年 11 月 08 日

(51) Int. Cl. :

G11C29/12 (2006.01)

G11C29/48 (2006.01)

(71) 申請人：財團法人工業技術研究院 (中華民國) INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE (TW)

新竹縣竹東鎮中興路 4 段 195 號

(72) 發明人：吳俊諺 WU, CHUN YEN (TW)；許績群 HSU, CHI CHUN (TW)；黃柏森 HUANG, PO SEN (TW)；黃立仁 HUANG, LI REN (TW)；謝文達 HSIEH, WEN DAR (TW)

(74) 代理人：祁明輝；林素華；涂綺玲

申請實體審查：有 申請專利範圍項數：20 項 圖式數：4 共 23 頁

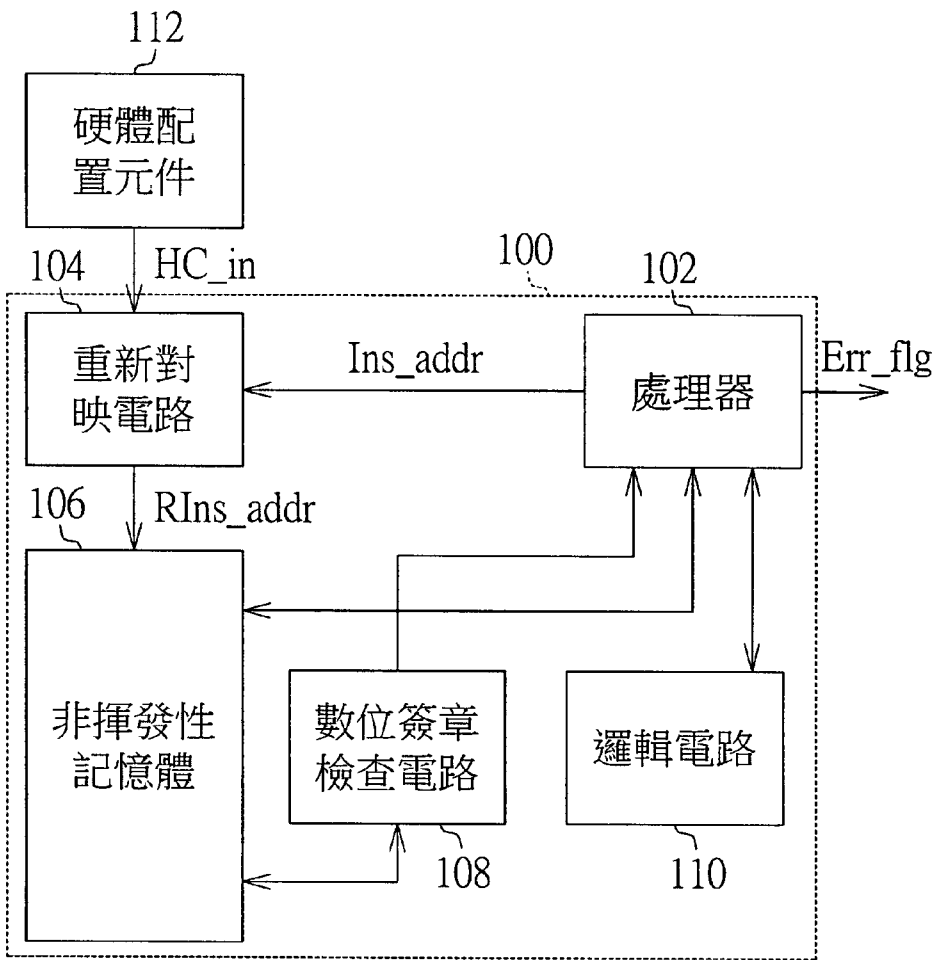
(54) 名稱

具嵌入式非揮發性記憶體之晶片及其測試方法

CHIP WITH EMBEDDED NON-VOLATILE MEMORY AND TESTING METHOD THEREFOR

(57) 摘要

揭露一種具嵌入式非揮發性記憶體之晶片及其測試方法實施範例。重新對映電路與非揮發性記憶體與處理器電性連接。非揮發性記憶體具有測試區與待測區，測試區儲存有測試程式，待測區儲存有待測資料。當處理器對晶片進行測試時，處理器輸出一原始指令位址，重新對映電路對原始指令位址進行重新對映，以產生一重新對映後指令位址。處理器根據重新對映後指令位址讀取測試區中之測試程式並執行測試程式，以對待測區所儲存之待測資料進行讀取與邏輯觸發測試。



- 100 : 晶片
- 102 : 處理器
- 104 : 重新對映電路
- 106 : 非揮發性記憶體
- 108 : 數位簽章檢查電路
- 110 : 邏輯電路
- 112 : 硬體配置元件

第 1 圖

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：101141614 G11C 29/12 (2006.01)
 ※ 申請日：101.11.08 ※IPC 分類：G11C 29/48 (2006.01)

一、發明名稱：(中文/英文)

具嵌入式非揮發性記憶體之晶片及其測試方法 / CHIP
 WITH EMBEDDED NON-VOLATILE MEMORY AND
 TESTING METHOD THEREFOR

二、中文發明摘要：

揭露一種具嵌入式非揮發性記憶體之晶片及其測試方法實施範例。重新對映電路與非揮發性記憶體與處理器電性連接。非揮發性記憶體具有測試區與待測區，測試區儲存有測試程式，待測區儲存有待測資料。當處理器對晶片進行測試時，處理器輸出一原始指令位址，重新對映電路對原始指令位址進行重新對映，以產生一重新對映後指令位址。處理器根據重新對映後指令位址讀取測試區中之測試程式並執行測試程式，以對待測區所儲存之待測資料進行讀取與邏輯觸發測試。

三、英文發明摘要：

Exemplary embodiments of a Chip with embedded non-volatile memory (NVM) and testing method therefor are provided. A remapping circuit and a NVM are electrically connected to processor. The NVM has a test area and an

area under test. A test program is stored in the test area, and a under test data is stored in the area under test. When the chip is under testing by the processor, the processor outputs an original instruction address, and the remapping circuit remaps the original instruction address to generate a remapped instruction address. The processor reads the test program in the test area according to the remapped instruction address. The processor performs the test program and performs testing operation to toggle logic circuit and read under test data stored in the area under test.

四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

100：晶片

102：處理器

104：重新對映電路

106：非揮發性記憶體

108：數位簽章檢查電路

110：邏輯電路

112：硬體配置元件

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

area under test. A test program is stored in the test area, and a under test data is stored in the area under test. When the chip is under testing by the processor, the processor outputs an original instruction address, and the remapping circuit remaps the original instruction address to generate a remapped instruction address. The processor reads the test program in the test area according to the remapped instruction address. The processor performs the test program and performs testing operation to toggle logic circuit and read under test data stored in the area under test.

四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

100：晶片

102：處理器

104：重新對映電路

106：非揮發性記憶體

108：數位簽章檢查電路

110：邏輯電路

112：硬體配置元件

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

發明所屬之技術領域是有關於一種具嵌入式非揮發性記憶體之晶片及其測試方法。

【先前技術】

隨著汽車工業的進步，內建 (Built-in) 嵌入式 (Embedded) 軟體已經廣泛地使用於汽車用之電子裝置中。在這些電子裝置中，通常使用非揮發性記憶體 (Non-volatile memory, NVM) 來儲存這些軟體。非揮發性記憶體的可靠度 (reliability) 對於車用嵌入式處理器來說，是一個非常重要的課題。如果非揮發性記憶體無法正常使用的話，會使得汽車的控制系統損壞，而可能因此使得汽車無法正常操作而導致人員的傷亡或財產的損失。汽車電子設備委員會 (Automotive Electronics Council) 提出了 AEC-Q100 標準，規範了車用晶片所必須達成的產品品質與可靠度。因此，如何正確且低成本地完成車用晶片的測試，以確保使用此車用晶片之車輛的使用安全，乃業界所努力的重要課題之一。

【發明內容】

根據一實施範例，提出一種具嵌入式非揮發性記憶體之晶片，包括一處理器、一重新對映電路、一非揮發性記憶體與一邏輯電路。重新對映電路係與處理器及非揮發性

記憶體電性連接，邏輯電路係與處理器電性連接。非揮發性記憶體亦與處理器電性連接。非揮發性記憶體具有一測試區與一待測區，測試區儲存有一測試程式，待測區儲存有一待測資料。當處理器對晶片進行測試時，處理器輸出一原始指令位址，重新對映電路對原始指令位址進行重新對映，以產生一重新對映後指令位址。處理器根據重新對映後指令位址讀取測試區中之測試程式並執行測試程式，以對待測區所儲存之待測資料進行讀取並進行邏輯電路觸發測試。

根據實施範例，提出一種具嵌入式非揮發性記憶體之晶片之測試方法，包括下列步驟。提供一具有一處理器一非揮發性記憶體與一邏輯電路之晶片。非揮發性記憶體具有一測試區與一待測區，測試區儲存有一測試程式，待測區儲存有一待測資料。處理器讀取並執行測試程式，包括至少執行：初始化晶片。從待測區之起始位址開始讀取 N 個位元組的待測資料，並重複下述測試步驟直到該待測區之待測資料讀取完畢為止：觸發邏輯電路，從待測區讀取下 N 個位元組的待測資料。

為讓本發明之上述內容能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

請參照第 1 圖，其繪示依照本揭露之具嵌入式 (Embedded) 非揮發性記憶體 (Non-volatile memory, NVM) 之晶片一實施例的方塊圖。晶片 100 包括一處理器

(processor)102、一重新對映(Remapping)電路 104、一非揮發性記憶體 106 與一邏輯電路 110。重新對映電路 104 係與處理器 102 及非揮發性記憶體 106 電性連接。非揮發性記憶體 106 亦與處理器 102 電性連接。非揮發性記憶體 106 具有一測試區(test area)與一待測區(area under test)。測試區儲存有一測試程式，待測區則儲存有一待測資料。

當處理器 102 對晶片 100 進行測試時，譬如說進行高溫生命週期(High temperature operation life, HTOL)以及/或早衰(Burn-in)的可靠度測試，但不以此為限，處理器 102 輸出一原始指令位址 Ins_addr。重新對映電路 104 對原始指令位址 Ins_addr 進行重新對映，以產生一重新對映後指令位址 RIns_addr。處理器 102 根據重新對映後指令位址 RIns_addr 讀取測試區中之測試程式並執行測試程式，以對待測區所儲存的待測資料進行讀取與邏輯觸發測試，藉以判斷晶片 100 的可靠度。

由於處理器 102 可以直接讀取非揮發性記憶體 106 之測試區之測試程式，並執行測試程式來對晶片 100 進行測試，故本實施例可以大幅減少測試晶片 100 時所需之晶片 100 外部的硬體設備，而可大幅地降低測試所需之成本。

進一步來說，晶片 100 更可包括一數位簽章檢查(signature check)電路 108 與非揮發性記憶體 106 及處理器 102 電性連接，及一邏輯電路 110 與處理器 102 電性連接。數位簽章檢查電路 108 用以檢查測試區所儲存之測試程式的程式碼是否正確，或判斷測試區所儲存之測試程式的資料完整性(integrity)或有效性(validation)。於處理器 102 執

行測試程式之時，讓處理器觸發(toggle)邏輯電路 110，以使邏輯電路 110 處於不同的偏壓狀態。另外，亦可進一步使用一硬體配置元件 112 輸出一硬體配置設定訊號 HC_in 至重新對映電路 104，以控制重新對映電路 104。

請參照第 2 圖，其繪示第 1 圖之重新對映電路 104 之一實施例的方塊圖。硬體配置設定訊號 HC_in 例如包括一指向位址選擇訊號 Pt_Slct 與一模式選擇訊號 Md_Slct。重新對映電路 104 包括一第一選擇器 202、一第二選擇器 204 及一加法器 206。第一選擇器 202 在指向位址選擇訊號 Pt_Slct 的控制之下，選擇性地輸出一指向位址 Addr_Pt。第二選擇器 204 在模式選擇訊號 Md_Slct 的控制之下，接收指向位址 Addr_Pt，並選擇性地以指向位址 Addr_Pt 作為一調整位址 Adj_Pt 輸出。加法器 206 則將原始指令位址 Ins_addr 與調整位址 Adj_Pt 相加，以產生重新對映後指令位址 RIns_addr。

其中，第一選擇器 202 例如係在指向位址選擇訊號 Pt_Slct 的控制之下，從多個候選位址中，選擇其一作為指向位址 Addr_Pt。上述之多個候選位址例如為候選位址 A_Pt、B_Pt、C_Pt 及 D_Pt。而第二選擇器 204 則在模式選擇訊號 Md_Slct 的控制之下，從一預設位址 Dflt_Pt 與指向位址 Addr_Pt 二者中擇一，以作為調整位址 Adj_Pt 輸出。

也就是說，當硬體配置元件 112 被調整或被設定成對應至此時晶片 100 將要進行測試的狀態時，模式選擇訊號 Md_Slct 將被致能(enabled)，第二選擇器 204 將以指向位

址 Addr_Pt 作為調整位址 Adj_Pt 輸出。而指向位址選擇訊號 Pt_Slct 將會為對應至所要選擇之候選位址 A_Pt、B_Pt、C_Pt 及 D_Pt 之一的控制數值(例如為二進位數值 00、01、10 及 11 四者之一)，以控制第一選擇器 202 選擇候選位址 A_Pt、B_Pt、C_Pt 及 D_Pt 其中之一作為指向位址 Addr_Pt 輸出。候選位址 A_Pt、B_Pt、C_Pt 及 D_Pt 分別例如對應至非揮發性記憶體 106 的四個不同的記憶體位址。所選擇的候選位址係例如為測試區的起始位址，亦即是儲存有測試程式之非揮發性記憶體 106 的起始位址。

於對晶片 100 進行測試之前，測試程式與待測資料必須先分別下載至非揮發性記憶體 106 之測試區與待測區中。由於測試程式依其所使用之程式語言、編譯方式、或測試項目的不同而其程式碼的大小可能有所不同。藉由設定不同的測試區的起始位址，可以讓測試區具有不同的大小，而可針對不同測試程式所需之不同的記憶體儲存空間，來選擇不同的候選位址 A_Pt、B_Pt、C_Pt 及 D_Pt 作為測試區的起始位址。此外，可以選擇非揮發性記憶體 106 接近末端之區域作為測試區。

而當候選位址 A_Pt、B_Pt、C_Pt 及 D_Pt 之一被選擇以作為指向位址 Addr_Pt 輸出，指向位址 Addr_Pt 又被選擇以作為調整位址 Adj_Pt 輸出至加法器 206 之後，加法器 206 將原始指令位址 Ins_addr 與等同於所選擇之候選位址的調整位址 Adj_Pt 相加，以產生重新對映後指令位址 RIns_addr。亦即，重新對映後指令位址 RIns_addr 之值係為原始指令位址 Ins_addr 與所選擇之候選位址的和。由於

進行測試時，處理器 102 所輸出之原始指令位址 Ins_addr 可為非揮發性記憶體 106 之記憶體起始位址(其位址值例如為 0)，因此原始指令位址 Ins_addr 與所選擇之候選位址的和(亦即重新對映後指令位址 $RIns_addr$)即為所選擇之候選位址(亦即非揮發性記憶體 106 之測試區的起始位址)，而處理器 102 即可根據此重新對映後指令位址 $RIns_addr$ 來存取非揮發性記憶體 106 之測試區，以讀取測試程式。

而當硬體配置元件 112 被調整或被設定成對應至此時晶片 100 將要正常操作而非處於進行測試的狀態時，模式選擇訊號 Md_Slct 將被非致能(disabled)，第二選擇器 204 將以預設位址 $Dflt_Pt$ 作為調整位址 Adj_Pt 輸出。而重新對映後指令位址 $RIns_addr$ 將為原始指令位址 Ins_addr 與調整位址 Adj_Pt (亦即預設位址 $Dflt_Pt$)的和。於實務操作上，可以將預設位址 $Dflt_Pt$ 設為 0，如此重新對映後指令位址 $RIns_addr$ 將等於原始指令位址 Ins_addr ，使得處理器 102 可以直接使用等於原始指令位址 Ins_addr 之重新對映後指令位址 $RIns_addr$ ，來對非揮發性記憶體 106 具進行存取，以使晶片 100 處於正常操作之狀態。

上述候選位址 A_Pt 、 B_Pt 、 C_Pt 及 D_Pt 的設計亦可以為其他種設計，例如是候選位址的值分別對應至不同測試區之記憶體空間大小的值。只要能讓處理器 102 藉由此重新對映後指令位址 $RIns_addr$ 可以讀取到儲存於測試區中之測試程式即可。

硬體配置元件 112 可透過開關設定接腳(pin)狀態來

達成。藉由切換不同接腳的狀態，可以改變指向位址選擇訊號 Pt_Slct 與模式選擇訊號 Md_Slct 之值。

嵌入式非揮發性記憶體晶片 100 之一應用可以是例如為車用嵌入式非揮發性記憶體晶片，但不以此為限。而待測資料可以是例如為棋盤式樣式 (checkerboard pattern) 資料或其他類似樣式，但不以此為限，其為內含十六進位數位值 0x55AA 之資料，如第 3 圖一實施例所示。待測區全部填滿此棋盤式樣式資料，以使處理器 102 藉由讀取這些棋盤式樣式資料來判斷待測區之每個記憶體儲存單元是否均能正常操作。而比對時，處理器 102 係將從待測區所讀取到的待測資料與比對樣式資料進行比對，以完成比對動作。於一實施例中，例如待測資料為一棋盤式樣式時，比對樣式則為一預期的棋盤式樣式。

接著介紹具嵌入式非揮發性記憶體之晶片之測試方法。依據本揭露一實施例，提供一具有一處理器一非揮發性記憶體與一邏輯電路之晶片。非揮發性記憶體具有一測試區與一待測區，測試區儲存有一測試程式，待測區儲存有一待測資料。處理器讀取並執行測試程式，執行至少包括：初始化晶片。從待測區之起始位址開始讀取 N 個位元組的待測資料。觸發邏輯電路。並重複下述測試步驟直到該待測區之待測資料讀取完畢為止：觸發邏輯電路，從待測區讀取下 N 個位元組的待測資料。

再者，若待測區之待測資料已經讀取完畢，則可選擇跳回上述“從待測區之起始位址開始讀取 N 個位元組的待測資料”的步驟，並重複該等測試步驟直到測試結束為

止。

茲舉實施例進一步說明之。請參照第 4 圖，其繪示依據本揭露之具嵌入式非揮發性記憶體之晶片之測試方法一實施例的流程圖。請同時參考第 1 圖實施例。首先，處理器 102 讀取並執行測試區所儲存之測試程式。於步驟 402 中，初始化晶片 100。於步驟 404 中，處理器 102 從待測區之起始位址開始讀取 N 個位元組的待測資料。

於一實施例中，並可於步驟 406，進一步與一比對樣式資料進行比對，以及於步驟 408，處理器 102 判斷比對結果是否正確。若否，則執行步驟 412，處理器 102 致能錯誤旗標訊號 Err_flg，以指示測試結果為失敗。若是，則執行步驟 410，觸發邏輯電路。於另一實施例中，則步驟 404 執行完直接執行步驟 410，並無進行與一比對樣式資料進行比對。而於一實施例中，待測資料與比對樣式資料可選擇為一棋盤式樣式，但不以此為限。

於步驟 414 中，處理器 102 判斷待測區之資料是否已經讀取完畢。若否，則進入步驟 416，處理器 102 從待測區讀取下 N 個位元組的待測資料。於進行與一比對樣式資料進行比對之實施例中，則回到步驟 406。但於另一實施例並無進行與一比對樣式資料進行比對，則回到步驟 410。另外於步驟 414 中，若處理器 102 判斷待測區之資料已經讀取完畢的話，則回到步驟 404。如此重複執行直到預設測試時間終了為止。

於一實施例中，更可以數位簽章方式獨立地檢查非揮發性記憶體 106 之測試區中所儲存的測試程式之程式碼是

否正確，以確保處理器 102 所執行之測試程式的正確性，得到正確的測試結果。若判斷出測試區之內容不正確的話，可將另一個錯誤旗標訊號 Err_flg2(圖內未顯示)轉為致能，以指示測試結果為失敗。

此外，其中處理器亦可根據一經重新對映後之指令位址讀取測試程式。於測試完畢之後，可以將測試區轉變換成待測區，並執行第二次的測試，以測試原來的非揮發性記憶體 106 之測試區的多個記憶體儲存單元是否均能正常操作。在進行第二次測試之前，可以先將原來的待測區之一部份規劃成新的測試區，而新的測試區以外的區域則作為新的待測區。測試前並將測試程式下載於此新的測試區中，並將一比對資料填滿新的待測區中，此時模式選擇訊號 Md_Slct 設定成預設位址 Dflt_Pt。於重新執行上述之測試動作之後，即可讓整個非揮發性記憶體 106 的所有記憶體儲存單元均能完成測試。舉例來說，於第二次測試時，可將測試區規劃成位於非揮發性記憶體 106 的起始位置，此時模式選擇訊號 Md_Slct 將設定成使第二選擇器 204 選擇預設位址 Dflt_Pt 的狀態。

上述實施例所述之測試區與待測區於非揮發性記憶體中之位置僅為一例，於實務操作上，亦可依情況讓測試區與待測區位於非揮發性記憶體之其他位置上。

此外，非揮發性記憶體 106 亦可由多種不同的設計來達成。例如，非揮發性記憶體 106 可由一個快閃記憶體 (flash memory) 來達成，或者非揮發性記憶體 106 可由兩個快閃記憶體來達成，第一個快閃記憶體具有測試區，第二

個快閃記憶體具有待測區。或者，非揮發性記憶體 106 可包括一唯讀記憶體(Read-Only Memory, ROM)與一快閃記憶體，唯讀記憶體具有測試區，快閃記憶體具有待測區。

數位簽章檢查電路 108 例如使用以字元為基礎(word based)之互斥或(Exclusive-OR)運算來達成。數位簽章檢查電路 108 例如可執行簽章比對動作。而於對測試區進行簽章比對動作至最後一個字元時，會變成對內容值均為 1 的字元進行簽章比對，藉此可判斷出測試區所儲存的內容是否正確。

上述實施例之晶片與測試方法，僅須判斷處理器之錯誤旗標訊號之接腳的狀態，即可判斷出晶片是否通過測試，而不需要將晶片之眾多輸入輸出(I/O)接腳與外部之硬體設備連接，可省去外部硬體設備並使測試流程得以簡化，而可大幅地降低測試所需之成本。上述實施例可符合 AEC-Q100 規範之對於非揮發性記憶體之測試的要求，且具有良好的測試正確度。對於實現晶片之高安全性的需求，確有極高的貢獻，例如車用晶片，但不以此為限。

綜上所述，雖然本揭露已以若干實施例揭露如上，然其並非用以限定本揭露。本揭露所屬技術領域中具有通常知識者，在不脫離本揭露之精神和範圍內，當可作各種之更動與潤飾。因此，本揭露之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖繪示繪示依照本揭露之之具嵌入式非揮發性記

憶體之晶片一實施例的方塊圖。

第 2 圖繪示第 1 圖之重新對映電路之一實施例的方塊圖。

第 3 圖為一實施例之棋盤式樣式資料之資料格式示意圖。

第 4 圖繪示依照本揭露之一種具嵌入式非揮發性記憶體之晶片之測試方法一實施例的流程圖。

【主要元件符號說明】

- 100：晶片
- 102：處理器
- 104：重新對映電路
- 106：非揮發性記憶體
- 108：數位簽章檢查電路
- 110：邏輯電路
- 112：硬體配置元件
- 202：第一選擇器
- 204：第二選擇器
- 206：加法器
- 402～414：流程步驟

七、申請專利範圍：

1. 一種具嵌入式 (Embedded) 非揮發性記憶體 (Non-volatile memory, NVM) 之晶片，包括：

一處理器 (processor)；

一邏輯電路，係與該處理器電性連接；

一重新對映 (Remapping) 電路，係與該處理器電性連接；以及

一非揮發性記憶體，係與該處理器及該重新對映電路電性連接，該非揮發性記憶體具有一測試區與一待測區，該測試區儲存有一測試程式，該待測區儲存有一待測資料；

其中，當該處理器對該晶片進行測試時，該處理器輸出一原始指令位址，該重新對映電路對該原始指令位址進行重新對映，以產生一重新對映後指令位址，該處理器根據重新對映後指令位址讀取該測試區中之該測試程式並執行該測試程式，以對該待測區所儲存之該待測資料進行讀取並進行該邏輯電路觸發測試。

2. 如申請專利範圍第 1 項所述之嵌入式非揮發性記憶體晶片，更包括一數位簽章檢查 (signature check) 電路，係與該非揮發性記憶體及該處理器電性連接，用以檢查該測試區所儲存之該測試程式的程式碼是否正確。

3. 如申請專利範圍第 1 項所述之嵌入式非揮發性記憶體晶片，該重新對映電路係由一硬體配置元件所輸出之

一硬體配置設定訊號所控制。

4. 如申請專利範圍第 3 項所述之嵌入式非揮發性記憶體晶片，其中該硬體配置設定訊號包括一指向位址選擇訊號與一模式選擇訊號，該重新對映電路包括：

一第一選擇器，用以在該指向位址選擇訊號的控制之下，選擇性地輸出一指向位址；

一第二選擇器，用以在該模式選擇訊號的控制之下，接收該指向位址，並選擇性地以該指向位址作為一調整位址輸出；以及

一加法器，用以將該原始指令位址與該調整位址相加，以產生該重新對映後指令位址。

5. 如申請專利範圍第 4 項所述之嵌入式非揮發性記憶體晶片，其中第一選擇器係在該指向位址選擇訊號的控制之下，從複數個候選位址中，選擇其一作為該指向位址。

6. 如申請專利範圍第 4 項所述之嵌入式非揮發性記憶體晶片，其中第二選擇器係在該模式選擇訊號的控制之下，從一預設位址與該指向位址二者中擇一，以作為該調整位址輸出。

7. 如申請專利範圍第 1 項所述之嵌入式非揮發性記憶體晶片，其中，該非揮發性記憶體包括一第一快閃記憶體(flash memory)與一第二快閃記憶體，第一快閃記憶體具

有該測試區，第二快閃記憶體具有該待測區。

8. 如申請專利範圍第 1 項所述之嵌入式非揮發性記憶體晶片，其中，該非揮發性記憶體包括一唯讀記憶體 (Read-Only Memory, ROM) 與一快閃記憶體，唯讀記憶體具有該測試區，快閃記憶體具有該待測區。

9. 如申請專利範圍第 1 項所述之嵌入式非揮發性記憶體晶片，其中該嵌入式非揮發性記憶體晶片係為車用嵌入式非揮發性記憶體晶片。

10. 如申請專利範圍第 1 項所述之嵌入式非揮發性記憶體晶片，其中該待測資料係為棋盤式樣式 (checkerboard pattern) 資料。

11. 一種具嵌入式非揮發性記憶體之晶片之測試方法，包括：

提供一晶片，該晶片具有一處理器、一非揮發性記憶體與一邏輯電路，該非揮發性記憶體具有一測試區與一待測區，該測試區儲存有一測試程式，該待測區儲存有一待測資料，該處理器讀取並執行該測試程式，包括：

初始化該晶片；

從該待測區之起始位址開始讀取 N 個位元組的待測資料；

重複下述測試步驟直到該待測區之待測資料讀取完

畢為止：

觸發(toggle)該邏輯電路；以及

從該待測區讀取下 N 個位元組的待測資料。

12. 如申請專利範圍第 11 項所述之方法，更包括：
將讀取之待測資料與一比對樣式資料進行比對，並判斷比對結果是否正確。

13. 如申請專利範圍第 12 項所述之方法，更包括：
當判斷比對結果為不正確時，致能一錯誤旗標訊號。

14. 如申請專利範圍第 11 項所述之方法，其中更包括
使用一數位簽章方式檢查該測試區所儲存之測試程式的
程式碼是否正確。

15. 如申請專利範圍第 11 項所述之方法，其中該處理器
係根據一經重新對映後之指令位址讀取該測試程式。

16. 如申請專利範圍第 12 項所述之方法，其中該待測
資料及該比對資料係為一棋盤式樣式 (checkerboard
pattern) 資料。

17. 如申請專利範圍第 11 項所述之方法，其中該嵌入式
非揮發性記憶體晶片係為車用嵌入式非揮發性記憶體
晶片。

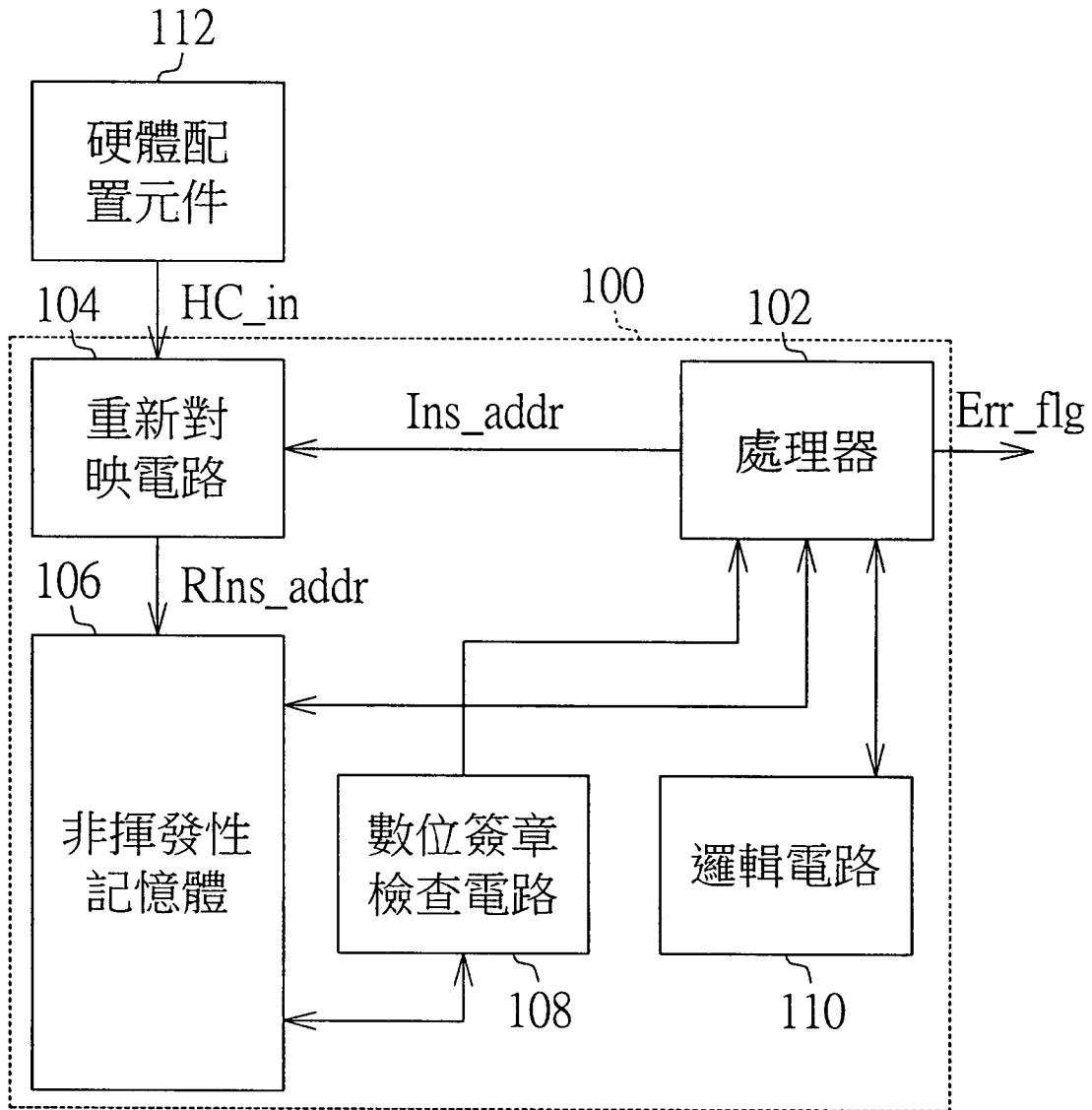
18. 如申請專利範圍第 11 項所述之方法，其中該非揮發性記憶體包括具有該測試區之一第一快閃記憶體與具有該待測區之一第二快閃記憶體。

19. 如申請專利範圍第 11 項所述之方法，其中該非揮發性記憶體包括具有該測試區之一唯讀記憶體(Read-Only Memory, ROM)與具有該待測區之一快閃記憶體。

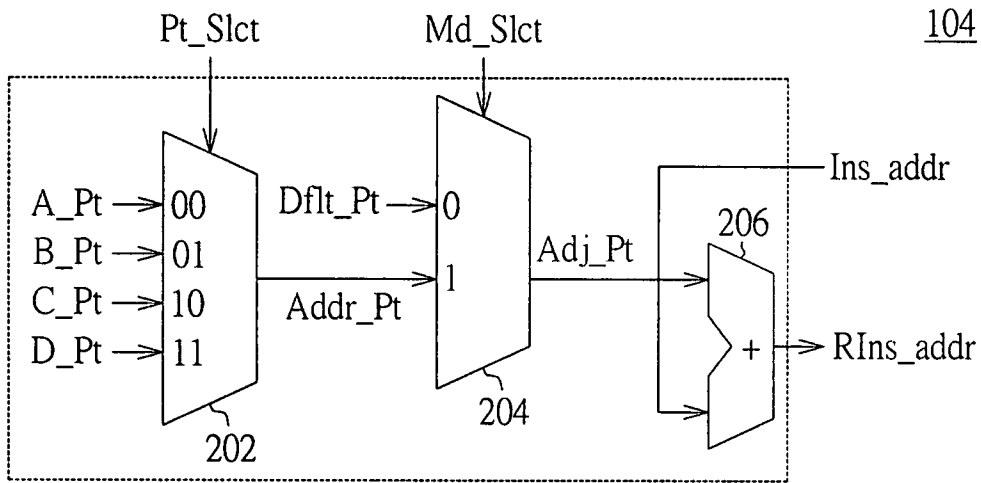
20. 如申請專利範圍第 11 項所述之方法，更包括：

若待測資料已經讀取完畢，則從待測區之起始位址開始讀取 N 個位元組的待測資料，並重複執行該等測試步驟。

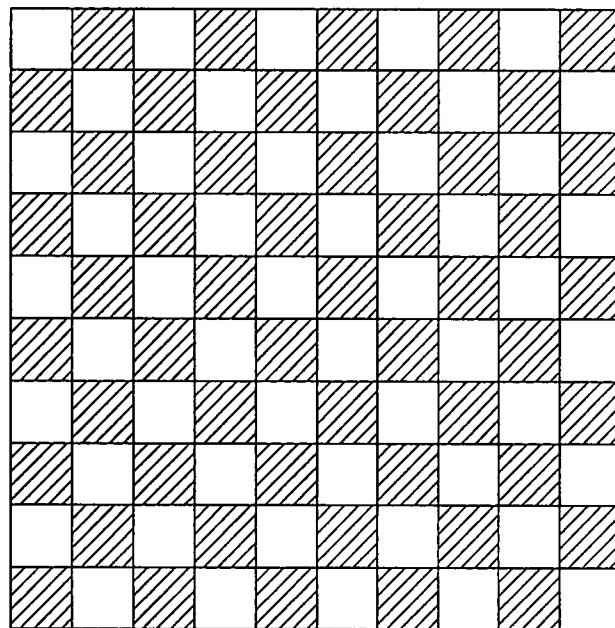
八、圖式：



第 1 圖

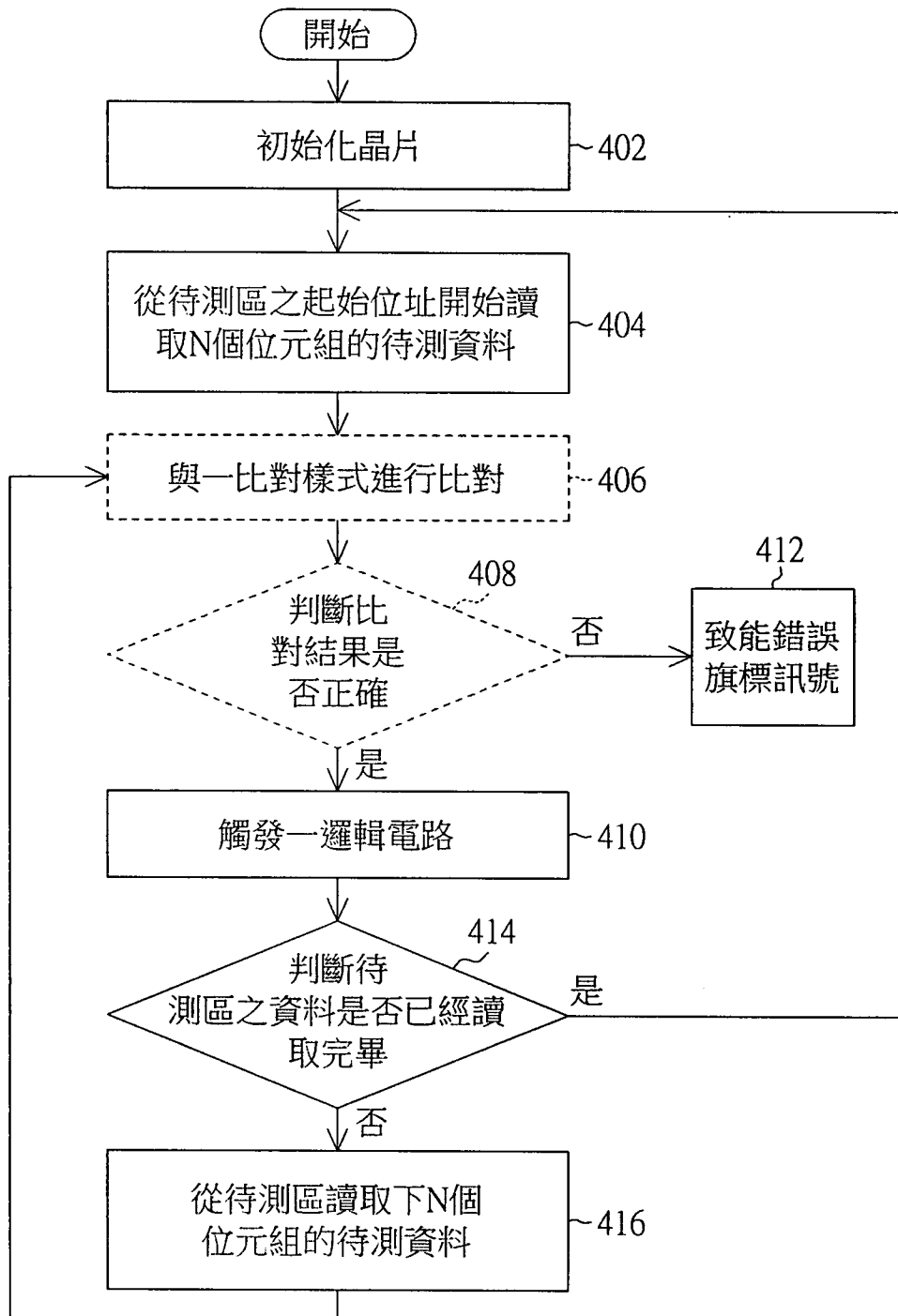


第 2 圖



→ 0
 → 1

第 3 圖



第 4 圖