



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2012년08월01일  
 (11) 등록번호 10-1170210  
 (24) 등록일자 2012년07월25일

(51) 국제특허분류(Int. Cl.)  
**C23C 16/00** (2006.01) **B05D 3/02** (2006.01)  
**C30B 23/00** (2006.01) **C30B 25/00** (2006.01)  
 (21) 출원번호 10-2008-7029191  
 (22) 출원일자(국제) 2007년04월30일  
 심사청구일자 2008년11월28일  
 (85) 번역문제출일자 2008년11월28일  
 (65) 공개번호 10-2009-0009929  
 (43) 공개일자 2009년01월23일  
 (86) 국제출원번호 PCT/US2007/067806  
 (87) 국제공개번호 WO 2007/130916  
 국제공개일자 2007년11월15일  
 (30) 우선권주장  
 60/796,574 2006년05월01일 미국(US)  
 (56) 선행기술조사문헌  
 US20050079692 A1\*  
 Lerch, W. et al. 'Rapid thermal solid phase epitaxy annealing for ultra-shallow junction formation' ECS2003, #886. (2003)\*  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
**어플라이드 머티어리얼스, 인코포레이티드**  
 미국 95054 캘리포니아 산타 클라라 바우어스 애브뉴 3050  
 (72) 발명자  
**김, 이환**  
 미국 95035 캘리포니아 밀피타스 헤븐리 플라이스 825  
**포어드, 마제드 에이.**  
 미국 94087 캘리포니아 씨니베일 웨라톤 드라이브 640  
 (뒷면에 계속)  
 (74) 대리인  
**남상선**

전체 청구항 수 : 총 15 항

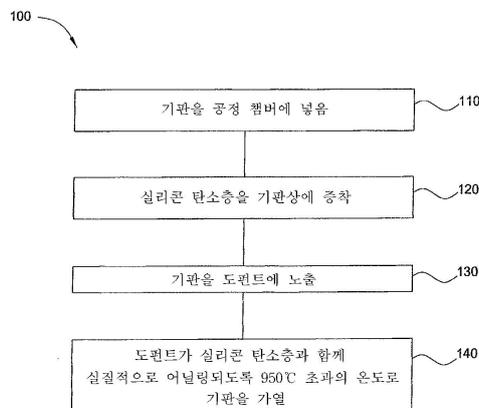
심사관 : 김상준

(54) 발명의 명칭 **탄소 함유된 S I 필름을 사용한 초박형 접합 형성 방법**

**(57) 요약**

본 발명은 기판상에 초박형 접합부를 형성시키는 방법이 제공된다. 특정의 구체예에서, 기판상에 초박형 접합부를 형성시키는 방법이 제공된다. 기판은 챔버내에 위치된다. 실리콘 탄소층이 기판상에 증착된다. 실리콘 탄소층이 도펀트에 노출된다. 기판은 실리콘 탄소층내의 도펀트가 실질적으로 어닐링되도록 950℃ 초과 온도로 가열된다. 특정의 구체예에서, 기판은 약 1000℃ 내지 약 1100℃의 온도로 가열된다. 특정의 구체예에서, 기판은 약 1030℃ 내지 약 1050℃의 온도로 가열된다. 특정의 구체예에서, 단계식 p-n 접합부를 지니는 구조체가 제공된다.

**대표도 - 도1**



(72) 발명자

**초, 요나흐**

미국 95051 캘리포니아 산타 클라라 #137 헬포드  
애브뉴 1901

**예, 치유안**

미국 95129 캘리포니아 샌어제이 #비209 데 안자  
블러바드 1028

**조자지, 아리**

미국 95051 캘리포니아 산타 클라라 바르토 스트리  
트 662

**산체즈, 에를**

미국 95377 캘리포니아 트래시 질 드라이브 324

---

**특허청구의 범위**

**청구항 1**

공정 챔버에서 전계 효과 트랜지스터(Field Effect Transistor: FET) 장치를 위한 기판상에 초박형 접합부를 형성시키는 방법으로서,

단결정 표면 및 비-단결정인 하나 이상의 이차 표면을 포함하는 기판을 공정 챔버에 위치시키고;

에피택셜(epitaxial) 실리콘 탄소층을 단결정 표면상에 증착시키면서 다결정층을 기판의 이차 표면에 형성시키고;

기판을 에칭 가스에 노출시켜서 단결정 표면상에 선택적으로 순수한 에피택셜층의 증착이 달성될 때까지 기판으로부터 에피택셜 층과 에피택셜층 보다 더 빠른 속도로 제거되는 다결정층 둘 모두를 에칭하고;

에칭 가스의 공정 챔버를 퍼징하고;

소정의 실리콘 탄소층의 두께가 달성될 때까지, 다결정층을 형성시키면서 실리콘 탄소층을 단결정 표면에 에피택셜하게 증착시키고, 기판을 에칭 가스에 노출시키고, 에칭 가스의 공정 챔버를 퍼징함을 반복하고;

실리콘 탄소층을 도펀트에 노출시키고;

도펀트를 실리콘 탄소층과 함께 어닐링시켜 3nm/decade의 도펀트 프로파일을 지니는 초박형 접합부가 형성되도록 기판을 950℃ 초과 온도 가열함을 포함하는 방법.

**청구항 2**

제 1항에 있어서, 온도가 1000℃ 내지 1100℃인 방법.

**청구항 3**

제 1항에 있어서, 온도가 1030℃ 내지 1050℃인 방법.

**청구항 4**

제 1항에 있어서, 기판을 가열하는 것이 스파이크 어닐링을 수행함을 포함하는 방법.

**청구항 5**

제 1항에 있어서, 도펀트가 붕소, 비소, 인 및 이들의 조합물로 이루어진 군으로부터 선택되는 방법.

**청구항 6**

제 1항에 있어서, 실리콘 탄소층을 도펀트에 노출시키는 것이 이온 주입 공정을 수행함을 포함하는 방법.

**청구항 7**

제 6항에 있어서, 이온 주입 공정이 1 keV에서  $5 \times 10^{14}$  원자/cm<sup>2</sup> 내지  $1 \times 10^{15}$  원자/cm<sup>2</sup>의 용량으로 인을 주입함을 포함하는 방법.

**청구항 8**

제 6항에 있어서, 이온 주입 공정이 0.5 keV 에서  $5 \times 10^{14}$  원자/cm<sup>2</sup> 내지  $1 \times 10^{15}$  원자/cm<sup>2</sup>의 용량으로 붕소를 주입함을 포함하는 방법.

**청구항 9**

공정 챔버에서 전계 효과 트랜지스터(Field Effect Transistor: FET) 장치를 위한 기판상에 초박형 접합부를 형성시키는 방법으로서,

단결정 표면 및 비-단결정인 하나 이상의 이차 표면을 포함하는 기판을 공정 챔버에 위치시키고;

에피택셜(epitaxial) 실리콘 탄소층을 단결정 표면상에 증착시키면서 다결정층을 기판의 이차 표면에 형성시

키고;

기판을 에칭 가스에 노출시켜서 단결정 표면에 선택적으로 순수한 에피택셜층의 증착이 달성될 때까지 기판으로부터 에피택셜층과 에피택셜층 보다 더 빠른 속도로 제거되는 다결정층 둘 모두를 에칭하고;

에칭 가스의 공정 챔버를 퍼징하고;

소정의 실리콘 탄소층의 두께가 달성될 때까지, 다결정층을 형성시키면서 에피택셜 실리콘 탄소층을 단결정 표면에 증착시키고, 기판을 에칭 가스에 노출시키고, 에칭 가스의 공정 챔버를 퍼징함을 반복하고;

플라즈마 잠입 이온 주입 공정을 이용하여 도펀트를 실리콘 탄소층에 주입하고;

기판을 950℃ 초과 온도 가열함을 포함하는 방법.

**청구항 10**

제 9항에 있어서, 온도가 1000℃ 내지 1100℃인 방법.

**청구항 11**

제 9항에 있어서, 플라즈마 잠입 이온 주입 공정이 1 keV에서  $5 \times 10^{14}$  원자/cm<sup>2</sup> 내지  $1 \times 10^{15}$  원자/cm<sup>2</sup>의 용량으로 인을 주입함을 포함하는 방법.

**청구항 12**

제 9항에 있어서, 플라즈마 잠입 이온 주입 공정을 이용한 실리콘 탄소층으로의 도펀트 주입이  $5 \times 10^{14}$  원자/cm<sup>2</sup> 내지  $1 \times 10^{15}$  원자/cm<sup>2</sup>의 용량으로 붕소를 주입함을 포함하는 방법.

**청구항 13**

제 9항에 있어서, 초박형 집합부의 도펀트 프로파일이 3nm/decade인 방법.

**청구항 14**

제 9항에 있어서, 기판을 950℃ 초과 온도 가열한 후에, 실리콘 탄소층의 상부가 실리콘 탄소층의 하부의 치환 탄소 농도 보다 더 작은 치환 탄소 농도를 지니는 방법.

**청구항 15**

제 9항에 있어서, 에피택셜 실리콘 탄소층을 단결정 표면에 증착시키는 것이 선택적인 에피택셜 공정을 수행함을 포함하는 방법.

**청구항 16**

삭제

**청구항 17**

삭제

**청구항 18**

삭제

**청구항 19**

삭제

**청구항 20**

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

명세서

기술분야

[0001] 본 발명의 구체예는 일반적으로 반도체 장치 및 이를 제조하는 방법, 및 전계 효과 트랜지스터(Field Effect Transistor: FET) 장치에서 초박형 접합부(ultra-shallow junction)를 제작하는 방법에 관한 것이다.

배경기술

[0002] 극초고밀도 집적(Ultra-large-scale integrated: ULSI) 회로는 전형적으로는 반도체 기판상에 형성되고 전자 장치내에서 다양한 기능을 수행하도록 협동하는 백만개 이상의 트랜지스터를 포함한다. 그러한 트랜지스터는 상보성 금속 산화막 반도체(complementary metal-oxide-semiconductor: CMOS) 전계 효과 트랜지스터 및 금속 산화막 반도체 전계 효과 트랜지스터(metal oxide semiconductor field effect transistors: MOSFET)를 포함할 수 있다.

[0003] CMOS 트랜지스터는 반도체 기판에 규정된 소오스 영역(source region)과 드레인 영역(drain region) 사이에 배치되는 게이트 구조를 포함한다. 게이트 구조는 일반적으로 게이트 유전물질상에 형성된 게이트 전극을 포함한다. 게이트 전극은 트랜지스터를 켜거나 끄도록 드레인 영역과 소오스 영역 사이에 형성되는 채널 영역에서 게이트 유전물질 밑의 전하 캐리어의 흐름을 제어한다. 채널, 드레인 및 소오스 영역은 총괄적으로는 본 기술분야에서 "트랜지스터 접합부(transistor junction)로 일컬어진다. 그러한 트랜지스터의 작동 속도를 증가시키는 것을 용이하게 하기 위해서 트랜지스터 접합부의 치수를 감소시키고자 하는 변함없는 경향이 있다.

[0004] 게이트 전극은 일반적으로 도핑된 폴리실리콘(Si)으로 형성되지만, 게이트 유전물질은 고유전상수 물질(예, 4.0 보다 큰 유전상수), 예컨대, 이산화규소(SiO<sub>2</sub>) 또는 N-도핑된 실리콘 디옥사이드 등에 의한 박막(예, <20Å)을 포함할 수 있다.

[0005] CMOS 트랜지스터는 이온 주입 공정을 이용하여 반도체 기판에 소오스 및 드레인 영역을 형성시킴으로써 제조될 수 있다. 그러나, 트랜지스터 접합부를 위한 더 작은 치수는 감소된 깊이(예, 100 내지 500Å의 깊이)의 소오스 및 드레인 영역의 형성을 필요로 한다. 그러한 초박형 접합부(ultra shallow junction)는 단계식 인터페이스(abrupt interface)를 요하며, 이러한 인터페이스는 이온-채널화 및 과도적인 촉진 확산 현상(transient enhanced diffusion phenomena: TED)으로 인해서 이온 주입 기술의 사용에 의해서 형성시키기가 어렵다. 도펀트(Dopant)는 도펀트가 과다한 실리콘 틱새와 상호작용함으로써 인하여 주입후 어닐링 동안 크게 촉진된 확산 또는 TED를 겪게 된다. 이러한 촉진된 확산은 더 깊은 소오스/드레인 접합부 및 더 불량한 접합부 프로파일을 초래한다.

[0006] 초박형 접합부의 형성 동안 TED를 감소시키기 위한 몇 가지 방법이 시도되었다. 초박형 트랜지스터 접합부를 제조하는 한 가지 방법은 탄소가 붕소와 같은 도펀트와 동시-주입되는 방법으로서 탄소 동시-주입법이라 일컬어진다. 탄소 동시-주입법이 TED를 감소시키는데는 성공적이지만, 탄소 동시-주입법은 필름내에 아주 많은 포인트 결함을 생성시키는 단점이 있다.

[0007] 또 다른 방법은 어닐링 동안 TED를 감소시키기 위해서 불소 동시-주입물을 사용한다. 그러나, 이러한 방법은 탄소 동시-주입법과 동일한 결함으로 포인트 결함이 어닐링 후에 남게되는 단점이 있다.

[0008] 따라서, 전계 효과 트랜지스터의 초박형 접합부를 제조하는 개선된 방법이 요구되고 있다.

**발명의 상세한 설명**

[0009] 발명의 요약

[0010] 본 발명은 일반적으로 전계 효과 트랜지스터 장치의 초박형 접합부(ultra shallow junction)를 제조하는 방법에 관한 것이다. 특정의 구체예에서, 기판상에 초박형 접합부를 형성시키는 방법이 제공된다. 그러한 기판은 공정 챔버내에 위치된다. 실리콘 탄소층이 기판상에 증착된다. 실리콘 탄소층은 도펀트에 노출된다. 기판은 실리콘 탄소층내에 도펀트가 실질적으로 어닐링되게 950°C 초과 온도로 가열된다. 특정의 구체예에서, 기판은 약 1000°C 내지 약 1100°C의 온도로 가열된다. 특정의 구체예에서, 기판은 1030°C 내지 1050°C의 온도로 가열된다.

[0011] 특정의 구체예에서, 기판 표면에 초박형 접합부를 형성시키는 방법이 제공된다. 기판은 공정 챔버내에 위치한다. 에피택셜(epitaxial) 실리콘 탄소층이 기판상에 증착된다. 도펀트가 실리콘 탄소층내로 주입된다. 기판이 950°C 초과 온도로 가열된다. 특정의 구체예에서, 도펀트는 플라즈마 잠입 이온주입 공정(plasma immersion ion implantation process)을 이용하여 실리콘 탄소층내로 주입된다. 특정의 구체예에서, 기판을 950°C 초과 온도로 가열한 후에는, 실리콘 탄소층의 상부는 실리콘 탄소층의 하부의 치환 탄소 농도(substitutional carbon concentration)에 비해서 더 낮은 치환 탄소 농도를 지닌다.

[0012] 특정의 구체예에서, 계단식 p-n 접합부(abrupt p-n junction)를 지니는 구조체가 제공된다. 그러한 구조체는 반도체 기판을 포함한다. 그러한 구조체는 에피택셜형으로 증착된 실리콘 탄소층에 주입된 이온에 의해서 형성된 소오스 영역과 드레인 영역을 더 포함한다. 그러한 구조는 채널 영역을 더 포함하고, 그러한 채널 영역 위에 게이트가 있고, 그러한 게이트는 게이트 전극과 유전층을 포함한다. 특정의 구체예에서, 계단식 p-n 접합부는 약 3nm/decade의 도펀트 프로파일을 지닌다. 특정의 구체예에서, 초박형 접합부의 도펀트 프로파일은 3nm/decade 일 수 있다.

[0013] 상기된 설명은 하기 기재되는 본 발명의 상세한 설명이 더 잘 이해될 수 있도록 본 발명의 특징 및 기술적 이점을 광범위하게 개괄하고 있다. 본 발명의 청구범위의 대상을 형성하는 본 발명의 추가의 특징 및 이점이 이하 기재될 것이다. 본 기술분야의 전문가라면 개시되는 개념 및 구체예가 본 발명의 동일한 목적을 수행하는 다른 구조 또는 공정을 변화시키거나 설계하는 기초로서 용이하게 이용될 수 있다는 것을 인지할 수 있을 것이다. 또한 본 기술분야의 전문가라면 그러한 동등한 구성이 첨부된 특허청구범위에 기재된 본 발명의 사상 및 범위를 벗어나지 않는다는 것을 이해해야 한다.

[0014] 도면의 간단한 설명

[0015] 본 발명의 상기된 특징이 상세히 이해될 수 있게 하는 방식으로, 상기 간단하게 요약된 본 발명의 더 특정된 설명이 구체예를 참조로 기재되고 있으며, 그 일부가 첨부된 도면에 예시되어 있다. 그러나, 본 발명은 다른 동일한 효과의 구체예에 허용될 수 있으므로, 첨부된 도면은 본 발명의 전형적인 구체예를 단지 예시하는 것이며 발명의 범위를 한정하는 것으로 간주되지 않음을 주지해야 한다.

[0016] 도 1은 본원에 기재된 특정의 구체예에 따라서 기판상에 초박형 접합부를 형성시키는 예시적인 공정 시퀀스를 예시하고 있다.

[0017] 도 2A 내지 도 2E는 MOSFET내의 소오스/드레인 연장부 장치에 대한 제조 기술을 예시하고 있다.

[0018] 도 3A 내지 도 3C는 본원에 기재된 구체예를 적용시킴으로써 선택적으로 및 에피택셜하게 증착된 실리콘-함유층을 함유하는 몇 가지 장치를 예시하고 있다.

[0019] 도 4는 증착된 대로의 실리콘 탄소 에피택셜 필름(대조)과 스파이크(spike) 어닐링된 실리콘 탄소 에피택셜 필름의 고분해능 X-레이 회절분석기(high resolution X-ray diffractometer: HR-XRD) 스펙트럼의 플롯을 예시하고 있다.

[0020] 도 5는 증착된 대로의 실리콘 탄소 에피택셜 필름, 주입된 대로의 실리콘 탄소 에피택셜 필름 및 주입되고 어닐링된 실리콘 탄소 에피택셜 필름의 HR-XRD 스펙트럼의 플롯을 예시하고 있다.

[0021] 도 6은 주입되고 어닐링된 실리콘 탄소 필름의 탄소 및 인의 이차 이온 질량 분석(Secondary Ion Mass Spectroscopy: SIMS) 깊이 프로파일의 플롯을 예시하고 있다.

- [0022] **상세한 설명**
- [0023] 청구범위에서 기재된 본 발명의 구체예는 일반적으로 기판 표면에 초박형 접합부를 형성시키는 방법을 제공한다. 기판은 공정 챔버에 위치된다. 실리콘 탄소 층이 기판 표면에 증착된다. 실리콘 탄소 층이 도펀트에 노출된다. 기판은 실리콘 탄소 층내의 도펀트의 실질적인 어닐링이 유발되도록 950°C 초과 온도로 가열된다.
- [0024] 본원 전체에 걸쳐서, 용어 "실리콘-함유" 물질, 화합물, 필름 또는 층은 적어도 실리콘을 함유하는 조성물을 포함하는 것으로 해석되어야 하며 게르마늄, 탄소, 붕소, 비소, 인, 갈륨 및/또는 알루미늄을 함유할 수 있다. 다른 원소, 예컨대, 금속, 할로젠 또는 수소가 일반적으로 백만분율(ppm)의 농도로 실리콘-함유 물질, 화합물, 필름 또는 층내에 혼입될 수 있다. 실리콘-함유 물질의 화합물 또는 합금은, 실리콘의 경우 Si, 실리콘 게르마늄의 경우 SiGe, 실리콘 탄소의 경우 SiC, 및 실리콘 게르마늄 탄소의 경우 SiGeC와 같은 약어로 표현될 수 있다. 약어는 화학양론적 관계의 화학식을 나타내는 것이 아니며, 또한 실리콘-함유 물질의 어떠한 특성의 환원/산화 상태를 나타내는 것도 아니다.
- [0025] 도 1은 기판상에 초박형 접합부를 형성시키는 예시적인 공정 시퀀스(100)를 예시하고 있다. 단계(110)에서, 기판이 공정 챔버에 위치한다. 단계(120)에서, 실리콘 탄소층이 기판상에 증착된다. 단계(130)에서, 실리콘 탄소층이 도펀트에 노출된다. 단계(140)에서, 실리콘 탄소층내에서의 도펀트의 실질적인 어닐링이 유발되도록 기판이 950°C 초과 온도로 가열된다.
- [0026] 단계(110)에서, 기판이 공정 챔버에 위치한다. 단계(110)의 기판은 패턴 형성된 기판일 수 있다. 패턴 형성된 기판은 기판표면내에 또는 그 표면 상에 형성된 전자 특징을 포함하는 기판이다. 패턴 형성된 기판은 단결정 표면 및 비-단결정인 하나 이상의 이차 표면, 예컨대, 다결정 또는 비정질 표면을 함유할 수 있다. 단결정 표면은 실리콘, 실리콘 게르마늄 또는 실리콘 탄소와 같은 물질로 일반적으로 제조된 베어 결정상 기판(bare crystalline substrate) 또는 증착된 단일 결정층을 포함한다. 다결정 또는 비정질 표면은 비정질 실리콘 표면 뿐만 아니라, 산화물 또는 질화물, 특히 실리콘 산화물 또는 실리콘 질화물과 같은 유전물질을 포함할 수 있다.
- [0027] 단계(120)에서, 실리콘 탄소층이 기판상에 증착된다. 단계(120)의 실리콘 탄소층은 에피택셜 공정(epitaxial process)을 이용함으로써 증착될 수 있다. 일반적으로, 공정 챔버는 에피택셜 공정 전체에 걸쳐서 일관된 온도로 유지된다. 그러나, 일부 단계는 변화하는 온도에서 수행될 수 있다. 공정 챔버는 약 250°C 내지 약 1,000°C, 바람직하게는 약 500°C 내지 약 800°C, 더욱 바람직하게는 약 550°C 내지 약 750°C 범위의 온도에서 유지된다. 에피택셜 공정을 수행시키기 위한 적절한 온도는 실리콘-함유 물질을 증착시키고/거나 에칭하는데 사용된 특성의 전구체에 좌우될 수 있다. 한 가지 예로, 염소(Cl<sub>2</sub>) 가스가 이 보다 더 일반적인 식각제를 사용하는 공정 보다 더 낮은 온도에서 실리콘-함유 물질을 위한 식각제로서 잘 작용한다는 것이 밝혀졌다. 따라서, 한 가지 예로, 공정 챔버를 예열시키는 바람직한 온도는 약 750°C 또는 그 미만, 바람직하게는 약 650°C 또는 그 미만, 더욱 바람직하게는 약 550°C 또는 그 미만이다. 공정 챔버는 일반적으로 약 0.1 토르(Torr) 내지 약 200 토르, 바람직하게는 약 1 토르 내지 약 50 토르의 압력에서 유지될 수 있다. 압력은 이러한 증착 단계동안 또는 그 사이에 변동될 수 있지만, 일반적으로 일정하다.
- [0028] 단계(120)의 증착 공정 동안, 기판은 이차 표면에 다결정층이 형성되면서 단결정 표면에 에피택셜 층이 형성되도록 증착 가스에 노출된다. 기판은 약 0.5 초 내지 약 30초, 바람직하게는 약 1 초 내지 약 20초, 더욱 바람직하게는 약 5 초 내지 약 10초 동안 증착 가스에 노출된다. 증착 공정의 특성의 노출시간은 공정에서 사용된 특성의 전구체 및 온도 뿐만 아니라, 에칭 공정 동안의 노출 시간과 관련하여 결정된다. 일반적으로, 기판은 증착 단계(120) 동안 용이하게 에칭될 수 있는 최소 두께의 다결정 층을 형성시키면서 최대 두께의 에피택셜 층을 형성시키기에 충분히 길게 증착 가스에 노출된다.
- [0029] 증착 가스는 적어도 실리콘 공급원, 캐리어 가스 및 탄소 공급원을 함유한다. 특성의 구체예에서, 증착 가스는 하나 이상의 식각제, 예컨대, 염화수소 또는 염소를 포함할 수 있다.
- [0030] 실리콘 공급원은 일반적으로 약 5sccm 내지 약 500sccm, 바람직하게는 약 10sccm 내지 약 300sccm, 더욱 바람직하게는 약 50sccm 내지 약 200sccm의 범위, 예를 들어, 약 100sccm의 속도로 공정 챔버에 제공된다. 실리콘-함유 화합물을 증착시키기 위한 증착 가스에 유용한 실리콘 공급원은 실란, 할로젠화된 실란, 및 유기실란을 포함한다. 실란은 실란(SiH<sub>4</sub>) 및 실험식 Si<sub>x</sub>H<sub>(2x+2)</sub>의 고급 실란, 예컨대, 디실란(Si<sub>2</sub>H<sub>6</sub>), 트리실란(Si<sub>3</sub>H<sub>8</sub>) 및 테트라실란(Si<sub>4</sub>H<sub>10</sub>) 뿐만 아니라 다른 실란들을 포함한다. 할로젠화된 실란은 실험식 X'<sub>y</sub>Si<sub>x</sub>H<sub>(2x+2-y)</sub>(여기서, X'=F, Cl, Br 또는 I)의 화합물, 예컨대, 헥사클로로디실란(Si<sub>2</sub>Cl<sub>6</sub>), 테트라클로로실란(SiCl<sub>4</sub>), 디클로로실란(Cl<sub>2</sub>SiH<sub>2</sub>)

및 트리클로로실란( $\text{Cl}_3\text{SiH}$ )을 포함한다. 유기실란은 실험식  $\text{R}_y\text{Si}_x\text{H}_{(2x+2-y)}$ (여기서, R = 메틸, 에틸, 프로필 또는 부틸)의 화합물, 예컨대, 메틸실란( $(\text{CH}_3)\text{SiH}_3$ ), 디메틸실란 ( $(\text{CH}_3)_2\text{SiH}_2$ ), 트리메틸실란 ( $(\text{CH}_3)_3\text{SiH}$ ), 에틸실란 ( $(\text{CH}_3\text{CH}_2)\text{SiH}_3$ ), 메틸디실란( $(\text{CH}_3)_2\text{SiH}_2$ ), 디메틸디실란( $(\text{CH}_3)_2\text{Si}_2\text{H}_4$ ) 및 헥사메틸디실란( $(\text{CH}_3)_6\text{Si}_2$ )을 포함한다. 유기실란 화합물은 증착된 실리콘-함유 화합물에 탄소를 혼입하는 구체예에서 탄소 공급원 뿐만 아니라 유리한 실리콘 공급원인 것으로 밝혀졌다.

[0031] 실리콘 공급원은 일반적으로는 캐리어 가스와 함께 공정 챔버내로 제공된다. 캐리어 가스의 유속은 1 slm(분당 표준 리터) 내지 약 100slm, 바람직하게는 약 5 slm 내지 약 75slm, 더욱 바람직하게는 약 10slm 내지 약 50slm, 예를 들어, 약 25slm이다. 캐리어 가스는 질소( $\text{N}_2$ ), 수소( $\text{H}_2$ ), 아르곤, 헬륨 및 이들의 조합물일 수 있다. 불활성 캐리어 가스가 바람직하며 그러한 예에는 질소, 아르곤, 헬륨 및 이들의 조합물이 포함된다. 캐리어 가스는 에피택셜 공정 동안 사용된 전구체(들) 및/또는 공정 온도에 기초하여 선택될 수 있다. 일반적으로, 캐리어 가스는 각각의 단계 전체에 걸쳐서 동일하다. 그러나, 특정의 구체예는 특정의 단계에서 상이한 캐리어 가스를 사용할 수 있다.

[0032] 바람직하게는, 저온(예,  $<800^\circ\text{C}$ ) 공정이 특징인 구체예에서 질소가 캐리어 가스로서 이용된다. 저온 공정은 에칭 공정에서 염소 가스의 사용에 부분적으로 기인되어 이용된다. 질소는 저온 증착 공정동안 불활성 상태로 유지된다. 따라서, 질소는 저온 공정동안 증착된 실리콘-함유 물질내로 혼입되지 않는다. 또한, 질소 캐리어 가스는 수소 캐리어 가스의 경우와 같은 수소-말단 표면을 형성시키지 않는다. 기판 표면상의 수소 캐리어 가스의 흡착에 의해서 형성된 수소-말단 표면은 실리콘 함유 층의 성장 속도를 억제한다. 마지막으로, 저온 공정은 캐리어 가스로서의 질소의 경제적 이점을 취할 수 있는데, 그 이유는 질소는 수소, 아르곤 또는 헬륨에 비해서 훨씬 저렴하기 때문이다.

[0033] 실리콘-함유 화합물, 예컨대, 실리콘 탄소 물질을 형성시키기 위한 실리콘 공급원과 캐리어 가스에 의한 단계 (120) 동안에 공정 챔버에 제공된 탄소 공급원은 일반적으로는 약 0.1sccm 내지 약 20sccm, 바람직하게는 약 0.5sccm 내지 약 10sccm, 더욱 바람직하게는 약 1 sccm 내지 약 5 sccm의 범위, 예를 들어, 약 2 sccm의 속도로 공정 챔버에 제공된다. 실리콘-함유 화합물을 증착시키는데 유용한 탄소 공급원은 에틸, 프로필 및 부틸의 유기실란, 알킬, 알켄 및 알킨을 포함한다. 그러한 탄소 공급원은 메틸실란( $\text{CH}_3\text{SiH}_3$ ), 디메틸실란( $(\text{CH}_3)_2\text{SiH}_2$ ), 트리메틸실란( $(\text{CH}_3)_3\text{SiH}$ ), 에틸실란( $\text{CH}_3\text{CH}_2\text{SiH}_3$ ), 메탄( $\text{CH}_4$ ), 에틸렌( $\text{C}_2\text{H}_4$ ), 에틴( $\text{C}_2\text{H}_2$ ), 프로판( $\text{C}_3\text{H}_8$ ), 프로펜( $\text{C}_3\text{H}_6$ ), 부틴( $\text{C}_4\text{H}_6$ ) 뿐만 아니라 그 밖의 것들을 포함한다. 에피택셜층의 탄소 농도는 약 200ppm 내지 약 5 at.%, 바람직하게는 약 1 at.% 내지 약 3 at.%의 범위, 예를 들어, 1.5 at.%이다. 특정의 구체예에서, 탄소 농도는 에피택셜층내에서 변화될 수 있다. 바람직하게는 그러한 농도는 에피택셜층의 상부에서의 탄소 농도에 비해서 에피택셜층의 하부에서의 탄소 농도가 더 높게 변화될 수 있다. 대안적으로, 게르마늄 공급원 및 탄소 공급원은 둘 모두 단계(120) 동안 실리콘 공급원 및 캐리어 가스와 함께 공정 챔버내로 첨가되어 실리콘-함유 화합물, 예컨대, 실리콘 게르마늄 탄소 물질을 형성시킬 수 있다.

[0034] 증착 공정은 이와 같은 구성으로 종료된다. 한 가지 예에서, 공정 챔버는 퍼지 가스(purge gas) 또는 캐리어 가스로 플러싱될 수 있고/거나 공정 챔버는 진공 펌프에 의해서 진공화될 수 있다. 퍼징 및/또는 진공화 공정은 과량의 증착 가스, 반응 부산물 및 그 밖의 오염물을 제거한다. 또 다른 예에서, 증착 공정이 종료되면, 에칭 공정이 공정 챔버의 퍼징 및/또는 진공화 없이 즉각적으로 시작된다.

[0035] 임의의 에칭 공정이 수행될 수 있다. 에칭 공정은 단계(120) 동안 증착된 실리콘-함유 물질을 기판 표면으로부터 제거한다. 에칭 공정은 에피택셜 또는 다결정 물질 및 비정질 또는 다결정 물질 둘 모두를 제거한다. 기판 표면에 증착된 경우의 다결정 층은 에피택셜층 보다 더 신속하게 제거된다. 에칭 공정의 시간은 증착 공정의 시간과 균형을 이루어서 기판의 요구된 부위에 선택적으로 형성된 에피택셜층의 순수한 증착을 유도한다. 따라서, 단계(120)에서의 증착 공정 및 에칭 공정의 순 결과(net result)는 선택적으로 및 에피택셜하게 성장한 실리콘-함유 물질을 형성시키면서, 어떠한 발생되는 경우의 다결정 실리콘-함유 물질의 성장을 최소화한다.

[0036] 에칭 공정 동안, 기판은 약 1초 내지 약 90초, 바람직하게는 약 2초 내지 약 30초, 더욱 바람직하게는 약 4초 내지 약 10초 범위의 시간 동안 에칭 가스에 노출된다. 에칭 가스는 하나 이상의 식각제 및 캐리어 가스를 포함한다. 식각제는 일반적으로는 약 10 sccm 내지 약 700 sccm, 바람직하게는 약 50 sccm 내지 약 500 sccm, 더욱 바람직하게는 약 100 sccm 내지 약 400 sccm의 범위, 예를 들어 약 200 sccm의 속도로 공정 챔버내로 공급된다. 에칭 가스에 사용된 식각제는 염소( $\text{Cl}_2$ ), 염화수소( $\text{HCl}$ ), 삼염화붕소( $\text{BCl}_3$ ), 메틸클로라이드( $\text{CH}_3\text{Cl}$ ), 사

염화탄소(CCl<sub>4</sub>), 클로로트리플루오라이드(ClF<sub>3</sub>), 및 이들의 조합물을 포함할 수 있다. 바람직하게는 염소 또는 염화수소가 식각제로서 사용된다.

[0037] 식각제는 일반적으로 캐리어 가스와 함께 공정 챔버내로 공급된다. 캐리어 가스 유속은 약 1slm 내지 약 100 slm, 바람직하게는 약 5 slm 내지 약 75slm, 더욱 바람직하게는 약 10 slm 내지 약 50 slm 범위, 예를 들어, 약 25 slm이다. 캐리어 가스는 질소(N<sub>2</sub>), 수소(H<sub>2</sub>), 아르곤, 헬륨 및 이들의 조합물을 포함할 수 있다. 일부 구체예에서, 불활성 캐리어 가스가 바람직하며, 그러한 예로는 질소, 아르곤, 헬륨 및 이의 조합물이 포함된다. 캐리어 가스는 에피택셜 공정 동안에 사용된 특성의 전구체(들) 및/또는 온도에 기초하여 선택될 수 있다. 동일한 캐리어 가스가 일반적으로 각 단계 전체에 사용된다. 그러나, 일부 구체예는 에칭 공정 동안에 증착 공정에서 사용된 캐리어 가스와 상이한 캐리어 가스를 사용할 수 있다. 특성의 구체예에서, 바람직한 식각제는 염소 가스이며, 특히 AGS 공정이 저온(예, <800°C)에서 수행되는 경우에 그러하다. 예를 들어, 에칭 가스는 식각제로서의 염소와 캐리어 가스로서의 질소를 함유하며, 약 500°C 내지 약 750°C 범위의 온도에서 기판 표면에 노출된다. 또 다른 예에서, 염소와 질소를 함유하는 에칭 가스는 약 250°C 내지 약 500°C 범위의 온도에서 기판 표면에 노출된다.

[0038] 에칭 공정은 이러한 과정으로 종료된다. 한 가지 예에서, 공정 챔버는 퍼지 가스 또는 캐리어 가스로 플러싱될 수 있고/거나, 공정 챔버는 진공 펌프에 의해서 진공화될 수 있다. 퍼지 및/또는 진공화 공정은 과량의 에칭 가스, 반응 부산물 및 그 밖의 오염물을 제거한다. 또 다른 예에서, 에칭 공정이 종료되면, 에피택셜층의 두께 증가 공정이 공정 챔버의 퍼지 및/또는 진공화 없이 즉각적으로 시작된다.

[0039] 에피택셜층과 다결정 층의 두께증가 공정이 결정될 수 있다. 소정의 두께증가가 달성되는 경우, 에피택셜 공정은 종료된다. 그러나, 소정의 두께증가가 달성되지 않으면, 요구된 두께증가가 달성될 때까지 증착 공정이 사이클로서 반복된다. 에피택셜층은 일반적으로는 약 10Å 내지 약 2,000Å, 바람직하게는 약 100Å 내지 약 1,500Å, 더욱 바람직하게는 약 400Å 내지 약 1,200Å의 범위, 예를 들어, 약 800Å의 두께를 지니도록 성장한다. 다결정층은 일반적으로, 존재하는 경우, 원자층으로부터 약 500Å에 이르는 범위의 두께로 증착된다. 에피택셜 실리콘 함유 층 또는 다결정 실리콘-함유 층의 요구된 또는 소정의 두께는 특성의 제조 공정에 특이적이다. 한 예에서, 에피택셜층은 소정의 두께에 달하면서, 다결정층은 너무 두꺼울 수 있다.

[0040] 단계(130)에서, 실리콘 탄소 필름은 도펀트에 노출된다. 전형적인 도펀트는 하나 이상의 도펀트 화합물을 포함하여 원소성 도펀트, 예컨대, 붕소, 비소, 인, 갈륨 또는 알루미늄의 공급원을 제공할 수 있다. 도펀트는 다양한 전도 특성, 예컨대, 전자 장치에 의해서 요구된 제어 및 요구된 경로에서 방향성 전자 흐름을 나타내는 증착된 실리콘 함유 화합물을 제공한다. 실리콘-함유 화합물의 필름은 특성의 도펀트로 도핑되어 요구된 전도 특성을 달성한다. 특성의 구체예에서, 실리콘-함유 화합물은, 예컨대, 약 10<sup>15</sup>원자/cm<sup>3</sup> 내지 약 10<sup>21</sup> 원자/cm<sup>3</sup> 범위의 농도로 붕소를 첨가하도록 디보란을 사용함으로써 p-타입으로 도핑된다. 특성의 구체예에서, p-타입 도펀트의 농도는 5 x 10<sup>19</sup> 원자/cm<sup>3</sup>이다. 특성의 구체예에서, p-타입 도펀트는 약 1 x 10<sup>20</sup> 원자/cm<sup>3</sup> 내지 약 2.5 x 10<sup>21</sup> 원자/cm<sup>3</sup> 범위에 있다. 특성의 구체예에서, 실리콘-함유 화합물은, 예컨대, 약 10<sup>15</sup> 원자/cm<sup>3</sup> 내지 약 10<sup>21</sup> 원자/cm<sup>3</sup> 범위의 농도로 인 및/또는 비소에 의해서 n-타입으로 도핑된다.

[0041] 도펀트 공급원은 일반적으로는 단계(130) 동안 약 0.1 sccm 내지 약 20 sccm, 바람직하게는 약 0.5 sccm 내지 약 10 sccm, 더욱 바람직하게는 약 1 sccm 내지 약 5 sccm 범위, 예를 들어, 약 2 sccm의 속도로 공정 챔버내로 제공된다. 도펀트 공급원으로 유용한 붕소-함유 도펀트는 보란 화합물 및 유기보란 화합물을 포함한다. 보란 화합물은 보란, 디보란(B<sub>2</sub>H<sub>6</sub>), 트리보란, 테트라보란 및 펜타보란을 포함하며, 알킬보란은 R이 메틸, 에틸, 프로필, 또는 부틸이고, x가 1, 2 또는 3인 실험식 R<sub>x</sub>BH<sub>(3-x)</sub>인 화합물을 포함한다. 알킬보란은 트리메틸보란((CH<sub>3</sub>)<sub>3</sub>B), 디메틸보란((CH<sub>3</sub>)<sub>2</sub>BH), 트리에틸보란((CH<sub>3</sub>CH<sub>2</sub>)<sub>3</sub>B) 및 디에틸보란((CH<sub>3</sub>CH<sub>2</sub>)<sub>2</sub>BH)을 포함한다. 도펀트는 또한 아르신(AsH<sub>3</sub>), 포스핀(PH<sub>3</sub>) 및 R이 메틸, 에틸, 프로필, 또는 부틸이고, x가 1, 2 또는 3인 실험식 R<sub>x</sub>PH<sub>(3-x)</sub>인 알킬포스핀을 포함할 수 있다. 알킬포스핀은 트리메틸포스핀((CH<sub>3</sub>)<sub>3</sub>P), 디메틸포스핀((CH<sub>3</sub>)<sub>2</sub>PH), 트리에틸포스핀((CH<sub>3</sub>CH<sub>2</sub>)<sub>3</sub>P) 및 디에틸포스핀((CH<sub>3</sub>CH<sub>2</sub>)<sub>2</sub>PH)을 포함한다. 알루미늄 및 갈륨 도펀트 공급원은 M이 Al 또는 Ga이고, R이 메틸, 에틸, 프로필, 또는 부틸이고, X가 Cl 또는 F이며, x가 0, 1, 2 또는 3인 실험식 R<sub>x</sub>MX<sub>(3-x)</sub>로 기재되는 바와 같은 알킬화된 및/또는 할로젠화된 유도체를 포함할 수 있다. 알루미늄 및 갈륨 도펀트 공급원의 예는 트리메틸알루미늄(Me<sub>3</sub>Al), 트리에틸알루미늄(Et<sub>3</sub>Al), 디메틸알루미늄클로라이드(Me<sub>2</sub>AlCl), 염화알루미늄

(AlCl<sub>3</sub>), 트리메틸갈륨(Me<sub>3</sub>Ga), 트리에틸갈륨(Et<sub>3</sub>Ga), 디메틸갈륨클로라이드(Me<sub>2</sub>GaCl) 및 염화갈륨(GaCl<sub>3</sub>)을 포함한다.

[0042] 특정의 구체예에서, 도펀트는 이온 주입과 같은 공정을 통해서 도입될 수 있다. 특정의 구체예에서, 비소는 5 X 10<sup>14</sup> 내지 1 X 10<sup>15</sup>의 용량으로 0.7keV 내지 1keV 사이로 주입된다. 특정의 구체예에서, 인은 5 X 10<sup>14</sup> 내지 1 X 10<sup>15</sup>의 용량으로 1keV로 주입된다. 특정의 구체예에서, 붕소는 5 X 10<sup>14</sup> 내지 1 X 10<sup>15</sup>의 용량으로 0.5keV로 주입된다. 이온 주입은 소오스 영역과 드레인 영역과 같은 도핑된 영역을 형성시키는데 사용될 수 있다. 본 예에서, 도핑된 영역의 두께는 아주 얇을 수 있다. 예를 들어, 도핑된 영역의 두께는 300Å 미만일 수 있다. 불순물 농도는 1 X 10<sup>20</sup> 원자/cm<sup>3</sup> 또는 그 초과와 동일하거나 그 미만일 수 있고, 도핑 용량은 약 1.5 X 10<sup>15</sup> cm<sup>-2</sup>일 수 있다.

[0043] 특정의 구체예에서, 이온 주입은 플라즈마 잠입 이온 주입에 의해서 수행될 수 있다. 플라즈마 잠입 이온 주입은 전극 층이 플라즈마 공급원에 노출되면서 적용된 바이아스(bias)가 기판에 적용되는 공정을 포함한다. 플라즈마 잠입 이온 주입을 수행하는 공정 도구는 단일 및/또는 배치 웨이퍼 반응기를 포함할 수 있으며, 직류(DC) 및/또는 라디오 주파수(RF) 바이아스가 기판에 적용될 수 있다. 플라즈마 잠입 이온 주입 반응기는 0.01 밀리 토르(mTorr) 내지 약 1000 토르 범위인 공정 주변 압력을 포함한다. 기판은 150℃ 내지 약 1100℃ 범위의 온도에서 고정될 수 있다. 고밀도 플라즈마가 마이크로파 전자 사이클로트론 공명(electron cyclotron resonance: ECR) 플라즈마, 헬리콘 플라즈마(helicon plasma), 유도결합 플라즈마(inductively coupled plasma), 및/또는 그 밖의 고밀도 플라즈마 공급원에 의해서 생성될 수 있다. 플라즈마는 Ar, H, N, Xe, O, As, B<sub>2</sub>H<sub>6</sub>, GeH<sub>4</sub>, P, 및/또는 그 밖의 불순물 공급원을 포함할 수 있다. 예를 들어, 헬리콘 플라즈마는 약 200와트 내지 약 2500와트 범위의 RF 파워를 이용할 수 있다. 적용된 바이아스는 약 +200V 내지 약 500V 범위일 수 있다. 플라즈마 잠입 이온 주입의 그 밖의 특징은 발명의 명칭이 플라즈마 잠입 이온 주입을 이용한 절연체상 실리콘 구조물의 제조방법(FABRICATION OF SILICON-ON-INSULATOR STRUCTURE USING PLASMA IMMERSION ION IMPLANTATION)인 2005년 5월 17일자 허여되고 공동 양도된 미국특허 제6,893,907호에 기재되어 있으며, 본원에서는 본원의 명세서 및 청구범위와 대립되지 않는 범위로 상기 특허를 참고로 통합한다.

[0044] 단계(140)에서, 어닐링 공정이 기판상에서 수행된다. 어닐링 공정은 활성화 및 이온 주입 동안에 유도된 손상의 치유를 위해서 수행될 수 있다. 어닐링 공정은 급속 열처리 공정, 고형상 에피택시 재결정, 레이저 어닐링, 및/또는 스파이크 어닐링(spike annealing)을 포함할 수 있다. 어닐링 온도는 이용된 공정에 좌우될 수 있다. 특정의 구체예에서, 스파이크 어닐링은 950℃ 초과와 온도에서 수행된다. 예를 들어 스파이크 어닐링은 약 1000℃ 내지 약 1100℃, 예컨대, 1030℃ 내지 1050℃ 범위, 바람직하게는 약 1050℃의 온도에서 수행될 수 있으며, 고형상 에피택시(solid phase epitaxy)는 500℃ 또는 그 미만의 온도에서 수행될 수 있다.

[0045] 바람직한 구체예에서, 스파이크 어닐링은 대기압 보다 현저하게 낮은 수준의 어닐링 환경으로 가스 압력을 유지시킬 수 있는 RTP 시스템에서 수행된다. 그러한 RTP 시스템의 예는 미국 캘리포니아 산타클라라 소재의 어플라이드 머티어리얼스, 인코포레이티드(Applied Materials, Inc.)로부터 입수할 수 있는 라디안스 센투라<sup>®</sup> 시스템(RADIANCE CENTURA<sup>®</sup> system)이다. 스파이크 어닐링은 추가로 발명의 명칭이 초박형 접합부를 위한 진보된 스파이크 어닐링 공정(ADVANCES IN SPIKE ANNEAL PROCESSES FOR ULTRA SHALLOW JUNCTIONS)인 2005년 5월 24일 허여되고 공동 양도된 미국특허 제6,897,131호, 및 발명의 명칭이 최적의 스파이크 어닐링 환경(OPTIMAL SPIKE ANNEAL AMBIENT)인 2004년 10월 12일자 허여되고 공동 양도된 미국특허 제6,803,297호에 기재되어 있으며, 본원에서는 본원의 명세서 및 청구범위와 대립되지 않는 범위로 상기 특허들을 참고로 통합한다.

[0046] 한 가지 예로, 도 2A 내지 도 2E에 도시된 바와 같이, 소오스/드레인 연장부는 실리콘-함유 층이 기판의 표면에 에피택셜하게 및 선택적으로 증착되는 MOSFET 장치내에서 형성된다. 도 2A는 기판(230)의 표면상으로 이온을 주입함에 의해서 형성된 소오스/드레인 영역(232)을 도시하고 있다. 소오스/드레인 영역(232)의 세그먼트(segment)가 게이트 산화물 층(235) 및 스페이서(spacer: 234) 상에 형성된 게이트(236)에 의해서 브릿지된다. 소오스/드레인 연장부를 형성시키기 위해서, 소오스/드레인 영역(232)의 일부가 에칭되고 습식-세정되어 도 2B에 도시된 바와 같이 리세스(238)를 생성시킨다. 게이트(236)의 에칭은 소오스/드레인 영역(232)의 일부를 에칭시키기 전에 하드마스크(hardmask)를 부착시킴으로써 회피될 수 있다.

[0047] 도 2C는 본원에 기재된 에피택셜 공정의 한 가지 구체예를 예시하고 있으며, 여기서, 실리콘-함유 에피택셜층(240)과 임의의 다결정 층(242)은 스페이서(234)상에 증착됨이 없이 동시에 및 선택적으로 증착된다. 다결정층

(242)은 에피택셜 공정 증착 및 에칭 공정을 조절함으로써 게이트(236)상에 임의로 형성된다. 대안적으로, 에피택셜층(240)이 소오스/드레인 영역(232)상에 증착됨에 따라서, 다결정층(242)이 게이트(236)로부터 연속적으로 에칭된다.

[0048] 또 다른 예에서, 실리콘-함유 에피택셜층(240)과 다결정층(242)은 게르마늄 농도가 약 1at.% 내지 약 50 at.%, 바람직하게는 약 24 at.% 또는 그 미만인 SiGe-함유 층이다. 변화하는 양의 실리콘 및 게르마늄을 함유하는 다중 SiGe-함유 층이 적층되어 단계적 원소 농도를 지니는 실리콘-함유 에피택셜층(240)을 형성시킬 수 있다. 예를 들어, 첫 번째 SiGe-층이 약 15 at.% 내지 약 25 at.% 범위의 게르마늄 농도로 증착되고, 두 번째 SiGe-층이 약 25 at.% 내지 약 35 at.% 범위의 게르마늄 농도로 증착될 수 있다.

[0049] 또 다른 예에서, 실리콘-함유 에피택셜층(240)과 다결정층(242)은 약 200 ppm 내지 약 5 at.%, 바람직하게는 약 3 at.% 또는 그 미만, 더욱 바람직하게는 약 1 at.% 내지 약 2 at.%의 범위, 예를 들어, 약 1.5 at.%의 탄소 농도를 지니는 SiC-함유 층이다. 또 다른 구체예에서, 실리콘-함유 에피택셜층(240)과 다결정층(242)은 약 1 at.% 내지 약 50 at.%의 범위, 바람직하게는 약 24 at.% 또는 그 미만의 게르마늄 농도 및 약 200 ppm 내지 약 5 at.%, 바람직하게는 약 3 at.% 또는 그 미만, 더욱 바람직하게는 약 1 at.% 내지 약 2 at.%, 예를 들어, 약 1.5 at.%의 탄소농도를 지니는 SiGeC-함유 층이다.

[0050] Si, SiGe, SiC 또는 SiGeC를 함유하는 다중층은 다양한 순서로 증착되어 실리콘-함유 에피택셜층(240)내에 단계적 원소 농도를 형성시킬 수 있다. 실리콘-함유 층은 일반적으로는 약  $1 \times 10^{19}$  원자/cm<sup>3</sup> 내지 약  $2.5 \times 10^{21}$  원자/cm<sup>3</sup>, 바람직하게는, 약  $5 \times 10^{19}$  원자/cm<sup>3</sup> 내지 약  $2 \times 10^{20}$  원자/cm<sup>3</sup> 범위의 농도를 지니는 도펀트(예, 붕소, 비소, 인, 갈륨 또는 알루미늄)로 도핑된다. 실리콘-함유 물질의 각각의 층에 첨가된 도펀트는 단계적 도펀트를 형성한다. 예를 들어, 실리콘-함유 에피택셜층(240)은 약  $5 \times 10^{19}$  원자/cm<sup>3</sup> 내지 약  $1 \times 10^{20}$  원자/cm<sup>3</sup> 범위의 도펀트 농도(예, 붕소)를 지니는 첫 번째 SiGe-함유 층과 약  $1 \times 10^{20}$  원자/cm<sup>3</sup> 내지 약  $2 \times 10^{20}$  원자/cm<sup>3</sup>, 범위의 도펀트 농도(예, 붕소)를 지니는 두 번째 SiGe-함유 층을 증착시킴으로써 형성된다.

[0051] SiC-함유 층과 SiGeC-함유 층에 혼입된 탄소는 일반적으로 실리콘-함유 층의 증착 직후에 결정 격자의 간극 부위에 위치한다. 간극 탄소 함량은 약 10 at.% 또는 그 미만, 바람직하게는 약 5 at.% 미만, 더욱 바람직하게는 약 1 at.% 내지 약 3 at.%, 예를 들어 약 2 at.%이다. 실리콘 함유 에피택셜층(240)은, 모든 간극 탄소가 결정 격자의 치환 부위내로 혼입되지 않은 경우, 적어도 일부가 혼입되도록 어닐링될 수 있다. 어닐링 공정은 스파이크 어닐링, 예컨대, 산소, 질소, 수소, 아르곤, 헬륨 또는 이들의 조합물과 같은 가스 대기에서의 급속 열처리 공정(RTP), 레이저 어닐링 또는 열처리 어닐링과 같은 스파이크 어닐링을 포함할 수 있다. 어닐링 공정은 약 800°C 내지 약 1200°C, 바람직하게는 약 1050°C 내지 약 1100°C의 온도에서 수행된다. 어닐링 공정은 실리콘-함유 층이 증착된 후에 또는 기판이 건디게 되는 다양한 그 밖의 공정 단계 후에 즉각적으로 수행될 수 있다.

[0052] 그 다음 단계 동안에 생성되는 것으로서, 도 2D는 스페이서(234)에 증착된 스페이서(244), 일반적으로 질화물 스페이서(예, Si<sub>3</sub>N<sub>4</sub>)를 도시하고 있다. 스페이서(244)는 일반적으로는 CVD 또는 ALD 기술에 의해서 상이한 챔버에서 증착된다. 따라서, 기판은 실리콘-함유 에피택셜층(240)을 증착시키는데 사용되었던 공정 챔버로부터 제거된다. 두 챔버 사이의 이송 동안에, 기판은 주변 조건, 예컨대, 온도, 압력 또는 물과 산소를 함유하는 대기에 노출된다. 스페이서(244)를 증착시키거나, 다른 반도체 공정(예, 어닐링, 증착 또는 주입)을 수행할 때, 기판은 상승된 층(248)을 증착시키기 전에 두 번째로 주변 조건에 노출될 수 있다. 한 가지 구체예에서, 게르마늄을 함유하지 않거나 최소로 함유(예, 약 5 at.% 미만)하는 에피택셜층(도시되지 않음)이 주변 조건에 기판을 노출시키기 전에 에피택셜층(240)의 상부에 증착되는데, 그 이유는 함유된 산화물이 약 5 at.% 초과인 게르마늄 농도로 형성된 에피택셜층으로부터 보다는 최소 게르마늄 농도를 함유하는 에피택셜층으로부터 더 용이하게 제거되기 때문이다.

[0053] 도 2E는 실리콘-함유 물질로 구성된 상승된 층(248)이 에피택셜층(240)(예, 도핑된-SiGe)상에 선택적으로 및 에피택셜한 또 다른 예를 도시하고 있다. 증착 공정 동안에, 다결정층(242)은 게이트(236)상에서 더 성장되거나, 증착되거나, 에칭된다.

[0054] 바람직한 구체예에서, 상승된 층(248)은 게르마늄 또는 탄소를 함유하지 않거나 거의 함유하지 않은 에피택셜 증착된 실리콘이다. 그러나, 대안적인 구체예에서, 상승된 층(248)이 게르마늄 및/또는 탄소를 함유한다. 예를 들어, 상승된 층(248)은 약 5 at.% 또는 그 미만의 게르마늄을 함유할 수 있다. 또 다른 예에서, 상승된 층

(248)은 약 2 at.%의 탄소를 함유할 수 있다. 상승된 층(248)은 또한 도펀트, 예컨대, 붕소, 비소, 인, 알루미늄 또는 갈륨으로 도핑될 수 있다.

[0055] 실리кон-함유 화합물은 바이폴라 장치(Bipolar device) 제조(예, 베이스(base), 에미터(emitter), 콜렉터(collector), 에미터 콘택트(emitter contact)), BiCMOS 장치 제조(예, 베이스, 에미터, 콜렉터, 에미터 콘택트), 및 CMOS 장치 제조(예, 채널, 소오스/드레인, 소오스/드레인 연장부, 상승된 소오스/드레인, 기판, 스트레인드 실리кон(strained silicon), 절연체상 실리кон(silicon on insulator) 및 콘택트 플러그(contact plug))를 위해 사용된 실리кон-함유 층을 증착시키는 공정의 구체예에서 사용될 수 있다. 공정의 다른 구체예는 게이트, 베이스 콘택트, 콜렉터 콘택트, 에미터 콘택트, 상승된 소오스/드레인 및 그 밖의 용도로 사용될 수 있는 실리кон-함유 층의 성장을 교시하고 있다.

[0056] 공정은 도 3A 내지도 3C에 도시된 바와 같은 MOSFET 및 바이폴라 트랜지스터에서 선택적인 에피택셜 실리кон-함유 층을 증착시키는데 아주 유용하다. 도 3A 내지 도 3B는 MOSFET 장치상의 에피택셜 성장 실리кон-함유 화합물을 도시하고 있다. 실리кон-함유 화합물은 장치의 소오스/드레인 특징부상에 증착된다. 실리кон-함유 화합물은 유착되어 밑에 있는 층의 결정 격자로부터 성장하고, 그러한 배열이 유지되어, 실리кон-함유 화합물이 요구된 두께로 성장한다. 도 3A는 함요(recessed) 소오스/드레인 층으로 증착된 실리кон-함유 화합물을 입증하고 있으며, 도 3B는 함요 소오스/드레인 층 및 상승된 소오스/드레인 층으로 증착된 실리кон-함유 화합물을 도시하고 있다.

[0057] 소오스/드레인 영역(312)은 이온 주입에 의해서 형성된다. 일반적으로, 기판(310)은 n-타입으로 도핑되면서 소오스/드레인 영역(312)는 p-타입으로 도핑된다. 실리кон-함유 층(313)은 소오스/드레인 영역(312)상에서 및/또는 직접 기판(310)상에서 선택적으로 성장한다. 실리кон-함유 에피택셜 층(314)은 본 발명의 특징에 따라서 실리кон-함유 층(313)상에서 선택적으로 성장한다. 게이트 산화물 층(318)은 단편화된 실리кон-함유 층(313)에 브리징된다. 일반적으로는, 게이트 산화물층(318)은 실리кон 디옥사이드, 실리кон 옥시니트라이드 또는 하프늄 옥사이드로 구성된다. 게이트 산화물 층(318)을 부분적으로 둘러싸는 것은 스페이서(316)이며, 이러한 스페이서는 일반적으로는 절연물질, 예컨대, 질화물/산화물 스택(예, Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub>)이다. 게이트 층(322)(예, 폴리실리кон)은 도 3A에 도시된 바와 같이 수직축을 따라서 이산화실리콘과 같은 보호층(319)을 지닐 수 있다. 대안적으로, 게이트 층(322)은 양측에 위치한 스페이서(316) 및 오프-셋 층(320)(예, Si<sub>3</sub>N<sub>4</sub>)을 지닐 수 있다.

[0058] 또 다른 예에서, 도 3C는 바이폴라 트랜지스터의 베이스 층으로서 증착된 실리кон-함유 에피택셜층(334)을 도시하고 있다. 실리кон-함유 에피택셜층(334)은 본 발명의 다양한 구체예에서 선택적으로 성장한다. 실리кон-함유 에피택셜층(334)은 기판(330)상에 앞서 증착된 n-타입 콜렉터층(332)상에 증착된다. 트랜지스터는 절연층(333)(SiO<sub>2</sub> 또는 Si<sub>3</sub>N<sub>4</sub>), 콘택트층(336)(예, 다량으로 도핑된 폴리-Si), 오프-셋 층(338)(예, Si<sub>3</sub>N<sub>4</sub>) 및 두 번째 절연층(340)(예, SiO<sub>2</sub> 또는 Si<sub>3</sub>N<sub>4</sub>)을 포함한다.

[0059] 본 발명의 공정은 본 기술분야에서 공지된 ALE, CVD 및 ALD의 장치에서 수행될 수 있다. 장치는 다중 가스 라인을 포함하여 공정 챔버에 유입되기 전에 증착 가스 및 에칭 가스를 분리 유지시킬 수 있다. 그 후에, 가스들은 가열된 기판과 접촉되게 되며, 그러한 기판상에서, 실리кон-함유 화합물 필름이 성장한다. 실리кон-함유 필름을 증착시키는데 사용될 수 있는 하드웨어는 미국 캘리포니아 산타클라라 소재의 어플라이드 머티어리얼스, 인코포레이티드로부터 입수할 수 있는 에피 센투라<sup>®</sup> 시스템(Epi Centura<sup>®</sup> system) 및 폴리 진<sup>®</sup> 시스템(Poly Gen<sup>®</sup> system)을 포함한다. ALD 장치는 발명의 명칭이 ALD를 위한 가스 전달장치 및 방법(GAS DELIVERY APPARATUS AND METHODS FOR ALD)인 2005년 7월 12일자 허여되고 공동 양도된 미국특허 제6,916,398호에 기재되어 있으며, 본원에서는 장치의 설명을 위해서 상기 특허 명세서의 전체 내용을 참조로 통합한다. 다른 장치로는 본 기술분야에 공지된 배치식 고온 노(batch, high-temperature furnace)가 포함된다.

[0060] 실시예 1: 300mm 베어(bare) 실리кон 웨이퍼를 미국 캘리포니아 산타클라라 소재의 어플라이드 머티어리얼스, 인코포레이티드로부터 입수할 수 있는 300mm 에피 센투라<sup>®</sup> 감압 챔버에 넣었다. 800Å 두께의 비도핑된 Si:C 에피택셜 필름을 300mm 베어 실리кон 웨이퍼상에 증착시켰다. 미국 캘리포니아 산타클라라 소재의 어플라이드 머티어리얼스, 인코포레이티드로부터 입수할 수 있는 퀀텀 X 주입기(Quantum X implanter)를 사용하여 인을 2 keV에서 1.5 x 10<sup>15</sup> cm<sup>-2</sup>의 용량으로 주입하였다. 미국 캘리포니아 산타클라라 소재의 어플라이드 머티어리얼스, 인코포레이티드로부터 입수할 수 있는 센투라 RTP를 사용하여 스파이크 어닐링을 1050°C에서 실리кон 웨이퍼에 대해서 수행하였다. 가공된 에피택셜 필름을 고분해능 X-레이 회절분석기(HR-XRD)에 의해서 특성화시켜서 치환 탄소 농도 및 두께를 측정하였다. 전체 탄소(치환 탄소+간극 탄소) 농도 및 인 농도 깊이 프로파일을 이차 이

은 질량 분석법(Secondary Ion Mass Spectroscopy: SIMS)으로 측정하였다. 에피택셜 필름의 마이크로구조 연구를 위해서, 투과전자현미경을 사용하였다.

[0061] 도 4는 증착된 대로의 필름(대조)(402)와 스파이크 어닐링된 실리콘 탄소 에피택셜 필름(404)의 고분해능 X-레이 회절분석기(HR-XRD) 스펙트럼의 플롯(400)을 예시하고 있다. x-축은 오메가[아크 초(arcsec)]를 나타내고 y-축은 세기[A.U.]을 나타낸다. Si:C는 기관 실리콘 피크의 양성측상의 약 1240아크 초(second)에서 집중되어서, 1.24%의 치환 탄소 농도를 나타낸다. 또한, 다중 두께 줄무늬(thickness fringe)는 에피택셜 필름의 높은 결정도를 나타낸다. 실리콘(5.43105Å)의 격자 파라미터와 입방 실리콘 카바이드(4.35965Å)의 격자 파라미터 사이의 베가드-유사 선형 내삽법(Vegard-like linear interpolation)을 이용하여 XRD 결과로부터의 치환 탄소를 측정하였다.

[0062] Si:C 필름의 치환 탄소에 대한 스파이크 어닐링의 효과가 또한 도 4에 도시되어 있다. 두 개의 XRD 스펙트럼을 비교해 보면, 0.06%(60아크 초에 의한 하부 오메가에 대한 피크 이동(peak shift)에 상응함)까지의 치환 탄소의 감소가 1050°C의 온도에서의 스파이크 어닐링에 의해서 관찰될 수 있다. 그러나, 피크 광역화는 관찰되지 않았다. 두께 줄무늬 피팅(fitting)은 오차 범위내에서 동일한 두께를 유도하였다. 이는 어닐링 후에 필름이 그 품질을 유지하면서 약간의 치환 탄소가 손실됨을 나타낸다.

[0063] 도 5는 증착된 대로의 필름(대조)(502), 주입된 대로의 필름(504), 및 주입된/어닐링된 실리콘 탄소 에피택셜 필름(506)의 HR-XRD 스펙트럼의 플롯(500)을 예시하고 있다. x-축은 오메가[아크 초(arcsec)]를 나타내고 y-축은 세기[A.U.]를 나타낸다. 주입된/어닐링된 샘플(504)의 경우에, 현저한 변화가 관찰되었다. 피크는 1240"에서 1100"으로 이동하면서 비대칭 피크 광역화가 발생된다. 또한 두께 줄무늬 피크는 기관 피크에 인접한 Si:C 피크와 쇼울더 피크(shoulder peak)의 좌측에서 더 향상된다. 주입은 전형적으로는 층의 상부의 손상부에 유도되기 때문에, 상이한 탄소 농도를 지니는 두 층 모델은 XRD 결과에 맞도록 전개되었다. 두 층 모델에 따라서, 상부 300Å은 아주 적은 치환 탄소(약 0.35%)를 지니며, 560Å 두께의 두 번째 층은 치환 탄소가 1.24%에 가깝다.

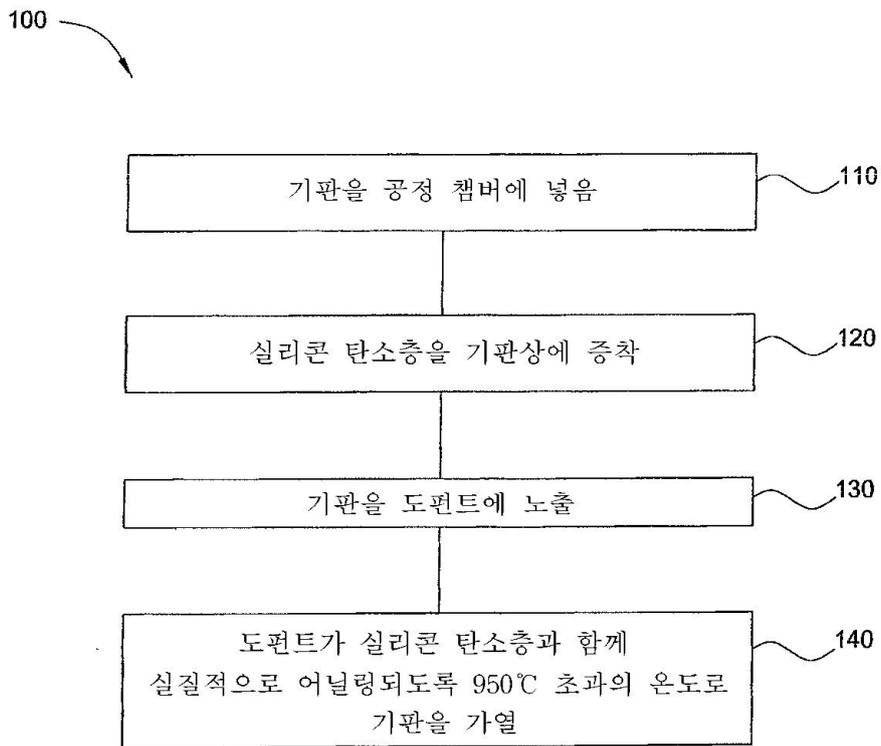
[0064] 도 6은 주입된/어닐링된 실리콘 탄소 필름의 탄소(604) 및 인(606)의 이차 이온 질량 분석 플롯(600)을 예시하고 있다. 대조 샘플(602)에 대한 탄소 깊이 프로파일이 비교를 위해서 위에 도시되어 있다. 전체 탄소는 약 1.3%인 것으로 밝혀졌다. 이는 90% 초과와 치환성을 나타냈다.  $1 \times 10^{18} \text{ cm}^{-3}$ 의 인 농도에서의 접합부 깊이는 약 370Å이며, 이는 상기 XRD 두 층 모델에 의한 상부층 두께에 가깝다. 또한, 깊이 방향으로의 탄소 농도는 주입에 의해서 유발된 엔드-오브-레인지(end-of-range) 결함내에서 약간 동요하는 듯하다. 인 접합부 프로파일이 3nm/decade로 단계적이어서 Si:C 에피택셜 필름내에서 인 확산이 상당히 저지됨을 나타낸다는 것이 주지되고 있다.

[0065] 종합하면, 1050°C의 온도에서의 스파이크 어닐링은 치환 탄소의 약간의 손실(0.6%)을 초래하지만 높은 결정도를 유지시키면서, 인 주입은 치환 탄소의 상당한 손실 및 탄소 깊이 프로파일의 변화를 유도하고 있다. 또한, 매우 단계적인 접합부가 Si:C 에피택셜 필름에서 형성될 수 있음이 관찰되고 있다.

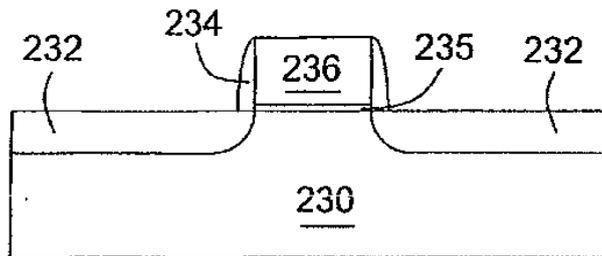
[0066] 상기 설명은 본 발명의 구체예에 관한 것이지만, 본 발명의 다른 및 추가의 구체예가 본 발명의 기초적인 범위를 벗어나지 않으면서 유도될 수 있으며, 그러한 범위는 첨부된 청구범위에 의해서 결정된다.

도면

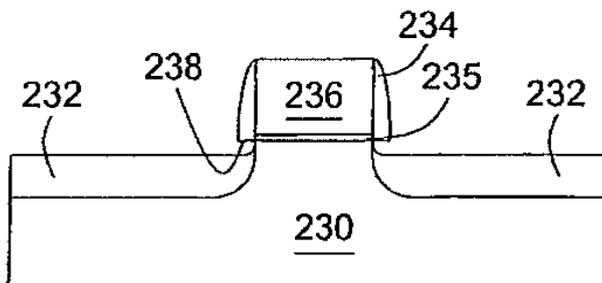
도면1



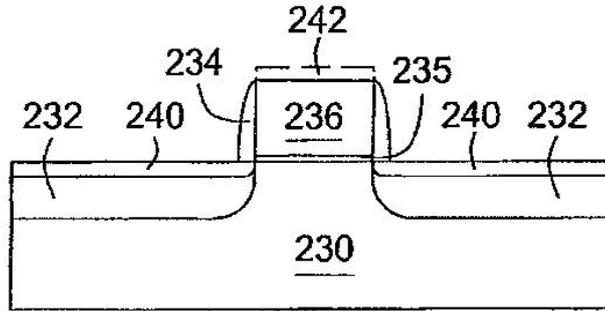
도면2A



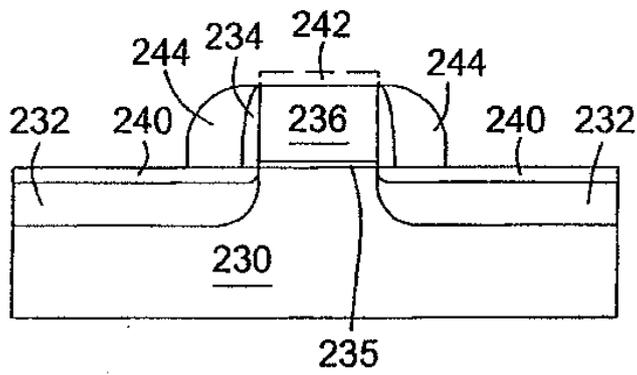
도면2B



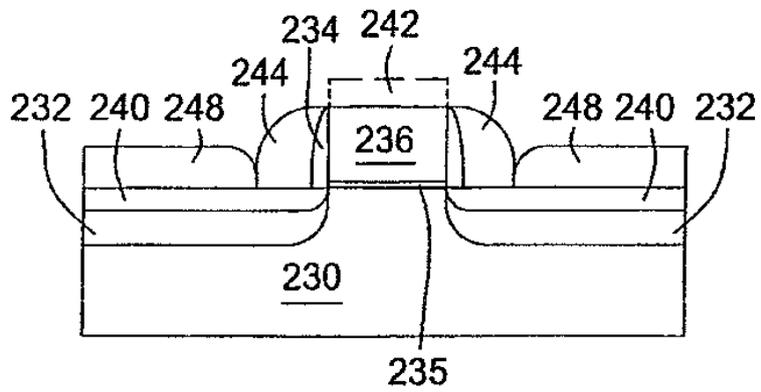
도면2C



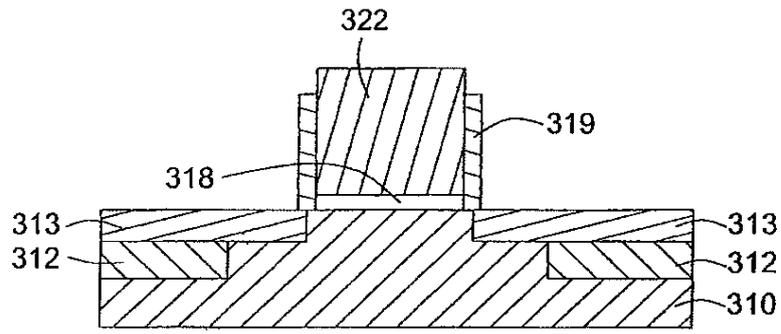
도면2D



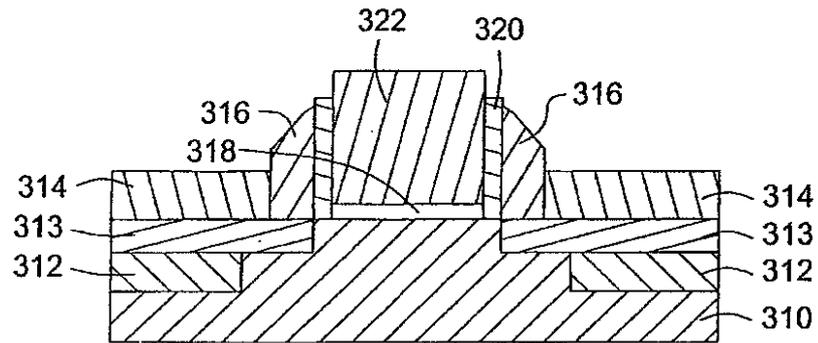
도면2E



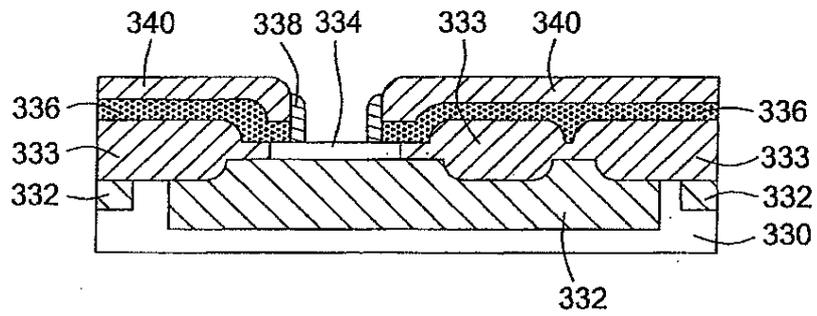
도면3A



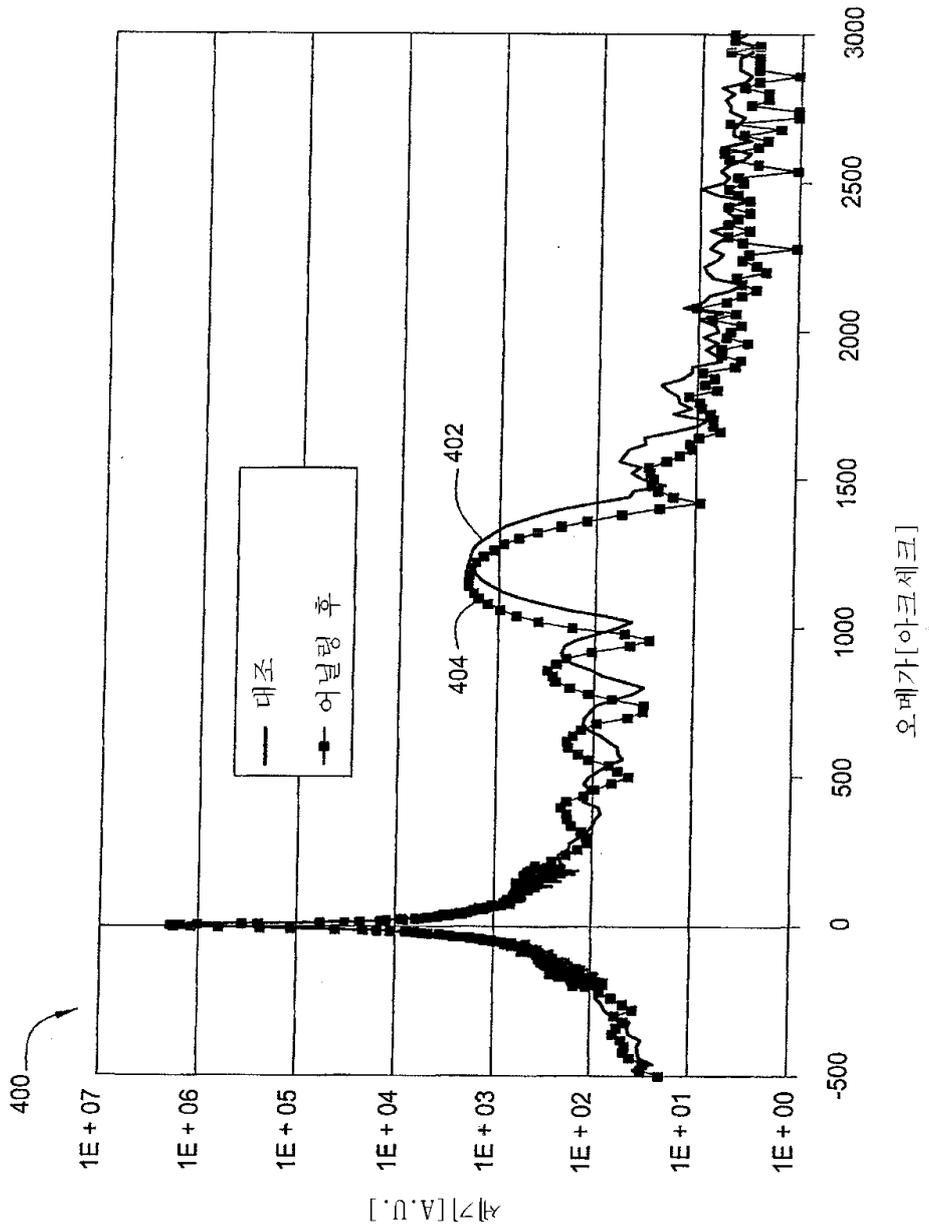
도면3B



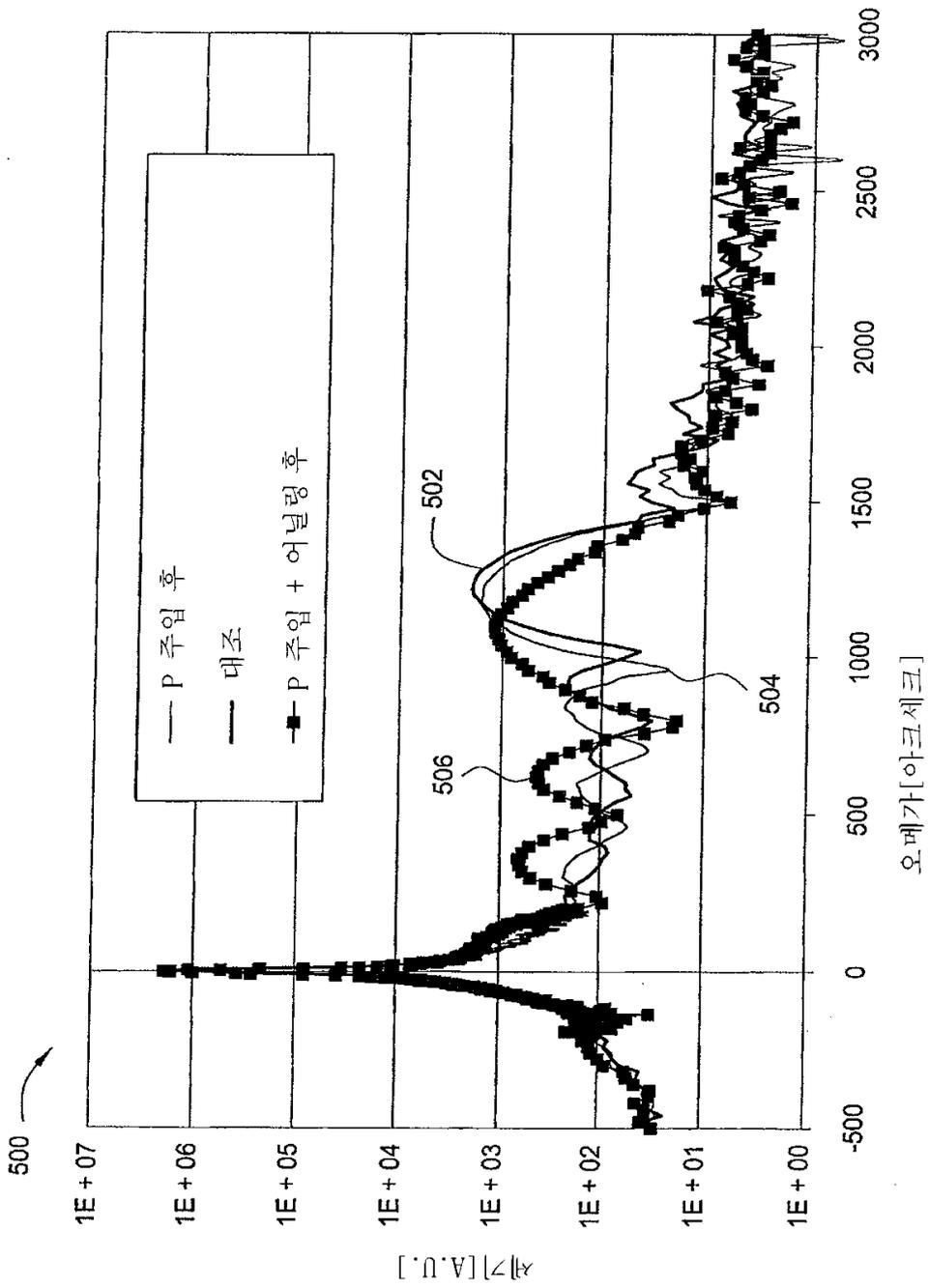
도면3C



도면4



도면5



도면6

