



(12)发明专利

(10)授权公告号 CN 103855022 B

(45)授权公告日 2017.06.13

(21)申请号 201210514550.6

(22)申请日 2012.12.04

(65)同一申请的已公布的文献号  
申请公布号 CN 103855022 A

(43)申请公布日 2014.06.11

(73)专利权人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路18号

(72)发明人 三重野文健

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 骆苏华

(51)Int.Cl.

H01L 21/336(2006.01)

(56)对比文件

CN 102290352 A,2011.12.21,说明书第0006-0024段及附图1-3.

CN 102282103 A,2011.12.14,说明书第0008-0219段.

US 6787854 B1,2004.09.07,全文.

CN 1549313 A,2004.11.24,全文.

CN 101593670 A,2009.12.02,全文.

CN 102656672 A,2012.09.05,说明书第0007-0036段及附图1-9.

审查员 靳苹苹

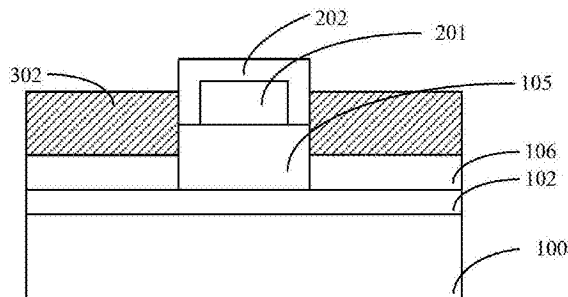
权利要求书2页 说明书5页 附图4页

(54)发明名称

鳍式场效应晶体管的形成方法

(57)摘要

一种鳍式场效应晶体管的形成方法,包括:提供半导体衬底;在所述半导体衬底表面形成鳍部,所述鳍部包括位于鳍部的两端的源漏区域和源漏区域之间的沟道区域;刻蚀所述鳍部的源漏区域,使所述源漏区域的高度下降;在所述被刻蚀过的源漏区域表面形成非晶硅层;对所述非晶硅层进行退火,形成多晶硅层,所述多晶硅层对鳍部的沟道区域产生拉应力。所述方法,能够提高鳍式场效应晶体管的沟道内电子的迁移率,提高N型鳍式场效应晶体管的性能。



1. 一种鳍式场效应晶体管的形成方法,其特征在于,包括:  
提供半导体衬底;  
在所述半导体衬底表面形成鳍部,所述鳍部包括位于鳍部的两端的源漏区域和源漏区域之间的沟道区域;  
刻蚀所述鳍部的源漏区域,使所述源漏区域的高度下降;  
在所述被刻蚀过的源漏区域表面形成非晶硅层;  
对所述非晶硅层进行退火,形成多晶硅层,与所述非晶硅层相比,所述多晶硅层具有体积变小的趋势,对鳍部的沟道区域产生拉应力;  
所述鳍式场效应晶体管为NMOS晶体管。
2. 根据权利要求1所述的鳍式场效应晶体管的形成方法,其特征在于,在所述被刻蚀过的源漏区域表面形成非晶硅层的方法包括:采用旋涂工艺,将硅的前驱溶液在所述被刻蚀过的源漏区域表面形成薄膜;对所述薄膜进行退火,形成非晶硅层。
3. 根据权利要求2所述的鳍式场效应晶体管的形成方法,其特征在于,所述旋涂和对所述薄膜进行退火的工艺在惰性气体气氛下进行,所述惰性气体的压强范围为200托~500托。
4. 根据权利要求2所述的鳍式场效应晶体管的形成方法,其特征在于,所述对薄膜进行退火的工艺在 $N_2$ 、He、Ne、Ar其中的一种或几种气体的氛围中进行,所述退火的温度范围为 $150^{\circ}C \sim 650^{\circ}C$ 。
5. 根据权利要求2所述的鳍式场效应晶体管的形成方法,其特征在于,所述对薄膜进行退火的温度为 $250^{\circ}C$ 。
6. 根据权利要求2所述的鳍式场效应晶体管的形成方法,其特征在于,所述硅的前驱溶液包括聚二氢硅烷和环戊硅烷。
7. 根据权利要求6所述的鳍式场效应晶体管的形成方法,其特征在于,所述硅的前驱溶液还包括 $PCl_3$ 、 $PCl_5$ 、 $AsCl_3$ 、 $SbCl_3$ 或 $AsH_3$ 。
8. 根据权利要求1所述的鳍式场效应晶体管的形成方法,其特征在于,对所述非晶硅层进行退火之前,对非晶硅层进行N型离子掺杂。
9. 根据权利要求1所述的鳍式场效应晶体管的形成方法,其特征在于,所述对非晶硅层进行退火的工艺在 $N_2$ 、He、Ne、Ar其中的一种或几种气体的氛围中进行,所述对非晶硅层进行退火的温度范围为 $400^{\circ}C \sim 800^{\circ}C$ 。
10. 根据权利要求1所述的鳍式场效应晶体管的形成方法,其特征在于,对所述非晶硅层进行退火之前,在所述非晶硅层表面形成应力薄膜。
11. 根据权利要求10所述的鳍式场效应晶体管的形成方法,其特征在于,所述应力薄膜为氮化硅薄膜。
12. 根据权利要求1所述的鳍式场效应晶体管的形成方法,其特征在于,刻蚀所述鳍部的源漏区域,使所述源漏区域的高度下降的范围为40~60nm。
13. 根据权利要求1所述的鳍式场效应晶体管的形成方法,其特征在于,还包括:在刻蚀所述鳍部的源漏区域之前,形成覆盖所述鳍部的沟道区域的伪栅及覆盖伪栅的侧壁和顶部的侧墙;以所述伪栅和侧墙为掩膜刻蚀所述鳍部的源漏区域。
14. 根据权利要求13所述的鳍式场效应晶体管的形成方法,其特征在于,形成所述多晶

硅层之后,去除所述伪栅,在所述鳍部的沟道区域表面形成金属栅结构。

15. 根据权利要求1所述的鳍式场效应晶体管的形成方法,其特征在于,还包括:在刻蚀所述鳍部的源漏区域之前,形成覆盖所述鳍部的沟道区域的金属栅结构以及覆盖所述金属栅结构的侧壁和顶部的侧墙。

## 鳍式场效应晶体管的形成方法

### 技术领域

[0001] 本发明涉及半导体技术领域,特别涉及一种鳍式场效应晶体管的形成方法。

### 背景技术

[0002] 随着半导体工艺技术的不断发展,工艺节点逐渐减小,后栅(gate-last)工艺得到了广泛应用,以获得理想的阈值电压,改善器件性能。但是当器件的特征尺寸(CD,Critical Dimension)进一步下降时,即使采用后栅工艺制作的场效应管也已经无法满足对器件性能的需求,多栅器件获得到了广泛的关注。

[0003] 鳍式场效应晶体管(Fin FET)是一种常见的多栅器件,图1示出了现有技术的一种鳍式场效应晶体管的鳍部和栅极结构的立体结构示意图。如图1所示,包括:半导体衬底10,所述半导体衬底10上形成有凸出的鳍部14;介质层11,覆盖所述半导体衬底10的表面以及鳍部14的侧壁的一部分;栅极结构12,横跨所述鳍部14上并覆盖所述鳍部14的顶部和侧壁,栅极结构12包括栅介质层(图中未示出)和位于栅介质层上的栅电极(图中未示出)。与栅极结构12相接触的鳍部14的顶部以及两侧的侧壁构成沟道区,因此,Fin FET具有多个栅,这有利于增大驱动电流,改善器件性能。

[0004] 更多关于鳍式场效应晶体管的结构及形成方法请参考专利号为“US7868380B2”的美国专利。

[0005] 但是,随着晶体管特征尺寸的不断缩小,载流子的迁移率也不断下降。在鳍式场效应晶体管的源漏区域采用SiGe或SiC作为源极和漏极,对沟道区域施加应力,可以有效提高沟道内载流子的迁移率,提高晶体管的性能。现有技术一般在栅结构的侧墙形成之后,刻蚀源漏区域,形成凹槽,然后在所述凹槽内采用选择性外延工艺生长SiGe或SiC。但是所述外延生长工艺需要很高的工艺成本。

### 发明内容

[0006] 本发明解决的问题是提供一种鳍式场效应晶体管的形成方法,所述方法形成的鳍式场效应晶体管的源漏区域对沟道区域提供应力,提高晶体管的性能,且所述方法的工艺简单,能够降低工艺成本。

[0007] 为解决上述问题,本发明技术方案提供一种鳍式场效应晶体管的形成方法,包括:提供半导体衬底;在所述半导体衬底表面形成鳍部,所述鳍部包括位于鳍部的两端的源漏区域和源漏区域之间的沟道区域;刻蚀所述鳍部的源漏区域,使所述源漏区域的高度下降;在所述被刻蚀过的源漏区域表面形成非晶硅层;对所述非晶硅层进行退火,形成多晶硅层,所述多晶硅层对鳍部的沟道区域产生拉应力。

[0008] 可选的,在所述被刻蚀过的源漏区域表面形成非晶硅层的方法包括:采用旋涂工艺,将硅的前驱溶液在所述被刻蚀过的源漏区域表面形成薄膜,所述薄膜覆盖鳍部的沟道区域和被刻蚀过的源漏区域;对所述薄膜进行退火,形成非晶硅层。

[0009] 可选的,所述旋涂和对所述薄膜进行退火的工艺在惰性气体气氛下进行,所述惰

性气体的压强范围为200托~500托。

[0010] 可选的,所述对薄膜进行退火的工艺在N<sub>2</sub>、He、Ne、Ar其中的一种或几种气体的氛围中进行,所述退火的温度范围为150℃~650℃。

[0011] 可选的,所述对薄膜进行退火的温度为250℃。

[0012] 可选的,所述硅的前驱溶液包括聚二氢硅烷和环戊硅烷。

[0013] 可选的,所述硅的前驱溶液还包括PCl<sub>3</sub>、PCl<sub>5</sub>、AsCl<sub>3</sub>、SbCl<sub>3</sub>或AsH<sub>3</sub>。

[0014] 可选的,对所述非晶硅层进行退火之前,对非晶硅层进行N型离子掺杂。

[0015] 可选的,所述对非晶硅层进行退火的工艺在N<sub>2</sub>、He、Ne、Ar其中的一种或几种气体的氛围中进行,所述对非晶硅层进行退火的温度范围为400℃~800℃。

[0016] 可选的,对所述非晶硅层进行退火之前,在所述非晶硅层表面形成应力薄膜。

[0017] 可选的,所述应力薄膜为氮化硅薄膜。

[0018] 可选的,刻蚀所述鳍部的源漏区域,使所述源漏区域其高度下降的范围为40~60nm。

[0019] 可选的,还包括:在刻蚀所述鳍部的源漏区域之前,形成覆盖所述鳍部的沟道区域的伪栅及覆盖伪栅的侧壁和顶部的侧墙;以所述伪栅和侧墙为掩膜刻蚀所述鳍部的源漏区域。

[0020] 可选的,形成所述多晶硅层之后,去除所述伪栅,在所述鳍部的沟道区域表面形成金属栅结构。

[0021] 可选的,还包括:在刻蚀所述鳍部的源漏区域之前,形成覆盖所述鳍部的沟道区域的金属栅结构以及覆盖所述金属栅结构侧壁和顶部的侧墙。

[0022] 与现有技术相比,本发明具有以下优点:

[0023] 本发明的技术方案在对鳍部的源漏区域进行刻蚀之后,在所述刻蚀后的源漏区域表面形成非晶硅层,再通过对非晶硅层进行退火,使非晶硅层晶化形成多晶硅层。在低于硅的熔点的温度下对非晶硅层加热进行退火,使硅原子获得能量迁移重组,朝着能量降低的结晶形式规则化生长,最终转化成结晶率高的多晶硅层。由于非晶硅层内硅原子排列无序,而多晶硅中硅原子相对于非晶硅中排列的有序性增加,所以所述非晶硅层退火形成多晶硅层后,多晶硅层的体积与未退火之前的非晶硅层相比,体积会有变小的趋势,从而在内部会形成压缩应力。而又由于所述多晶硅层位于晶体管沟道区域的两侧,所述多晶硅层和沟道区域界面上的硅原子通过共价键连接,所以,所述多晶硅层会对所述沟道区域产生一个拉应力,从而提高沟道内电子的迁移率,提高N型鳍式场效应晶体管的性能。所述方法不采用选择性外延沉积工艺,即可形成对沟道区域有应力作用的源极和漏极,可以有效降低工艺成本。

[0024] 进一步的,本发明将硅的前驱溶液利用旋涂的方式,在被刻蚀后的源漏表面形成薄膜,对所述薄膜退火形成非晶硅层。在所述硅的前驱溶液中,还可以包括N型离子的掺杂剂,例如PCl<sub>3</sub>、PCl<sub>5</sub>、AsCl<sub>3</sub>、SbCl<sub>3</sub>或AsH<sub>3</sub>,形成N型掺杂的非晶硅层,然后对所述N型非晶硅层退火形成N型多晶硅层。在对沟道区域形成应力的同时,完成了对源漏区域的掺杂,不用再后续对源极和漏极进行离子注入,减少了工艺步骤。

## 附图说明

[0025] 图1是现有技术中鳍式场效应晶体管的示意图；

[0026] 图2至图9是本发明的实施例中形成鳍式场效应晶体管的剖面示意图。

### 具体实施方式

[0027] 如背景技术中所述,随着晶体管特征尺寸的不断缩小,载流子的迁移率也不断下降,从而使晶体管的饱和电流下降。而现有的采用SiGe或SiC作为源极和漏极的技术,需要很大的工艺成本。

[0028] 本发明提出的鳍式场效应晶体管的形成方法,通过在源漏区域形成非晶硅层之后退火形成多晶硅层,对沟槽区域产生拉应力,提高NMOS沟道区域电子的迁移率,提高晶体管的性能。

[0029] 为使本发明的上述目的、特征和优点能够更为明显易懂,下面结合附图对本发明的具体实施方式做详细的说明。所描述的实施例仅仅是本发明的可实施方式的一部分,而不是其全部。在详述本发明实施例时,为便于说明,示意图会不依一般比例作局部放大,而且所述示意图只是示例,其在此不应限制本发明的保护范围。此外,在实际制作中应包含长度、宽度及深度的三维空间尺寸。根据所述实施例,本领域的普通技术人员在无需创造性劳动的前提下可获得的所有其它实施方式,都属于本发明的保护范围。因此本发明不受下面公开的具体实施的限制。

[0030] 请参考图2,提供半导体衬底100。

[0031] 所述半导体衬底100的材料包括硅、锗、锗化硅、砷化镓等半导体材料,可以是体材料也可以是复合结构如绝缘体上硅。本领域的技术人员可以根据半导体衬底100上形成的半导体器件选择所述半导体衬底100的类型,因此所述半导体衬底的类型不应限制本发明的保护范围。

[0032] 本实施例中,所述半导体衬底100为绝缘体上硅,包括底层硅层101,绝缘层102和顶层硅层103。

[0033] 请参考图3,刻蚀所述半导体衬底100,形成鳍部110。

[0034] 具体的,在所述半导体衬底100表面形成图形化掩膜层之后,刻蚀所述半导体衬底100的顶层硅层103,形成鳍部110。本实施例中,形成的是N型的鳍式场效应晶体管。

[0035] 请参考图4,在绝缘层102表面,形成横跨鳍部110中间的沟道区域的伪栅201,以及覆盖所述伪栅201顶部和侧壁的侧墙202。

[0036] 请参考图5,为图4在AA'方向的剖面示意图。

[0037] 其中,伪栅201覆盖了鳍部110的沟道区域105,所述鳍部110还包括沟道区域105两侧的源漏区域104。所述侧墙202覆盖伪栅201的顶部和侧壁,所述侧墙202的材料为氮化硅或氧化硅。

[0038] 具体的,形成所述伪栅201和所述侧墙202的方法为:在所述绝缘层102表面和鳍部110表面沉积多晶硅层和侧墙材料层之后,在所述侧墙材料层表面形成掩膜,刻蚀所述侧墙材料层和多晶硅层,形成伪栅201及伪栅顶部的侧墙。之后,再在所述伪栅201的两侧形成侧墙。使得所述伪栅201的两侧侧壁和顶部都被侧墙202覆盖。所述侧墙202保护所述伪栅201,使所述伪栅在后续的对源漏区域进行刻蚀等处理的时候不受损伤,同时作为刻蚀源漏区域的掩膜。

[0039] 请参考图6,刻蚀所述源漏区域104(请参考图5),使所述源漏区域的高度下降,形成部分源漏区域106。

[0040] 具体的,以所述侧墙202作为掩膜,采用干法刻蚀工艺,向下刻蚀所述源漏区域104(请参考图5)的上部分,使其高度下降,形成部分源漏区域。所述部分源漏区域106的高度小于所述鳍部沟道区域105的高度,所述高度差为40nm~60nm。

[0041] 请参考图7,在所述部分源漏区域106的表面形成N型非晶硅材料层300。

[0042] 具体的,本实施例中形成所述N型非晶硅材料层300的方法为:首先将硅的前驱物质采用旋涂的方式,形成覆盖所述部分源漏区域106表面、绝缘层102表面以及侧墙202表面的液态薄膜,所述液态薄膜的高度高于侧墙202顶部的高度。所述旋涂工艺在充满惰性气体的低压环境下进行,所述惰性气体的压强范围为200~500托,例如可以是250托、300托、350托、400托等。

[0043] 本实施例中,所采用的硅的前驱物质为混合溶液,包括:聚二氢硅烷(Polydihydrosilane)、环戊硅烷(cryclopentasilane)和三氯化磷( $\text{PCl}_3$ ),其中, $\text{PCl}_3$ 作为掺杂剂,提供N型掺杂的离子P。在本发明的其他实施例中,所述掺杂剂也可以采用 $\text{PCl}_5$ 、 $\text{AsCl}_3$ 、 $\text{SbCl}_3$ 、 $\text{AsH}_3$ 或其他可以提供N型掺杂离子的化合物。在本发明的其他实施例中,也可以不加入所述掺杂剂,而在后续形成非晶硅层之后再对其进行离子注入或者扩散,使所述非晶硅层内掺杂N型离子。

[0044] 在形成所述液态薄膜之后,对其进行退火处理,所述退火在 $\text{N}_2$ 、He、Ne、Ar其中的一种或几种气体中进行,所述退火的温度范围为 $150^\circ\text{C}$ ~ $650^\circ\text{C}$ ,本实施例中,所述退火的温度为 $250^\circ\text{C}$ 。所述退火工艺中,液态薄膜中的聚二氢硅烷(Polydihydrosilane)、环戊硅烷(cryclopentasilane)和三氯化磷( $\text{PCl}_3$ )反应,固化形成N型的非晶硅材料层300,反应的副产物,如 $\text{H}_2\text{O}$ 、 $\text{H}_2$ 、 $\text{HCl}$ 等通过惰性气体吹扫排出退火工艺的反应腔。

[0045] 请参考图8,刻蚀所述N型非晶硅材料层300(请参考图7),暴露出覆盖伪栅201顶部和侧壁的部分侧墙202,在部分源漏区域106的表面形成N型非晶硅层301。

[0046] 所述N型非晶硅层301表面低于伪栅201顶部高度,所述高度差范围为50nm~100nm,以使去除伪栅后形成的栅极结构表面高于最终形成的源极和漏极的表面。

[0047] 请参考图9,对所述N型非晶硅层301进行退火,形成N型多晶硅层302。

[0048] 所述退火在 $\text{N}_2$ 、He、Ne、Ar其中的一种或几种气体中进行,所述退火的温度范围为 $400^\circ\text{C}$ ~ $800^\circ\text{C}$ ,大于之前形成非晶硅材料层的退火温度。本实施例中,所述退火的温度大于 $650^\circ\text{C}$ 。

[0049] 在低于硅的熔点的温度下,加热非晶硅层,使硅原子获得能量迁移重组,硅原子会朝着能量降低的结晶形式的规则化生长,最终转化成结晶率较高的多晶硅层。由于非晶硅层内的硅原子排列无序,而多晶硅中的硅原子相对于非晶硅中的硅原子排列的有序性增加,所以所述非晶硅层退火形成多晶硅层后,所述多晶硅层的体积相比与非晶硅层会有变小的趋势,从而在内部形成压缩应力。而又由于所述多晶硅层位于晶体管沟道区域的两侧,所述多晶硅层和沟道区域界面上的硅原子通过共价键连接,所以,所述多晶硅层会对所述沟道区域产生一个拉应力。沟道区域受到拉应力的作用,能够提高沟道内电子的迁移率,从而提高最终形成的NMOS晶体管的性能。

[0050] 在本发明的其他实施例中,如果形成所述非晶硅层301(请参考图8)的硅的前驱物

质中没有N型掺杂剂,则对所述非晶硅层退火形成多晶硅层之后,还可以对所述多晶硅层进行N型离子体注入,形成N型多晶硅层302。

[0051] 本实施例中,所述N型多晶硅层302作为鳍式场效应晶体管的源极和漏极。并且所述N型多晶硅层302的表面高于沟道区域,形成抬高的源极和漏极。在后期工艺步骤中,如果在源极和漏极表面形成硅化物,所述抬高的源极和漏极可以补偿硅化物产生的应力对沟道区域带来的不利影响。

[0052] 在本发明的其他实施例中,在对所述非晶硅层301(请参考图8)进行退火之前还可以在所述非晶硅层301表面和侧墙202的表面沉积一层应力薄膜。所述应力薄膜包括氮化硅薄膜。非晶硅层301在退火晶化形成多晶硅层的过程中,由于体积呈缩小趋势,在多晶硅层内部会形成压应力,所述应力薄膜覆盖在非晶硅层表面,可以防止所述形成的多晶硅层在内部应力的作用下,表面高度下降,体积变小,防止形成的多晶硅层内部的应力得到释放,进而防止鳍部的沟道区域受到的拉应力减小。

[0053] 在本发明的实施例中,后续步骤还包括:去除所述伪栅,形成金属栅结构。具体的,所述金属栅结构包括栅介质层和位于栅介质层顶部的金属栅极。形成所述金属栅结构的方法为:在所述沟道区域上方的侧墙内壁沉积栅介质层,所述栅介质层为高k介质材料,包括 $\text{HfO}_2$ 、 $\text{La}_2\text{O}_3$ 、 $\text{HfSiON}$ 或者 $\text{HfAlO}_2$ 等金属氧化物。在所述栅介质层表面还可以沉积功能层,所述功能层的材料可以是Ti、Ta、TiN、TaN、TiAl、TaC、TaSiN、TiAlN其中一种或几种。形成所述功能层的工艺为物理气相沉积工艺或原子层沉积工艺,通过控制所述功能层的厚度和材料和后续形成的金属层的材料可以控制金属栅极的功函数。然后,在所述功能层表面形成金属层,所述金属层的材料为Al、Cu、Ti、Ag、Au、Pt、Ni其中一种或几种,形成所述金属层的工艺包括溅射工艺、化学气相沉积工艺或电镀工艺。

[0054] 在本发明的其他实施例中,也可以通过先栅工艺,在鳍部的沟道区域表面形成金属栅结构以及覆盖所述金属栅结构顶部和侧壁的侧墙之后,再采用本实施例中的方法,形成源极和漏极。具体的,以所述金属栅结构及其表面的侧墙作为掩膜,对源漏区域进行刻蚀,然后按照本实施中所采用的方法,在所述刻蚀后的源漏区域表面形成抬高的具有应力的N型多晶硅层作为源极和漏极,对沟道区域产生拉应力,从而提高N型鳍式场效应晶体管的沟道区域载流子的迁移率,提高N型鳍式场效应晶体管的性能。

[0055] 本实施例中提出的形成鳍式场效应晶体管的方法,在对源漏区域刻蚀之后,采用旋涂和退火的工艺形成具有应力的源极和漏极,提高沟道区域载流子的迁移率。不用采用选择性外延工艺形成源极和漏极,可以大大降低工艺成本。

[0056] 通过上述实施例的说明,应能使本领域专业技术人员更好地理解本发明,并能够再现和使用本发明。本领域的专业技术人员根据本文中所述的原理可以在不脱离本发明的实质和范围的情况下对上述实施例作各种变更和修改是显而易见的。因此,本发明不应被理解为限于本文所示的上述实施例,其保护范围应由所附的权利要求书来界定。



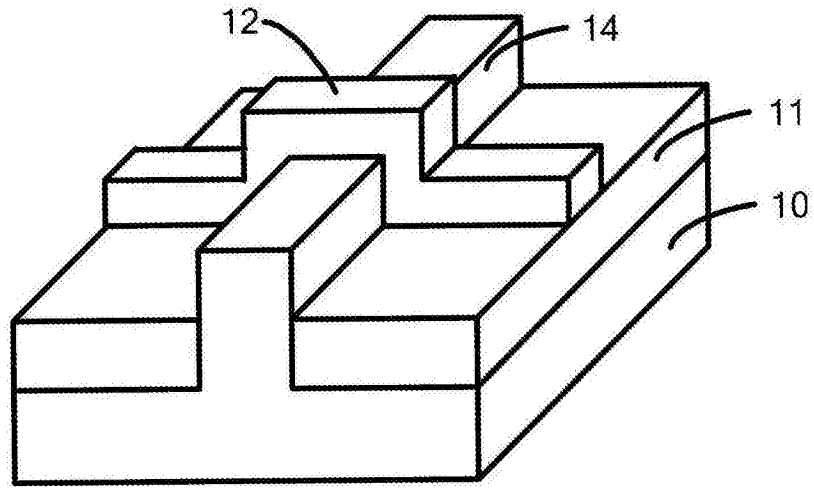


图1

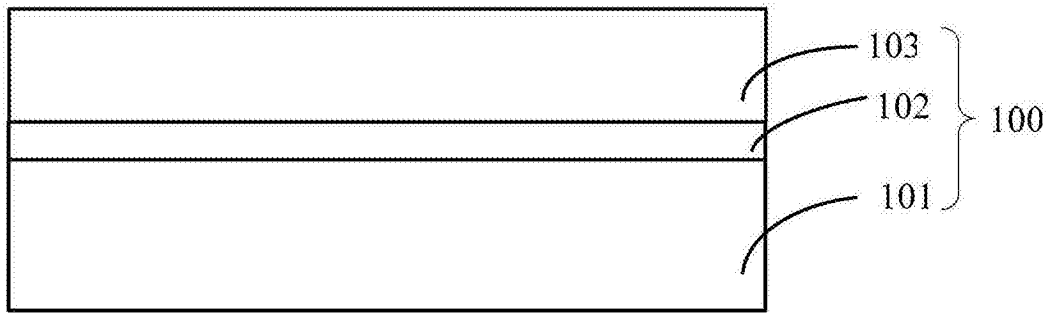


图2

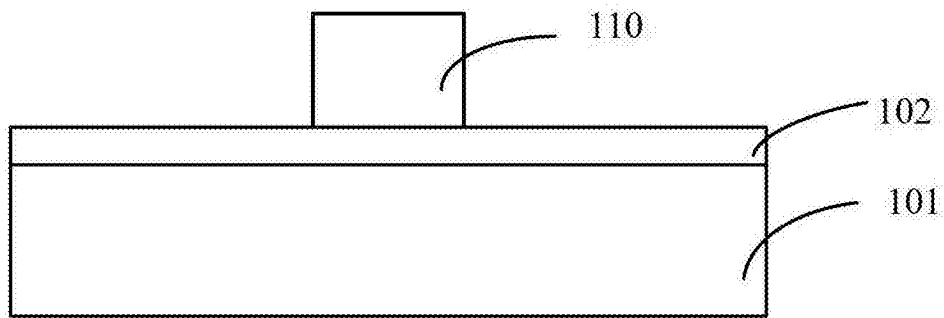


图3

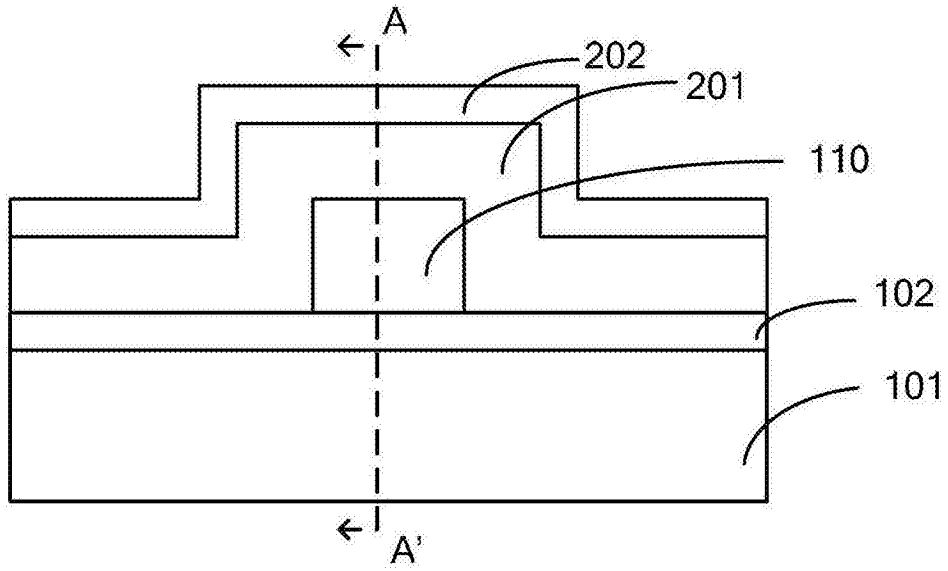


图4

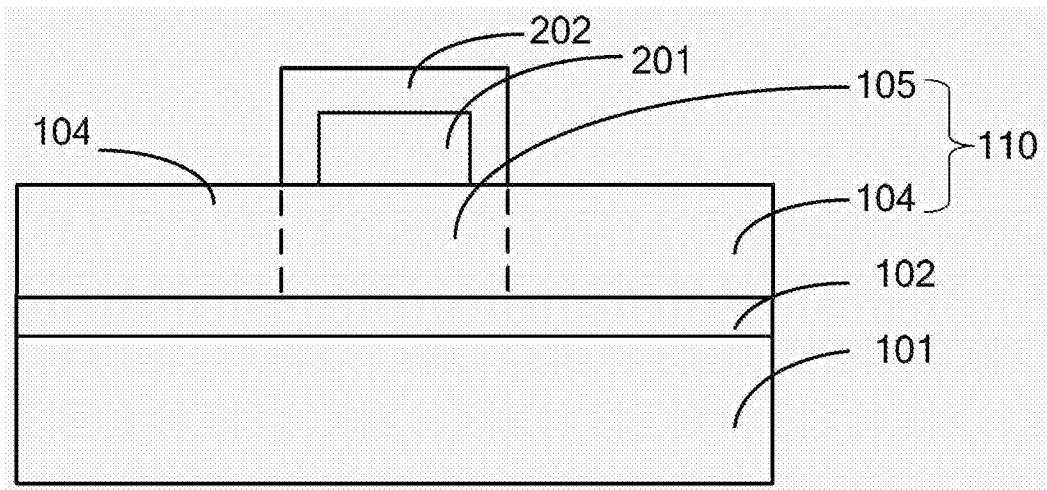


图5

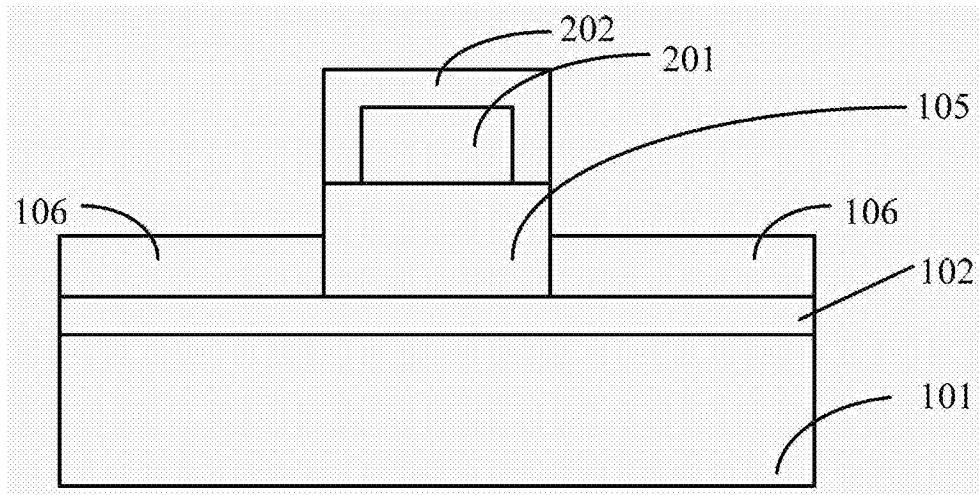


图6

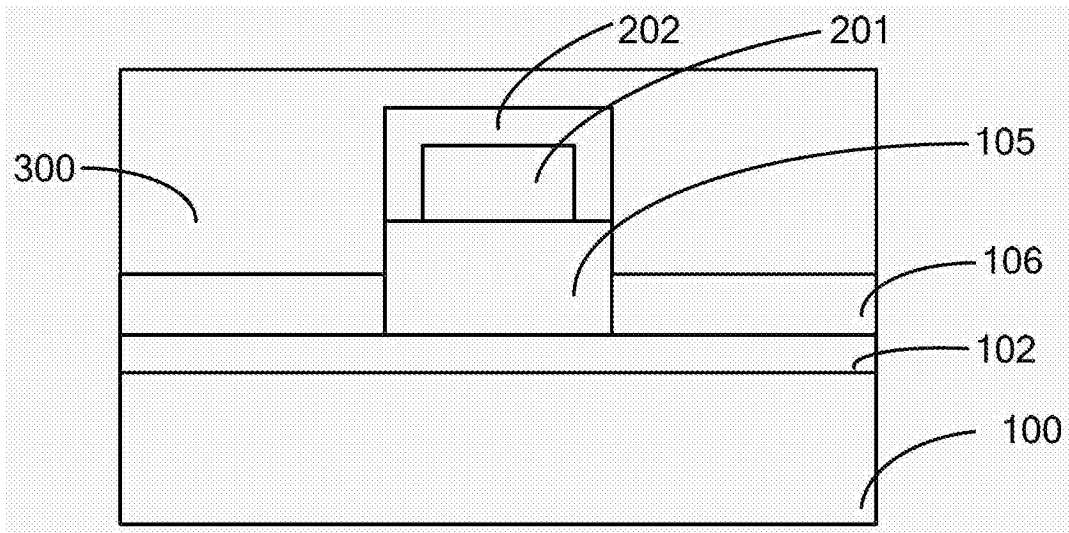


图7

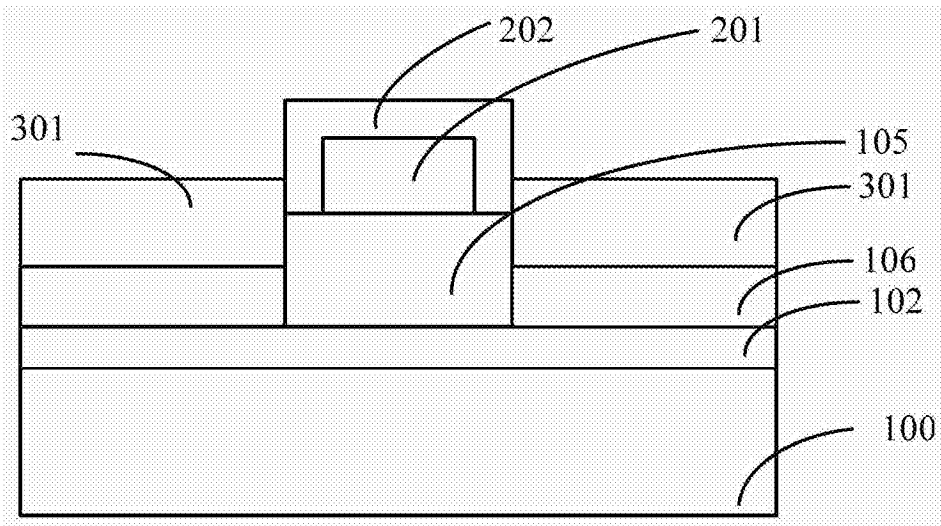


图8

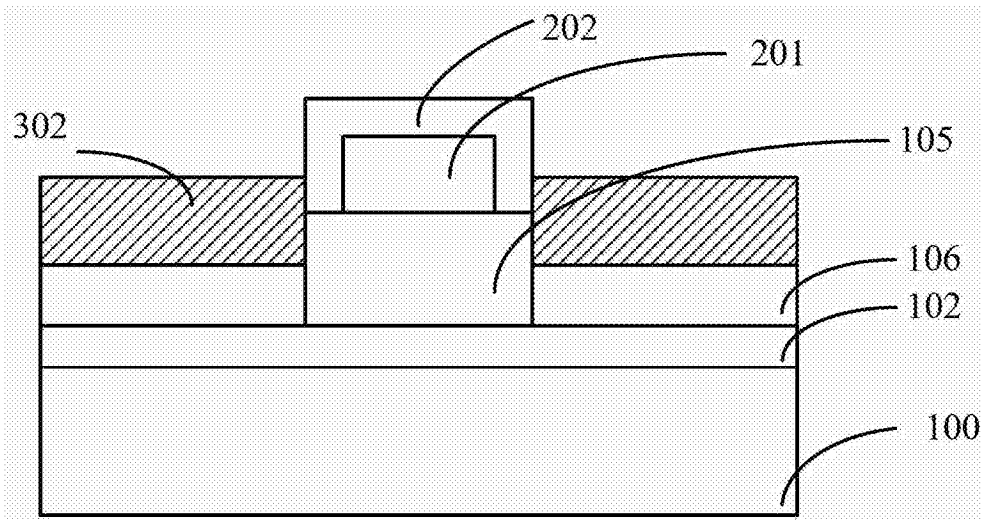


图9