

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4611985号
(P4611985)

(45) 発行日 平成23年1月12日(2011.1.12)

(24) 登録日 平成22年10月22日(2010.10.22)

(51) Int. Cl.	F I	
H03K 17/12 (2006.01)	H03K 17/12	
H03K 17/08 (2006.01)	H03K 17/08	Z
H03K 17/687 (2006.01)	H03K 17/687	A

請求項の数 3 (全 8 頁)

(21) 出願番号	特願2006-529536 (P2006-529536)	(73) 特許権者	505063441
(86) (22) 出願日	平成16年5月18日(2004.5.18)		アーベーバー・テヒノロジー・アーゲー
(65) 公表番号	特表2006-529066 (P2006-529066A)		スイス国、シーエイチー8050 チュー
(43) 公表日	平成18年12月28日(2006.12.28)		リッヒ、アフォルテルンシュトラーセ 4
(86) 国際出願番号	PCT/CH2004/000301		4
(87) 国際公開番号	W02004/102806	(74) 代理人	100091351
(87) 国際公開日	平成16年11月25日(2004.11.25)		弁理士 河野 哲
審査請求日	平成19年5月18日(2007.5.18)	(74) 代理人	100088683
(31) 優先権主張番号	03405343.9		弁理士 中村 誠
(32) 優先日	平成15年5月19日(2003.5.19)	(74) 代理人	100108855
(33) 優先権主張国	欧州特許庁 (EP)		弁理士 蔵田 昌俊
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100109830
			弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 電子回路及びパワー半導体モジュール

(57) 【特許請求の範囲】

【請求項 1】

特にパワースイッチとして使用される電子回路であって、
少なくとも1つの駆動信号を発生する駆動ユニットと、

2つまたはそれ以上のパワー半導体スイッチであって、各半導体スイッチは第1及び第2の主端子を有し、前記パワー半導体スイッチは前記駆動信号によって同時に切り替え可能であり、前記パワー半導体スイッチの前記第1及び第2の主端子はそれぞれ互いに並列に電子的に接続された、2つまたはそれ以上のパワー半導体スイッチと、

前記パワー半導体スイッチのそれぞれに対する、前記駆動ユニットへの接続のための第1及び第2の電氣的に伝導性の接続部と、

前記第1の電氣的に伝導性の接続部のそれぞれにおける第1のインダクタンスと、

前記第2の電氣的に伝導性の接続部のそれぞれにおける第2のインダクタンスと、を具備し、前記パワー半導体スイッチのそれぞれに対して前記第1のインダクタンスは前記第2のインダクタンスに結合され、

前記パワー半導体スイッチのそれぞれに対して各コモンモードリジエクシオンインダクタが設けられ、前記コモンモードリジエクシオンインダクタの第1の巻線は前記第1のインダクタンスを形成し、前記コモンモードリジエクシオンインダクタの第2の巻線は前記第2のインダクタンスを形成し、

各コモンモードリジエクシオンインダクタに対して、次の式で表わされる最小コモンモードインダクタンス $L^{(G)}_D$ よりも大きいコモンモードインダクタンス $L^{(G)}_{D,i}$

が選択され、

【数 1】

$$L_D^{(G)} = \frac{\Delta L_E \cdot I_{SC}}{\Delta I_G}$$

L_E は、2つのエミッタインダクタンス $L_{E,i}$ 及び $L_{E,j}$ 間の最大相違 $L_{E,i} - L_{E,j}$ (i と j は集合{1, 2, 3}の要素であり、互いに異なる)であり、

I_{SC} は、パワー半導体スイッチ(T_1, T_2, T_3)の短絡電流であり、

I_G は、2つのゲート電流 I_i 及び I_j (i と j は集合{1, 2, 3}の要素であり、互いに異なる)間の最大許容相違 $I_i - I_j$ であり、

10

前記同時に切り替え可能なパワー半導体スイッチ(T_1, T_2, T_3)は絶縁ゲートバイポーラトランジスタ(IGBT)であり、前記IGBTの各々に対する前記第1の電氣的に伝導可能な接続部は、補助エミッタ端子に接触し、前記第1のインダクタンスの1つと並列に制限抵抗が設けられている電子回路。

【請求項 2】

モジュールハウジングを具備するパワー半導体モジュールであって、前記パワー半導体モジュールは、請求項1に記載の電子回路を具備することを特徴とするパワー半導体モジュール。

【請求項 3】

20

前記パワー半導体モジュールは、少なくとも2つのサブモジュールを具備し、前記駆動信号によって同時に切り替え可能な2つまたはそれ以上のパワー半導体スイッチは同一のサブモジュールに設けられていない請求項2に記載のパワー半導体モジュール。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はパワー電子素子の分野に関する。本発明は、それぞれ請求項1及び6のプレアンブルに従う電子回路及びパワー半導体モジュールに関する。

【背景技術】

【0002】

30

従来のパワー半導体モジュールにおいて、所望の全電流量を達成するために概して同一の2つまたはそれ以上のパワー半導体スイッチが並列に接続される。この場合、個々のパワー半導体スイッチの電流容量が過剰にならないようにするために、任意の時間にパワー半導体モジュールを流れる全電流が個々のパワー半導体スイッチ間で均一に分配されることが保証される必要がある。この観点においてスイッチング動作が特に重要である。なぜならば、これらの動作のときに、パワー半導体スイッチの出力側から駆動側へのフィードバックでは、動的電流が不均一に分割されるからである。以下に図1を参照してこのことを説明する。図1は、従来の並列接続された3つのパワー半導体スイッチをもつパワー半導体モジュールの回路図である。この回路図は、3つの絶縁ゲートバイポーラトランジスタ(IGBT) T_1, T_2, T_3 の非対称な構成を示している。この場合、各エミッタ端子 E_1, E_2, E_3 とノードC間の対応する伝導性接続が異なるためにエミッタ側の寄生インダクタンス $L_{E,1}, L_{E,2}, L_{E,3}$ は異なる値をもつ。前記インダクタンスの値が異なるために、スイッチング動作のときにインダクタンス $L_{E,1}, L_{E,2}, L_{E,3}$ の両端には異なる電圧が誘導される。 $L_{E,1} = L_{E,3} > L_{E,2}$ ならば、図1の破線で示されるように、電流がエミッタ端子 E_1 または E_3 からエミッタ端子 E_2 へと流れる動的循環電流となる。この電流の流れは、エミッタ抵抗 $R_{E,1}, R_{E,2}, R_{E,3}$ の両端に異なる電圧降下 $U_{R,1}, U_{R,2}, U_{R,3}$ を生成し、かつ、IGBT T_1, T_2, T_3 で異なるゲート電圧 $U_{G,1}, U_{G,2}, U_{G,3}$ を生成する。異なるゲート電圧 $U_{G,1}, U_{G,2}, U_{G,3}$ により結果的に発振、循環電流及び上記の非均一な動的電流分割が発生し、これによって、理論上可能な値と比較してスイッチング能力が低下してしまう(“derating”)。

40

【0003】

50

このような非均一の動的電流分割に対処するために種々の方法がある。第一に、誘導性あるいは抵抗性要素の追加（これによってインダクタンス $L_{E,1}$ 、 $L_{E,2}$ 、 $L_{E,3}$ の値が異なることが補償される）による出力側の分離に関連する個々の駆動が考慮される。しかしながら、そのような解決策は、空間の増大及び、要素が大きな電流を必要とするときにコストの増大をもたらす。

【0004】

さらに、それぞれ出力側と駆動側とを直接ハード接続することが考えられる。駆動側は好ましくは分離（デカップリング）抵抗によって分離される。安定状態及び動的対称性が得られるならば、有効かつコスト低減に対する解決策となる。しかしながら、この方法は、特にパワー半導体モジュールの構成が対称であることあるいは駆動及びパワーリードが少なくとも相互に同一かあるいはミラー反転の構成が必須となるので、そのような方法は通常用いることができない。あるいは、パワー半導体モジュールが2つ以上のパワー半導体スイッチをもつならばコストが高くなるが上記の方法を用いることができる。さらに、パワー半導体スイッチが個別のサブモジュールに配置されているかあるいは偶数の完全なパワー半導体モジュールが並列に接続される場合には用いることができない。

10

【0005】

さらなる変形例では同様に、出力側のハード直接接続を用いるが別個の駆動ユニットを使用することによって駆動側を分離する。しかしながら、このことは、駆動ユニットのシンクロニシティ（共時性）と親和性に関して厳しい要件を課すことになり、製造コストの増大につながる。

20

【発明の開示】

【発明が解決しようとする課題】

【0006】

したがって、本発明の目的は、並列に接続された少なくとも2つのパワー半導体スイッチをもつ電子回路を提供することであり、可能な限り一様な少なくとも2つのパワー半導体スイッチ間での動的電流分割が達成される。

【0007】

これらの及びさらなる目的は、独立請求項の特徴を持つ導入部分において記述されたタイプの電子回路によって達成される。本発明のさらなる改良点が従属請求項において特定される。

30

【課題を解決するための手段】

【0008】

特にパワースイッチとして使用される本発明の電子回路において、少なくとも1つの駆動信号を生成する駆動ユニットが開示される。少なくとも1つの駆動信号を発生する駆動ユニットが開示される。各半導体スイッチは第1及び第2の主端子を有し、前記パワー半導体スイッチは前記駆動信号によって同時に切り替え可能であり、前記パワー半導体スイッチの前記第1及び第2の主端子はそれぞれ互いに並列に電子的に接続される。前記パワー半導体スイッチのそれぞれに対して、前記駆動ユニットへの接続のための第1及び第2の電氣的に伝導性の接続部が提供され、第1のインダクタンスは前記第1の電氣的に伝導性の接続部のそれぞれに設けられ、第2のインダクタンスは前記第2の伝導性の接続部のそれぞれに設けられる。前記第1のインダクタンスは、前記パワー半導体スイッチのそれぞれに対して前記第2のインダクタンスに結合される。本発明によれば、第1及び第2の電氣的に伝導性の接続部の各対に各コモンモードリジエクションインダクタが設けられる。すなわち、パワー半導体スイッチの各々に対して各コモンモードリジエクションインダクタが設けられる。ここでは、コモンモードリジエクションインダクタの第1の巻線は前記第1のインダクタンスを形成し、前記コモンモードリジエクションインダクタの第2の巻線は前記第2のインダクタンスを形成する。

40

【0009】

結合されたインダクタンスは、スイッチング動作中のカプリング及びクロストークの問題を低減する。動的循環電流が最小化され、パワー半導体スイッチ間の発振が効果的に抑

50

制される。本発明のパワー半導体スイッチは、複数の分離制御ユニットの同期あるいは出力回路における高価な回路を必要とすることなしに、直接並列接続された出力側の利点と、パワー半導体スイッチの分離駆動の利点とを備え、これによってコストを低減した製造を可能にしている。特に、パワー半導体スイッチのゲート及びエミッタ間のゲート抵抗を均一に分割することによって、直流のふるまいに対して、出力側の均衡が最適化される。コモンモードリジエクシオンインダクタは一对の第1及び第2の電氣的に伝導性の接続部の対をパワー回路から分離する。当該パワー回路は、パワー半導体スイッチのカソード端子とコモンノード間のパワー半導体スイッチを貫通する。前記分離はさらに、パワー回路内の対応するパス間での一様な電流分割を確実にする。

【0010】

本発明のこれらの及びさらなる目的、利点及び特徴は、図面を参照した本発明の好ましい実施形態の詳細な説明から明らかになる。

【発明を実施するための最良の形態】

【0011】

図2は、3つのIGBT_iをもつ本発明に従った電子回路を示している。ここで、*i*は集合{1, 2, 3}の要素である。3つのIGBTはパワー半導体スイッチとして並列に接続されている。後者はコモンドライブユニット20によって同時に切り替えられる。このため、コモンドライブユニット20によって生成された駆動信号は、駆動リードの各対を介してIGBT_iのそれぞれに供給される。しかしながら、同時に切り替え可能なパワー半導体スイッチ_iは、ユニポーラ絶縁ゲートフィールド効果トランジスタ(MOS-FET)であってもよい。図2によれば、駆動リードの各対は、ノードA_iと補助エミッタ端子H_i間に設けられた第1の駆動リードと、ノードB_iとゲート端子G_i間に設けられた第2の駆動リードを具備する。本発明によれば、各コモンモードリジエクシオンインダクタD_iは、第1及び第2の電氣的に伝導性の接続部(駆動リードの対)の各対に設けられている。すなわち、各コモンモードリジエクシオンインダクタD_iは、パワー半導体スイッチ_iの各々に対して設けられる。図2によれば、コモンモードリジエクシオンインダクタD_iの第1の巻線は第1のインダクタンスL_{D1,i}を形成し、コモンモードリジエクシオンインダクタD_iの第2の巻線は第2のインダクタンスL_{D2,i}を形成する。コモンモードリジエクシオンインダクタD_iすなわち、第1及び第2の電氣的に伝導性の接続部の対は、IGBT_iを介してカソード端子K_iとコモンノードC間を走るパワー回路から駆動リードの対を分離する。当該分離は、パワー回路におけるパスK₁-C, K₂-C, K₃-C間に均一な動的電流分割を保証する。

【数2】

この場合、好ましくは、ゲート抵抗は、 $R_{G,i} \approx R_{E,i}$ が真となるように分割される。但し、*i*は集合{1, 2, 3}の要素である。

【0012】

この場合、 $R_{G,i}$ 及び $R_{E,i}$ に対してIGBTの公称ゲート抵抗 $R_{G,nom}$ の半分の値が選択される。すなわち、 $R_{G,i} = R_{E,i} = 1/2 R_{G,nom}$

この場合、コモンモードリジエクシオンインダクタD_iの直列インダクタンスL^(G)_{D,i}は好ましくはできるだけ小さくなるように選択され、好ましくは200nH以下かあるいは200nHに等しい。この場合、コモンモードリジエクシオンインダクタD_iの直列インダクタンスは、コモンモードリジエクシオンインダクタD_iの両方の巻線が直列に接続されている場合に測定されるインダクタである。図3aは、コモンモードリジエクシオンインダクタD_iの直列インダクタンスを測定するための回路図を示している。

【0013】

この場合、コモンモードリジエクシオンインダクタD_iのコモンモードインダクタンスL^(G)_{D,i}は好ましくは少なくとも以下のように選択される。2つのエミッタインダクタンス間の相違L_{E,i} - L_{E,j}の最大値L_E(*i*と*j*は集合{1, 2, 3}の要素であり、

10

20

30

40

50

互いに異なる)と、補助エミッタ端末 H_i 及び H_j 間に存在する2つのゲートエミッタ電圧 $U_{GE,i}$ 及び $U_{GE,j}$ 間の所定の最大許容相違 U_{GE} と、2つのIGBT T_i 及び T_j のゲート端末 G_i 及び G_j (i と j は集合{1, 2, 3}の要素であり、互いに異なる)に基づいて、最小のコモンモードインダクタンス $L_D^{(G)}$ を計算することが可能である。IGBT T_i は、コレクタ電流がゲートエミッタ電圧 $U_{GE,i}$ によって設定される電圧制御によるコンポーネントなので、IGBT T_i の伝達特性から所望領域の最大可能なコレクタ電流相違によって、最大可能コレクタ電圧相違 U_{GE} を読み出す必要がある。

【0014】

ゲート電荷 Q_{GE} の可能な相違は、 $Q_{GE} = U_{GE} \cdot C_{GE}$ にもとづいて、最大許容電圧相違 U_{GE} にゲートエミッタ容量 C_{GE} を乗算することにより生成される。ここでは、ゲートエミッタ容量 $C_{GE,i}$ は3つすべてのIGBT T_i に対して同じ値 C_{GE} を有することを仮定している。

10

【0015】

次に、ゲート電流 I_i 及び I_j 間の最大許容相違 I_G (i と j は集合{1, 2, 3}の要素であり、互いに異なる)は、ゲート電荷 Q_{GE} における最大許容相違を、電圧が種々のエミッタインダクタンスの両端に蓄積される関連時間 t_R によって割り算することによって計算される。すなわち、 $I_G = (Q_{GE} / t_R)$

エミッタインダクタンスの相違にわたる電圧時間積分が許容ゲート電流相違によって分割されるならば、最小コモンモードインダクタンス $L_D^{(G)}$ について次の関係が得られる。

20

【数3】

$$L_D^{(G)} = \frac{U}{\Delta I_G / \Delta t} = \frac{U \cdot \Delta t}{\Delta I_G}$$

【0016】

エミッタインダクタンス $L_{E,i} - L_{E,j}$ の相違の最大値 L_E にわたる電圧時間積分は、 L_E を最大電流、IGBT T の短絡電流 I_{SC} によって乗算することによって計算される。

30

【0017】

$$U \cdot t = L_E \cdot I_{SC}$$

したがって、次の関係が得られる。

【数4】

$$L_D^{(G)} = \frac{U}{\Delta I_G / \Delta t} = \frac{\Delta L_E \cdot I_{SC}}{\Delta I_G}$$

【0018】

この場合、コモンモードリジエクシオンインダクタ D_i のコモンモードインダクタンスは、コモンモードリジエクシオンインダクタ D_i の両方の巻線が並列に接続されている場合に測定されるインダクタである。図3bは、コモンモードリジエクシオンインダクタ D_i のコモンモードインダクタンスを測定するための回路図を示している。

40

【0019】

図4は、本発明による電子回路の好ましい構成を示している。この場合、駆動ユニット20とパワー回路間のピーク値 U_D を最小にするために、ノード A_2 と、コモンモードリジエクシオンインダクタ D_2 間に補助エミッタ端子 H_2 に並列に抵抗 R_D が設けられる。抵抗 R_D は2, 3オームから2, 30オームの値が選択される。

【0020】

50

本発明によるパワー半導体モジュールは、それ自身既知のタイプのモジュールハウジングと、上記したような本発明による電子回路とを具備する。この場合、好ましくは、パワー半導体スイッチと駆動ユニット20及び/または第1及び第2のインダクタンスとがモジュールハウジング内に収納される。しかしながら、駆動ユニット20及び/または第1及び第2のインダクタンスはモジュールハウジングの外部に配置し例えばネジ止めあるいはプラグで接続するようにしてもよい。

【0021】

本発明によるパワー半導体モジュールの好ましい実施形態において、このモジュールは2つまたはそれ以上のサブモジュールを具備し、コントロールユニットによって駆動される少なくともパワー半導体スイッチはすべてが同じサブモジュール内にあるわけではない。この場合において本発明は特に有利に使用することができる。なぜならば、駆動及びパワーリードの相互に同一またはミラー反転の実施形態は、異なるサブモジュール内に配置されたパワー半導体スイッチにおいて実現できないからである。したがって、従来技術に記載された一時的な解決策は採用できない。

10

【図面の簡単な説明】

【0022】

【図1】図1は、従来技術に従って並列接続された3つのパワー半導体スイッチをもつ電子回路を示す図である。

【図2】図2は、本発明に従った電子回路を示す図である。

【図3a】図3aは、コモンモードリジェクションインダクタ D_i の直列インダクタンスを測定するための測定を示す回路図である。

20

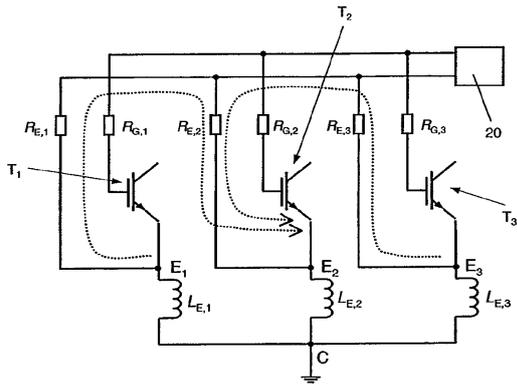
【図3b】図3bは、コモンモードリジェクションインダクタ D_i のコモンモードインダクタンスを測定するための測定を示す回路図である。

【図4】図4は、本発明に従う電子回路の好ましい構成を示す図である。

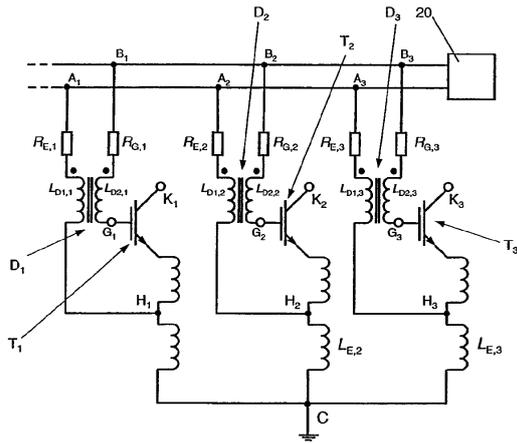
【0023】

図面において使用される参照符号およびそれらの意味は、「符号の説明」に要約される。同一の部品には図における同一の符号が付与される。以下に記述される実施形態は本発明の主題を一例によって示すものであり、本発明はそれら実施形態に限定されるものではない。

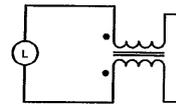
【 図 1 】



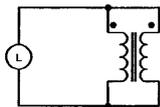
【 図 2 】



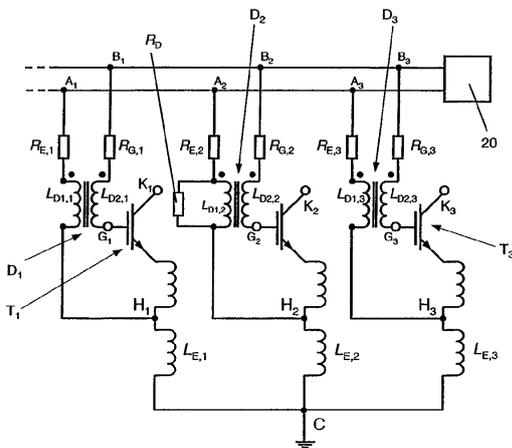
【 図 3 a 】



【 図 3 b 】



【 図 4 】



フロントページの続き

- (74)代理人 100095441
弁理士 白根 俊郎
- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100092196
弁理士 橋本 良郎
- (74)代理人 100100952
弁理士 風間 鉄也
- (72)発明者 シュラブバハ・ウルリッヒ
スイス国、シーエイチ - 3 0 9 7 リーベフェルト、タルペンベーク 3 3
- (72)発明者 シュネール、ラファエル
スイス国、シーエイチ - 5 7 0 3 セオン、ブライテンベーク 2 0

審査官 栗栖 正和

- (56)参考文献 特開平 0 4 - 0 8 3 4 1 6 (J P , A)
特開平 0 8 - 0 1 9 2 4 6 (J P , A)
実開平 0 4 - 1 2 1 3 9 5 (J P , U)

- (58)調査した分野(Int.Cl. , D B 名)
H03K 17/00-17/70