

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-178345

(P2016-178345A)

(43) 公開日 平成28年10月6日(2016.10.6)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/146 (2006.01)	HO 1 L 27/14 A	4M104
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 O 1 S	4M118
HO 1 L 29/78 (2006.01)	HO 1 L 21/28 A	5C024
HO 1 L 21/28 (2006.01)	HO 1 L 21/90 C	5F033
HO 1 L 21/768 (2006.01)	HO 4 N 5/335 7 4 O	5F140

審査請求 有 請求項の数 15 O L (全 20 頁) 最終頁に続く

(21) 出願番号	特願2016-123987 (P2016-123987)	(71) 出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成28年6月22日 (2016.6.22)	(74) 代理人	100076428 弁理士 大塚 康徳
(62) 分割の表示	特願2011-219565 (P2011-219565) の分割	(74) 代理人	100115071 弁理士 大塚 康弘
原出願日	平成23年10月3日 (2011.10.3)	(74) 代理人	100112508 弁理士 高柳 司郎
(31) 優先権主張番号	特願2010-256318 (P2010-256318)	(74) 代理人	100116894 弁理士 木村 秀二
(32) 優先日	平成22年11月16日 (2010.11.16)	(74) 代理人	100130409 弁理士 下山 治
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100134175 弁理士 永川 行光

最終頁に続く

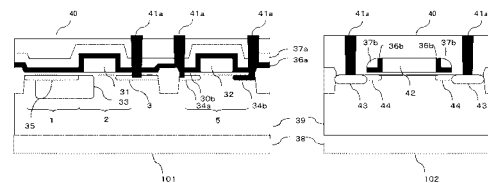
(54) 【発明の名称】 固体撮像素子、固体撮像素子の製造方法及び撮像システム

(57) 【要約】

【課題】 微細化と、高速読み出し動作を実現した固体撮像素子を提供する。

【解決手段】 光電変換素子と該光電変換素子の電荷に応じた信号を列信号線に出力する増幅MOSトランジスタを含む画素が配された画素領域と、前記画素の駆動もしくは前記列信号線に出力された信号を処理する回路を含む周辺回路領域とが、半導体基板に配された固体撮像素子であって、前記増幅MOSトランジスタのソース領域の抵抗は、前記増幅MOSトランジスタのドレイン領域の抵抗よりも低いことを特徴とする。

【選択図】 図5



【特許請求の範囲】**【請求項 1】**

光電変換素子と該光電変換素子の電荷に応じた信号を列信号線に出力する増幅 MOS トランジスタとを含む画素が配された画素領域と、前記画素の駆動もしくは前記列信号線に出力された信号を処理する回路を含む周辺回路領域とが、半導体基板に配された固体撮像素子であって、

前記増幅 MOS トランジスタのソース領域の抵抗は、前記増幅 MOS トランジスタのドレイン領域の抵抗よりも低いことを特徴とする固体撮像素子。

【請求項 2】

前記増幅 MOS トランジスタの前記ソース領域の不純物濃度は、前記増幅 MOS トランジスタの前記ドレイン領域の不純物濃度よりも高いことを特徴とする請求項 1 に記載の固体撮像素子。

10

【請求項 3】

前記増幅 MOS トランジスタのチャンネル領域と前記ソース領域が接している部分の長さは、前記増幅 MOS トランジスタの前記チャンネル領域と前記ドレイン領域とが接している部分の長さより長いことを特徴とする請求項 1 に記載の固体撮像素子。

【請求項 4】

前記周辺回路領域には、前記回路の一部を構成する周辺 MOS トランジスタが配され、前記周辺 MOS トランジスタのソース領域及びドレイン領域のそれぞれは、コンタクトプラグと接触した接触領域と、前記接触領域よりもチャンネルに近い中間領域と、前記中間領域よりもチャンネルに近い領域を含み、

20

前記中間領域の不純物濃度は、前記中間領域よりチャンネルに近い領域の不純物濃度よりも高く、

前記増幅 MOS トランジスタの前記ソース領域及び前記ドレイン領域の不純物濃度は、前記中間領域の不純物濃度より低いことを特徴とする請求項 1 乃至請求項 3 のいずれか一項に記載の固体撮像素子。

【請求項 5】

前記周辺回路領域には、前記回路の一部を構成する周辺 MOS トランジスタが配され、前記周辺 MOS トランジスタのソース領域及びドレイン領域のそれぞれは、コンタクトプラグと接触した接触領域と、前記接触領域よりもチャンネルに近い中間領域と、前記中間領域よりもチャンネルに近い領域を含み、

30

前記中間領域の不純物濃度は、前記中間領域よりチャンネルに近い前記領域の不純物濃度よりも高く、

前記増幅 MOS トランジスタの前記ドレイン領域の不純物濃度は、前記中間領域の不純物濃度より低いことを特徴とする請求項 1 乃至請求項 3 のいずれか一項に記載の固体撮像素子。

【請求項 6】

光電変換素子と該光電変換素子の電荷に応じた信号を列信号線に出力する増幅 MOS トランジスタとを含む画素が配された画素領域と、前記画素を駆動する回路もしくは前記列信号線に出力された信号を処理する回路を含む周辺回路領域とが、半導体基板に配された固体撮像素子であって、

40

前記増幅 MOS トランジスタのソース領域の不純物濃度は、前記増幅 MOS トランジスタのドレイン領域の不純物濃度よりも高いことを特徴とする固体撮像素子。

【請求項 7】

光電変換素子と該光電変換素子の電荷に応じた信号を列信号線に出力する増幅 MOS トランジスタとを含む画素が配された画素領域と、前記画素の駆動もしくは前記列信号線に出力された信号を処理する回路を含む周辺回路領域とが、半導体基板に配された固体撮像素子であって、

前記増幅 MOS トランジスタのチャンネル領域とソース領域が接している部分の長さは、前記増幅 MOS トランジスタの前記チャンネル領域とドレイン領域とが接している部分の長

50

さより長いことを特徴とする固体撮像素子。

【請求項 8】

光電変換素子と該光電変換素子の電荷に応じた信号を列信号線に出力する増幅 MOS トランジスタとを含む画素が配された画素領域と、前記画素の駆動もしくは前記列信号線に出力された信号を処理する回路を含む周辺回路領域とが、半導体基板に配された固体撮像素子の製造方法であって、

前記製造方法は、

前記増幅 MOS トランジスタのゲート電極を形成するゲート電極形成工程と、

前記ゲート電極をマスクとし、前記半導体基板の前記増幅 MOS トランジスタのソースを形成すべきソース形成領域及びドレインを形成すべきドレイン形成領域に不純物を注入する第 1 注入工程と、

前記増幅 MOS トランジスタの前記ソース形成領域及び前記ドレイン形成領域のうち前記ソース形成領域に対して選択的に不純物を注入する第 2 注入工程と、を含むことを特徴とする固体撮像素子の製造方法。

【請求項 9】

前記ゲート電極形成工程では、前記増幅 MOS トランジスタのゲート電極と、前記周辺回路領域に含まれる周辺 MOS トランジスタのゲート電極とを形成し、

前記第 1 注入工程では、前記増幅 MOS トランジスタ及び前記周辺 MOS トランジスタの前記ゲート電極をマスクとし、前記半導体基板のソースを形成すべきソース形成領域及びドレインを形成すべきドレイン形成領域に不純物を注入し、

前記製造方法は、

前記第 2 注入工程の後に、前記画素領域及び前記周辺回路領域に絶縁膜を形成する工程と、

前記周辺 MOS トランジスタの前記ゲート電極の側壁に前記絶縁膜の一部が残るように、前記周辺回路領域に形成された前記絶縁膜のうち前記周辺 MOS トランジスタのソース及びドレインに対応した部分を除去する除去工程と、

前記除去工程の後に、前記絶縁膜をマスクとして前記半導体基板に不純物を注入する第 3 注入工程を更に含むことを特徴とする請求項 8 に記載の固体撮像素子の製造方法。

【請求項 10】

前記画素領域及び前記周辺回路領域に絶縁膜を形成する工程と、

前記絶縁膜のうち、前記増幅 MOS トランジスタのソース領域に対応した領域及びドレイン領域に対応した領域の少なくとも一方に、コンタクトプラグを形成するためのコンタクトホールを開口する工程と、

前記コンタクトホールを通して前記半導体基板に不純物を注入する工程と、

前記コンタクトホールに導電体を形成して、前記コンタクトプラグを形成する工程を更に含むことを特徴とする請求項 8 に記載の固体撮像素子の製造方法。

【請求項 11】

請求項 1 乃至 7 のいずれか 1 項に記載の固体撮像素子と、該固体撮像素子へ光を結像する光学系と、該固体撮像素子からの出力信号を処理する信号処理回路とを有することを特徴とする撮像システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は固体撮像素子、固体撮像素子の製造方法及び撮像システムに関する。

【背景技術】

【0002】

固体撮像素子として画素領域と周辺回路領域とを有する MOS 型固体撮像素子がある。画素領域は光電変換素子と該光電変換素子の電荷に応じた信号を列信号線に出力する増幅 MOS トランジスタとを含む。周辺回路領域は画素領域と、該画素の駆動もしくは前記列信号線に出力された信号を処理する回路を含む。MOS 型固体撮像素子で発生するノイズ

10

20

30

40

50

の原因として、M O S トランジスタで発生するホットキャリアがある。ホットキャリアとは、M O S トランジスタのゲートに電圧を印加した際に、ドレイン領域とチャネル端部とで構成されるP N 接合に強い電界が印加され、これにより発生するキャリアである。M O S 型固体撮像素子のように微小な信号を扱うデバイスではこのようなホットキャリアにより発生するノイズが特に問題となりうる。

【0003】

このノイズの低減方法の一例として、画素領域のM O S トランジスタのソース領域及びドレイン領域の不純物濃度を周辺回路領域のそれよりも下げる。さらに周辺回路領域の周辺M O S トランジスタをL D D (Lightly Doped Drain) 構造とする方法がある。この方法によって、画素領域と、周辺回路領域のおおのに適した条件でソース領域とドレイン領域を形成できる。具体的には、周辺M O S トランジスタのゲート下に構成されるチャネルとドレイン領域との電界強度が緩和されるため、ホットキャリアの影響を低減することが可能となる。さらに、画素領域のM O S トランジスタをL D D 構造にしないことにより、画素領域のゲート電極の側壁にサイドスペーサを形成するためのエッチング工程が不要であるため、エッチングダメージによる暗電流などのノイズの影響を低減することが可能となる。画素領域のM O S トランジスタのドレイン領域はL D D 構造になっていないが、不純物濃度が低いため、画素領域のM O S トランジスタでもホットキャリアの影響を低減することが可能となる。

10

【先行技術文献】

【特許文献】

20

【0004】

【特許文献1】特開2008-041726号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

固体撮像素子は近年、感度やダイナミックレンジ等の光電変換特性を維持又は向上しつつ、画素の微細化、高画素数化が要求されている。この要求を実現するためには、画素領域の素子の駆動電圧を低減すること、および、光電変換素子面積の縮小を抑えつつ画素領域の光電変換素子以外の領域を微細化することが有効である。

30

【0006】

しかし、画素領域に配された光電変換素子の信号電荷に基づく信号を読み出すためのM O S トランジスタを微細化することによって、M O S トランジスタの駆動能力が低下し得る。特に、ホットキャリアの影響を低減するために、画素領域のM O S トランジスタのソース・ドレイン領域の不純物濃度を低くするとM O S トランジスタのソース抵抗が増大する。このため、M O S トランジスタの駆動能力が上がらず、高速読み出し動作には不利となる。

本発明の目的は、ノイズの低減と画素領域の増幅M O S トランジスタの駆動能力の向上に有利な技術を提供することである。

【課題を解決するための手段】

【0007】

40

本発明の固体撮像素子は、光電変換素子と該光電変換素子の電荷に応じた信号を列信号線に出力する増幅M O S トランジスタとを含む画素が配された画素領域と、前記画素の駆動もしくは前記列信号線に出力された信号を処理する回路を含む周辺回路領域とが、半導体基板に配された固体撮像素子であって、前記増幅M O S トランジスタのソース領域の抵抗は、前記増幅M O S トランジスタのドレイン領域の抵抗よりも低いことを特徴とする。

【発明の効果】

【0008】

本発明によれば、ノイズの低減と画素領域の増幅M O S トランジスタの駆動能力の向上を実現できる。

【図面の簡単な説明】

50

【0009】

【図1】本発明の実施形態の固体撮像素子の模式的平面図である。

【図2】本発明の実施形態の固体撮像素子の増幅MOSトランジスタの平面図及び断面図である。

【図3】本発明の実施形態の固体撮像素子の増幅MOSトランジスタの平面図及び断面図である。

【図4】本発明の実施形態の固体撮像素子の画素の回路図である。

【図5】第1の実施形態の固体撮像素子の模式的断面図である。

【図6】第1の実施形態の固体撮像素子の製造プロセスフロー図である。

【図7】第3の実施形態の固体撮像素子の模式的断面図である。

10

【図8】本発明の実施形態を説明するための固体撮像素子の模式的断面図である。

【図9】第4の実施形態の固体撮像素子の増幅トランジスタの平面図及び断面図である。

【図10】固体撮像素子を用いた撮像システムを説明するためのブロック図である。

【発明を実施するための形態】

【0010】

次に、添付図面を参照して本発明を実施するための形態を例示的に説明する。なお、本発明は各実施形態に限定されるものではなく、発明の主旨を超えない範囲で、組み合わせ、変更可能である。また各実施形態においては特定のMOSトランジスタを例にあげて説明しているが、各領域に配される全てのMOSトランジスタに各実施形態の構造を適用することも可能である。

20

(第1の実施形態)

図1に固体撮像素子の平面配置図を示す。111が画素領域である。固体撮像素子がリニアセンサとして構成される場合は、複数の画素が一次元状に画素領域に配列される。また、固体撮像素子がイメージセンサとして構成される場合は、複数の画素が二次元状に、即ち複数行、複数列を構成するように配列される。画素とは、1つの光電変換素子及びこの光電変換素子から列信号線へ信号を出力するための素子からなる素子集合体の最小単位である。素子集合体に含まれ得る構成としては、例えば、転送部、増幅部、リセット部がある。転送部は光電変換素子からフローティングディフュージョン部へ電荷を転送する転送用MOSトランジスタを含む。増幅部はフローティングディフュージョン部で電圧に変換された信号を出力する増幅MOSトランジスタを含む。リセット部はフローティングディフュージョン部の電圧をリセット電圧にリセットするリセット用MOSトランジスタを含む。隣接する画素において、増幅部、リセット部を共有することも可能であるが、この場合にも画素は1つの光電変換素子の信号を読み出すための素子集合体の最小単位として定義づけられる。

30

【0011】

112は画素領域111から読み出された信号を増幅する回路を含む信号処理回路である。信号処理回路112は、増幅回路の他、例えば画素で発生したノイズをCDS(Correlated Double Sampling)処理により除去する回路を含んでも良い。信号処理回路112には、単に複数列から並列に読み出される信号をシリアルな信号に変換するための回路を含んでも良い。

40

113は画素領域111に配された各画素を駆動するための垂直シフトレジスタである。114は信号処理回路112を駆動するための水平シフトレジスタである。固体撮像素子においてAD変換を行なう場合には、AD変換回路が固体撮像素子に含まれても良い。信号処理回路112、垂直シフトレジスタ113、水平シフトレジスタ114は周辺回路領域に配置された回路である。

【0012】

図4は、画素領域111に配列される1つの画素の一例を示している。画素は、例えば光電変換素子1と、転送MOSトランジスタ(転送部)2とリセットMOSトランジスタ(リセット部)4と増幅MOSトランジスタ(増幅部)5とを含んでいる。画素はリセットMOSトランジスタ4のドレインに供給される電圧により選択されうる。この選択は垂

50

直シフトレジスタによってなされる。光電変換素子 1 は、例えばフォトダイオードであり、入射光を光電変換により電荷に変換し蓄積する。転送 MOS トランジスタ 2 は光電変換素子 1 に蓄積された電荷を増幅 MOS トランジスタの入力部であるフローティングディフュージョン（浮遊拡散領域：FD）3 に転送する。増幅 MOS トランジスタ 5、定電流源 6、電源 7、列信号線 8 によりソースフォロワ回路が構成されうる。増幅 MOS トランジスタ 5 はソースフォロワ動作によりフローティングディフュージョン 3 の電位を列信号線 8 に出しうる。このようなソースフォロワ動作により電荷は増幅され、出力される。この例では、リセット MOS トランジスタ 4 のドレイン電圧により読み出す対象画素の選択動作を行なっているが、選択用 MOS トランジスタを設けて、これにより選択を行なってもよい。選択用 MOS トランジスタは増幅 MOS トランジスタ 5 のソースと列信号線 8 との間の電氣的経路に配される。あるいは、選択用 MOS トランジスタは増幅 MOS トランジスタ 5 のドレインと電源 7 との間の電氣的経路に配される。

10

【0013】

本発明の理解のために、画素領域の MOS トランジスタのソース領域、ドレイン領域の不純物濃度を周辺回路領域のそれよりも下げ、且つ周辺 MOS トランジスタを LDD 構造とした固体撮像素子について説明する。図 8 は固体撮像素子の模式的断面図である。固体撮像素子は画素領域 101 と周辺回路領域 102 を含んでいる。画素領域 101 は光電変換素子からの信号を読み出すための増幅 MOS トランジスタ 909 を含む。周辺回路領域 102 は例えば、信号処理回路 112、垂直シフトレジスタ 113、水平シフトレジスタ 114 信号のいずれかの回路を構成する MOS トランジスタ 910 を含む。

20

【0014】

周辺 MOS トランジスタ 910 のソース・ドレイン領域には LDD 構造が採用されている。LDD 構造は、半導体領域 916 よりもチャンネルに近い中間領域に MOS トランジスタの駆動能力が損なわれない程度に不純物濃度が高い、半導体領域 911 が形成される。さらに、半導体領域 911 よりも不純物濃度が低く中間領域よりチャンネルに近い半導体領域 914 を含む。半導体領域 914 はサイドスペーサ 913 下に形成されホットキャリアに対する電界緩和層となる。さらに、コンタクトホール 915 下には低抵抗とオーミック性を示す半導体領域 916 が形成されている。半導体領域 916 の不純物濃度は、半導体領域 911 より高い。画素領域に配された MOS トランジスタ 909 のソース領域、ドレイン領域はシングルドレイン構造になっている。画素領域 101 に配された MOS トランジスタ 909 のソース領域及びドレイン領域の不純物濃度は、周辺 MOS トランジスタ 910 の半導体領域 911 の不純物濃度よりも低く、ホットキャリアを引き起こさないように電界緩和層として働く。

30

【0015】

微細化等の目的で電界を緩和する必要のある画素領域では電界緩和層を広く形成する必要がある。また、ゲート側壁にサイドスペーサを形成する際のエッチングダメージを考慮すると、画素領域においては LDD 構造を採用しないことが有利である。一方、電界緩和層が広い場合、または不純物濃度が低すぎる場合には、トランジスタの寄生抵抗（直列抵抗）が増大し、トランジスタの駆動能力を大きく損なう結果となる。したがって、特に駆動能力が重要となる増幅 MOS トランジスタのソース領域の抵抗は低く抑えられることが望ましい。

40

本発明の実施形態では、固体撮像素子の微細化と増幅 MOS トランジスタの駆動能力の向上を両立させるために、増幅 MOS トランジスタのソース領域とドレイン領域の構造を互いに変えている。具体的には画素領域に配された増幅 MOS トランジスタのソース領域の抵抗を、ドレイン領域の抵抗よりも低くしている。これは、例えば、増幅 MOS トランジスタのソースの不純物濃度を増幅 MOS トランジスタのドレインの不純物濃度よりも高くすることによってなされうる。

図 2 を参照して増幅 MOS トランジスタのソース領域とドレイン領域の不純物濃度の関係を説明する。図 2 (a) が画素領域に配される増幅 MOS トランジスタの平面図、図 2 (b) が A - A' における断面図である。増幅 MOS トランジスタはゲート電極 2001

50

、ソース領域 2002、ドレイン領域 2003、コンタクトプラグの接続領域（第1の領域）2004を含む。コンタクトプラグの接続領域 2004は、ソース領域 2002及びドレイン領域 2003のそれぞれに対応して配される。コンタクトプラグの接続領域 2004が、ソース領域 2002もしくはドレイン領域 2003のいずれか一方のみに配される場合もある。コンタクトプラグの接続領域 2004は、ソース領域及びドレイン領域に対応するそれぞれのコンタクトプラグの接続領域 2004が、互いに同程度の不純物濃度であってもよい。ソース領域 2002はチャンネル領域 2007と接続領域 2004との間に配された半導体領域（第2の領域）2005を含む。ドレイン領域 2003はチャンネル領域 2007と接続領域 2004の間に配された半導体領域（第3の領域）2006を含む。この半導体領域 2005は半導体領域 2006よりも不純物濃度は高い。このようにソース領域の不純物濃度をドレイン領域の不純物濃度より高くすることにより、画素領域に配された増幅MOSトランジスタの駆動能力を向上することが可能となる。また、画素領域に配されたMOSトランジスタのホットキャリアを低減することが可能となる。更に、画素領域においては、LDD構造を採用しないことによりサイドスペーサ形成工程が不要である。この結果、LDD構造を形成するエッチング工程によるダメージを受けない。

10

【0016】

図5は本実施例の固体撮像素子の画素領域101及び周辺領域102の模式的断面図である。図5の画素領域101には光電変換素子1、転送MOSトランジスタ2、増幅MOSトランジスタ5の断面構造が示されている。周辺回路領域102には、信号処理回路112、垂直シフトレジスタ113、水平シフトレジスタ114のいずれかの回路を構成するMOSトランジスタが示されている。図5に示す固体撮像素子は半導体基板38に構成される。半導体基板38にはn型またはp型のウェル39が形成され、さらにウェル39中に光電変換素子1、MOSトランジスタとなる半導体領域が形成される。

20

図5の画素領域101において、光電変換素子1を構成する第1導電型の半導体領域33は、光電変換素子1に蓄積される電荷が電子である場合にはn型である。転送MOSトランジスタ2はゲート電極31、ソースとして機能する半導体領域33、ドレインとして機能する半導体領域3を有する。半導体領域33は、転送MOSトランジスタ2のソース領域と光電変換素子1を構成する半導体領域と共通である。半導体領域3は不図示のリセットMOSトランジスタのソースとフローティングディフュージョン(FD)3とを構成する半導体領域と共通である。増幅MOSトランジスタ5はゲート電極32、ドレインとして機能する半導体領域34a、ソースとして機能する半導体領域34bを有する。半導体領域34aに画素選択用の基準電圧を与えることができる。半導体基板の表面の上にはシリコン窒化膜36a、シリコン酸化膜37aが順に積層されている。シリコン窒化膜36aとシリコン酸化膜37aは絶縁膜を構成する。シリコン窒化膜36aおよびシリコン酸化膜37aで構成される絶縁膜は、画素領域101のコンタクト底部をのぞく全ての領域を覆っている。さらに、シリコン窒化膜36aとシリコン酸化膜37aにより光電変換素子の表面での反射を低減する反射防止膜を構成することができる。この絶縁膜はシリコン窒化膜、シリコン酸化膜の組み合わせに限らない。コンタクトプラグ41a等の導電体が半導体領域に接触している。FD3は増幅MOSトランジスタのゲート電極に不図示の電極を通して接続されており、半導体領域34aも不図示の増幅用基準電圧配線に電極を通して接続されている。

30

40

【0017】

図5の周辺回路領域102において、LDD構造のMOSトランジスタ42のソース領域又はドレイン領域となる半導体領域43の不純物濃度は、電界緩和層となる半導体領域44より高不純物濃度である。ゲート電極42の側面にサイドスペーサを構成するシリコン窒化膜36bおよびシリコン酸化膜37bが形成されている。

画素領域101のシリコン窒化膜36aおよびシリコン酸化膜37aと、周辺回路領域102のサイドスペーサとなるシリコン窒化膜36bおよびシリコン酸化膜37bとを同じ工程で形成することにより製造コストを低く抑えることができる。

また、画素領域のシリコン窒化膜36aおよびシリコン酸化膜37aは、周辺回路領域1

50

02の高不純物濃度の半導体領域43をイオン注入により形成する際のマスクとして用いることができる。あらためてマスクを設ける必要がないから、製造コストを低く抑えることができる。

【0018】

画素領域101において、増幅MOSトランジスタ5はシングルドレイン構造であり、ドレイン領域34aはソース領域34bより低不純物濃度の半導体領域で構成される。このため、ドレイン領域に高不純物濃度の半導体領域を含むLDD構造と比べ、ホットキャリアによるトランジスタ特性の劣化を低く抑えることができる。

このように、画素領域101において、増幅MOSトランジスタのソース領域34bを増幅MOSトランジスタのドレイン領域34aよりも高不純物濃度の半導体領域で構成することにより、ドレイン領域34aよりもソース領域34bの抵抗を低くできる。ドレイン領域側に比べ、高い電界がかからないソース領域はホットキャリアの影響を考慮する必要がない。シングルドレイン構造はゲート側壁にサイドスペーサを形成するLDD構造と比べ、微細化に向いており、サイドスペーサ形成時のエッチングダメージによる暗電流などのノイズを低減することもできる。

【0019】

画素領域101に配されたMOSトランジスタの半導体領域3、34a、34bにおいて、コンタクトプラグ41aの底部に接触する接触領域は金属配線による電気的な接続が可能な不純物濃度を確保する必要がある。これは、コンタクトホール開口部を通して不純物を注入することにより不純物濃度を確保するとよい。

【0020】

また、画素領域101のシリコン窒化膜36aは、BPSG(Boron Phosphorus Silicon Glass)などの層間絶縁膜40にコンタクトホールを開口する異方性ドライエッチングの際のエッチングストップとして用いてもよい。異方性ドライエッチングをした後に、シリコン窒化膜36aとシリコン酸化膜37aに対して選択性を有するエッチング条件で異方性エッチングをしてコンタクトホールを完成させる。この方法によれば層間絶縁膜のエッチングの際に、コンタクトホールが位置合わせズレにより素子分離領域上へ乗り上げた場合でも、コンタクトプラグ41aが素子分離領域や側面のウェル39に接触することが無い。このため、半導体領域3、34a、34bとウェル39間のリーク電流を抑制できる。したがって、コンタクトプラグと素子分離領域との距離を短くすることができ、素子の微細化が可能となる。

【0021】

また、シリコン窒化膜36a、36bは、水素分子を多量に含む膜を用いることができる。この場合には、シリコン窒化膜を形成した後に350以上の熱処理を施すことにより半導体基板に水素が拡散しダングリングボンドの終端化効果が得られる。このようなシリコン窒化膜はプラズマCVD法で形成することにより得ることができる。

【0022】

続いて、図6(a)~(f)を参照しながら固体撮像素子の製造方法を説明する。まず、図6(a)に示すように、シリコンなどの半導体基板38に第1導電型(n型)のウェル(不図示)と第2導電型(p型)のウェル39を形成する。次にSTI(Shallow Trench Isolation)法、選択酸化法などにより素子分離領域41を形成する。尚、説明のため図6(a)~図6(f)では画素領域101と周辺回路領域102を、隣接させて描いている。

【0023】

続いて、図6(b)に示すように、半導体基板38のウェル39に画素領域のMOSトランジスタ及び周辺領域のMOSトランジスタのゲート電極31、32、42をポリシリコンにより形成する。このゲート電極形成工程後、n型不純物を導入して光電変換素子を構成するフォトダイオードのn型半導体領域(蓄積領域)33を形成する。次に、p型不純物を導入してフォトダイオードを埋め込み構造とするためにp型半導体領域35をn型半導体領域33の表面に形成する。そして、ゲート電極31、32、42をマスクにした

10

20

30

40

50

イオン注入（第1注入工程）によりn型不純物を導入する。ゲート電極側面のソース形成領域（ソース領域となる部分）及びドレイン形成領域（ドレイン領域となる部分）に、ゲート電極に自己整合したソース領域、ドレイン領域となる半導体領域3、34a、34b、44を形成する。

【0024】

さらに、図6(c)のように増幅MOSトランジスタのソース領域を露出させる開口を有するレジスト50を画素領域と周辺回路領域の上に形成する。次に、増幅MOSトランジスタのソース領域34bに、ゲート電極32をマスクにして選択的にイオン注入（第2注入工程）することによりn型不純物を導入する。この結果、増幅MOSトランジスタ5のドレイン領域34aの不純物濃度に比べて、ソース領域34bの不純物濃度を高くすることができる。

10

【0025】

そして、素子分離領域、ゲート電極を除く半導体基板表層に、薄いシリコン酸化膜30bを形成する。薄いポリシリコン酸化膜は、ポリシリコンゲート電極を形成するために異方性ドライエッチングを施したときに形成される半導体基板表層のゲート酸化膜を残存させることによって形成してもよい。もしくは、シリコン窒化膜36を堆積する前に熱酸化して薄いポリシリコン膜を形成してもよい。または、シリコン酸化膜を堆積させて薄いポリシリコン膜を形成してもよい。そして、図6(d)に示すように、半導体基板の表面にシリコン窒化膜36を形成し、その上にシリコン酸化膜37を形成する。このシリコン窒化膜36、シリコン酸化膜37は画素領域101、周辺回路領域102を覆う絶縁膜となる。

20

【0026】

次に画素領域上にレジスト51を形成しておき、周辺回路領域102のゲート電極42の側面のシリコン窒化膜36およびシリコン酸化膜37の一部を残してエッチバックする。こうして、図6(e)に示すように、周辺回路領域102のゲート電極42の側壁にシリコン窒化膜36bおよびシリコン酸化膜37bからなるサイドスペーサを形成する。そして、周辺回路領域102のゲート電極42とサイドスペーサをマスクとしてn型不純物を導入（第3注入工程）する。これによりサイドスペーサ側面に自己整合したソース領域、ドレイン領域を半導体領域44より高不純物濃度の半導体領域43にできる。このとき画素領域101は、全面に残存するシリコン窒化膜36およびシリコン酸化膜37をマスクとして利用してもよい。この場合にはあらためてマスクをする必要がないために製造コストが抑えられる。こうして、図6(e)に示したような構造が得られる。

30

【0027】

次に、図6(f)に示すように、BPSGなどの層間絶縁膜40を画素領域101、周辺回路領域102全体を覆うように成膜する。さらに、コンタクトホール41a、41bを異方性ドライエッチングにより層間絶縁膜40に開口する。その際に画素領域のシリコン窒化膜36aをエッチングストップに用いることにより画素領域101のコンタクト底部が接触する接触領域が半導体基板上に自己整合したコンタクトホールが形成される。そして、コンタクトホール41a、41bの中に導電体を充填してコンタクトプラグを形成する。こうして、図6(f)に示す構造が得られる。シリコン酸化膜を形成した後のいずれかの工程において、350以上の熱処理が施されることが望ましい。

40

【0028】

以上の説明はp型半導体基板上に形成するnチャネル型MOSトランジスタを用いた例について説明したが、CMOSプロセスで固体撮像素子を作製する場合には、導電型を変えれば同じようにpチャネル型MOSトランジスタを作ることができる。pチャネル型MOSトランジスタはnチャネル型MOSトランジスタに比べてキャリアの移動度が低いため、本実施例のように画素領域の増幅MOSトランジスタの駆動能力を上げることは重要である。

【0029】

以上、本実施形態において、画素領域に配された増幅MOSトランジスタは、ソース領

50

域がドレイン領域に比べて高不純物濃度の半導体からなるシングルドレイン構造にする。そして、周辺回路領域に配されたMOSトランジスタはLDD構造にする。画素領域に配された増幅MOSトランジスタのドレイン領域の低不純物濃度領域は、周辺回路領域に配されたMOSトランジスタのLDD構造の低不純物濃度領域と同一の工程で形成される。このようなプロセスで形成した固体撮像素子は、画素領域の増幅MOSトランジスタのホットキャリアによる特性劣化の抑制と、増幅MOSトランジスタの高駆動能力実現を両立することができる。

【0030】

また、画素部のコンタクトホールは反射防止膜をエッチングストップパに用いた場合には、自己整合的に半導体基板表面のみに接触するため、MOSトランジスタのソース、ドレインとウェル間のリーク電流を抑制できる。

また画素領域においては絶縁膜を反射防止膜およびコンタクトのエッチングストップパとして用い、周辺回路部においてはMOSトランジスタのサイドスペーサとして用いれば、製造コストを低く抑えることができる。

また、絶縁膜を水素分子を多量に含むシリコン窒化膜で形成した場合には、トランジスタの界面あるいはフォトダイオード上のシリコン/シリコン酸化膜界面のトラップをより効果的に低減することができる。

(第2の実施形態)

本実施形態においては、増幅MOSトランジスタ5のソースの抵抗がドレインの抵抗より低い実施形態について説明する。図3(a)は画素領域に配される増幅MOSトランジスタ5の平面図、図3(b)はA-A'における断面図である。

【0031】

増幅MOSトランジスタ5はゲート電極2001、ソース領域2002、ドレイン領域2003、コンタクトプラグの接続領域2004(第1の領域)、チャンネル領域2007を含む。コンタクトプラグの接続領域2004は、ソース領域2002及びドレイン領域2003のそれぞれに対応して配される。コンタクトプラグの接続領域2004が、ソース領域2002もしくはドレイン領域2003のいずれか一方のみに配される場合もある。さらに増幅MOSトランジスタ5のソース領域は、チャンネル領域2007と第1の領域との間に配された半導体領域2005(第2の領域)を含む。増幅MOSトランジスタ5のドレイン領域は、チャンネル領域2007と第1の領域との間に配された半導体領域2006(第3の領域)を含む。この第2の領域2005とチャンネル領域2007が接触している長さは、第3の領域2006とチャンネル領域2007が接触している長さよりも長い。言い換えれば、増幅MOSトランジスタのチャンネルは、ソース端におけるチャンネル幅が、ドレイン端におけるチャンネル幅より広い。ここで、チャンネル領域の境界は素子分離部によって規定される。素子分離部としては、フィールド酸化膜分離、STI分離、PN接合分離、EDI分離などが挙げられる。図示されていないが、チャンネル領域がゲート電極によって規定されてもよい。この場合は、ゲート電極のソース端におけるゲート幅を、ドレイン端におけるゲート幅より広くしてチャンネルを形成する。

また、ソース側のコンタクトプラグと半導体領域との接触面積が、ドレイン側のコンタクトプラグと半導体領域との接触面積より広くてもよい。そのために、ソース領域に対応した第1の領域の面積が、ドレイン領域に対応した第2の面積より広くてもよい。

【0032】

このような構造によって、画素領域に配された増幅MOSトランジスタのソース領域の抵抗を小さくすることができるため、該増幅MOSトランジスタの駆動能力を向上することが可能となる。

図3のように増幅MOSトランジスタのソース側のチャンネル幅よりドレイン側のチャンネル幅が小さい構造によれば、ゲート電極とドレイン領域との間の容量を低減することができる。これによって、ゲート電極と電氣的に接続されたフローティングディフュージョン部の容量を低減することができる。そのため、読みだされた電荷を電圧に変換するゲインを高くすることが可能となる。フローティングディフュージョン部での電荷電圧変換ゲイ

10

20

30

40

50

ンが高ければ、後段のノイズを相対的に小さくすることができる。また、ソース側のチャネル幅は大きく保つことにより、 G_m を高くすることが可能である。そのため、同じゲート面積においてもRTSノイズ等低周波ノイズを相対的に小さくすることが可能である。
(第3の実施形態)

本実施形態においては、ドレイン領域の、導電体と直接接触する接触領域に関して説明する。一般的にMOSトランジスタを形成するソース、ドレインと配線層の配線パターンを電氣的に接続するコンタクトプラグ等の導電体との接触は低抵抗かつオーミック特性を示すことが求められる。金属不純物に起因する点キズに敏感な固体撮像素子においては、シリサイドを形成するプロセスをあえて適用しない場合が考えられる。したがって固体撮像素子において、ドレイン領域と導電体とのオーミックコンタクトの取り方は重要となる。

10

【0033】

上述した各実施形態のような画素領域に配されたMOSトランジスタのドレイン領域が電界緩和構造を有する場合には、低抵抗かつオーミック特性を示すコンタクトを形成する手法が求められる。これを満たす固体撮像素子の構造および製造方法について以下に説明する。図7に本実施例の固体撮像素子の断面図を示す。実施例1、2と同様の機能を有するものには同様の符号を付し詳細な説明は省略する。101は画素領域に配されたフローティングディフュージョン(FD)3、すなわち、転送MOSトランジスタ(ここではn型とする)のドレイン領域と導電体との接続部を示している。104は周辺回路部に配されたn型のMOSトランジスタのソース領域又はドレイン領域と導電体との接続部を示している。105は周辺回路領域に配されたp型MOSトランジスタのソース領域又はドレイン領域と導電体との接続部を示している。

20

【0034】

101に示すように、FD3は導電体41aと直接接触しているn型の高不純物濃度の半導体領域45を有している。104、105も同様にソース領域、ドレイン領域はn型、p型の高不純物濃度の半導体領域45、46を有している。本実施形態の構造を適用することにより、全てのコンタクトプラグ(41a、41b、41c)において、低抵抗かつ良好なオーミックコンタクト特性が得られる。

【0035】

次いで本実施形態における固体撮像素子の製造方法について説明する。
第1の実施形態で説明したフローで図6(e)までは同様のプロセスで形成する。ここで低不純物濃度の半導体領域の不純物濃度は $1 \times 10^{17} / \text{cm}^3$ 、 $d_1 = 5 \times 10^{18} / \text{cm}^3$ 程度に設定することができる。その後、導電体と接続を行なうソース領域、ドレイン領域に対応してコンタクトホールを異方性ドライエッチングにより形成する。この後に、フォトマスクを用いて画素領域に配されたFD3に対するコンタクト底部と、周辺回路領域102に配された半導体領域43に対するコンタクト底部に対して、リン(P)に代表されるn型不純物を導入する。画素領域の半導体領域3に対するコンタクトを低抵抗かつオーミック特性を得るためにコンタクトプラグが直接接する半導体領域の不純物濃度 d_2 として $5 \times 10^{18} / \text{cm}^3$ 、 $d_2 = 5 \times 10^{19} / \text{cm}^3$ となるようにドーズ量を設定することが望ましい。なお、コスト低減を考慮に入れてフォトマスクを用いずに全面領域にn型不純物を導入してもよい。

30

40

【0036】

次に、フォトマスクを用いて周辺回路領域に配されたp型のMOSトランジスタのソース領域、ドレイン領域及び導電体の接続部105に、ボロン(B)に代表されるp型不純物を導入してp型の高濃度の半導体領域を形成する。この際、上述のn型不純物の全面イオン注入によって、p型の半導体領域にn型不純物が導入されていてもよい。この場合には、周辺回路領域に配されたn型のMOSトランジスタのソース領域、ドレイン領域及び導電体の接続部104の全体を覆うようにマスクパターンを形成する。そして、全面イオン注入によって導入されたn型不純物の濃度を上回るように、p型不純物イオンの注入条件を設定する必要がある。例えばこの時のドーズ量はコンタクトプラグが直接接する領域

50

の不純物濃度 d_3 が $5 \times 10^{18} / \text{cm}^3$ $d_3 = 5 \times 10^{19} / \text{cm}^3$ になるように、
 $1.0 \times 10^{15} / \text{cm}^2$ 程度に設定することが望ましい。

【0037】

本実施形態の製造方法に関しては、上記述べた第1の実施形態及び第2の実施形態に適用可能である。また画素領域に配される各種MOSトランジスタに適用することが可能である。

【0038】

(第4の実施形態)

本実施形態においては、画素に含まれる増幅MOSトランジスタのソース領域の不純物濃度がドレイン領域の不純物濃度よりも高いことが特徴である。

10

【0039】

図1に本実施形態の固体撮像素子の平面配置図を示す。111が画素領域である。複数の画素が画素領域111に配列される。画素領域111の構造および画素の構造は、第1の実施形態の固体撮像素子と同じである。そのため、ここでは詳細な説明は省略する。ただし、本実施形態においては、増幅MOSの構造が第1の実施形態の固体撮像素子と異なっている。

【0040】

112は画素領域111から読み出された信号を増幅する回路を含む信号処理回路である。113は画素領域111に配された各画素を駆動するための垂直シフトレジスタである。114は信号処理回路112を駆動するための水平シフトレジスタである。信号処理回路112、垂直シフトレジスタ113、水平シフトレジスタ114は周辺回路領域に配置された回路である。これらの回路は第1の実施形態の固体撮像素子と同じであるため、詳細な説明は省略する。

20

【0041】

図4は、画素領域111に配列される1つの画素の一例を示している。本実施形態の固体撮像素子の画素回路は第1の実施形態の固体撮像素子の画素回路と同一である。そのため、ここでは詳細な説明は省略する。

【0042】

本実施形態においては、画素領域のMOSトランジスタのドレイン領域の不純物濃度が周辺領域の不純物濃度よりも低く、且つ周辺回路領域のMOSトランジスタがLDD構造を有する。図8は本実施形態の固体撮像素子の模式的断面図である。固体撮像素子は画素領域101と周辺回路領域102を含んでいる。画素領域101は光電変換素子からの信号を読み出すための増幅MOSトランジスタ909を含む。周辺回路領域102は例えば、信号処理回路112、垂直シフトレジスタ113、水平シフトレジスタ114信号のいずれかの回路を構成するMOSトランジスタ910を含む。

30

【0043】

周辺回路領域のMOSトランジスタ910のソース・ドレイン領域にはLDD構造が採用されている。LDD構造は、MOSトランジスタの駆動能力が損なわれない程度に不純物濃度が高い半導体領域911と、半導体領域911より不純物濃度が低い半導体領域914とを含む。半導体領域914はサイドスペーサ913下に形成されホットキャリアに対する電界緩和層となる。さらに、コンタクトホール915下には低抵抗とオーミック性を示す半導体領域916が形成されている。半導体領域916の不純物濃度は、半導体領域911より高い。画素領域に配されたMOSトランジスタ909のドレイン領域はシングルドレイン構造になっている。画素領域101に配されたMOSトランジスタ909のドレイン領域の不純物濃度は、周辺領域に配されたMOSトランジスタ910の半導体領域911の不純物濃度よりも低く、ホットキャリアを引き起こさないように電界緩和層として働く。なお、本実施例において、画素領域101に配されたMOSトランジスタ909のソース領域はどのような構造であってもよい。たとえば、MOSトランジスタ909のソース領域がLDD構造となってもよい。また、MOSトランジスタ909のソース領域の不純物濃度は、周辺領域102に配されたMOSトランジスタ910のソース領

40

50

域あるいはドレイン領域の不純物濃度より高くてもよいし、それらと同程度であってもよい。

【0044】

微細化等の目的で電界を緩和する必要のある画素領域では電界緩和層を広く形成する必要がある。また、ゲート側壁にサイドスペーサを形成する際のエッチングダメージを考慮すると、画素領域においてはLDD構造を採用しないことが有利である。一方、電界緩和層が広い場合、または不純物濃度が低すぎる場合には、トランジスタの寄生抵抗（直列抵抗）が増大し、トランジスタの駆動能力を大きく損なう結果となる。したがって、特に駆動能力が重要となる増幅MOSトランジスタのソース領域の抵抗は低く抑えられることが望ましい。

10

図8の画素領域101には光電変換素子1、転送MOSトランジスタ2、増幅MOSトランジスタ909の断面構造が示されている。周辺回路領域102には、信号処理回路112、垂直シフトレジスタ113、水平シフトレジスタ114のいずれかの回路を構成するMOSトランジスタ910が示されている。図8に示す固体撮像素子は半導体基板に構成される。半導体基板にはn型またはp型のウェルが形成され、さらにウェル中に光電変換素子1、MOSトランジスタとなる半導体領域が形成される。

【0045】

図8の画素領域101において、光電変換素子1を構成する第1導電型の半導体領域903は、光電変換素子1に蓄積される電荷が電子である場合にはn型である。転送MOSトランジスタ2はゲート電極901、ソースとして機能する半導体領域903、ドレインとして機能する半導体領域914を有する。半導体領域903は、転送MOSトランジスタ2のソース領域と光電変換素子1を構成する半導体領域と共通である。半導体領域914は不図示のリセットMOSトランジスタのソースとフローティングディフュージョン（FD）部3とを構成する半導体領域と共通である。増幅MOSトランジスタ909はゲート電極902、ドレインとして機能する半導体領域914、ソースとして機能する半導体領域914を有する。ドレイン領域914に電源電圧を与えることができる。光電変換素子1の表面の上にはシリコン窒化膜、シリコン酸化膜が順に積層されている。シリコン窒化膜とシリコン酸化膜は絶縁膜を構成する。シリコン窒化膜およびシリコン酸化膜で構成される絶縁膜は、画素領域101のコンタクト底部をのぞく全ての領域を覆っていてもよい。さらに、シリコン窒化膜とシリコン酸化膜により光電変換素子の表面での反射を低減する反射防止膜を構成することができる。この絶縁膜はシリコン窒化膜、シリコン酸化膜の組み合わせに限らない。コンタクトプラグ915等の導電体が半導体領域に接触している。FD部914は増幅MOSトランジスタのゲート電極に不図示の電極を通して接続されており、増幅MOSトランジスタ909のドレイン領域914も不図示の電源電圧配線に電極を通して接続されている。

20

30

【0046】

図8の周辺回路領域102において、LDD構造のMOSトランジスタ910のソース領域又はドレイン領域となる半導体領域911の不純物濃度は、電界緩和層となる半導体領域914より高い。ゲート電極912の側面にサイドスペーサを構成するシリコン窒化膜およびシリコン酸化膜が形成されている。

40

【0047】

画素領域101のシリコン窒化膜およびシリコン酸化膜と、周辺回路領域102のサイドスペーサとなるシリコン窒化膜およびシリコン酸化膜とを同じ工程で形成することにより製造コストを低く抑えることができる。

【0048】

画素領域101に配されたMOSトランジスタの半導体領域914、及び周辺回路領域102に配されたMOSトランジスタの半導体領域911において、コンタクトプラグ915の底部が接触する。この接触する部分は、金属配線による電氣的な接続が可能な不純物濃度を確保する必要がある。これは、コンタクトホール開口部を通して不純物を注入することにより不純物濃度を確保するとよい。

50

【 0 0 4 9 】

また、画素領域 1 0 1 のシリコン窒化膜は、エッチングストッパとして用いてもよい。例えば、B P S G (Boron Phosphorus Silicon Glass) などで構成される層間絶縁膜にコンタクトホールを開口する異方性ドライエッチングの際のエッチングストッパにシリコン窒化膜を使うことができる。異方性ドライエッチングをした後に、シリコン窒化膜とシリコン酸化膜に対して選択性を有するエッチング条件で異方性エッチングをしてコンタクトホールを完成させる。この方法によれば層間絶縁膜のエッチングの際に、コンタクトホールが位置合わせズレにより素子分離領域上へ乗り上げた場合でも、コンタクトプラグ 9 1 5 が素子分離領域や側面のウェルに接触することが無い。このため、半導体領域とウェルとの間のリーク電流を抑制できる。したがって、コンタクトプラグと素子分離領域との距離を短くすることができ、素子の微細化が可能となる。

10

【 0 0 5 0 】

また、シリコン窒化膜は、水素分子を多量に含む膜を用いることができる。この場合には、シリコン窒化膜を形成した後に 3 5 0 以上の熱処理を施すことにより半導体基板に水素が拡散しダングリングボンドの終端化効果が得られる。このようなシリコン窒化膜はプラズマ C V D 法で形成することにより得ることができる。

【 0 0 5 1 】

本発明の実施形態では、固体撮像素子の微細化と増幅 M O S トランジスタの駆動能力の向上を両立させるために、増幅 M O S トランジスタのソース領域とドレイン領域の構造を互いに変えている。具体的には増幅 M O S トランジスタのソース領域の不純物濃度が、増幅 M O S トランジスタのドレイン領域の不純物濃度よりも高い。これによって、画素領域に配された増幅 M O S トランジスタのソース領域の抵抗を、ドレイン領域の抵抗よりも低くできるため、増幅 M O S トランジスタの駆動力を高くすることができる。

20

【 0 0 5 2 】

図 9 を参照して、このような不純物濃度分布について詳細に説明する。図 9 (a) が画素領域に配される増幅 M O S トランジスタの平面図、図 9 (b) が B - B ' における断面図である。図 9 (c) が本実施形態の変形例の B - B ' における断面図である。

【 0 0 5 3 】

増幅 M O S トランジスタはゲート電極 3 0 0 1、ソース領域 3 0 0 2、ドレイン領域 3 0 0 3 を含む。さらに、ソース側のコンタクトプラグの接続領域 3 0 0 4 及びドレイン側のコンタクトプラグの接続領域 3 0 0 5 を含む。接続領域 3 0 0 4 及び接続領域 3 0 0 5 は、そのいずれかのみが配されてもよいし、両方とも配されていなくてもよい。ソース領域 3 0 0 2 あるいはドレイン領域 3 0 0 3 が、別のトランジスタのソース領域あるいはドレイン領域を兼ねている場合は、コンタクトプラグが配されなくてもよい。

30

【 0 0 5 4 】

ソース領域 3 0 0 2 は、コンタクトプラグの接続領域 3 0 0 4 とゲート電極 3 0 0 1 との間に配された領域 3 0 0 6 を含む。また、ドレイン領域 3 0 0 3 は、コンタクトプラグの接続領域 3 0 0 5 とゲート電極 3 0 0 1 との間に配された領域 3 0 0 7 を含む。

【 0 0 5 5 】

本実施形態においては、この二つの領域 3 0 0 6 と領域 3 0 0 7 の不純物濃度の関係が特徴部分である。まず、図 9 (b) に示される断面では、領域 3 0 0 6 の全体の不純物濃度が、領域 3 0 0 7 の最も不純物濃度の高い部分の不純物濃度よりも高い。それ以外の部分の不純物濃度の関係はどのようなものであってもよい。たとえば、ドレイン側の接続領域 3 0 0 5 の不純物濃度は領域 3 0 0 6 の不純物濃度より高くてもよい。特にコンタクトプラグ 3 0 0 5 a とドレイン領域 3 0 0 3 とのコンタクト抵抗を下げるためには、接続領域 3 0 0 5 の不純物濃度は高いほうが有利である。また、ソース領域 3 0 0 2 のうち、領域 3 0 0 6 を除く部分の不純物濃度は、領域 3 0 0 6 と同程度であってもよいし、異なってもよい。また、ドレイン領域 3 0 0 3 のうち、領域 3 0 0 7 を除く部分の不純物濃度は、領域 3 0 0 7 と同程度であってもよいし、異なってもよい。

40

【 0 0 5 6 】

50

このように領域 3006 の全体の不純物濃度が、領域 3007 の最も不純物濃度の高い部分の不純物濃度よりも高いことによって増幅 MOS トランジスタの駆動能力を向上させ、且つホットキャリアを低減させることが可能となる。

【0057】

図 9 (c) は、本実施形態の変形例の断面図を示す。図 9 (c) においては、ソース領域 3002 のコンタクトプラグの接続領域 3004 とゲート電極 3001 との間に配された領域 3006 が、互いに不純物濃度の異なる領域 3006 a 及び領域 3006 b を含む。また、ドレイン領域 3003 のコンタクトプラグの接続領域 3005 とゲート電極 3001 との間に配された領域 3007 が、互いに不純物濃度の異なる領域 3007 a 及び領域 3007 b を含む。図 9 (c) において図 9 (b) と同じ構造の部分には、図 9 (b) と同じ符号を付す。

10

【0058】

領域 3006 a の不純物濃度は領域 3006 b の不純物濃度より高い。領域 3006 b は領域 3006 a とゲート電極 3001 との間に配される。領域 3007 a の不純物濃度は領域 3007 b の不純物濃度より高い。領域 3007 b は領域 3007 a とゲート電極 3001 との間に配される。領域 3006 a の不純物濃度は、領域 3007 a の不純物濃度より高い。一方で、領域 3006 b と領域 3007 b とは、同程度の不純物濃度である。つまり、ソース側のコンタクトプラグの接続領域 3004 とゲート電極 3001 との間に配された領域 3006 の一部のみが、領域 3007 より高い不純物濃度であってもよい。

20

【0059】

このように領域 3006 の少なくとも一部の領域の不純物濃度が、領域 3007 の最も不純物濃度の高い部分の不純物濃度よりも高いことによって、増幅 MOS トランジスタの駆動能力を向上させ、且つホットキャリアを低減させることが可能となる。

【0060】

以上に述べた通り、増幅 MOS トランジスタのソース領域の不純物濃度が、増幅 MOS トランジスタのドレイン領域の不純物濃度よりも高い。これによって、画素領域に配された増幅 MOS トランジスタのソース領域の抵抗を、ドレイン領域の抵抗よりも低くできるため、増幅 MOS トランジスタの駆動力を高くすることができる。

30

(第 5 の実施形態)

図 10 は、本発明による固体撮像素子を撮像システムに応用する場合の回路ブロックの例を示したものである。

【0061】

光学系は、撮影レンズ 1002、シャッター 1001、絞り 1003 を含み、被写体の像を固体撮像素子 1004 に結像させる。

固体撮像素子 1004 からの出力信号は信号処理回路 1005 で処理され、A/D 変換器 1006 によりアナログ信号からデジタル信号に変換される。出力されたデジタル信号はさらに信号処理部 1007 で演算処理される。処理されたデジタル信号はメモリ 1010 に蓄えられたり、外部 I/F 1013 を通して外部の機器に送られる。固体撮像素子 1004、撮像信号処理回路 1005、A/D 変換器 1006、信号処理部 1007 はタイミング発生部 1008 により制御される他、システム全体は全体制御部・演算部 1009 で制御される。記録媒体 1012 に画像を記録するために、出力デジタル信号は全体制御部・演算部で制御される記録媒体制御 I/F 部 1011 を通して、記録される。

40

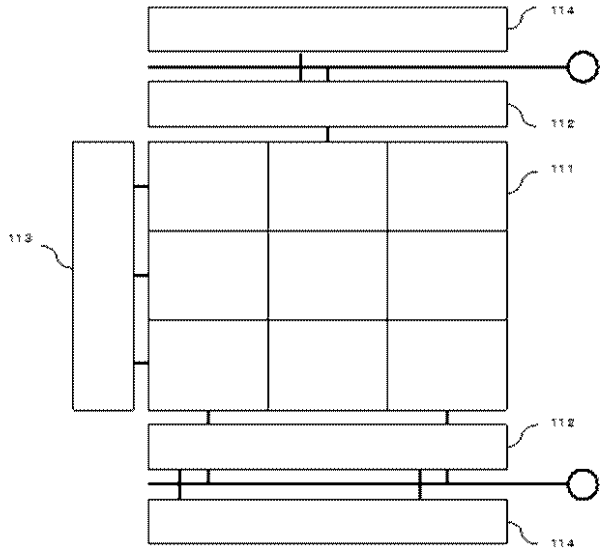
【符号の説明】

【0062】

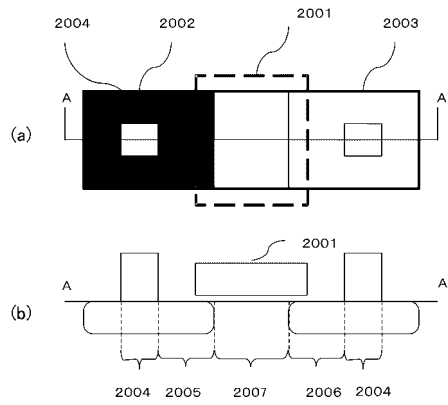
1 : 光電変換素子、2 : 転送 MOS トランジスタ、3 : 半導体領域、5 : 増幅 MOS トランジスタ、31 : ゲート電極、32 : ゲート電極、33 : 半導体領域、34 a : ドレイン領域、34 b : ソース領域、35 : 半導体領域、36 : シリコン窒化膜、37 : シリコン酸化膜、38 : 半導体基板、39 : ウェル、40 : 層間絶縁膜、41 : コンタクト部、101 : 画素領域、102 : 周辺回路領域

50

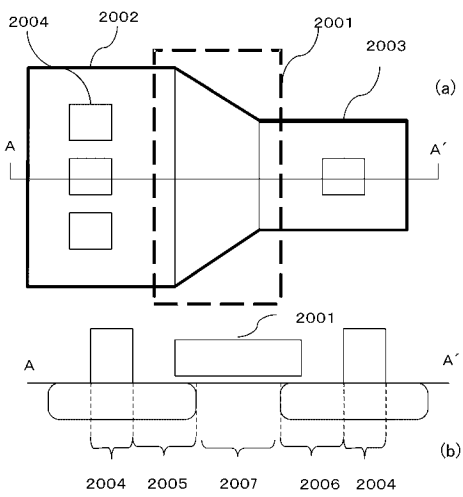
【 図 1 】



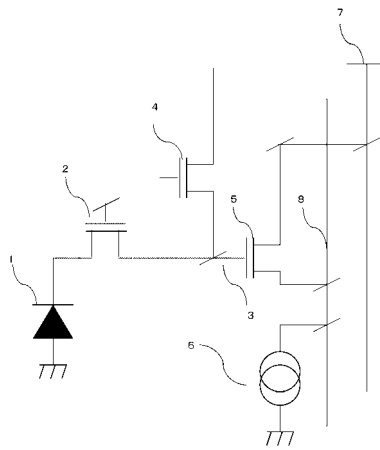
【 図 2 】



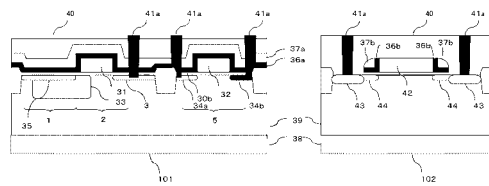
【 図 3 】



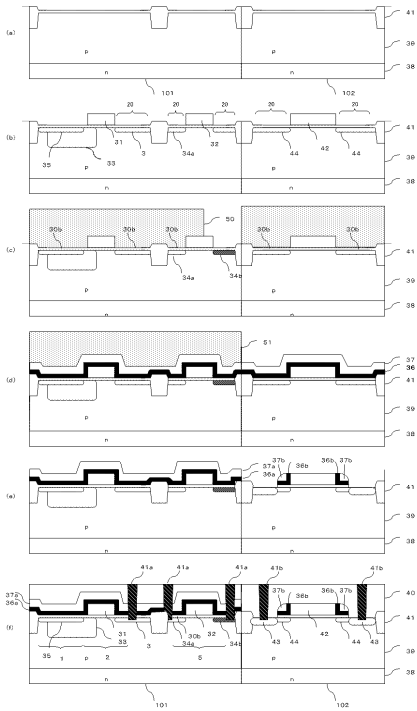
【 図 4 】



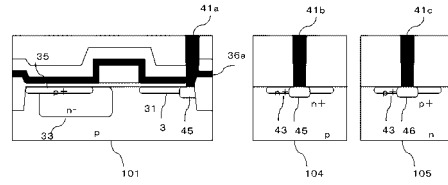
【 図 5 】



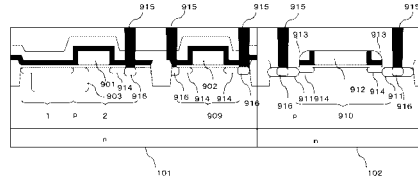
【図 6】



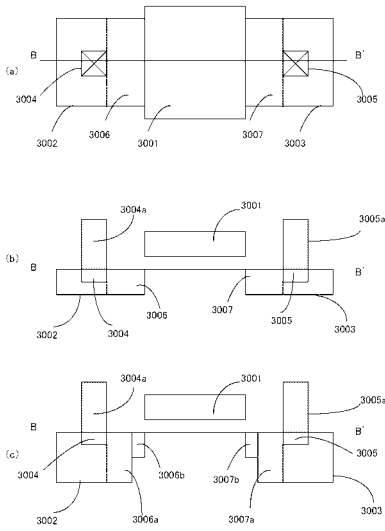
【図 7】



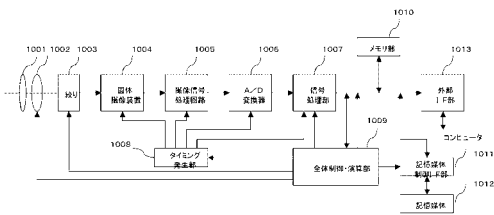
【図 8】



【図 9】



【図 10】



【手続補正書】

【提出日】平成28年7月8日(2016.7.8)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

光電変換素子と該光電変換素子で生じた電荷に応じた信号を列信号線に出力する増幅MOSトランジスタとを含む画素が配された画素領域と、

前記画素を駆動する回路もしくは前記列信号線に出力された信号を処理する回路を含む周辺回路領域とが、半導体基板に配された固体撮像素子であって、

前記増幅MOSトランジスタにおいて、チャンネル領域とソース領域とが接している部分の長さは、前記チャンネル領域とドレイン領域とが接している部分の長さより長く、前記周辺回路領域には、前記回路の一部を構成する周辺MOSトランジスタが配され、

前記周辺MOSトランジスタのソース領域及びドレイン領域は互いに同じ構造である、
ことを特徴とする固体撮像素子。

【請求項2】

前記増幅MOSトランジスタの前記ソース領域の不純物濃度は、前記増幅MOSトランジスタの前記ドレイン領域の不純物濃度よりも高いことを特徴とする請求項1に記載の固体撮像素子。

【請求項3】

前記増幅MOSトランジスタはシングルドレイン構造を有することを特徴とする請求項1に記載の固体撮像素子。

【請求項4】

前記周辺MOSトランジスタの前記ソース領域及び前記ドレイン領域のそれぞれは、コンタクトプラグと接触した接触領域と、前記接触領域よりもチャンネルに近い中間領域と、前記中間領域よりもチャンネルに近い領域と、を含み、

前記中間領域の不純物濃度は、前記中間領域よりチャンネルに近い領域の不純物濃度よりも高く、

前記増幅MOSトランジスタの前記ソース領域及び前記ドレイン領域の不純物濃度は、前記中間領域の不純物濃度より低いことを特徴とする請求項3に記載の固体撮像素子。

【請求項5】

前記周辺MOSトランジスタの前記ソース領域及び前記ドレイン領域のそれぞれは、コンタクトプラグと接触した接触領域と、前記接触領域よりもチャンネルに近い中間領域と、前記中間領域よりもチャンネルに近い領域と、を含み、

前記中間領域の不純物濃度は、前記中間領域よりチャンネルに近い前記領域の不純物濃度よりも高く、

前記増幅MOSトランジスタの前記ドレイン領域の不純物濃度は、前記中間領域の不純物濃度より低いことを特徴とする請求項3に記載の固体撮像素子。

【請求項6】

前記増幅MOSトランジスタの前記ソース領域の抵抗は、前記増幅MOSトランジスタの前記ドレイン領域の抵抗よりも低いことを特徴とする請求項5に記載の固体撮像素子。

【請求項7】

前記増幅MOSトランジスタのソース端におけるチャンネル幅は、前記増幅MOSトランジスタのドレイン端におけるチャンネル幅より広いことを特徴とする請求項6に記載の固体撮像素子。

【請求項8】

前記チャンネル領域は、絶縁体分離部によって規定されることを特徴とする請求項7に記

載の固体撮像素子。

【請求項 9】

前記回路は、A D 変換回路を含むことを特徴とする請求項 8 に記載の固体撮像素子。

【請求項 10】

前記増幅 MOS トランジスタはサイドスペースを有さず、

前記周辺 MOS トランジスタはサイドスペースを有する、ことを特徴とする請求項 9 に記載の固体撮像素子。

【請求項 11】

前記光電変換素子を覆うシリコン酸化膜およびシリコン窒化膜とを備え、

前記増幅 MOS トランジスタの前記ソース領域及び前記ドレイン領域は、コンタクトホールを除いて前記シリコン酸化膜および前記シリコン窒化膜に覆われ、

前記周辺 MOS トランジスタの前記中間領域よりもチャンネルに近い前記領域は、前記シリコン酸化膜および前記シリコン窒化膜に覆われ、

前記周辺 MOS トランジスタの前記中間領域は、前記シリコン酸化膜および前記シリコン窒化膜に覆われていない、ことを特徴とする請求項 10 に記載の固体撮像素子。

【請求項 12】

前記シリコン酸化膜および前記シリコン窒化膜が前記周辺 MOS トランジスタの前記サイドスペースを構成することを特徴とする請求項 11 に記載の固体撮像素子。

【請求項 13】

前記シリコン酸化膜および前記シリコン窒化膜の上に層間絶縁膜が配されることを特徴とする請求項 12 に記載の固体撮像素子。

【請求項 14】

前記シリコン窒化膜は、前記半導体基板のダングリングボンドを終端するための水素を含んでいる、ことを特徴とする請求項 13 に記載の固体撮像素子。

【請求項 15】

請求項 1 乃至 14 のいずれか 1 項に記載の固体撮像素子と、該固体撮像素子へ光を結像する光学系と、該固体撮像素子からの出力信号を処理する信号処理回路とを有することを特徴とする撮像システム。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

本願発明の固体撮像素子は、光電変換素子と該光電変換素子で生じた電荷に応じた信号を列信号線に出力する増幅 MOS トランジスタとを含む画素が配された画素領域と、前記画素を駆動する回路もしくは前記列信号線に出力された信号を処理する回路を含む周辺回路領域と、が、半導体基板に配された固体撮像素子であって、前記増幅 MOS トランジスタにおいて、チャンネル領域とソース領域とが接している部分の長さは、前記チャンネル領域とドレイン領域とが接している部分の長さより長く、前記周辺回路領域には、前記回路の一部を構成する周辺 MOS トランジスタが配され、前記周辺 MOS トランジスタのソース領域及びドレイン領域は互いに同じ構造であることを特徴とする。

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 4 N 5/374 (2011.01)

(72)発明者 乾 文洋

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

Fターム(参考) 4M104 AA01 BB01 CC01 CC05 DD02 DD26 DD72 EE03 EE06 EE09
EE15 EE17 GG02 GG09 GG10 HH14 HH15 HH16
4M118 AA05 AB01 BA14 CA02 CA34 DD04 DD06 EA08 EA14 FA06
FA08 FA26 FA28
5C024 CX03 CY47 GX03 GX16 GY31
5F033 KK01 KK04 MM01 QQ08 QQ09 QQ13 QQ25 QQ31 QQ35 QQ37
QQ74 RR04 RR06 RR15 SS15 TT02 TT08 VV00 XX03 XX08
XX34
5F140 BF01 BF04 BG09 BG12 BG14 BG51 BG53 BH15 BH17 CB08
CC07