



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0011889
(43) 공개일자 2020년02월04일

- | | |
|---|--|
| <p>(51) 국제특허분류(Int. Cl.)
H01L 23/552 (2006.01) H01L 23/31 (2006.01)
H01L 23/485 (2006.01) H01L 23/525 (2006.01)
H01L 23/528 (2006.01)</p> <p>(52) CPC특허분류
H01L 23/552 (2013.01)
H01L 23/31 (2013.01)</p> <p>(21) 출원번호 10-2019-0089425
(22) 출원일자 2019년07월24일
심사청구일자 없음</p> <p>(30) 우선권주장
102018212438.8 2018년07월25일 독일(DE)</p> | <p>(71) 출원인
인피니언 테크놀로지스 아게
독일연방공화국 85579 노이비베르크 암 캄페운 1-15</p> <p>(72) 발명자
하세 오드빈
독일 타우프키르헨 82024 핀켄스트라세 137
호에게를 위르겐
독일 레겐스부르크 93053 호프베그 28아
키스트 토비아스
독일 에펠트리히 91090 파이트-스토스-베그 12</p> <p>(74) 대리인
제일특허법인(유)</p> |
|---|--|

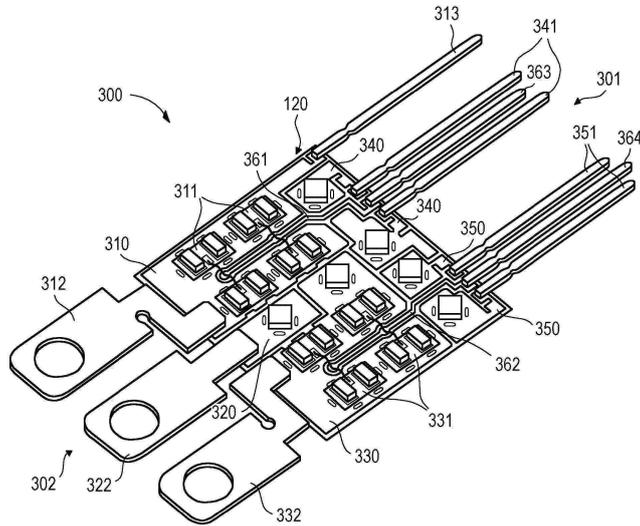
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 전자기 차폐 구조물을 갖는 반도체 패키지 및 그 제조 방법

(57) 요약

양면 냉각 구조를 갖는 반도체 패키지는 외부로 노출된 금속 표면을 갖는 상부 전기 전도성 요소와, 상부 전기 전도성 층, 외부로 노출된 표면을 갖는 하부 전기 전도성 층, 및 상부 전기 전도성 층과 하부 전기 전도성 층 사이에 배열된 전기 절연 층을 갖는 하부 캐리어 기판과, 상부 전기 전도성 요소와 상부 전기 전도성 층 사이에 배열된 제1 전기 전도성 스페이서와, 상부 전기 전도성 요소와 상부 전기 전도성 층 사이에 배열된 적어도 하나의 전력 반도체 칩과, 상부 전기 전도성 요소와 전력 반도체 칩 사이에 배열된 제2 전기 전도성 스페이서와, 반도체 패키지의 배선을 전자기적으로 차폐하도록 구성된 차폐 구조물을 구비한다.

대표도 - 도3a



(52) CPC특허분류

H01L 23/485 (2013.01)

H01L 23/525 (2013.01)

H01L 23/528 (2013.01)

명세서

청구범위

청구항 1

양면 냉각가능 반도체 패키지(100, 200, 300)로서,

외부로 노출된 금속 표면(111)을 갖는 상부 전기 전도성 요소(110)와,

상부 전기 전도성 층(121), 외부로 노출된 표면(124)을 갖는 하부 전기 전도성 층(123), 및 상기 상부 전기 전도성 층(121)과 상기 하부 전기 전도성 층(123) 사이에 배열된 전기 절연 층(122)을 갖는 하부 캐리어 기판(120)과,

상기 상부 전기 전도성 요소(110)와 상기 상부 전기 전도성 층(121) 사이에 배열된 제1 전기 전도성 스페이서(130)와,

상기 상부 전기 전도성 요소(110)와 상기 상부 전기 전도성 층(121) 사이에 배열된 적어도 하나의 전력 반도체 칩(140)과,

상기 상부 전기 전도성 요소(110)와 상기 전력 반도체 칩(140) 사이에 배열된 제2 전기 전도성 스페이서(150)와,

상기 반도체 패키지(100, 200, 300)의 배선(361, 362)을 전자기적으로 차폐하도록 구성된 차폐 구조물을 포함하되,

상기 배선(361, 362)은 상기 반도체 패키지(100, 200, 300)의 제어 단자(363, 364) 또는 측정 단자를 포함하고,

상기 제어 단자(363, 364) 및/또는 상기 측정 단자와 상기 차폐 구조물의 적어도 하나의 제1 부분은 리드 프레임 내에 형성되는

양면 냉각가능 반도체 패키지.

청구항 2

제1항에 있어서,

상기 상부 전기 전도성 요소(110)는, 상부 전기 전도성 층(161), 하부 전기 전도성 층(163), 및 상기 상부 전기 전도성 층(161)과 상기 하부 전기 전도성 층(163) 사이에 배치된 전기 절연 층(162)을 갖는 상부 캐리어 기판(160)을 포함하고, 상기 상부 전기 전도성 층(161)은 상기 외부로 노출된 금속 표면(111)에 대응하는

양면 냉각가능 반도체 패키지.

청구항 3

양면 냉각가능 반도체 패키지(100, 200, 300)로서,

외부로 노출된 상부 전기 전도성 층(161), 하부 전기 전도성 층(163), 및 상기 상부 전기 전도성 층(161)과 상기 하부 전기 전도성 층(163) 사이에 배열된 전기 절연 층(162)을 갖는 상부 캐리어 기판(160)과,

상부 전기 전도성 층(121), 외부로 노출된 표면(124)을 갖는 하부 전기 전도성 층(123), 및 상기 상부 전기 전도성 층(121)과 상기 하부 전기 전도성 층(123) 사이에 배열된 전기 절연층(122)을 갖는 하부 캐리어 기판(120)과,

상기 상부 캐리어 기판(160)과 상기 하부 캐리어 기판(120)의 상기 상부 전기 전도성 층(121) 사이에 배열된 제1 전기 전도성 스페이서(130)와,

상기 상부 캐리어 기관(160)과 상기 하부 캐리어 기관(120)의 상기 상부 전기 전도성 층(121) 사이에 배열된 적어도 하나의 전력 반도체 칩(140)과,
 상기 상부 캐리어 기관(160)과 상기 전력 반도체 칩(140) 사이에 배열된 제2 전기 전도성 스페이서(150)와,
 상기 반도체 패키지(100, 200, 300)의 배선(361, 362)을 전자기적으로 차폐하도록 구성된 차폐 구조물을 포함하되,
 상기 차폐 구조물의 제2 부분이 상기 상부 캐리어 기관(160)의 상기 하부 전기 전도성 층(163) 내에 형성되는 양면 냉각가능 반도체 패키지.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서,
 상기 하부 캐리어 기관(120)의 상기 상부 전기 전도성 층(121) 내에 형성되고, 상기 제어 단자(363, 364) 및 상기 적어도 하나의 전력 반도체 칩(311, 331)의 제어 전극에 전기적으로 연결되는 제어 배선(361, 362)을 더 포함하되,
 상기 차폐 구조물의 제3 부분은, 상기 하부 캐리어 기관(120)의 상기 상부 전기 전도성 층(121) 내에 형성되어, 상기 제어 배선(361, 362)을 양쪽에서 둘러싸는 양면 냉각가능 반도체 패키지.

청구항 5

제3항에 있어서,
 상기 차폐 구조물의 상기 제2 부분은 상기 제어 배선(361, 362)과 중첩되고,
 상기 차폐 구조물의 상기 제2 부분은 음의 공급 전압을 인가하도록 구성되는 양면 냉각가능 반도체 패키지.

청구항 6

제4항에 있어서,
 상기 적어도 하나의 전력 반도체 칩(311, 331)은 하프 브리지 회로(half-bridge circuit)의 상단측 전력 반도체이고, 상기 차폐 구조물의 상기 제3 부분은 양의 공급 전압을 인가하도록 구성되는 양면 냉각가능 반도체 패키지.

청구항 7

제3항 및 제6항에 있어서,
 상기 차폐 구조물의 상기 제2 부분은 상기 제어 배선(361, 362)과 중첩되고,
 상기 차폐 구조물의 상기 제2 부분은 상기 위상을 인가하도록 구성되는 양면 냉각가능 반도체 패키지.

청구항 8

제1항에 있어서,

상기 제어 단자(363, 364) 또는 상기 측정 단자는 제1 단자 핑거를 포함하고, 상기 차폐 구조물의 상기 제1 부분은 제2 단자 핑거(341) 및 제3 단자 핑거(351)를 포함하며, 상기 제1 단자 핑거(363, 364)는 상기 제2 단자 핑거(341)와 상기 제3 단자 핑거(351) 사이에 배열되는

양면 냉각가능 반도체 패키지.

청구항 9

제3항 및 제4항에 있어서,

상기 제1 전기 전도성 스페이서(130)은 상기 차폐 구조물의 상기 제2 부분 및 상기 제3 부분을 서로에게 전기적으로 연결하는

양면 냉각가능 반도체 패키지.

청구항 10

제1항 내지 제9항 중 어느 한 항에 있어서,

상기 측정 단자는 상기 반도체 패키지 내의 전류 흐름 또는 온도를 측정하도록 구성되는

양면 냉각가능 반도체 패키지.

청구항 11

제1항 내지 제10항 중 어느 한 항에 있어서,

제1 전원 단자(312), 제2 전원 단자(322) 및 제3 전원 단자(332)를 더 포함하되,

상기 전원 단자(312, 322, 332)는 상기 반도체 패키지(100, 200, 300)의 제1 측면(302)에 배열되고, 상기 제어 단자(363, 364)는 상기 반도체 패키지(100, 200, 300)의 제2 측면(301)에 배열되며, 상기 제2 측면(301)은 상기 제1 측면(302)에 대향하는 위치에 있는

양면 냉각가능 반도체 패키지.

청구항 12

제1항 내지 제11항 중 어느 한 항에 있어서,

상기 하부 캐리어 기판(120)과 상기 상부 전기 전도성 요소(110) 사이에 배열되고, 상기 스페이서(130, 150), 상기 적어도 하나의 전력 반도체 칩(140), 상기 상부 전기 전도성 요소(110) 및 상기 하부 캐리어 기판(120)을 캡슐화하는 캡슐화 바디(210)를 더 포함하는

양면 냉각가능 반도체 패키지.

청구항 13

제12항에 있어서,

상기 캡슐화 바디(210)는 몰딩 화합물을 포함하는

양면 냉각가능 반도체 패키지.

청구항 14

제1항 내지 제11항 중 어느 한 항에 있어서,
 상기 적어도 하나의 전력 반도체 칩(140)은 탄화 규소(SiC)를 포함하는
 양면 냉각가능 반도체 패키지.

청구항 15

양면 냉각가능 반도체 패키지를 제조하는 방법(400)으로서,
 상부 전기 전도성 층, 하부 전기 전도성 층, 및 상기 상부 전기 전도성 층과 상기 하부 전기 전도성 층 사이에
 배치된 전기 절연 층을 갖는 하부 캐리어 기판을 제공하는 단계(401)와,
 상기 하부 캐리어 기판의 상기 상부 전기 전도성 층에 제1 전기 전도성 스페이서를 적용하는 단계(402)와,
 상기 하부 캐리어 기판의 상기 상부 전기 전도성 층에 적어도 하나의 전력 반도체 칩을 적용하는 단계(403)와,
 상기 전력 반도체 칩에 제2 전기 전도성 스페이서를 적용하는 단계(404)와,
 상기 하부 캐리어 기판에 대향하는 상기 스페이서 상에 상부 전기 전도성 요소를 적용하는 단계(405)와,
 상기 반도체 패키지의 배선이 차폐 구조물에 의해 전자기적으로 차폐되도록 상기 차폐 구조물을 형성하는 단계
 (406)
 를 포함하되,
 상기 제어 단자 및/또는 상기 측정 단자와 상기 차폐 구조물의 적어도 하나의 제1 부분은 리드 프레임 내에 형
 성되는
 양면 냉각가능 반도체 패키지 제조 방법.

청구항 16

제15항에 있어서,
 상기 차폐 구조물을 형성하는 단계(406)는, 상기 차폐 구조물의 제1 부분을 형성하기 위한 상기 반도체 패키지
 의 제어 단자의 제1 단자 핑거와 나란히 양측에서 제3 제어 단자를 배열하는 과정을 포함하는
 양면 냉각가능 반도체 패키지 제조 방법.

청구항 17

제16항에 있어서,
 상기 차폐 구조물을 형성하는 단계(406)는, 상기 적어도 하나의 전력 반도체 칩을 상기 제어 단자에 전기적으로
 연결하는 제어 배선을 상기 하부 캐리어 기판의 상기 상부 전기 전도성 층 내에 형성하는 과정을 포함하되,
 상기 제어 배선은 적어도 3개의 측면에서 상기 차폐 구조물에 의해 에워싸이는
 양면 냉각가능 반도체 패키지 제조 방법.

청구항 18

제17항에 있어서,
 상기 차폐 구조물을 형성하는 단계(406)는, 상기 차폐 구조물의 제2 부분을 생성하기 위해 상기 상부 전기 전도

성 요소를 에칭하는 과정을 포함하되,
 상기 제2 부분은 상기 제어 배선과 중첩되는
 양면 냉각가능 반도체 패키지 제조 방법.

청구항 19

제17항 또는 제18항에 있어서,
 상기 차폐 구조물의 제3 부분을 생성하기 위해 상기 하부 캐리어 기판의 상기 상부 전기 전도성 층을 에칭하는 단계를 더 포함하되,
 상기 제3 부분은 상기 제어 배선을 양측에서 에워싸는
 양면 냉각가능 반도체 패키지 제조 방법.

청구항 20

제15항 내지 제19항 중 어느 한 항에 있어서,
 상기 하부 캐리어 기판 및 상기 상부 전기 전도성 요소를 몰딩 화합물을 포함하는 캡슐화 바디로 적어도 부분적으로 캡슐화하는 단계를 더 포함하는
 양면 냉각가능 반도체 패키지 제조 방법.

발명의 설명

기술 분야

[0001] 본 개시는 양면 냉각 구조를 갖는 반도체 패키지에 관한 것으로, 이 반도체 패키지는 전자기 차폐 구조를 갖는다. 또한, 본 개시는 양면 냉각 구조 및 전자기 차폐 구조를 갖는 반도체 패키지를 제조하기 위한 방법에 관한 것이다.

배경 기술

[0002] 예를 들어 차량용 전기 구동 장치 내의 고전류용 전자 회로의 성능 요건이 꾸준히 증가함에 따라, 이러한 회로에 사용되는 반도체 패키지의 추가 개발 및 개선이 요구된다. 이러한 회로는 예를 들어 전기 모터의 구동을 위해 배터리 전압을 AC 전압으로 변환하는 인버터를 가질 수 있다. 이러한 인버터는 반도체 패키지에서 적절한 회로에 의해 실현될 수 있는데, 반도체 패키지에서 충분한 냉각, 가능한 한 최저의 임피던스, 가능한 한 최저의 누설 인덕턴스 등을 달성하는 것이 인버터 성능의 측면에서 중요하다. 또한, 예를 들어 반도체 패키지에서 구현된 회로의 완전히 만족스러운 기능을 보장하기 위해, 반도체 패키지 내의 배선들을 전자기적으로 차폐할 필요가 있을 수 있다. 이러한 인버터의 성능은 개선된 반도체 패키지에 의해 및/또는 이러한 반도체 패키지를 제조하기 위한 개선된 방법에 의해 더 증가될 수 있다.

[0003] 본 발명에 의해 다루어지는 문제점은 독립 청구항의 특징에 의해 해결된다. 본 발명의 바람직한 실시예 및 전개는 종속 청구항에서 규정된다.

발명의 내용

[0004] 개개의 예는 양면 냉각 구조를 갖는 반도체 패키지에 관한 것으로, 이 반도체 패키지는, 외부로 노출된 금속 표면을 갖는 상부 전기 전도성 요소와, 상부 전기 전도성 층, 외부로 노출된 표면을 갖는 하부 전기 전도성 층, 및 상부 전기 전도성 층과 하부 전기 전도성 층 사이에 배열된 전기 절연성 층을 갖는 하부 캐리어 기판과, 상부 전기 전도성 요소와 상부 전기 전도성 층 사이에 배열된 제1 전기 전도성 스페이서와, 상부 전기 전도성 요소와 상부 전기 전도성 층 사이에 배열된 적어도 하나의 전력 반도체 칩과, 상부 전기 전도성 요소와 전력 반도체

체 칩 사이에 배열된 제2 전기 전도성 스페이서와, 반도체 패키지의 배선을 전자기적으로 차폐하도록 구성된 차폐 구조물을 포함한다.

[0005] 개개의 예는 양면 냉각 구조를 갖는 반도체 패키지를 제조하기 위한 방법에 관한 것으로, 이 방법은, 상부 전기 도전성, 하부 전기 도전성 층 및 상부 전기 도전성 층과 하부 전기 도전성 층 사이에 배열된 전기 절연성 층을 갖는 하부 캐리어 기판을 제공하는 단계와, 하부 캐리어 기판의 상부 전기 전도성 층에 제1 전기 전도성 스페이서를 적용하는 단계와, 하부 캐리어 기판의 상부 전기 전도성 층에 적어도 하나의 전력 반도체 칩을 적용하는 단계와, 전력 반도체 칩에 제2 전기 전도성 스페이서를 적용하는 단계와, 하부 캐리어 기판의 맞은편에서 스페이서 상에 상부 전기 전도성 요소를 적용하는 단계와, 반도체 패키지의 배선이 차폐 구조물에 의해 전자기적으로 차폐되도록 차폐 구조물을 형성하는 단계를 포함한다.

도면의 간단한 설명

[0006] 첨부된 도면은 예를 도시한 것이며, 상세한 설명과 연계하여 본 개시의 원리를 설명하는 역할을 한다. 도면 내의 요소들은 서로에 대하여 반드시 실제 크기로 도시될 필요는 없다. 상호 대응하는, 유사한 또는 동일한 부분들은 동일한 참조 부호로 지칭될 수 있다.

도 1은 하위 도면 1a와 1b로 구성되며, 도 1a는 양면 냉각 구조를 갖는 반도체 패키지의 측면도를 도시한다. 도 1b는 양면 냉각 구조를 갖는 추가 반도체 패키지의 측면도를 도시한다.

도 2는 캡슐화 바디(encapsulation body)를 더 포함하는, 양면 냉각 구조를 갖는 반도체 패키지의 사시도를 도시한다.

도 3은 하위 도면 3a 내지 3d로 구성되며, 도 3a는 추가 반도체 패키지의 하부 캐리어 기판의 사시도를 도시한다. 도 3b는 상부 냉각 구조를 사시도로 도시하고, 도 3c는 조립된 반도체 패키지를 사시도로 도시하며, 도 3d는 반도체 패키지의 측면도를 도시한다.

도 4는 반도체 패키지를 제조하기 위한 방법의 흐름도를 도시한다.

도 5는 2개의 신호 배선 사이에 배열된 차폐 구조물을 갖는 반도체 패키지의 일 예를 도시한다.

발명을 실시하기 위한 구체적인 내용

[0007] 본 명세서에서, "결합된", "전기적으로 결합된" 및/또는 "전기적으로 연결된"이라는 용어는 요소들이 직접적으로 결합되어야 함을 의미하지는 않고, "결합된" 또는 "전기적으로 결합된" 요소 사이에 땀납 층과 같은 개재 요소가 제공될 수 있다.

[0008] 도 1a는 본 개시에 따른 양면 냉각 구조를 갖는 반도체 패키지(100)를 도시한다. 이 경우, "양면 냉각 구조"란, 반도체 패키지(100)가 각기 반도체 패키지(100)의 냉각 구조물로서 작용할 수 있는 상부 전기 전도성 요소(110) 및 하부 캐리어 기판(120)을 갖는다는 것을 의미한다. 반도체 패키지(100)는 제1 전기 전도성 스페이서(130), 적어도 하나의 전력 반도체 칩(140) 및 제2 전기 전도성 스페이서(150)를 더 갖는다. 제2 전기 전도성 스페이서(150)는 상부 전기 전도성 요소(110)와 전력 반도체 칩(140) 사이에 배치된다.

[0009] 하부 캐리어 기판(120)은 상부 전기 전도성 층(121), 하부 전기 전도성 층(123) 및 상부 전기 전도성 층(121)과 하부 전기 전도성 층(123) 사이에 배치된 전기 절연층(122)을 갖는다. 하부 캐리어 기판(120)은 예를 들어 다이렉트 구리 본드(direct copper bond : DCB), 다이렉트 알루미늄 본드(direct aluminum bond : DAB) 또는 활성 금속 브레이징(active metal brazing : AMB) 유형의 기판일 수 있다.

[0010] 일 예에 따르면, 반도체 패키지(100)는 스페이서(130, 150), 적어도 하나의 전력 반도체 칩(140), 상부 전기 전도성 요소(110) 및 하부 캐리어 기판(120)을 캡슐화하는 캡슐화 바디(미도시)를 더 구비할 수 있다. 특히, 상부 전기 전도성 요소(110)와 하부 캐리어 기판(120) 사이의 간극은 캡슐화 바디에 의해 완전히 또는 부분적으로 채워질 수 있다. 그러나, 상부 전기 전도성 요소(110)의 금속 표면(111) 및 하부 전기 전도성 층(123)의 표면(124)은 어느 경우에도 완전히 또는 적어도 부분적으로 외부로 노출되도록 구성된다(즉, 표면(111, 124)은 반도체 패키지(100)의 외부 표면을 구성한다).

[0011] 일 예에 따르면, 캡슐화 바디는 포팅(potting) 화합물 또는 몰딩 화합물을 포함하거나 이것으로 구성될 수 있다. 캡슐화 바디는 예를 들어 압축 몰딩에 의해 형성될 수 있다. 캡슐화 바디를 제조하기 위해, 예를 들어 여전히 캡슐화되지 않은 반도체 패키지(100)가 몰딩 도구에 배치될 수 있고, 유전체 화합물이 주입될 수

있으며, 이 유전체 화합물은 경화되어 캡슐화 바디를 형성할 수 있다.

- [0012] 전기 전도성 스페이서(130, 150)는 금속 또는 금속 합금으로 구성될 수 있고, 예를 들어 알루미늄(Al) 또는 구리(Cu)를 포함하거나 이것으로 구성될 수 있다. 제1 전기 전도성 스페이서(130)는 예를 들어 뿔납 연결체에 의해 또는 전기 전도성 접착제에 의해 상부 전기 전도성 요소(110) 및 하부 캐리어 기관(120)에 물리적으로 및 전기적으로 연결된다.
- [0013] 일 예에 따르면, 적어도 하나의 전력 반도체 칩(140)은 탄화규소(SiC)를 포함하거나 이것으로 구성된다. 일 예에 따르면, 적어도 하나의 전력 반도체 칩(140)은 절연 게이트 바이폴라 트랜지스터(insulated-gate bipolar transistor : IGBT)형 칩이다. 일 예에 따르면, 하프 브리지 회로(half-bridge circuit)가 반도체 패키지(100)에 구현된다. 하프 브리지 회로는 양의 공급 전압(V_{DD})을 위한 전원 단자, 음의 공급 전압(V_{SS})을 위한 전원 단자 및 위상(phase)으로서 형성된 전원 단자를 가질 수 있다.
- [0014] 제2 전기 전도성 스페이서(150)는 예를 들어 뿔납 연결체에 의해 또는 전기 전도성 접착제에 의해 전력 반도체 칩(140)의 전극(미도시) 및 상부 전기 전도성 요소(110)에 전기적으로 연결될 수 있다. 전극은 전력 반도체 칩(140)의 전력 전극 또는 제어 전극일 수 있다. 제2 전기 전도성 스페이서(150)는 전력 반도체 칩(140)을 완전히 또는 부분적으로 덮을 수 있다.
- [0015] 일 예에 따르면, 반도체 패키지는 단자 핑거(terminal fingers) 형태의 외부 단자를 가질 수 있다. 이들 외부 단자의 적어도 일부는 적어도 하나의 전력 반도체 칩(140)의 전극을 외부에 전기적으로 연결하도록 설계될 수 있다. 외부 단자는 상부 전기 전도성 요소(110) 및/또는 상부 전기 전도성 층(121)에 전기적으로 연결될 수 있다. 단자 핑거는 리드 프레임의 일부일 수 있다. 외부 단자들 중 개개의 단자는 예를 들어 적어도 하나의 전력 반도체 칩(140)의 각각의 전력 전극에 전기적으로 연결될 수 있는 전원 단자일 수 있다. 외부 단자들 중 하나 이상은 적어도 하나의 전력 반도체 칩(140)의 제어 전극(예를 들어, 게이트 전극)에 전기적으로 연결되는 제어 단자일 수 있다. 외부 단자들 중 개개의 단자는 예를 들어 반도체 패키지(100) 내의 V_{DD} , V_{SS} , 위상의 전압, 전류 흐름 또는 온도를 측정하도록 설계된 측정 단자일 수 있다.
- [0016] 차폐 구조물이 반도체 패키지(100) 내에 배열되고, 이 차폐 구조물은 반도체 패키지(100)의 하나 이상의 배선을 전자기적으로 차폐하도록 구성된다. 전자기적 차폐는 반도체 패키지(100) 내에 형성된 전기 회로의 전기적 스위칭 동작이 외부로부터 전자기적으로 교란되는 것을 방지하는 역할을 할 수 있다. 전자기적 차폐는 또한 반도체 패키지(100) 내에 형성된 전기 회로가 전자기적 영향에 의해 다른 구성 요소 부분에, 그의 일부에 대해 교란을 유도하는 것을 방지하는 역할을 할 수 있다. 차폐될 이들 배선은 예를 들어 하나 이상의 제어 단자 및/또는 하나 이상의 측정 단자를 포함할 수 있다. 차폐 구조물은 상부 전기 전도성 층(121) 내에 및/또는 상부 전기 전도성 요소(110) 내에 및/또는 리드 프레임 내에 형성될 수 있다.
- [0017] 차폐 구조물은 V_{SS} 또는 V_{DD} 에 있도록 설계될 수 있다. V_{SS} 또는 V_{DD} 에 있는 차폐 구조물은 위상의 저임피던스(low-impedance) 차폐로서 설계될 수 있다. 이것은 위상이, 외측을 향한 전자기 방사의 영향 및 다른 구성 부분에 대한 간섭원으로서의 작용을 적어도 부분적으로 방지할 수 있다.
- [0018] 차폐될 배선이 제어 배선인 경우, 특히, 적어도 하나의 전력 반도체 칩(140)이 SiC 기반인 경우, 10kHz보다 상당히 큰 제어 신호가 제어 배선 상에 존재할 수 있다는 것은 사실이다. 따라서, 이들 제어 배선은 안테나처럼 기능할 수 있고, 전자기적 차폐없이, 전력을 주변에 결합시키고 및/또는 주변으로부터 전력을 흡수할 수 있다. 주변으로부터 전력을 흡수하면, 제어 신호가 교란되어, 전기 회로의 스위칭 동작에 악영향을 미치게 될 수 있다. 대응하는 차폐물은 적어도 하나의 전력 반도체 칩(140)의 결합없는 스위칭을 보장하는데 기여할 수 있다. 이는 반도체 패키지(100)의 다른 유형의 배선에도 유사하게 적용된다.
- [0019] 반도체 패키지(100)는 상부 전기 전도성 층(121)에 형성된 제어 배선을 포함할 수 있으며, 이 제어 배선은 적어도 하나의 전력 반도체 칩의 제어 전극 및 제어 단자에 전기적으로 연결된다. 차폐 구조물은 적어도 양쪽에서 거기에 연결된 제어 배선 및 제어 단자를 에워쌀 수 있다.
- [0020] 도 1b는 이하에 설명되는 차이점을 제외하고는 도 1a의 반도체 패키지(100)에 대응할 수 있는 반도체 패키지(100_1)를 도시한다. 반도체 패키지(100_1)의 경우, 상부 전기 전도성 요소(110)는, 상부 전기 전도성 층(161), 하부 전기 전도성 층(163) 및 상부 전기 전도성 층(161)과 하부 전기 전도성 층(163) 사이에 배치된 전기 절연성 층(162)을 갖는 상부 캐리어 기관(160)을 갖는다. 이 경우, 상부 전기 전도성 층(161)은 외부로 노출된 금속 표면(111)에 대응한다.

- [0021] 반도체 패키지(100_1)는 도 1b에 도시된 바와 같이, 상부 캐리어 기관(160)과 하부 캐리어 기관(120) 사이에 배치된 외부 단자(170)를 더 가질 수 있다. 일 예에 따르면, 외부 단자(170) 각각은 상부 캐리어 기관(160)의 하부 전기 전도성 층(163) 또는 하부 캐리어 기관(120)의 상부 전기 전도성 층(121)에 전기적으로 연결될 수 있다.
- [0022] 상부 캐리어 기관(160)의 하부 전기 전도성 층(163) 및 하부 캐리어 기관(120)의 상부 전기 전도성 층(121)은 구조화되어, 예를 들어, 전기 전도성 스페이서(130, 150)를 위한 칩 아일랜드(chip island), 전도 트랙 및/또는 적용 위치를 가질 수 있다.
- [0023] 도 2는 반도체 패키지(100, 100_1)와 동일할 수 있는 반도체 패키지(200)의 사시도를 도시한다. 반도체 패키지(200)는 스페이서(130, 150), 상부 전기 전도성 요소(110), 하부 캐리어 기관(120) 및 적어도 하나의 전력 반도체 칩(140)을 캡슐화하는 캡슐화 바디(210)를 갖는다. 표면(111) 및 표면(124)(도 2에는 보이지 않음)은 반도체 패키지(200)의 대향하는 측면들에 있는 캡슐화 바디(210)에서 노출된다.
- [0024] 캡슐화 바디(210)는 적절한 전기 절연 재료로 구성되거나, 예를 들어 플라스틱, 폴리머 또는 수지와 같은 재료를 포함한다. 캡슐화 바디(210)는 예를 들어 몰딩된 바디일 수 있다.
- [0025] 표면(111) 및/또는 표면(124)은 전기 절연 코팅을 가질 수 있고, 이들 각각은 방열판의 적용을 위해 형성될 수 있다.
- [0026] 반도체 패키지(200)는 반도체 패키지(200)의 측면에 배치된 외부 단자(220, 230)를 구비하되, 이 외부 단자(220, 230)는 서로 반대편에 있는 측면을 금속 표면(111) 및 표면(124)에 연결한다. 외부 단자(220)는 전원 단자로서 설계될 수 있고, 외부 단자(230)는 제어 단자 또는 측정 단자로서 설계될 수 있다. 일 예에 따르면, 전원 단자는 반도체 패키지의 일 측면에만 배치되고, 제어 및/또는 측정 단자는 반대편 측면에만 배치된다. 다른 예에 따르면, 위상으로서 형성된 전원 단자는 제어 또는 측정 단자가 형성된 측면에 배치된다. 외부 단자(220, 230)는 공통 리드프레임의 일부일 수 있다.
- [0027] 도 3a는 반도체 패키지(300)의 하부 캐리어 기관(120)의 사시도를 도시한다. 반도체 패키지(300)는 반도체 패키지(100, 100_1, 200)와 동일할 수 있다.
- [0028] 반도체 패키지(300)의 상부 전기 전도성 층(121)은 제1 구조화 영역(310), 제2 구조화 영역(320), 제3 구조화 영역(330), 제4 구조화 영역(340) 및 제5 구조화 영역(350)을 가질 수 있다.
- [0029] 제1 전력 반도체 칩(311)이 제1 영역(310) 상에 배치되고 거기에 전기적으로 연결될 수 있다. 예를 들어, 제1 전력 반도체 칩(311)의 아래쪽에 배치된 전원 전극(예를 들어, 드레인 전극)은 댄납 층에 의해 제1 영역(310)에 연결될 수 있다. 제1 영역(310)은 V_{DD} 를 인가하도록 설계될 수 있다. 제1 영역(310)은 제1 전원 단자(312)와 전기적으로 연결될 수 있다. 제1 전력 반도체 칩(311)은 반도체 패키지(300)에 설치된 하프 브리지 회로의 상단측(high side) 전력 반도체 칩으로서 구현 될 수 있다.
- [0030] 제2 전원 반도체 칩(331)은 제3 영역(330) 상에 배치되어 거기에 전기적으로 연결될 수 있다. 예를 들어, 제2 전력 반도체 칩(331)의 아래쪽에 배치된 전원 전극(예를 들어, 드레인 전극)은 댄납 층에 의해 제3 영역(330)에 연결될 수 있다. 제3 영역(330)은 하프 브리지 회로의 위상(phase)으로서 설계될 수 있다. 제3 영역(330)은 제3 전원 단자(332)에 전기적으로 연결될 수 있다. 제2 전력 반도체 칩(331)은 하프 브리지 회로의 하단측(low side) 전력 반도체 칩으로서 구현될 수 있다. 제3 영역(330)은 예를 들어 전기 전도성 스페이서(130)를 통해 상부 캐리어 기관(160)에 전기적으로 연결될 수 있다.
- [0031] 제2 영역(320)은 하부 캐리어 기관(120) 상의 제1 영역(310)과 제3 영역(330) 사이에 배치될 수 있다. 제2 영역(320)은 제2 전원 단자(322)에 전기적으로 연결될 수 있으며, V_{SS} 를 인가하도록 설계될 수 있다. 제2 영역(320)은 예를 들어 전기 전도성 스페이서(130)를 통해 상부 캐리어 기관(160)에 전기적으로 연결될 수 있다.
- [0032] 제4 영역(340)은 예를 들어 전기 전도성 스페이서(130)를 통해 상부 캐리어 기관(160)에 전기적으로 연결될 수 있으며, 위상을 인가하도록 설계될 수 있다. 제5 영역(350)은 예를 들어 전기 전도성 스페이서(130)를 통해 상부 캐리어 기관(160)에 전기적으로 연결될 수 있으며, V_{SS} 를 인가하도록 설계될 수 있다.
- [0033] 반도체 패키지(300)의 상부 전기 전도성 층(121)은 제1 제어 배선(361) 및 제2 제어 배선(362)을 더 가질 수 있다. 제1 제어 배선(361)은 양면에 제1 영역(310)에 의해 적어도 부분적으로 둘러싸일 수 있고, 제2 제어 배선(362)은 양면에 제3 영역(330)에 의해 적어도 부분적으로 둘러싸일 수 있다. 게이트 전극과 같은 제1 전력 반

도체 칩(311)의 제어 전극은 예를 들어 본드 와이어에 의해 제1 제어 배선(361)에 전기적으로 연결될 수 있다. 게이트 전극과 같은 제2 전력 반도체 칩(331)의 제어 전극은 예를 들어 본드 와이어에 의해 제2 제어 배선(362)에 전기적으로 연결될 수 있다. 제1 제어 배선(361) 및 제2 제어 배선(362)은 각각 긴 형상을 가질 수 있으며, 즉, 제어 배선(361, 362)의 길이는 그 폭보다 상당히, 예를 들어 10배 이상 또는 15배 이상 또는 20배 이상 클 수 있다.

[0034] 제어 배선(361, 362)은 하부 캐리어 기관(120)의 제1 측면(301)에서 하부 캐리어 기관(120)의 가장자리 또는 거의 가장자리까지 연장될 수 있다. 제1 제어 배선(361)은 제1 측면(301)에서 제1 제어 단자(363)에 전기적으로 연결될 수 있고, 제2 제어 배선(362)은 제1 측면(301)에서 제2 제어 단자(364)에 전기적으로 연결될 수 있다. 제1 제어 단자(362) 및 제2 제어 단자(364)는 각기 단자 핑거를 포함할 수 있다.

[0035] 일 예에 따르면, 제1 제어 단자(363) 및 제2 제어 단자(364)는 각기 차폐 구조물의 제1 부분에 의해 좌우로 둘러싸여 있다. 이 차폐 구조물의 제1 부분은 예를 들어 단자 핑거(341, 351)의 형태일 수 있다. 단자 핑거(341)는 제4 영역(340)에 전기적으로 연결되고, 단자 핑거(351)는 제5 영역에 전기적으로 연결된다.

[0036] 일 예에 따르면, 예를 들어 각기 좌우의 2개의 단자 핑거(341, 351) 각각의 경우에, 차폐 구조물의 제1 부분은 제1 제어 단자(363) 및 제2 제어 단자(364)의 각기 좌우로 단 하나보다 많은 단자 핑거(341, 351)를 갖는다. 다른 단자 핑거(341, 351)는 유사하게 제4 영역(340) 및 제5 영역(350)에 각기 전기적으로 연결된다. 좌우에 하나보다 많은 단자 핑거를 사용하면, 차폐 구조물에 의한 전자기 차폐의 추가 개선에 기여할 수 있다.

[0037] 제1 제어 배선(361)과 관련하여, 제1 영역(310)은 차폐 구조물의 제3 부분일 수 있고, 이 제3 부분은 상부 전기 전도성 층(121)에 형성된다. 제4 영역(340)은 마찬가지로 제1 제어 배선(361)에 대한 차폐 구조물의 상술한 제3 부분의 일부일 수 있다. 제2 제어 배선(362)과 관련하여, 제3 영역(330)은 차폐 구조물의 제3 부분일 수 있고, 이 제3 부분은 상부 전기 전도성 층(121) 내에 형성된다. 마찬가지로, 제5 영역(350)은 제2 제어 배선(362)에 대한 차폐 구조물의 상술한 제3 부분의 일부일 수 있다.

[0038] 일 예에 따르면, 반도체 패키지(300)는 제1 영역(310)에 전기적으로 연결되어, V_{DD} 를 측정하도록 설계된 측정 단자(313)를 더 포함한다. 제어 단자(363, 364), 단자 핑거(341, 351) 및 측정 단자(313)는 모두 하부 캐리어 기관(120)의 제1 측면(301)에 배치될 수 있고, 전원 단자(312, 322, 332)는 모두 대향하는 제2 측면(302)에 배치될 수 있다. 제어 단자(363, 364), 단자 핑거(341, 351), 측정 단자(313) 및 전원 단자(312, 322, 332)는 모두 리드 프레임의 일부일 수 있다.

[0039] 도 3b는 반도체 패키지(300)의 상부 캐리어 기관(160)의 사시도를 도시하며, 여기에서 도 3b는 상부 캐리어 기관(160)의 밑면의 사시도를 도시한다(시선 방향과 관련하여 도 3c의 화살표 참조).

[0040] 상부 캐리어 기관(160)의 하부 전기 전도성 층(163)은 구조화되어 제6 영역(370) 및 제7 영역(380)을 갖는다. 조립된 반도체 패키지(300)에서(도 3c 참조), 제6 영역(370)은 하부 캐리어 기관(120)의 제1 영역(310)과 중첩된다. 조립된 반도체 패키지(300)에서, 제7 영역(380)은 하부 캐리어 기관(120)의 제2 영역(320) 및 제3 영역(330)과 중첩된다.

[0041] 제1 구역(area)(371)은 제6 영역(region)(370) 내에 배치되고, 이 제1 구역은 하부 전기 전도성 층(163)으로 완전히 채워진다. 제2 구역(381)은 제7 영역(380) 내에 배치되고, 이 제2 구역은 하부 전기 전도성 층(163)으로 완전히 채워진다. 조립된 반도체 패키지(300)에서, 제1 구역(371)은 제1 제어 배선(361)을 피복하고, 제2 구역(381)은 제2 제어 배선(362)을 피복한다. 조립된 반도체 패키지(300)에서, 제1 구역(371)은 제1 제어 배선(361)용 차폐 구조물의 제2 부분이고, 제4 영역(340) 및 단자 핑거(341)에 전기적으로 연결된다. 조립된 반도체 패키지(300)에서, 제2 구역(381)은 제2 제어 배선(362)용 차폐 구조물의 제2 부분이고, 제5 영역(350) 및 단자 핑거(351)에 전기적으로 연결된다. 이러한 방식으로, 제1 제어 배선(361) 및 제2 제어 배선(362) 각각은 적어도 세 측면 상에서 각 차폐 구조에 의해 에워싸일 수 있다.

[0042] 일 예에 따르면, 단자 핑거(341)는 제어 단자(363)를 전자기적으로 차폐하기 위한 차폐 구조의 제1부분으로서 구성되며, 구역(371) 및 영역(310, 340)은 제어 배선(361)을 전자기적으로 차폐하기 위한 차폐 구조물의 제2 부분 및 별개의 제3 부분으로서 구성된다. 마찬가지로, 단자 핑거(351)는 제어 단자(364)를 전자기적으로 차폐하기 위한 차폐 구조물의 제1 부분으로서 구성되며, 구역(381) 및 영역(330, 350)은 제어 배선(362)을 전자기적으로 차폐하기 위한 차폐 구조물의 제2 부분 및 별개의 제3 부분으로서 구성된다.

[0043] 컷아웃(cutout)(372, 382)은 제6 영역(370) 내 및 제7 영역(380) 내에 제공될 수 있고, 이 컷아웃은 상부 캐리어

어 기관(160)의 하부 전기 전도성 층(163)이 전기 전도성 스페이서(130, 150)에 적용되는 접속점의 경계를 정한다(도 1a 참조). 제 1 구역(371) 및 제 2 구역(372)은 이들 깃아웃(372, 382)이 없다.

- [0044] 도 3c는 도 3a의 하부 캐리어 기관(120) 위에 상부 캐리어 기관(160)을 배치한 후의 반도체 패키지(300)를 도시한다. 명확하게 하기 위해, 도 3c는 상부 캐리어 기관(160)의 하부 전도성 층(163)만을 도시하고, 상부 전기 전도성 층(161) 및 절연 층(162)은 생략되어 있다. 제6 영역(370)은 제1 영역(310) 및 제4 영역(340)을 완전히 또는 부분적으로 덮을 수 있고, 제7 영역(380)은 제2 영역(320), 제3 영역(330) 및 제5 영역(350)을 완전히 또는 부분적으로 덮을 수 있다. 제6 영역(370)은 전기 전도성 스페이서에 의해 제3 영역(330) 및 제4 영역(340)에 전기적으로 연결될 수 있고, 제7 영역(380)은 전기 전도성 스페이서에 의해 제2 영역(320) 및 제5 영역(350)에 전기적으로 연결될 수 있다.
- [0045] 도 3d는 도 3c의 화살표 방향을 따라 반도체 패키지(300)의 측면도를 도시한다.
- [0046] 도 4는 양면 냉각 구조를 갖는 반도체 패키지를 제조하기 위한 방법(400)의 흐름도를 도시한다. 방법(400)에 따르면, 예로서, 반도체 패키지(100, 100_1, 200, 300)를 제조할 수 있다.
- [0047] 방법(400)은, 401에서, 상부 전기 전도성 층, 하부 전기 전도성 층, 및 상부 전기 전도성 층과 하부 전기 전도성 층 사이에 배치된 전기 절연 층을 갖는 하부 캐리어 기관을 제공하는 단계를 포함한다. 방법(400)은, 402에서, 하부 캐리어 기관의 상부 전기 전도성 층에 제1 전기 전도성 스페이서를 적용하는 단계를 포함한다. 방법(400)은, 403에서, 하부 캐리어 기관의 상부 전기 전도성 층에 적어도 하나의 전력 반도체 칩을 적용하는 단계를 포함한다. 방법(400)은, 404에서, 전력 반도체 칩에 제2 전기 전도성 스페이서를 적용하는 단계를 포함한다. 방법(400)은, 405에서, 하부 캐리어 기관에 대향하는 스페이서 상에 상부 전기 전도성 요소를 적용하는 단계를 포함한다. 방법(400)은, 406에서, 반도체 패키지의 제어 단자 또는 측정 단자가 차폐 구조물에 의해 전자기적으로 차폐되도록 차폐 구조물을 형성하는 단계를 포함한다.
- [0048] 방법(400)은, 차폐 구조물의 제1 부분을 형성하기 위한 반도체 패키지의 제어 단자의 제1 단자 핑거와 나란히 양쪽에서 제2 및 제3 단자 핑거를 배열하는 단계를 더 포함한다. 방법(400)은 하부 캐리어 기관의 상부 전기 전도성 층 내에 제어 배선을 형성하는 단계를 더 포함하되, 제어 배선은 적어도 하나의 전력 반도체 칩의 제어 전극을 제어 단자에 전기적으로 연결하고, 제어 배선은 적어도 세 측면에서 차폐 구조물에 의해 에워싸인다. 방법(400)은 차폐 구조물의 제2 부분을 생성하기 위해 상부 전기 전도성 요소를 에칭하는 단계를 더 포함하되, 차폐 구조물의 제2 부분은 제어 배선과 중첩된다. 방법(400)은 차폐 구조물의 제3 부분을 생성하기 위해서 하부 캐리어 기관의 상부 전기 전도성 층을 에칭하는 단계를 더 포함하되, 제3 부분은 양쪽에서 제어 배선을 에워싼다.
- [0049] 도 5는 반도체 패키지(500)의 다른 예를 도시하며, 반도체 패키지(500)는 반도체 패키지(100, 100_1, 200, 300)와 유사할 수 있고, 이와 함께 비교하여 아래에 나타낸 차이점만 가질 수 있다. 명확히 하기 위해, 상부 캐리어 기관 및 반도체 패키지(500)의 가능한 캡슐화 바디는 도 5에 도시되지 않는다.
- [0050] 반도체 패키지(500)의 하부 캐리어 기관(501)은 제1 전력 반도체 칩(521)이 형성된 제1 캐리어 영역(510) 및 제2 전력 반도체 칩(521)이 형성된 제2 캐리어 영역(520)을 갖는다. 제1 캐리어 영역(510)은 예를 들어 V_{DD} 가 인가되도록 설계될 수 있고, 제2 캐리어 영역(520)은 예를 들어 위상으로서 설계될 수 있다.
- [0051] 제1 캐리어 영역(510)은 제1 전원 단자(512) 및 제2 전원 단자(513)에 연결될 수 있다. 제3 전원 단자(530)는 제1 전원 단자(512)와 제2 전원 단자(513) 사이에 배열될 수 있다. 제3 전원 단자(530)는 반도체 패키지(500)의 상부 캐리어 기관에 연결될 수 있고, V_{SS} 단자가 될 수 있다. 제2 캐리어 영역(520)은 제4 전원 단자(522)에 연결될 수 있다.
- [0052] 제1 전력 반도체 칩(511)의 제어 전극(예를 들어, 게이트 전극)은 제1 제어 배선(541)에 연결될 수 있고, 제2 전력 반도체 칩(521)의 제어 전극(예를 들어, 게이트 전극)은 제2 제어 배선(542)에 연결될 수 있다.
- [0053] 차폐 구조물(550)은 제1 제어 배선(541)과 제2 제어 배선(542) 사이에 형성되고, 이 차폐 구조물은 제어 배선(541, 542)을 전기적으로 차폐하며, 특히 이 제어 배선(541, 542)은 서로 전기적으로 차폐된다. 제어 배선(541, 542) 및 차폐 구조물(550)은 하부 캐리어 기관(501)의 상부 전기 전도성 층 내에서 구조화된 영역으로서 형성될 수 있다.
- [0054] 일 예에 따르면, 차폐 구조물(550)은 예를 들어 하나 이상의 전기 전도성 스페이서를 통해 반도체 패키지(500)

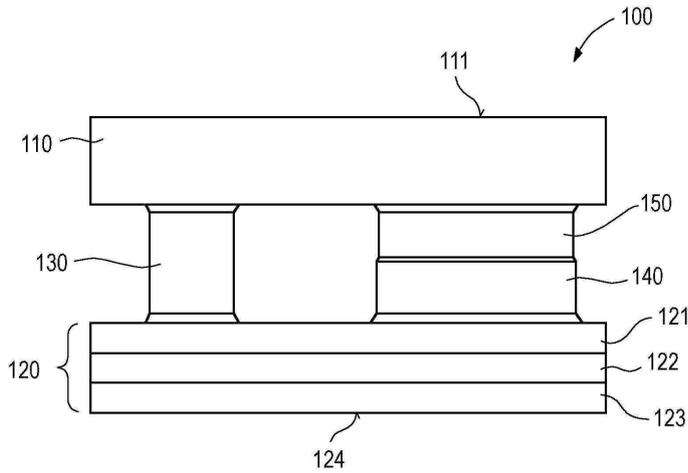
의 상부 캐리어 기판에 전기적으로 연결될 수 있다. 차폐 구조물(550)은 특히 V_{ss} 를 인가하도록 구성될 수 있다.

[0055]

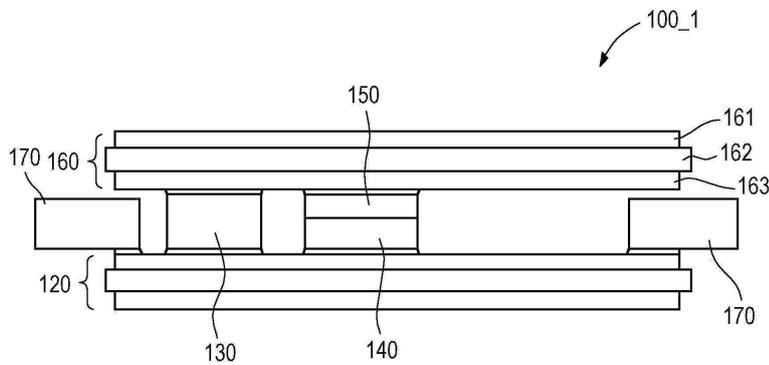
본 명세서에서 특정 실시예가 도시되고 설명되었지만, 당업자는 다양한 대안 및/또는 등가 구현이 본 개시의 범위를 벗어나지 않고 도시되고 설명된 특정 실시 예를 대체할 수 있음을 명백히 알 수 있다. 본 출원은 본 명세서에서 논의된 특정 실시예의 모든 개조 또는 변형을 포괄하고자 한다. 그러므로, 본 개시는 청구범위 및 그 균등물에 의해서만 제한된다.

도면

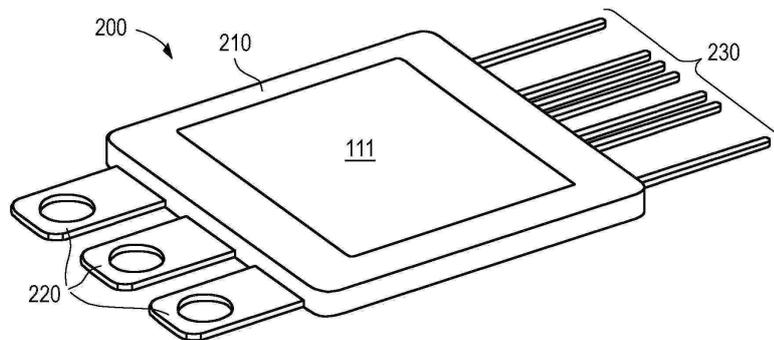
도면1a



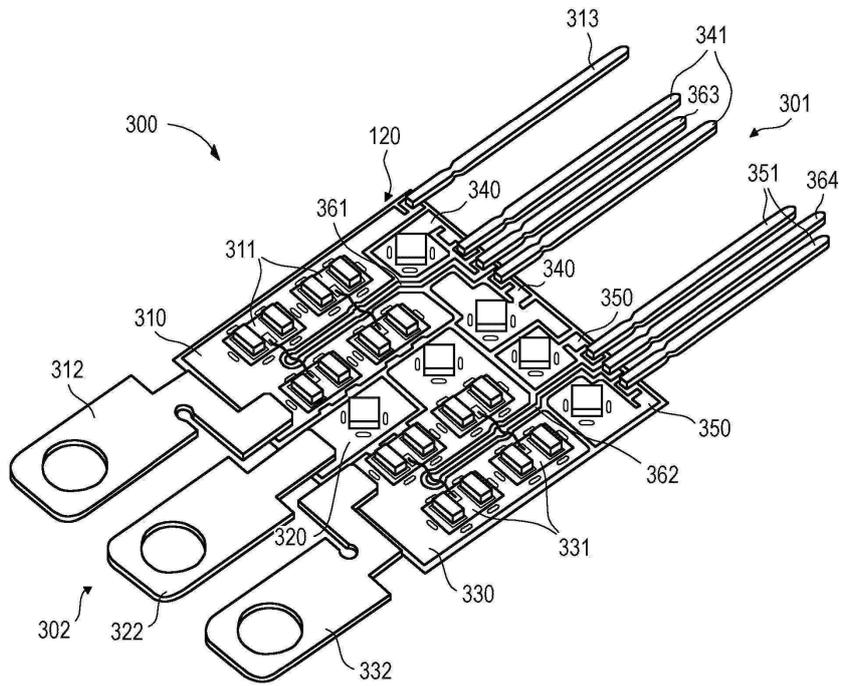
도면1b



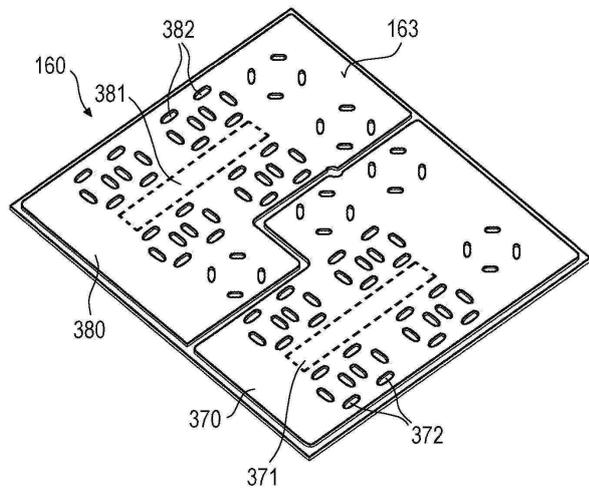
도면2



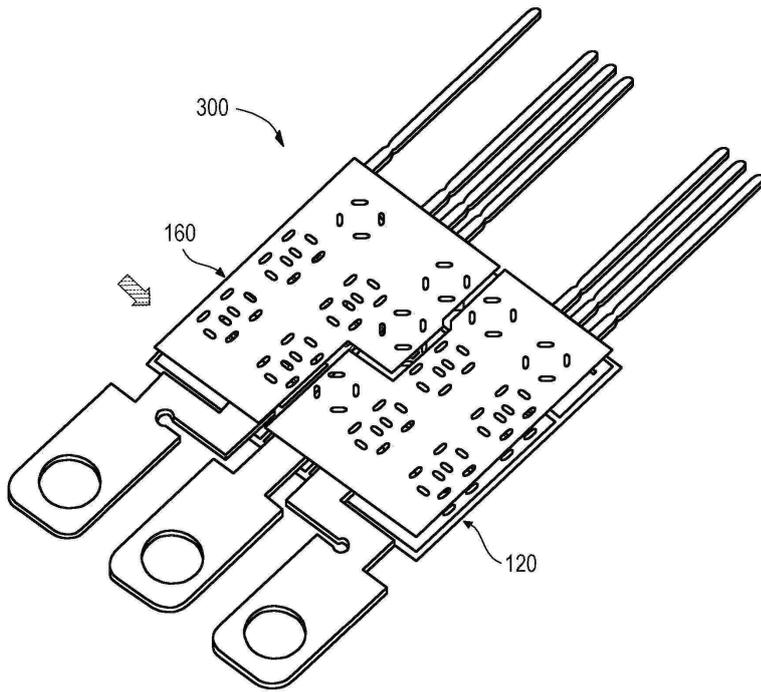
도면3a



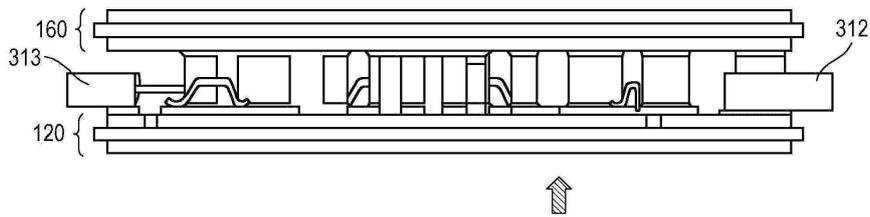
도면3b



도면3c

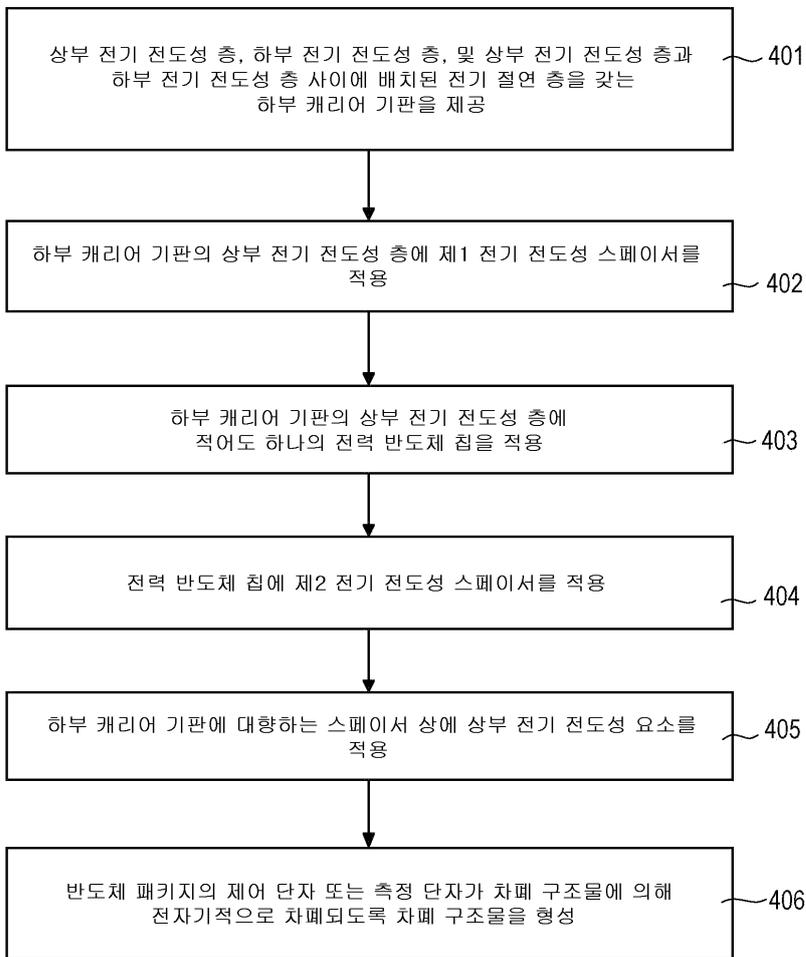


도면3d



도면4

400



도면5

