

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5352146号
(P5352146)

(45) 発行日 平成25年11月27日(2013.11.27)

(24) 登録日 平成25年8月30日(2013.8.30)

(51) Int.Cl.

F I

H O 1 L 23/12 (2006.01)

H O 1 L 23/12 5 O 1 B

請求項の数 4 (全 44 頁)

(21) 出願番号	特願2008-189663 (P2008-189663)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成20年7月23日(2008.7.23)		神奈川県川崎市中原区下沼部1753番地
(65) 公開番号	特開2010-27961 (P2010-27961A)	(74) 代理人	100080001 弁理士 筒井 大和
(43) 公開日	平成22年2月4日(2010.2.4)	(72) 発明者	三輪 孝志 東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内
審査請求日	平成23年6月15日(2011.6.15)	(72) 発明者	杉山 道昭 東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内
		(72) 発明者	柳沢 一正 東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1主面、前記第1主面のチップ搭載領域に形成された複数の第1端子、前記第1主面とは反対側に位置する第1裏面、および前記第1裏面に形成された複数のランドを有する配線基板と、

第2主面、前記第2主面に形成された複数の第1電極、および前記複数の第1電極上に形成された複数の突起状電極を有し、前記第2主面が前記配線基板の前記第1主面と対向するように、前記複数の突起状電極を介して前記配線基板の前記第1主面の前記チップ搭載領域に搭載された半導体チップと、

を含み、

前記複数の第1端子は、前記第1端子が列状に配列された第1端子群と、前記第1端子が列状に配列され、前記第1端子群よりも前記チップ搭載領域の内側に配置された第2端子群と、前記第1端子が列状に配列され、前記第2端子群よりも前記チップ搭載領域の内側に配置された第3端子群とを有し、

前記第1端子群の前記第1端子が1列目端子に対応し、前記第2端子群の前記第1端子が2列目端子に対応し、前記第3端子群の前記第1端子が3列目端子に対応し、

前記第2端子群における前記2列目端子は、前記第1端子群において隣接する前記1列目端子間に位置しており、

前記第3端子群における前記3列目端子は、前記第2端子群において隣接する前記2列目端子間に位置しており、

前記第 1 端子群と前記第 2 端子群との距離は、前記第 2 端子群と前記第 3 端子群との距離よりも大きく、

前記第 1 端子群において隣接する前記 1 列目端子間の距離は、前記第 2 端子群において隣接する前記 2 列目端子間の距離と、前記第 3 端子群において隣接する前記 3 列目端子間の距離と同じであり、

前記複数の第 1 端子には、複数の引き出し配線がそれぞれ接続されており、前記複数の引き出し配線のそれぞれは、前記 1 列目端子、前記 2 列目端子および前記 3 列目端子のそれぞれから前記チップ搭載領域の外側に向かって延在しており、

前記 1 列目端子と前記 2 列目端子との間には、前記引き出し配線は形成されており、前記 2 列目端子と前記 3 列目端子との間には、前記引き出し配線は形成されていないことを特徴とする半導体装置。

10

【請求項 2】

請求項 1 において、

前記半導体チップの前記複数の第 1 電極は、前記配線基板の前記複数の第 1 端子と前記複数の突起状電極を介してそれぞれ電氣的に接続され、

前記複数の第 1 端子は、前記配線基板に形成された配線およびビアを介して、前記複数のランドとそれぞれ電氣的に接続されていることを特徴とする半導体装置。

【請求項 3】

請求項 2 において、

前記複数の第 1 端子は、前記第 1 端子が列状に配列され、前記第 3 端子群よりも前記チップ搭載領域の内側に配置された第 4 端子群を更に有し、

前記第 4 端子群の前記第 1 端子が 4 列目端子に対応し、

前記第 4 端子群における前記 4 列目端子は、前記第 3 端子群において隣接する前記 3 列目端子間に位置しており、

前記 4 列目端子は、前記配線基板に形成されたビアを介して前記ランドと電氣的に接続されていることを特徴とする半導体装置。

20

【請求項 4】

請求項 3 において、

前記 4 列目端子に接続される前記引き出し配線は、前記チップ搭載領域の内側に向かって延在しており、

前記 4 列目端子は、前記引き出し配線、および前記チップ搭載領域の内側に配置された前記ビアを介して、前記ランドと電氣的に接続されていることを特徴とする半導体装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法に関し、特に、配線基板に半導体チップをフリップチップ接続した半導体装置およびその製造方法に適用して有効な技術に関する。

【背景技術】

【0002】

配線基板の上面上に半導体チップをフリップチップ接続して、半導体チップのバンブ電極を配線基板の上面のランドに電氣的に接続し、半導体チップのバンブ電極と配線基板のランドとの接続部をアンダーフィル樹脂で封止し、配線基板の裏面に半田ボールを接続することで、半導体パッケージ形態の半導体装置が製造される。

40

【0003】

特開 2005 - 12037 号公報（特許文献 1）には、多層配線基板におけるフリップチップ接続用の複数のランドが、複数種類のランド径からなるとともに、複数種類のピッチで設けられている技術が記載されている。

【特許文献 1】特開 2005 - 12037 号公報

【発明の開示】

【発明が解決しようとする課題】

50

【0004】

本発明者の検討によれば、次のことが分かった。

【0005】

高機能化や小型化に伴い、半導体チップの端子数は増加するものの、半導体チップの外形寸法は減少する傾向にある。このような半導体チップでは、半導体チップの主面の周辺部のみにバンパ電極を形成したのでは、端子数が不足するため、バンパ電極が半導体チップの主面全体にエリアレイ状に配置される。半導体チップをフリップチップ実装する配線基板においては、半導体チップの複数のバンパ電極を配線基板の上面の複数のランドにそれぞれ接続するため、配線基板の上面におけるランドの配列は、半導体チップにおけるバンパ電極の配列に対応している。このため、半導体チップにおいて、バンパ電極が半導体チップの主面全体にエリアレイ状に配置されている場合には、この半導体チップを実装する配線基板のランドの配列も、同様にエリアレイ状となる。

10

【0006】

配線基板の裏面には、外部端子としてバンパ電極が複数配置されているが、この配線基板の裏面のバンパ電極と配線基板の上面の各ランドとは、配線基板に設けた配線（引き出し用配線）やビアの内部に形成された配線（ビア配線）を介して電氣的に接続する。このため、配線基板の上面にエリアレイ状に配置した各ランドに引き出し用配線を接続し、配線基板の上面において、この引き出し用配線を、ランドがエリアレイ状に配列した領域の外側にまで引き出す（引き回す）必要がある。

【0007】

エリアレイ状にランドが配列していると、ランド間に引き出し用配線を通さなければならないため、前記特許文献1のように、ランド間のピッチをある程度広げる必要がある。しかしながら、単に配線基板の表面層（1層目）の引き出し用配線だけで、全てのランドを、ランドがエリアレイ状に配列した領域の外側に向かって引き出そうとすると、ランド間を通る引き出し用配線の本数が多くなるため、ランド間のピッチを大きくする必要が生じる。特に、エリアレイ状の配列の最外周のランド間で、ランド間を通る引き出し用配線の本数が最大となり、エリアレイ状の配列の最外周のランド間のピッチを、その間を通る複数本の引き出し配線が通れる分だけ広げることになる。これは、半導体チップの寸法や配線基板の外形寸法の大型化を招き、それによって、半導体装置の大型化（大面積化）を招いてしまう。

20

30

【0008】

そこで、ランドの数が多くなっても半導体チップや配線基板の寸法の増大を抑制できるように、配線基板におけるランドの構成（配線レイアウト）を工夫することが望まれる。

【0009】

本発明の目的は、半導体装置を小型化できる技術を提供することにある。

【0010】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0011】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

40

【0012】

代表的な実施の形態による半導体装置は、配線基板上に半導体チップをフリップチップ接続した半導体装置であって、配線基板の上面にはフリップチップ接続用の複数の第1端子が設けられている。そして、配線基板の上面において、第1端子は、6列以上の列数で配列し、列の進行方向には等ピッチで配列するが、列間のピッチは等ピッチにはせず、ショートを引きやすい端子列では、隣接列間のピッチを大きくし、ショートが発生しにくい端子列では、隣接列間のピッチを小さくするものである。

【0013】

50

また、他の代表的な実施の形態による半導体装置は、複数の第1端子が配置された第1主面を有する配線基板と、複数の第1電極が配置された第2主面を有しかつ前記配線基板の前記第1主面上に複数の突起状電極を介して搭載された半導体チップとを備えた半導体装置である。そして、前記半導体チップの前記複数の第1電極は、前記配線基板の前記複数の第1端子と前記複数の突起状電極を介してそれぞれ電氣的に接続され、前記配線基板は、第1配線層および前記第1配線層よりも下層の第2配線層を含む複数の配線層を有し、前記複数の第1端子は前記第1配線層に設けられており、前記複数の第1端子は、6列以上の列数で配列し、列の進行方向には規則的に配列し、隣り合う列同士の間隔はずれている。前記複数の第1端子は、前記第1配線層に設けられた第1の引き出し用配線が接続された第1種類の端子と、下に第1ビアが形成されかつ前記第1ビアを介して前記第2配線層に電氣的に接続された第2種類の端子とを有し、6列以上で配列した前記複数の第1端子の列間のピッチは、第1の関係にある隣接列間のピッチよりも、第2の関係または第3の関係にある隣接列間のピッチの方が大きい。ここで、前記第1の関係にある隣接列では、前記第1の引き出し用配線が隣接する2つの列間で隣り合う前記第1端子の間を通過せず、かつ、隣接する2つの列の少なくとも一方の列には前記第2種類の端子が無く、前記第2の関係にある隣接列では、前記第1の引き出し用配線が隣接する2つの列間で隣り合う前記第1端子の間を通過しており、前記第3の関係にある隣接列では、隣接する2つの列の両方に前記第2種類の端子がある。

10

【0014】

また、他の代表的な実施の形態による半導体装置は、第1主面、前記第1主面のチップ搭載領域に形成された複数の第1端子、前記第1主面とは反対側に位置する第1裏面、および前記第1裏面に形成された複数のランドを有する配線基板と、第2主面、前記第2主面に形成された複数の第1電極、および前記複数の第1電極上に形成された複数の突起状電極を有し、前記第2主面が前記配線基板の前記第1主面と対向するように、前記複数の突起状電極を介して前記配線基板の前記第1主面の前記チップ搭載領域に搭載された半導体チップとを含む半導体装置である。そして、前記複数の第1端子は、前記第1端子が列状に配列された第1端子群と、前記第1端子が列状に配列され、前記第1端子群よりも前記チップ搭載領域の内側に配置された第2端子群と、前記第1端子が列状に配列され、前記第2端子群よりも前記チップ搭載領域の内側に配置された第3端子群とを有している。前記第1端子群の前記第1端子が1列目端子に対応し、前記第2端子群の前記第1端子が2列目端子に対応し、前記第3端子群の前記第1端子が3列目端子に対応し、前記第2端子群における前記2列目端子は、前記第1端子群において隣接する前記1列目端子間に位置しており、前記第3端子群における前記3列目端子は、前記第2端子群において隣接する前記2列目端子間に位置している。前記第1端子群と前記第2端子群との距離は、前記第2端子群と前記第3端子群との距離よりも大きい。

20

30

【発明の効果】

【0015】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0016】

代表的な実施の形態によれば、半導体装置を小型化することができる。

40

【発明を実施するための最良の形態】

【0017】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合お

50

よび原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0018】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

10

【0019】

また、実施の形態で用いる図面においては、断面図であっても図面を見易くするためにハッチングを省略する場合もある。また、平面図であっても図面を見易くするためにハッチングを付す場合もある。

【0020】

(実施の形態1)

本発明の一実施の形態の半導体装置およびその製造方法(製造工程)を図面を参照して説明する。

【0021】

図1は、本発明の一実施の形態である半導体装置1の断面図(全体断面図、側面断面図)、図2は、半導体装置1の上面図(平面図)、図3は、半導体装置1の下面図(裏面図)である。図2および図3のA1-A1線における半導体装置1の断面が、図1にほぼ対応する。図4は、半導体装置1に用いられる半導体チップ3の平面図であり、配線基板2に対向する側の主面が示されている。図5は、半導体装置1に用いられている配線基板2の上面図(平面図)であり、半導体チップ3が搭載される側の主面(上面2a)が示されている。図6は、配線基板2の要部断面図である。なお、図5においても、図2および図3に示されるA1-A1線に対応する位置に、A1-A1線を付してある。このため、図5のA1-A1線における配線基板2の断面が、図1に示される半導体装置1における配線基板2の断面にほぼ相当する。

20

【0022】

図1~図3に示される本実施の形態の半導体装置1は、半導体パッケージ形態の半導体装置である。

30

【0023】

図1~図3に示されるように、本実施の形態の半導体装置1は、配線基板2と、配線基板2の上面2a上に搭載(配置)された半導体チップ3と、半導体チップ3と配線基板2との間を満たす樹脂部(アンダーフィル樹脂)4と、配線基板2の下面2bに設けられた複数の半田ボール(外部端子、 bumps電極、半田 bumps)5とを有している。

【0024】

半導体チップ3は、その厚さと交差する平面形状が矩形(四角形)であり、例えば、単結晶シリコンなどからなる半導体基板(半導体ウエハ)の主面に種々の半導体素子または半導体集積回路を形成した後、ダイシングなどにより半導体基板を各半導体チップに分離して製造したものである。

40

【0025】

半導体チップ3の表面(半導体素子形成側の主面)には、複数のパッド電極(電極、表面電極)6が形成されており、これら複数のパッド電極6上に突起状の電極である複数の bumps電極(突起電極、突起状電極)7がそれぞれ形成されている。半導体チップ3の各パッド電極6およびその上の bumps電極7は、半導体チップ3の内部または表層部分に形成された半導体素子または半導体集積回路に、半導体チップ3の内部配線層などを介して電氣的に接続されている。 bumps電極7は、突起状電極であり、半導体チップ3を配線基板2上にフリップチップ接続するための実装用電極として機能し、例えば半田 bumps また

50

は金バンプからなる。なお、半導体チップ3において、パッド電極6（およびその上のバンプ電極7）が形成された側の主面を、半導体チップ3の表面と呼び、パッド電極6（およびその上のバンプ電極7）が形成された側の主面（すなわち表面）とは反対側の主面を、半導体チップ3の裏面と呼ぶものとする。

【0026】

本実施の形態においては、パッド電極6およびその上のバンプ電極7は半導体チップ3の表面の周辺部（周縁部）のみに設けられているのではなく、図4に示されるように、半導体チップ3の表面全体にエリアレイ状に配置されている。これにより、高機能化による半導体チップの端子数の増加と、半導体チップの小型化（小面積化）に対応することができる。

10

【0027】

半導体チップ3は、配線基板2の上面2aにフリップチップ実装されている。すなわち、半導体チップ3は、半導体チップ3の裏面（バンプ電極7形成側の主面とは反対側の主面）側が上方を向き、半導体チップ3の表面（バンプ電極7形成側の主面）が配線基板2の上面2aに対向する向きで、複数のバンプ電極7を介して、配線基板2の上面2a（のチップ搭載領域3a）上に搭載（実装）されている。従って、半導体チップ3は配線基板2の上面2aにフェイスダウンボンディングされている。

【0028】

半導体チップ3の表面の複数のバンプ電極7は、配線基板2の上面2aの複数のランド（端子、基板側端子、電極、導電性ランド部）8に、それぞれ接合（接続）されて電氣的に接続されている。すなわち、半導体チップ3の表面の複数のパッド電極6は、配線基板2の上面2aの複数のランド8に、バンプ電極7を介してそれぞれ接合（接続）されて電氣的に接続されている。従って、半導体チップ3に形成された半導体集積回路は、パッド電極6およびバンプ電極7を介して配線基板2の上面2aのランド8に電氣的に接続されている。

20

【0029】

半導体チップ3と配線基板2の上面2aとの間に、アンダーフィル樹脂としての樹脂部4が充填されている。樹脂部4により、半導体チップ3と配線基板2との熱膨張率の差によるバンプ電極7への負担を緩衝することができる。樹脂部4は、例えばエポキシ樹脂またはシリコン樹脂などの樹脂材料（例えば熱硬化性樹脂材料）からなり、フィラーを含有することもできる。樹脂部4のフィラーとしては、シリカなどを用いることができる。

30

【0030】

配線基板2は、その厚さと交差する平面形状が矩形（四角形）であり、一方の主面である上面（表面）2aと、上面2aとは反対側の主面である下面（裏面）2bとを有している。図5に示されるように、配線基板2の上面2aのうち、チップ搭載領域3aには、半導体チップ3の表面におけるパッド電極6（およびその上のバンプ電極7）の配列に対応した配列で、複数のランド8が配列している。配線基板2の上面2aのランドの配列を、半導体チップ3の表面のパッド電極6（およびその上のバンプ電極7）の配列と同じにすることで、半導体チップ3を配線基板2の上面2aにフリップチップ実装して、半導体チップ3の表面の複数のパッド電極6と、配線基板2の上面2aの複数のランド8とを、バンプ電極7を介してそれぞれ電氣的に接続することができる。なお、チップ搭載領域3aは、配線基板2の上面2aのうち半導体チップ3を搭載した領域、すなわち、配線基板2の上面2aのうち半導体チップ3と平面的に重なる領域に対応する。

40

【0031】

配線基板2は、複数の絶縁体層（誘電体層）と、複数の配線層（導体層、導体パターン層）とを積層して一体化した多層配線基板（多層基板）であり、好ましくはビルドアップ法で作製することができる。配線基板2の上面2aのランド8は、配線基板2の配線（後述する引き出し用配線9, 39, 49など）やビアの内部に形成された配線（ビア配線）を介して、配線基板2の下面2bの端子10に電氣的に接続されている。図6には、6つの配線層（導体層、導体パターン層、配線パターン）M1, M2, M3, M4, M5, M

50

6と5つの絶縁体層（ここでは絶縁層12a, 12b、コア層11および絶縁層12c, 12d）とが交互に積層されて配線基板2が形成されているが、積層される絶縁体層および配線層の数はこれに限定されるものではなく、必要に応じて種々変更可能である。

【0032】

例えば、図6に示されるように、ガラスエポキシ系樹脂などからなる絶縁性のコア層（基材層、絶縁層）11の上面に、コア層11に近い側から順に、配線層M3、絶縁層（ビルドアップ層）12b、配線層M2、絶縁層（ビルドアップ層）12aおよび配線層M1が順に形成（積層）されている。また、コア層11の下面に、コア層11に近い側から順に、配線層M4、絶縁層（ビルドアップ層）12c、配線層M5、絶縁層（ビルドアップ層）12dおよび配線層M6が形成（積層）されている。従って、配線基板2において配線層M1～M6は、上面2a側から下面2b側に向かって、配線層M1、配線層M2、配線層M3、配線層M4、配線層M5および配線層M6の順に配置されている。配線層M1, M2, M3, M4, M5, M6は、例えば銅(Cu)などの金属層により形成されており、それぞれ必要に応じたパターンで形成されている。また、絶縁層（ビルドアップ層）12a, 12b, 12c, 12dは、例えば樹脂材料などにより形成されている。

10

【0033】

配線層（第1配線層）M1と配線層（第2配線層）M2とは、配線層M1, M2間の絶縁層12aに形成されたビア（第1ビア）V1を介して電氣的に接続されている。また、配線層（第2配線層）M2と配線層（第3配線層）M3とは、配線層M2, M3間の絶縁層12bに形成されたビア（第2ビア）V2を介して電氣的に接続されている。また、配線層（第3配線層）M3と配線層（第4配線層）M4とは、配線層M3, M4間のコア層11に形成されたビアV3を介して電氣的に接続されている。また、配線層（第4配線層）M4と配線層（第5配線層）M5とは、配線層M4, M5間の絶縁層12cに形成されたビアV4を介して電氣的に接続されている。また、配線層（第5配線層）M5と配線層（第6配線層）M6とは、配線層M5, M6間の絶縁層12dに形成されたビアV6を介して電氣的に接続されている。

20

【0034】

ここでビア（ビアV1～V6）とは、絶縁層に形成された孔部（貫通孔）であるが、孔部の側壁上に導体膜（導体層、配線、ビア配線）が形成されているか、あるいは孔部内が導体膜（導体層、配線、ビア配線）で埋められており、孔部に、この導体膜（導体層、配線、ビア配線）を含めたものをビアと呼ぶものとする。従って、絶縁層に形成されたビアは、その絶縁層の上下両面の配線層（導体層）の間を、ビアを構成する孔部の側壁上または孔部内の導体膜（導体層、配線、ビア配線）を介して電氣的に接続するように機能することができる。

30

【0035】

配線基板2が有する複数の配線層M1～M6のうちの最上層の配線層（第1配線層）M1により、上記複数のランド8と複数の引き出し用配線（第1の引き出し用配線）9とが配線基板2の上面2aに形成されている。従って、ランド8と引き出し用配線9とは、配線層M1を構成する同種の導電体からなる。ランド8は、半導体チップ3のパッド電極6とパンプ電極7を介して接続するための端子（基板側端子、電極）、すなわちフリップチップ接続用の端子として機能する。引き出し用配線9は、その一端がランド8に一体的に接続されており、配線基板2の上面2aにおいて、ランド8が密集して配列した領域の外部にランド8を引き出す（引き回す）ための配線として機能することができる。

40

【0036】

配線基板2の最上層（上面2a側の最上層）には、絶縁層からなるソルダレジスト層（半田レジスト層、絶縁層、絶縁膜）SR1が形成されており、ランド8は、ソルダレジスト層SR1の開口部（後述の開口部34に対応）から露出されている。一方、引き出し用配線9は、ソルダレジスト層SR1で覆われている。すなわち、配線基板2の上面2aにおいて、絶縁層12a上に、ランド8以外の配線層M1を覆うように、ソルダレジスト層SR1が形成されているが、ランド8はソルダレジスト層SR1の開口部（後述の開口部

50

34に対応)から露出されている。ソルダレジスト層SR1を設けることで、ランド8以外の配線層M1が露出して短絡するのを防止することができる。ソルダレジスト層SR1は、ランド8以外の配線層M1(引き出し用配線9を含む)の保護膜として機能することもできる。また、ランド8のソルダレジスト層SR1の開口部から露出される部分上にめっき膜を形成することもでき、これにより、ランド8とバンプ電極7との接合をよりの確に行えるようになる。

【0037】

また、配線基板2が有する複数の配線層M1~M6のうちの最下層の配線層M6により、複数の端子(外部接続用端子、電極、ランド、導電性ランド部)10が配線基板2の下面2bに形成されている。従って、端子10は、配線層M6を構成する導電体からなる。端子10は、半導体装置1の外部端子(外部接続用端子)としての半田ボール5を接続(配置)するための端子として機能する。配線基板2の最下層(下面2b側の最上層)には、絶縁層からなるソルダレジスト層(半田レジスト層、絶縁層、絶縁膜)SR2が形成されており、端子10は、ソルダレジスト層SR2の開口部から露出されている。また、端子10のソルダレジスト層SR2の開口部から露出される部分上にめっき膜を形成することもでき、これにより、端子10と半田ボール5との接合をよりの確に行えるようになる。

【0038】

配線基板2の下面2bにおいて、複数の端子10は例えばアレイ状に配置されており、各端子10には、バンプ電極として半田ボール(ボール電極、突起電極、突起状電極、電極、外部端子、外部接続用端子)5が接続(形成)されている。このため、配線基板2の下面2bに複数の半田ボール5が、例えばアレイ状に配置されている。半田ボール5は、半導体装置1の外部端子(外部接続用端子)として機能することができる。

【0039】

半導体チップ3の各パッド電極6は、バンプ電極7を介して配線基板2の上面2aの各ランド8に電氣的に接続され、更に、配線基板の配線層M1~M6およびビアV1~V5を介して、配線基板2の下面2bの端子10および端子10に接続された半田ボール5に電氣的に接続されている。

【0040】

次に、本実施の形態の半導体装置の製造方法(製造工程)について説明する。

【0041】

図7は、本実施の形態の半導体装置の製造工程を示す製造プロセスフロー図である。図8~図12は、本実施の形態の半導体装置の製造工程中の断面図であり、上記図1に対応する断面が示されている。

【0042】

なお、本実施の形態では、複数の配線基板2(半導体装置領域22)がアレイ状に繋がって形成された多数個取りの配線基板(配線基板母体)21を用いて個々の半導体装置1を製造する。この配線基板21は、上記配線基板2の母体であり、配線基板21を後述する切断工程で切断し、各半導体装置領域(基板領域、単位基板領域、デバイス領域)22に分離したものが半導体装置1の配線基板2に対応する。配線基板21は、そこから1つの半導体装置1が形成される領域である半導体装置領域22がマトリクス(行列)状に複数配列した構成を有しているが、図8~図12には、そのうちの一つの半導体装置領域22にほぼ相当する領域の断面が示されている。

【0043】

まず、配線基板21と半導体チップ3を準備する(ステップS1)。図8に示されるように、ステップS1では、そこからそれぞれ半導体装置1が製造される単位基板領域である半導体装置領域(単位基板領域)22を複数有する配線基板21であって、上面21aと、上面21aの反対側の下面21bとを有し、各半導体装置領域22の上面21aに複数のランド8を、各半導体装置領域22の下面21bに複数の端子10を有する配線基板21が準備される。各半導体装置領域22における配線基板21の構成は、配線基板2と

10

20

30

40

50

同じであり、後で詳細に説明するランド 8 や引き出し用配線 9 などの配置についても、配線基板 2 と同じである。

【 0 0 4 4 】

配線基板 2 1 は、微細ピッチ配線に適合するようにビルドアップ法で製造することが好ましいが、それ以外にも、印刷法、シート積層法、セミアディティブ法、またはアディティブ法などを用いて製造することができる。

【 0 0 4 5 】

上述のように、半導体チップ 3 は、パッド電極 6 およびその上に設けられたバンプ電極 7 が半導体チップ 3 の表面全体にエリアアレイ状に配置されたものである。このため、半導体チップ 3 を製造するには、半導体ウエハにウエハ・プロセスを行った後、再配置配線形成工程（再配線工程）を行う。

【 0 0 4 6 】

ここでウエハ・プロセスは、前工程とも呼ばれ、一般的に、半導体ウエハの主面上または表層部分に種々の半導体素子または半導体集積回路を形成し、配線層（およびパッド電極）を形成し、表面保護膜を形成した後、半導体ウエハに形成された複数の半導体チップ領域の各々の電氣的試験をプローブ等により行える状態にするまでの工程を言う。ウエハ・プロセスを行った段階では、半導体ウエハの各半導体チップ領域（後で半導体チップ 3 となる領域）の四辺近傍にその四辺に沿ってパッド電極が複数個並んで配置されている。

【 0 0 4 7 】

ウエハ・プロセスを行った後に、再配置配線形成工程を行うが、再配置配線（再配線）は、ウエハ・プロセスで形成した各半導体チップ領域のパッド電極と、半導体チップ領域を個片化して得られる半導体チップ 3 を配線基板 2 1 上に実装するための実装電極（本実施の形態ではパッド電極 6）とを電氣的に接続する配線である。すなわち、再配置配線形成工程により、半導体ウエハの各半導体チップ領域のパッド電極を再配置配線を通じて半導体チップ領域の主面全体に引き出し（引き回し）、各半導体チップ領域の主面全体に実装電極（本実施の形態ではパッド電極 6）をエリアアレイ状に配置する。後述する再配置配線 5 7（後述する図 2 5 および図 2 6 に示されている）は、ここで説明した再配置配線に対応するものである。また、再配置配線工程では、各パッド電極 6 上にバンプ電極 7 を形成する。その後、ダイシングなどにより半導体ウエハを各半導体チップ領域に分離（切断）して、個片化された半導体チップ 3 が得られる。

【 0 0 4 8 】

ステップ S 1 においては、先に配線基板 2 1 を準備してから半導体チップ 3 を準備しても、先に半導体チップ 3 を準備してから配線基板を準備しても、あるいは配線基板 2 1 と半導体チップ 3 を同時に準備してもよい。

【 0 0 4 9 】

このように、ステップ S 1 では、各半導体装置領域 2 2 毎にランド 8 が配置された上面 2 1 a を有する配線基板 2 1 と、複数のバンプ電極（突起状電極）7 が配置された表面を有する半導体チップとが準備される。

【 0 0 5 0 】

ステップ S 1 で配線基板 2 1 と半導体チップ 3 を準備した後、フリップチップ接続工程を行って、図 9 に示されるように、配線基板 2 1 の上面 2 1 a の各半導体装置領域 2 2 上に、半導体チップ 3 を搭載する（ステップ S 2）。

【 0 0 5 1 】

ステップ S 2 の半導体チップ 3 のフリップチップ接続工程では、半導体チップ 3 は、半導体チップ 3 の裏面側が上方を向き、半導体チップ 3 の表面側が下方（配線基板 2 1 の上面 2 1 a 側）を向くように、フェイスダウンで配線基板 2 1 の上面 2 1 a 上に配置され、半導体チップ 3 の複数のバンプ電極 7 が配線基板 2 1 の上面 2 1 a の複数のランド 8（バンプ電極 7 に接続すべきランド 8）にそれぞれ対向するように位置合わせされる。ここで、上述したように、半導体チップ 3 の表面は、パッド電極 6 やバンプ電極 7 が形成された側の主面であり、半導体チップ 3 の裏面は、パッド電極 6 やバンプ電極 7 が形成された側

10

20

30

40

50

とは反対側の主面である。そして、バンプ電極 7 が金バンプである場合には、半導体チップ 3 を配線基板 2 1 側に加圧して、バンプ電極 7 を構成する金バンプを配線基板 2 1 のランド 8 に押圧して（押し付けて）圧着する。この際、加熱しながら加圧することで、バンプ電極 7 をランド 8 に熱圧着することもできる。また、バンプ電極 7 が半田バンプである場合には、半田リフロー処理（熱処理）によりバンプ電極 7 を構成する半田バンプを溶融・再固化することで、バンプ電極 7 をランド 8 に接続（半田接続）する。

【 0 0 5 2 】

このように、ステップ S 2 では、半導体チップ 3 を配線基板 2 1 の上面 2 1 a 上に複数のバンプ電極（突起状電極）7 を介して搭載し、半導体チップ 3 の複数のバンプ電極 7 を配線基板 2 1 の複数のランド 8 にそれぞれ電氣的に接続する。これにより、半導体チップ 3 の複数のパッド電極 6 が、複数のバンプ電極 7 を介して、配線基板 2 1 の各半導体装置領域 2 2 の複数のランド 8 にそれぞれ接続（接合）されて、電氣的に接続される。

10

【 0 0 5 3 】

次に、図 1 0 に示されるように、半導体チップ 3 と配線基板 2 1 との間を満たすアンダーフィル樹脂としての樹脂部 4 を形成する（ステップ S 3 ）。

【 0 0 5 4 】

例えば、半導体チップ 3 と配線基板 2 1 の上面 2 1 a との間に樹脂材料（フィラーを含有することもできる）を充填（注入）し、加熱などによりこの樹脂材料を硬化することで、硬化した樹脂材料からなる樹脂部 4 を形成することができる。他の形態として、フリップチップ接続を行う前に配線基板 2 1 の上面 2 1 a の各半導体装置領域 2 2 のチップ搭載予定領域（後で半導体チップ 3 を搭載する領域）に予め樹脂材料（フィラーを含有することもできる）を塗布しておき、その後、フリップチップ接続で半導体チップ 3 のバンプ電極 7 を配線基板 2 1 の上面 2 1 a のランド 8 に接続してから、この樹脂材料を硬化して樹脂部 4 を形成することもできる。

20

【 0 0 5 5 】

次に、図 1 1 に示されるように、配線基板 2 1 の下面 2 1 b の端子 1 0 に半田ボール 5 を接続（接合、形成）する（ステップ S 4 ）。

【 0 0 5 6 】

ステップ S 4 の半田ボール 5 接続工程では、例えば、配線基板 2 1 の下面 2 1 b を上方に向け、配線基板 2 1 の下面 2 1 b の各半導体装置領域 2 2 の複数の端子 1 0 上にそれぞれ半田ボール 5 を配置（搭載）してフラックスなどで仮固定し、リフロー処理（半田リフロー処理、熱処理）を行って半田を溶融し、半田ボール 5 と配線基板 2 1 の下面 2 1 b の端子 1 0 とを接合することができる。その後、必要に応じて洗浄工程を行い、半田ボール 5 の表面に付着したフラックスなどを取り除くこともできる。このようにして、半導体装置 1 の外部端子（外部接続用端子）としての半田ボール 5 が接合（形成）される。

30

【 0 0 5 7 】

なお、本実施の形態では、半導体装置 1 の外部端子として半田ボール 5 を接合する場合について説明したが、これに限定されるものではなく、例えば半田ボール 5 の代わりに印刷法などにより端子 1 0 上に半田を供給して半導体装置 1 の半田からなる外部端子（バンプ電極、半田バンプ）を形成することもできる。この場合、配線基板 2 1 の下面 2 1 b の各半導体装置領域 2 2 の複数の端子 1 0 上にそれぞれ半田を供給してから、半田リフロー処理を行って、複数の端子 1 0 上にそれぞれ半田からなる外部端子（バンプ電極、半田バンプ）を形成することができる。

40

【 0 0 5 8 】

また、メッキ処理を施すなどして、各端子 1 0 上に外部端子（バンプ電極）を形成することもできる。

【 0 0 5 9 】

このように、ステップ S 4 では、配線基板 2 1 の下面 2 1 b の各半導体装置領域 2 2 の複数の端子 1 0 に、それぞれ外部接続用端子（ここでは半田ボール 5 ）を形成する。

【 0 0 6 0 】

50

次に、配線基板 2 1 の切断を行う（ステップ S 5）。

【 0 0 6 1 】

ステップ S 5 の切断工程により、図 1 2 に示されるように、配線基板 2 1 が各半導体装置領域 2 2 間の切断領域に沿って切断されて、それぞれの半導体装置領域 2 2 が個々の（個片化された）半導体装置 1 に切断分離（個片化）される。すなわち、配線基板 2 1 が各半導体装置領域 2 2 に切断されて分割され、各半導体装置領域 2 2 から半導体装置 1 が形成される。ステップ S 5 の切断工程によって各半導体装置領域 2 2 に切断され分離（分割）された配線基板 2 1 が上記配線基板 2 に対応する。

【 0 0 6 2 】

このようにして、半導体装置 1 が製造される。

10

【 0 0 6 3 】

次に、本実施の形態の半導体装置 1 に用いられている配線基板 2 について、より詳細に説明する。

【 0 0 6 4 】

図 1 3 は、配線基板 2 の要部平面図であり、上記図 5 のチップ搭載領域 3 a におけるランド 8 の配列を拡大して示したものである。図 1 3 では、ランド 8 のうち、後述の第 1 種類のランド 8 a を白丸（白抜きの丸）で示し、第 2 種類のランド 8 b を黒丸（塗りつぶしの丸）で示してある。図 1 4 は、図 1 3 の部分拡大平面図であり、図 1 3 中に示される実線で囲まれた領域 3 0 の拡大図が示されている。図 1 4 では、配線基板 2 の最上層のソルダレジスト層 S R 1 を透視し、配線基板 2 の配線層 M 1 ~ M 6 のうちの最上層の配線層 M 1（ここではランド 8 および引き出し用配線 9）のレイアウトが示されており、平面図であるが、理解を簡単にするために、配線層 M 1 のパターン（ここではランド 8 および引き出し用配線 9）にハッチングを付している。但し、図 1 4 では、第 1 種類のランド 8 a 同士は同じ向きのハッチングを付し、第 2 種類のランド 8 b 同士は同じ向きのハッチングを付し、第 1 種類のランド 8 a と第 2 種類のランド 8 b とは、互いに逆向きのハッチングとされているが、実際には、第 1 種類のランド 8 a と第 2 種類のランド 8 b と引き出し用配線 9 とは、同じ配線層 M 1 により形成されているため、同じ導体材料で、同層に形成されている。また、第 1 種類のランド 8 a と引き出し用配線 9 とは異なるハッチングを付して有るが、実際には、各第 1 種類のランド 8 a とそれに接続された引き出し用配線 9 とは、一体的に形成されている。また、引き出し用配線 9 は、実際には、ソルダレジスト層 S R 1 で覆われている。図 1 5 は、配線基板 2 におけるランド 8 の配列の説明図である。図 1 5 は、図 1 4 に対応する領域のランド 8 の配列を取り出して示したものであり、平面図であるが、第 1 種類のランド 8 a と第 2 種類のランド 8 b に図 1 4 と同様のハッチングを付し、引き出し用配線 9 の図示は省略してある。図 1 6 は、配線基板 2 の要部平面図であり、図 5 中に示される二点鎖線で囲まれた領域 3 0 a の拡大図が示されている。なお、図 1 6 に示される領域（図 5 の領域 3 0 a）は、図 1 4 に示される領域（図 1 3 の領域 3 0）を含むが、それよりも方向 X に広い領域が示されており、図 1 6 の左端は、配線基板 2 の辺（端部）2 c である。図 1 6 でも、図 1 4 と同様、配線基板 2 の最上層のソルダレジスト層 S R 1 を透視し、配線基板 2 の配線層 M 1 ~ M 6 のうちの最上層の配線層 M 1（ここではランド 8 , 8 c , 8 d および引き出し用配線 9）のレイアウトが示されているが、ハッチングは付していない。

20

30

40

【 0 0 6 5 】

図 4 と図 5 および図 1 3 とを比較すると分かるように、配線基板 2 の上面 2 a（より特定的にはチップ搭載領域 3 a）において、複数のランド（第 1 端子）8 は、半導体チップ 3 の表面におけるパッド電極 6 の配置（すなわちパッド電極 6 上に形成されたバンプ電極 7 の配置）に対応した配置で配列している。すなわち、配線基板 2 の上面 2 a（より特定的にはチップ搭載領域 3 a）において、複数のランド 8 は、半導体チップ 3 の表面におけるパッド電極 6 の配列（すなわちバンプ電極 7 の配列）を転写したのと同様の配列を有している。これにより、半導体チップ 3 の各パッド電極 6 を配線基板 2 の各ランド 8 とバンプ電極 7 を介して対向配置させることができ、半導体チップ 3 の各パッド電極 6 と配線基

50

板 2 の各ランド 8 を bumps 電極 7 を介して接続することができる。従って、半導体装置 1 において、互いに接続されたパッド電極 6、bumps 電極 7 およびランド 8 は、平面的に重なる位置に配置されている。

【 0 0 6 6 】

上述のように、半導体チップ 3 は、パッド電極 6 およびその上に設けられた bumps 電極 7 が半導体チップ 3 の表面の周辺部（周縁部）のみに設けられているのではなく、図 4 に示されるように、半導体チップ 3 の表面全体にエリアレイ状に配置されたものである。このため、図 5 および図 1 3 に示されるように、配線基板 2 の上面 2 a のチップ搭載領域 3 a に、ランド 8 がエリアレイ状に配置されている。

【 0 0 6 7 】

半導体チップ 3 のパッド電極 6 は、半導体装置 1 の外部端子に電氣的に接続されている必要がある。このため、フリップチップ接続用の端子である配線基板 2 のランド 8 は、配線基板 2 の下面 2 b の端子 1 0（および端子 1 0 上に形成される半田ボール 5）に電氣的に接続させる必要がある。

【 0 0 6 8 】

配線基板 2 の上面 2 a では、フリップチップ接続用の端子であるランド 8 は、チップ搭載領域 3 a に密集して配列しているのに対して、配線基板 2 の下面 2 b では、上面 2 a においてランド 8 が配列する面積よりも広い面積に渡って、端子 1 0 が配列している。すなわち、配線基板 2 の下面 2 b における端子 1 0 の配列ピッチは、配線基板 2 の上面 2 a におけるランド 8 の配列ピッチよりも大きい。なお、各端子 1 0 上に半田ボール 5 が接続されるため、配線基板 2 の下面 2 b における端子 1 0 の配列は、上記図 3 に示される配線基板 2 の下面 2 b における半田ボール 5 の配列と同様である。

【 0 0 6 9 】

このため、配線基板 2 の上面 2 a のランド 8 と下面 2 b の端子 1 0 とは平面的に重なる位置には配置されていないため、配線基板 2 に設けられたビア（ここではビア V 1 ~ V 5）のみで配線基板 2 の上面 2 a のランド 8 と下面 2 b の端子 1 0 とを電氣的に接続することはできない。従って、配線基板 2 の上面 2 a のランド 8 を下面 2 b の端子 1 0 に電氣的に接続するには、配線層 M 1 ~ M 6 のうちの少なくとも 1 層以上に設けた引き出し用配線（配線パターン）で、ランド 8 を配線基板 2 の上面 2 a および下面 2 b に平行な方向に引き回す（引き出す）必要がある。これには、次の 2 つの経路（第 1 の経路および第 2 の経路）がある。

【 0 0 7 0 】

第 1 の経路として、配線基板 2 の上面 2 a において、ランド 8 をランド 8 と同層の引き出し用配線 9 で、ランド 8 が密集して配列した領域（ランド配列領域）から離れた位置に引き出してから（引き回してから）、ランド配列領域から離れた位置で、ビア V 1 を介して配線層 M 1 よりも下層の配線層 M 2 に電氣的に接続し、更にビア V 2 ~ V 5 および配線層 M 3 ~ M 6 を介して、配線層 M 6 からなる端子 1 0 に電氣的に接続する。この場合、配線層 M 1 に設けられた引き出し用配線 9 を用いて引き回した上、更に、引き出し用配線 9（配線層 M 1）よりも下層の配線層 M 2 ~ M 6 のうちの 1 層以上の配線パターン（引き出し用配線）を用いて引き回すこともできる。

【 0 0 7 1 】

また、第 1 の経路には、各ランド 8 からチップ搭載領域 3 a の外側に向かって引き出し用配線 9 を延在させてからビアを介して下層の配線層に引き回した上で、配線層 M 6 からなる端子 1 0 に電氣的に接続するものと、各ランド 8 からチップ搭載領域 3 a の内側に向かって引き出し用配線 9 を延在させてからビアを介して下層の配線層に引き回した上で、配線層 M 6 からなる端子 1 0 に電氣的に接続するものがある。後述するように、第 1 列 a 1 ~ 第 3 列 a 3 の第 1 種類のランド 8 a の引き出し方が前者に対応し、第 4 列 a 4 以降の列の第 1 種類のランド 8 a の引き出し方が後者に対応する。

【 0 0 7 2 】

第 2 の経路として、配線基板 2 の上面 2 a において、直接的に（すなわち引き出し用配

10

20

30

40

50

線 9 を介さず)、ランド 8 を、そのランド 8 の下に設けたビア V 1 を介して、そのランド 8 (配線層 M 1) よりも下層の配線層 M 2 に電氣的に接続し、更にビア V 2 ~ V 5 および配線層 M 3 ~ M 6 を介して、配線層 M 6 からなる端子 10 に電氣的に接続する。この場合、ランド 8 には、ランド 8 と同層の配線層 M 1 からなる引き出し用配線 9 は接続せず、ランド 8 の直下にビア V 1 を配置し、ランド 8 (配線層 M 1) よりも下層の配線層 M 2 ~ M 6 のうちの 1 層以上に設けられた引き出し用配線 (配線パターン) を用いて、引き回すことになる。

【 0 0 7 3 】

このように、配線基板 2 において、ランド 8 は端子 10 に電氣的に接続する必要があるため、各ランド 8 に対して、上記第 1 の経路を適用して引き出し用配線 9 をランド 8 に接続するか、あるいは、上記第 2 の経路を適用してビア V 1 をランド 8 の直下に配置するかを、選択して設計している。

10

【 0 0 7 4 】

ここで、配線基板 2 の上面 2 a のチップ搭載領域 3 a に設けられた複数のランド 8 のうち、上記第 1 の経路を適用して引き出し用配線 (第 1 の引き出し用配線) 9 を接続したランド 8 を、第 1 種類のランド (第 1 種類の端子) と称して符号 8 a を付すものとし、上記第 2 の経路を適用してビア (第 1 ビア) V 1 を直下に配置したランド 8 を、第 2 種類のランド (第 2 種類の端子) と称して符号 8 b を付すものとする。従って、第 2 種類のランド 8 b は、いわゆるパッドオンビアである。上記第 1 の経路を適用して引き出し用配線 9 が接続された第 1 種類のランド (第 1 種類の端子) 8 a の直下にはビア V 1 は形成されておらず、また、上記第 2 の経路を適用してその直下にビア V 1 が形成された第 2 種類のランド (第 2 種類の端子) 8 b には、引き出し用配線 9 は接続されていない。なお、引き出し用配線 9 およびランド 8 は、配線層 M 1 に設けられた導体パターン (配線層 M 1 のパターン) であり、第 1 種類のランド 8 a とそれに接続された引き出し用配線 9 とは一体的に形成されている。

20

【 0 0 7 5 】

本実施の形態では、図 5、図 13 ~ 図 15 に示されるように、配線基板 2 の上面 2 a のチップ搭載領域 3 a において、フリップチップ接続用のランド 8 が複数形成されているが、複数のランド 8 は、チップ搭載領域 3 a の各辺に沿って 6 列以上の列数で配列している。なお、配線基板 2 の上面 2 a において、複数のランド 8 の配列の列の進行方向は、チップ搭載領域 3 a の各辺に平行な方向であり、すなわち、配線基板 2 上に搭載された半導体チップ 3 の各辺 (側面) 3 b に平行な方向である。また、半導体チップ 3 の各辺 3 b と配線基板 2 の各辺 2 c が平行になるように半導体チップ 3 が配線基板 2 上に実装されているので、配線基板 2 の上面 2 a において、複数のランド 8 の配列の列の進行方向は、配線基板 2 の各辺 (側面) 2 c に沿った (平行な) 方向になる。

30

【 0 0 7 6 】

ここで、配線基板 2 の上面 2 a のチップ搭載領域 3 a において、複数のランド 8 が n 列 (n は 6 以上の整数) で配列している場合、その列を、チップ搭載領域 3 a の外周側から内周側 (中央側) に向かう方向に順に、第 1 列、第 2 列、・・・、第 n 列と呼ぶものとする。換言すれば、チップ搭載領域 3 a に搭載された半導体チップ 3 の外周側から内周側 (中央側) に向かう方向に順に、第 1 列、第 2 列、・・・、第 n 列と呼ぶのである。

40

【 0 0 7 7 】

また、配線基板 2 の上面 2 a のチップ搭載領域 3 a に、複数のランド 8 (第 1 端子) が複数列で配列しているが、各列を、ランド 8 (第 1 端子) が列状に配列したランド群 (端子群、端子列) とみなすことができる。すなわち、後述の第 1 列 a 1 ~ 第 9 列 a 9 のそれぞれを、ランド 8 (第 1 端子) が列状に配列したランド群 (端子群、端子列) とみなすことができる。

【 0 0 7 8 】

図 14 および図 15 には、複数のランド 8 が、9 列で配列している場合が示されている。すなわち、第 1 列 (1 列目端子群、第 1 端子群) a 1、第 2 列 (2 列目端子群、第 2 端

50

子群) a 2、第 3 列 (3 列目端子群、第 3 端子群) a 3、第 4 列 (4 列目端子群、第 4 端子群) a 4、第 5 列 (5 列目端子群、第 5 端子群) a 5、第 6 列 (6 列目端子群、第 6 端子群) a 6、第 7 列 (7 列目端子群、第 7 端子群) a 7、第 8 列 (8 列目端子群、第 8 端子群) a 8 および第 9 列 (9 列目端子群、第 9 端子群) a 9 の合計 9 列で配列している。図 1 4 および図 1 5 には、ランド 8 の配列の列 (ここでは第 1 列 a 1 ~ 第 9 列 a 9) の進行方向を方向 Y で示し、方向 Y に直交する方向を方向 X で示している。方向 Y および方向 X は互いに直交するが、方向 Y および方向 X のいずれも配線基板 2 の上面 2 a に平行な方向である。従って、方向 Y は、配線基板 2 上に搭載された半導体チップ 3 の辺 (側面) に沿った (平行な) 方向であり、また、チップ搭載領域 3 a の辺に沿った (平行な) 方向であり、また、配線基板 2 の辺 (側面) に沿った (平行な) 方向にも対応する。

10

【 0 0 7 9 】

第 2 列 a 2 は第 1 列 a 1 よりもチップ搭載領域 3 a の内側に配置され、第 3 列 a 3 は第 2 列 a 2 よりもチップ搭載領域 3 a の内側に配置され、第 4 列 a 4 は第 3 列 a 3 よりもチップ搭載領域 3 a の内側に配置され、第 5 列 a 5 は第 4 列 a 4 よりもチップ搭載領域 3 a の内側に配置されている。第 6 列 a 6 は第 5 列 a 5 よりもチップ搭載領域 3 a の内側に配置され、第 7 列 a 7 は第 6 列 a 6 よりもチップ搭載領域 3 a の内側に配置され、第 8 列 a 8 は第 7 列 a 7 よりもチップ搭載領域 3 a の内側に配置され、第 9 列 a 9 は第 8 列 a 8 よりもチップ搭載領域 3 a の内側に配置されている。

【 0 0 8 0 】

本実施の形態では、配線基板 2 におけるランド 8 の配列と引き出し用配線 9 のレイアウトを以下のように工夫している。

20

【 0 0 8 1 】

配線基板 2 の上面 2 a に設けられた複数のランド 8 は、6 列以上の列数 (ここでは第 1 列 a 1 ~ 第 9 列 a 9 の 9 列) で配列され、各列 (ここでは第 1 列 a 1 ~ 第 9 列 a 9 のそれぞれ) では、ランド 8 は列の進行方向 (ここでは方向 Y) に等ピッチで規則的に配列しているが、隣り合う列同士の配列は、一致せずにはずれている。すなわち、隣り合う列に属するランド 8 同士が、列の進行方向 (方向 Y) と直交する方向 (方向 X) に見て重なっていない (一致していない、ずれている) 。

【 0 0 8 2 】

具体的には、図 1 4 および図 1 5 に示されるように、第 1 列 (1 列目端子群) a 1 に属するランド (1 列目端子) 8 と第 2 列 (2 列目端子群) a 2 に属するランド (2 列目端子) 8 とは、列の進行方向 (方向 Y) に直交する方向 (方向 X) に見て重なっていない。また、第 2 列 (2 列目端子群) a 2 に属するランド (2 列目端子) 8 と第 3 列 (3 列目端子群) a 3 に属するランド (3 列目端子) 8 とは、列の進行方向 (方向 Y) に直交する方向 (方向 X) に見て重なっていない。また、第 3 列 (3 列目端子群) a 3 に属するランド (3 列目端子) 8 と第 4 列 (4 列目端子群) a 4 に属するランド (4 列目端子) 8 とは、列の進行方向 (方向 Y) に直交する方向 (方向 X) に見て重なっていない。また、第 4 列 (4 列目端子群) a 4 に属するランド (4 列目端子) 8 と第 5 列 (5 列目端子群) a 5 に属するランド (5 列目端子) 8 とは、列の進行方向 (方向 Y) に直交する方向 (方向 X) に見て重なっていない。また、第 5 列 (5 列目端子群) a 5 に属するランド (5 列目端子) 8 と第 6 列 (6 列目端子群) a 6 に属するランド (6 列目端子) 8 とは、列の進行方向 (方向 Y) に直交する方向 (方向 X) に見て重なっていない。また、第 6 列 (6 列目端子群) a 6 に属するランド (6 列目端子) 8 と第 7 列 (7 列目端子群) a 7 に属するランド (7 列目端子) 8 とは、列の進行方向 (方向 Y) に直交する方向 (方向 X) に見て重なっていない。また、第 7 列 (7 列目端子群) a 7 に属するランド (7 列目端子) 8 と第 8 列 (8 列目端子群) a 8 に属するランド (8 列目端子) 8 とは、列の進行方向 (方向 Y) に直交する方向 (方向 X) に見て重なっていない。また、第 8 列 (8 列目端子群) a 8 に属するランド (8 列目端子) 8 と第 9 列 (9 列目端子群) a 9 に属するランド (8 列目端子) 8 とは、列の進行方向 (方向 Y) に直交する方向 (方向 X) に見て重なっていない。

30

40

【 0 0 8 3 】

50

換言すれば、ランド8の6列以上（ここでは第1列a1～第9列a9の9列）での配列において、列の進行方向（方向Y）と直交する方向（方向X）に見て、各列に属するランド8の間に、その列の隣りの列に属するランド8が位置しているのである。具体的には、方向Xに見て、第1列a1のランド8の間に、その第1列a1の隣の第2列a2のランド8が位置し、第2列a2のランド8の間に、その第2列a2の隣の第3列a3のランド8が位置している。また、方向Xに見て、第3列a3のランド8の間に、その第3列a3の隣の第4列a4のランド8が位置し、第4列a4のランド8の間に、その第4列a4の隣の第5列a5のランド8が位置している。また、方向Xに見て、第5列a5のランド8の間に、その第5列a5の隣の第6列a6のランド8が位置し、第6列a6のランド8の間に、その第6列a6の隣の第7列a7のランド8が位置している。また、方向Xに見て、第7列a7のランド8の間に、その第7列a7の隣の第8列a8のランド8が位置し、第8列a8のランド8の間に、その第8列a8の隣の第9列a9のランド8が位置している。このため、ランド8が所謂、千鳥配列しているとみなすこともできる。これにより、ランド8の配置密度を高めるとともに、隣接するランド8間の距離を大きくすることができる。

10

【0084】

更に換言すれば、方向Xに見て、第2列a2（第2端子群）におけるランド8（2列目端子）は、第1列a1（第1端子群）において隣接するランド8（1列目端子）間に位置しており、第3列a3（第3端子群）におけるランド8（3列目端子）は、第2列a2（第2端子群）において隣接するランド8（2列目端子）間に位置している、また、方向Xに見て、第4列a4（第4端子群）におけるランド8（4列目端子）は、第3列a3（第3端子群）において隣接するランド8（3列目端子）間に位置しており、第5列a5（第5端子群）におけるランド8（5列目端子）は、第4列a4（第4端子群）において隣接するランド8（4列目端子）間に位置しており、第6列a6（第6端子群）におけるランド8（6列目端子）は、第5列a5（第5端子群）において隣接するランド8（5列目端子）間に位置している。また、方向Xに見て、第7列a7（第7端子群）におけるランド8（7列目端子）は、第6列a6（第6端子群）において隣接するランド8（6列目端子）間に位置しており、第8列a8（第8端子群）におけるランド8（8列目端子）は、第7列a7（第7端子群）において隣接するランド8（7列目端子）間に位置している。また、方向Xに見て、第9列a9（第9端子群）におけるランド8（9列目端子）は、第8列a8（第8端子群）において隣接するランド8（8列目端子）間に位置している。

20

30

【0085】

また、ランド8の6列以上（ここでは第1列a1～第9列a9の9列）での配列において、各列におけるランド8は等ピッチ（同じピッチ）で配列しているが、更に、異なる列同士で、ランド8のピッチ（配列ピッチ、間隔）P1は同じである。

【0086】

具体的には、第1列a1～第9列a9のそれぞれにおいて、ランド8は等ピッチで配列している。更に、第1列a1におけるランド8のピッチP1と、第2列a2におけるランド8のピッチP1と、第3列a3におけるランド8のピッチP1と、第4列a4におけるランド8のピッチP1と、第5列a5におけるランド8のピッチP1と、第6列a6におけるランド8のピッチP1と、第7列a7におけるランド8のピッチP1と、第8列a8におけるランド8のピッチP1と、第9列a9におけるランド8のピッチP1とは同じである。なお、ランド8の6列以上（ここでは第1列a1～第9列a9の9列）での配列において、各列におけるランド8のピッチP1は、図15からも分かるように、同じ列に属するランド8の中心からランド8の中心までの距離に対応する。

40

【0087】

換言すれば、第1列a1（第1端子群）において隣接するランド8（1列目端子）間の距離は、第2列a2（第2端子群）において隣接するランド8（2列目端子）間の距離、第3列a3（第3端子群）において隣接するランド8（3列目端子）間の距離、第4列a4（第4端子群）において隣接するランド8（4列目端子）間の距離、および第5列a5

50

(第5端子群)において隣接するランド8(5列目端子)間の距離と同じである。更に、第1列a1(第1端子群)において隣接するランド8(1列目端子)間の距離は、第6列a6(第6端子群)において隣接するランド8(6列目端子)間の距離、第7列a7(第7端子群)において隣接するランド8(7列目端子)間の距離、第8列a8(第8端子群)において隣接するランド8(8列目端子)間の距離、および第9列a9(第9端子群)において隣接するランド8(9列目端子)間の距離とも同じである。

【0088】

また、ランド8の6列以上(ここでは第1列a1~第9列a9の9列)での配列において、隣り合う列同士の配列のずらし方は、半ピッチ(1/2ピッチ、すなわちP1/2)だけずらすことが好ましい。このため、各列のランド8の間の真ん中(中央)に、隣の列のランド8が位置することになる。これにより、ランド8の配置密度を高めるとともに、隣接するランド8間の距離を最大化することができる。

10

【0089】

具体的には、方向Xに見て、第1列a1に属するランド8の間の真ん中に、その第1列a1の隣の第2列a2のランド8が位置している。また、方向Xに見て、第2列a2に属するランド8の間の真ん中に、その第2列a2の隣の第3列a3のランド8が位置している。また、方向Xに見て、第3列a3に属するランド8の間の真ん中に、その第3列a3の隣の第4列a4のランド8が位置している。また、方向Xに見て、第4列a4に属するランド8の間の真ん中に、その第4列a4の隣の第5列a5のランド8が位置している。また、方向Xに見て、第5列a5に属するランド8の間の真ん中に、その第5列a5の隣の第6列a6のランド8が位置している。また、方向Xに見て、第6列a6に属するランド8の間の真ん中に、その第6列a6の隣の第7列a7のランド8が位置している。また、方向Xに見て、第7列a7に属するランド8の間の真ん中に、その第7列a7の隣の第8列a8のランド8が位置している。また、方向Xに見て、第8列a8に属するランド8の間の真ん中に、その第8列a8の隣の第9列a9のランド8が位置している。

20

【0090】

従って、ランド8の6列以上(ここでは第1列a1~第9列a9の9列)での配列において、1つおきの列のランド8同士が、列の進行方向(方向Y)と直交する方向(方向X)に見て重なっている(一致している)。具体的には、第1列a1に属するランド8と、第3列a3に属するランド8と、第5列a5に属するランド8と、第7列a7に属するランド8と、第9列a9に属するランド8とは、列の進行方向(方向Y)に直交する方向(方向X)に見て重なっている(一致している)。また、第2列a2に属するランド8と、第4列a4に属するランド8と、第6列a6に属するランド8と、第8列a8に属するランド8とは、列の進行方向(方向Y)に直交する方向(方向X)に見て重なっている(一致している)。

30

【0091】

図17は、ランド8の隣接関係の説明図であり、ランド8の6列以上(ここでは第1列a1~第9列a9の9列)の配列のうち任意の3列(図17では列b1, b2, b3として示してある)を抽出して示したものである。なお、理解を簡単にするために、図17では、第1種類のランド8aと第2種類のランド8bとを区別せずに、単にランド8として示してある。

40

【0092】

上述のように、ランド8の配列を、隣り合う列同士で半ピッチだけずらしているため、ある列のランド8に対して、そのランド8の最も近くに位置する他のランド8は、同じ列に属するランド8ではなく、その列の隣の列に属するランド8である。すなわち、あるランド8(ここではこれを図17のランド31として説明する)に対して最も近い位置にある他のランド8は、ランド31が属する列b2の隣の列b1, b3に属し、かつ列の進行方向(方向Y)から見て斜め方向(すなわち図17に示される隣接方向Z1, Z2)に隣接するランド32a、ランド32b、ランド32cまたはランド32dである。これは、ランド8の配列においては、隣り合う列同士の配列が1/2ピッチずつずれているため、

50

ランド 8 の隣接方向（最も近くに隣接する方向）は、列の進行方向（Y 方向）でも列の進行方向に直交する方向（X 方向）でもなく、両方向（Y 方向および X 方向）の間の斜め方向（方向 Z 1 または方向 Z 2）となるからである。

【 0 0 9 3 】

本願において、隣接する 2 つの列間で隣り合うランド（第 1 端子）8 というときは、隣同士列にそれぞれ属しかつ方向 Z 1 または方向 Z 2 に隣り合うランド 8 を意味するものとする。例えば、ランド 3 1 とランド 3 2 a とは隣接する 2 つの列 b 1 , b 2 間で隣り合い、ランド 3 1 とランド 3 2 b とは隣接する 2 つの列 b 1 , b 2 間で隣り合い、ランド 3 1 とランド 3 2 c とは隣接する 2 つの列 b 2 , b 3 間で隣り合い、ランド 3 1 とランド 3 2 d とは隣接する 2 つの列 b 2 , b 3 間で隣り合っていることになる。

10

【 0 0 9 4 】

なお、ランド 3 1 とランド 3 2 a との間またはランド 3 1 とランド 3 2 b との間を引き出し用配線 9 が通っていると、隣接する 2 つの列 b 1 , b 2 は、後述する第 2 の関係を満たすものとなり、また、ランド 3 1 とランド 3 2 c との間またはランド 3 1 とランド 3 2 d との間を引き出し用配線 9 が通っていると、隣接する 2 つの列 b 2 , b 3 は、後述する第 2 の関係を満たすものとなる。

【 0 0 9 5 】

方向 Z 1 , Z 2 に隣接するランド 8 間の距離は、列間のピッチ（列間の距離）よりも大きくなるので、ランド 8 間に引き出し用配線 9 を通しやすくなる。ここで、方向 Z 1 および方向 Z 2 は、配線基板 2 の上面 2 a に平行な方向であり、かつ方向 X および方向 Y となす角が概ね 4 5 ° であり、また、方向 Z 1 と方向 Z 2 とは互いに略直交する方向であるが、後述するようにランド 8 の列間のピッチが均等ではないため、列によっては、方向 X および方向 Y となす角が 4 5 ° から若干ずれる場合もある。

20

【 0 0 9 6 】

列の進行方向（Y 方向）および列の進行方向に直交する方向（X 方向）の両方向の間の斜め方向（方向 Z 1 , Z 2）に隣接するランド 8 間の距離（最隣接距離、最近接距離）は、小さくしすぎると、ランド 8 と引き出し用配線 9 との間のショートを引きやすくなったり、あるいは後述のランド 3 8 間のショートを引きやすくなり、逆に大きくしすぎると、ランド 8 の配置密度が低下して、多端子化に対応できなくなってしまう。

【 0 0 9 7 】

そこで、本実施の形態では、ランド 8 の配列の列間のピッチを等ピッチにはせず、ショートを引きやすいランド列では、隣接列間のピッチを大きくすることで、隣接する 2 つの列間で隣り合うランド 8 間の距離を大きくし、ショートが発生しにくいランド列では、隣接列間のピッチを小さくすることで、ショート防止と、ランド 8 の配置密度の向上とを両立させる。

30

【 0 0 9 8 】

このため、本実施の形態では、配線基板 2 の上面 2 a のチップ搭載領域 3 a におけるランド 8 の配列において、ランド 8 の配列の列間のピッチを等ピッチにはせず、ランド 8 の列間のピッチは、後述の第 1 の関係にある隣接列間のピッチよりも、後述の第 2 の関係または第 3 の関係にある隣接列間のピッチの方が大きくなるように設計する。これら第 1 の関係、第 2 の関係および第 3 の関係について説明する。

40

【 0 0 9 9 】

図 1 8 は、第 1 の関係にある隣接列の説明図である。図 1 9 は、第 2 の関係にある隣接列の説明図である。図 2 0 は、第 3 の関係にある隣接列の説明図である。図 2 1 は、図 1 4 の一部の領域を拡大した部分拡大平面図であり、第 1 種類のランド 8 a およびそれに接続された引き出し用配線 9 と第 2 種類のランド 8 b とが示されている。また、図 2 1 には、第 2 種類のランド 8 b の下（直下）に位置するビア V 1 を介して電気的に接続されたランド 3 8 の外形位置を、点線で示してある。図 2 2 は、図 2 1 と同じ領域の平面図であるが、ソルダレジスト層 S R 1 で覆われている領域にハッチングを付したものである。図 2 2 では、ハッチングを付した領域にソルダレジスト層 S R 1 が形成されており、ソルダレ

50

ジスト層SR1の下に位置する第1種類のランド8a、第2種類のランド8bおよび引き出し用配線9の外形位置を点線で示してある。

【0100】

まず、第1の関係について説明する。本実施の形態では、ランド8の配列における隣接する2つの列において、隣接する2つの列間で隣り合うランド8（すなわち方向Z1または方向Z2に隣接するランド8）の間を引き出し用配線9が通っておらず、かつ、隣接する2つの列の少なくとも一方の列に、第2種類のランド8b（すなわち下にビアV1を配置したランド8）が無い場合を、第1の関係にある隣接列と称するものとする。従って、第1の関係にある隣接列では、引き出し用配線9が、隣接する2つの列間で隣り合うランド8（すなわち方向Z1または方向Z2に隣接するランド8）の間を通過せず、かつ、隣接する2つの列の少なくとも一方の列には、第2種類のランド8bが無い。なお、第1の関係において、隣接する2つの列の少なくとも一方の列には第2種類のランド8bが無いということは、隣接する2つの列の両方の列に第2種類のランド8bが全く無い場合（図18の(a)の場合）と、隣接する2つの列の一方の列に第2種類のランド8bが全く無くかつ他方の列に第2種類のランド8bが存在する場合（図18の(b)の場合）とがあり得る。

10

【0101】

図18の(a)、(b)には、第1の関係を満たす隣接する2つの列c1、c2の例が示されている。図18の(a)、(b)では、隣接する2つの列c1、c2間で隣り合うランド8（すなわち方向Z1または方向Z2に隣接するランド8）の間を引き出し用配線9が通っていない。そして、図18の(a)では、列c1にも列c2にも第2種類のランド8bが無く、図18の(b)では、列c2には第2種類のランド8bが有るが、列（ランド8の配列領域の外側に近い側の列）c1には第2種類のランド8bが無い。このため、隣接する2つの列c1、c2は、第1の関係を満たしている。

20

【0102】

なお、図18(a)は、例えば図14における第2列（2列目端子群）a2と第3列（3列目端子群）a3との関係に対応し、図18(b)は、例えば図14における第3列（3列目端子群）a3と第4列（4列目端子群）a4との関係に対応している。

【0103】

次に、第2の関係について説明する。本実施の形態では、ランド8の配列における隣接する2つの列において、隣接する2つの列間で隣り合うランド8（すなわち方向Z1または方向Z2に隣接するランド8）の間を引き出し用配線9が通っている場合を、第2の関係にある隣接列と称するものとする。従って、第2の関係にある隣接列では、引き出し用配線9が、隣接する2つの列間で隣り合うランド8（すなわち方向Z1または方向Z2に隣接するランド8）の間を通過している。

30

【0104】

図19の(a)、(b)には、第2の関係を満たす隣接する2つの列d1、d2の例が示されている。図19の(a)、(b)では、隣接する2つの列d1、d2間で隣り合うランド8の間を引き出し用配線9が通っている。図19の構成をより具体的に説明すると、図19の(a)では、列d1に属するランド8（ここでは第1種類のランド8a）と、そのランド8と方向Z2に隣接しかつ列d2に属するランド8（ここでは第1種類のランド8a）との間を引き出し用配線9（ここでは図19には示されない他の列のランド8に接続された引き出し用配線9）が通っている。また、図19の(b)では、列d1に属するランド8（ここでは第1種類のランド8a）と、そのランド8と方向Z2に隣接しかつ列d2に属するランド8（ここでは第1種類のランド8aまたは第2種類のランド8b）との間を引き出し用配線9（ここでは図19には示されない他の列のランド8に接続された引き出し用配線9）が通っている。このため、隣接する2つの列d1、d2は、第2の関係を満たしている。

40

【0105】

なお、図19(a)は、例えば図14における第1列（1列目端子群）a1と第2列（2

50

列目端子群) a 2 との関係に対応し、図 19 (b) は例えば図 14 における第 5 列 (5 列目端子群) a 5 と第 6 列 (6 列目端子群) a 6 との関係に対応している (但し、図 14 における第 5 列 a 5 および第 6 列 a 6 では、両列とも第 1 種類のランド 8 a および第 2 種類のランド 8 b が混在している)。

【 0 1 0 6 】

次に、第 3 の関係について説明する。本実施の形態では、ランド 8 の配列における隣接する 2 つの列において、隣接する 2 つの列の両方の列に第 2 種類のランド 8 b (すなわち下にビア V 1 を配置したランド 8) が存在する (有る) 場合を、第 3 の関係にある隣接列と称するものとする。従って、第 3 の関係にある隣接列では、隣接する 2 つの列の両方に第 2 種類のランド 8 b が存在する (有る)。なお、第 3 の関係において、隣接する 2 つ列の両方に第 2 種類のランド 8 b が存在するということは、次の 3 つの場合があり得る。すなわち、隣接する 2 つの列の両方の列が第 2 種類のランド 8 b のみで構成される場合と、隣接する 2 つの列の一方の列が第 2 種類のランド 8 b のみで構成されかつ他方の列が第 2 種類のランド 8 b および第 1 種類のランド 8 a が混在して構成される場合と、隣接する 2 つの列の両方の列が第 2 種類のランド 8 b および第 1 種類のランド 8 a が混在して構成される場合とがあり得る。

【 0 1 0 7 】

図 20 の (a) , (b) , (c) には、第 3 の関係を満たす隣接する 2 つの列 e 1 , e 2 の例が示されている。図 20 の (a) , (b) , (c) では、列 e 1 にも列 e 2 にも第 2 種類のランド 8 b が存在する。図 20 の (a) の構成をより具体的に説明すると、列 e 1 では第 2 種類のランド 8 b および第 1 種類のランド 8 a が混在し、列 e 2 でも第 2 種類のランド 8 b および第 1 種類のランド 8 a が混在している。図 20 の (b) の構成をより具体的に説明すると、列 e 1 では第 2 種類のランド 8 b および第 1 種類のランド 8 a が混在し、列 e 2 では第 2 種類のランド 8 b のみが配列している。図 20 の (c) の構成をより具体的に説明すると、列 e 1 では第 2 種類のランド 8 b のみが配列し、列 e 2 でも第 2 種類のランド 8 b のみが配列している。このため、隣接する 2 つの列 e 1 , e 2 は、第 3 の関係を満たしている。

【 0 1 0 8 】

なお、図 20 (a) は、例えば図 14 における第 4 列 (4 列目端子群) a 4 と第 5 列 (5 列目端子群) a 5 との関係に対応している。

【 0 1 0 9 】

上記第 1 の関係、第 2 の関係および第 3 の関係を比較すると分かるように、隣接列 (隣接する 2 つの列) が第 1 の関係を満たす場合は、その隣接列は、第 2 の関係を満たすことができず、かつ第 3 の関係を満たすことができない。また、隣接列が第 2 の関係を満たす場合は、その隣接列は、第 1 の関係を満たすことができない。また、隣接列が第 3 の関係を満たす場合は、その隣接列は、第 1 の関係を満たすことができない。しかしながら、隣接列が第 2 の関係を満たす場合は、その隣接列は、第 3 の関係を満たす場合と第 3 の関係を満たさない場合とがあり得る。また、隣接列が第 3 の関係を満たす場合は、その隣接列は、第 2 の関係を満たす場合と第 3 の関係を満たさない場合とがあり得る。

【 0 1 1 0 】

ランド 8 の配列において、隣接する 2 つの列の関係によって、その隣接列でショートを引きやすい場合と引きにくい場合とがあり、隣接する 2 つの列が、上記第 2 の関係または第 3 の関係にある場合 (上記第 2 の関係と第 3 の関係の一方または両方を満たす場合) には、上記第 1 の関係にある場合に比べて、ショートを引きやすい。その理由について説明する。

【 0 1 1 1 】

隣接する 2 つの列が第 2 の関係にある場合 (例えば図 19 の列 d 1 , d 2 の場合)、すなわち、隣接する 2 つの列間で隣り合うランド 8 (すなわち方向 Z 1 または方向 Z 2 に隣接するランド 8) の間を、引き出し用配線 9 が通っている場合には、ショートを引きやすい。この場合、隣接方向 (最も近くに隣接する方向、ここでは方向 Z 1 または方向 Z 2)

10

20

30

40

50

に隣り合うランド 8 の間を引き出し用配線 9 が通るので、ランド 8 間の狭い隙間（間隔）を通る引き出し用配線 9 がランド 8 に接近しやすいため、ショートを招きやすいのである。

【 0 1 1 2 】

また、隣接する 2 つの列が第 3 の関係にある場合（例えば図 20 の列 e 1 , e 2 の場合）、すなわち、隣接する 2 つの列の両方の列に第 2 種類のランド 8 b が存在する場合、隣接する 2 つの列において、第 2 種類のランド 8 b が、隣接方向（最も近くに隣接する方向、ここでは方向 Z 1 または方向 Z 2）で隣り合う箇所が生じ、この箇所の直下の配線層 M 2（ランド 3 8 間）でショートを招きやすい。その理由は、次のようなものである。

【 0 1 1 3 】

各ランド 8 は、円形状の導体パターン（円形状の端子）である。詳細に説明すると、第 1 種類のランド 8 a の平面形状は円形であり、第 2 種類のランド 8 b の平面形状も円形であり、例えば図 2 1 にも示されるように、配線層 M 1 に形成される第 2 種類のランド 8 b のランド径（直径）R 2 は、第 1 種類のランド 8 a のランド径（直径）R 1 とほぼ同じ大きさ（ $R 2 \approx R 1$ ）である。配線層 M 1 に設けられた第 2 種類のランド 8 b は、その第 2 種類のランド 8 b の下（直下）に設けられたビア V 1 を介して、下層の配線層 M 2 に設けられかつその第 2 種類のランド 8 b の下（直下）に位置するランド（端子、第 2 端子、電極、導電性ランド部）3 8 に電氣的に接続されている。すなわち、配線層 M 1 の第 2 種類のランド 8 b の下（直下）には、ビア V 1 および配線層 M 2 のランド 3 8 が配置されており、これら上下に重なる第 2 種類のランド 8 b、ビア V 1 およびランド 3 8 は互いに電氣的に接続されている。図 2 1 では、このランド 3 8 の外形位置を、点線で示してある。配線層 M 1 の第 2 種類のランド 8 b を、その直下のビア V 1 を介して、配線層 M 2 のランド 3 8 に電氣的に接続することで、配線層 M 1 よりも下層の配線層を用いて所定の位置（チップ搭載領域 3 a の外側）まで、第 2 種類のランド 8 b に電氣的に接続された配線（配線層 M 1 よりも下層の配線層からなる引き出し配線）を引き出すことができる。なお、ランド 3 8 の平面形状も円形である。

【 0 1 1 4 】

このため、ビア（ビア配線）V 1 を、配線層 M 2 のランド 3 8 の上（かつ配線層 M 1 の第 2 種類のランド 8 b の下）に設ける必要がある。ここで、ビア V 1 を形成する際には、例えばレーザ光を照射させて絶縁層 1 2 a に孔を形成し、この孔の内部（側壁）に配線を形成することで、配線層 M 1 と配線層 M 2 との導通を図っている。ビア V 1 を形成する際、配線層 M 2 のランド 3 8 を狙ってレーザ光を照射して絶縁層 1 2 a に孔（ビア V 1 用の孔）を形成するが、位置精度を考慮すると、レーザ光が、配線層 M 2 に設けたランド 3 8 に対して確実に照射されるように（ビア V 1 用の孔がランド 3 8 上に確実に位置するように）、配線層 M 2 に形成されるランド 3 8 のランド径（直径）R 3 を大きくしておくことが好ましい。一方、配線層 M 1 の第 2 種類のランド 8 b に対しては、そのような制約がないため、配線層 M 1 の第 2 種類のランド 8 b のランド径（直径）R 2 は大きくする必要は無い。このため、配線層 M 2 のランド 3 8 のランド径（直径）R 3 は、配線層 M 1 の第 2 種類のランド 8 b のランド径（直径）R 2 よりも大きく（ $R 3 > R 2$ ）しておくことが好ましい。従って、本実施の形態では、第 1 種類のランド 8 a、第 2 種類のランド 8 b およびランド 3 8 のそれぞれの平面形状は円形であるが、配線層 M 2 のランド 3 8 のランド径（直径）R 3 は、好ましくは、配線層 M 1 の第 2 種類のランド 8 b のランド径（直径）R 2 よりも大きい（ $R 3 > R 2$ ）。

【 0 1 1 5 】

図 20 および図 2 1 に示されるように、第 2 種類のランド 8 b が、隣接方向（方向 Z 1 または方向 Z 2）で隣り合っていると、第 2 種類のランド 8 b の直下にランド 3 8 が配置されていることにより、図 2 1 にも示されるように、第 2 種類のランド 8 b の直下に位置するランド 3 8 同士も、隣接方向（方向 Z 1 または方向 Z 2）で隣り合うことになる。この場合、隣接方向（方向 Z 1 または方向 Z 2）で隣り合う第 2 種類のランド 8 b 間の間隔がショートを生じない程度に広がったとしても、配線層 M 2 のランド 3 8 のランド径（直

10

20

30

40

50

径) R 3 が配線層 M 1 の第 2 種類のランド 8 b のランド径 (直径) R 2 よりも大きい (R 3 > R 2) ことにより、隣接方向 (方向 Z 1 または方向 Z 2) で隣り合うランド 3 8 同士が接近して接触しやすくなるため、ランド 3 8 間のショートを引きやすくなる。

【 0 1 1 6 】

このため、隣接方向 (最も近くに隣接する方向、ここでは方向 Z 1 または方向 Z 2) に隣り合うランド 8 が、両方とも第 2 種類のランド 8 b であった場合には、第 2 種類のランド 8 b よりもランド 3 8 の方がランド径が大きい (R 3 > R 2) ことから、配線層 M 2 において、ランド 3 8 同士が接近して接触しやすくなるため、たとえ配線層 M 1 に形成される各ランド 8 の大きさがほぼ同じ (R 2 = R 1) であったとしても、ランド 3 8 間のショートを引きやすいのである。一方、第 1 種類のランド 8 a は引き出し用配線 9 で引き出しているため、第 1 種類のランド 8 a の直下には、ビア V 1 およびランド 3 8 は配置されておらず、配線層 M 1 において隣接方向 (方向 Z 1 または方向 Z 2) に隣り合うランド 8 の少なくとも一方が第 1 種類のランド 8 b であった場合には、配線層 M 2 におけるランド 3 8 間のショートの問題は生じない。

10

【 0 1 1 7 】

このように、隣接する 2 つの列が、上記第 2 の関係または第 3 の関係にある場合 (上記第 2 の関係と第 3 の関係の一方または両方を満たす場合) には、ショートを引きやすい。

【 0 1 1 8 】

それに対して、隣接する 2 つの列が第 1 の関係にある場合 (例えば図 1 8 の列 c 1 , c 2 の場合)、隣接する 2 つの列において、隣接する 2 つの列間で隣り合うランド 8 (すなわち方向 Z 1 または方向 Z 2 に隣接するランド 8) の間を引き出し用配線 9 が通っていないため、ランド 8 と引き出し用配線 9 とが接触しにくい。また、隣接する 2 つの列が第 1 の関係にある場合 (例えば図 1 8 の列 c 1 , c 2 の場合)、隣接する 2 つの列の少なくとも一方の列には第 2 種類のランド 8 b が無いため、隣接する 2 つの列において、第 2 種類のランド 8 b が、隣接方向 (最も近くに隣接する方向、ここでは方向 Z 1 または方向 Z 2) で隣り合う箇所が生じない。このため、隣接する 2 つの列が第 1 の関係にある場合、配線層 M 2 において、第 2 種類のランド 8 b の直下のランド 3 8 (ランド 8 よりも大きな直径を有するランド 3 8) が、隣接方向 (方向 Z 1 または方向 Z 2) に隣り合うことが無いため、配線層 M 2 (ランド 3 8 間) におけるショートが生じにくい。

20

【 0 1 1 9 】

このように、隣接する 2 つの列が第 2 の関係または第 3 の関係にある場合には、ショートが生じやすく、隣接する 2 つの列が第 1 の関係にある場合には、ショートが生じにくい。このため、本実施の形態では、ショートが生じやすい第 2 の関係または第 3 の関係にある隣接列 (隣接する 2 つの列) では、隣接列間のピッチを大きくする。これにより、隣接する 2 つの列間で隣り合うランド 8 (すなわち方向 Z 1 または方向 Z 2 に隣接するランド 8) 間の距離が大きくなり、ランド 8 と引き出し用配線 9 との間のショートが生じにくくなる。また、隣接列間のピッチを大きくして、隣接する 2 つの列間で隣り合うランド 8 (すなわち方向 Z 1 または方向 Z 2 に隣接するランド 8) 間の距離が大きくなると、配線層 M 2 において隣接方向 (方向 Z 1 または方向 Z 2) に隣り合うランド 3 8 間の距離も大きくなるため、ランド 3 8 間のショートも生じにくくなる。一方、ショートが生じにくい第 1 の関係にある隣接列 (隣接する 2 つの列) では、隣接列間のピッチを小さくする。これにより、ランド 8 の配置密度を高めることができる。

30

40

【 0 1 2 0 】

すなわち、本実施の形態では、配線基板 2 の上面 2 a のチップ搭載領域 3 a におけるランド 8 の配列において、ランド 8 の配列の列間のピッチを等ピッチにはせず、ランド 8 の列間のピッチは、第 1 の関係にある隣接列間のピッチよりも、第 2 の関係または第 3 の関係にある隣接列間のピッチの方が大きくなるようにする。例えば、上記図 1 9 に示される列 d 1 , d 2 間のピッチ P 3 を上記図 1 8 に示される列 c 1 , c 2 間のピッチ P 2 よりも大きくし、上記図 2 0 に示される列 e 1 , e 2 間のピッチ P 4 を、上記図 1 8 に示される列 c 1 , c 2 間のピッチ P 2 よりも大きくする (すなわち P 3 > P 2 , P 4 > P 2)。こ

50

のように、チップ搭載領域 3 a でのランドの配列において、列間のピッチ（列の間隔、列間の距離）を調整することで、ランド 8 の配置密度をできるだけ向上させながら、ランド 8 と引き出し用配線 9 との間のショートやランド 3 8 間のショートの発生を防止することができる。このため、ショート防止とランド 8 の配置密度の向上とを両立させることができる。従って、半導体装置の多ピン化（多端子化）に対応することができ、また、半導体装置を小型化（小面積化）することができる。

【 0 1 2 1 】

なお、ランド 8 の配列における列間のピッチ（列の間隔、列間の距離）は、ある列に属するランド 8 の中心同士を結んだ仮想線と、その列の隣の列に属するランド 8 の中心同士を結んだ仮想線との間の距離に対応する。この仮想線は、図 1 8 ~ 図 2 0 では点線で示してある。

10

【 0 1 2 2 】

また、第 2 の関係にある隣接列では、引き出し用配線 9 が、隣接する 2 つの列間で隣り合うランド 8（すなわち方向 Z 1 または方向 Z 2 に隣接するランド 8）の間を通過しているが、隣接する 2 つの列間で隣り合うランド 8（すなわち方向 Z 1 または方向 Z 2 に隣接するランド 8）の間を、引き出し用配線 8 が 2 本以上通っていないようにすることが好ましい。すなわち、本実施の形態では、隣接する 2 つの列間で隣り合うランド 8（すなわち方向 Z 1 または方向 Z 2 に隣接するランド 8）の間を通る引き出し用配線 9 の本数を 1 本以下に制限する。第 2 の関係にある隣接列では、隣接列間のピッチを大きくして引き出し用配線 9 とランド 8 の接触を防止しているが、隣接方向 Z 1 , 方向 Z 2 に隣り合うランド 8 の間を通る引き出し用配線 9 の本数が増えるほど、隣接列間のピッチを大きくする必要があるので、ランド 8 の配置密度が低下する可能性がある。このため、第 2 の関係にある隣接列において、隣接する 2 つの列間で隣り合うランド 8（すなわち方向 Z 1 または方向 Z 2 に隣接するランド 8）の間を通る引き出し用配線 9 の本数を 1 本以下に制限することで、第 2 の関係にある隣接列での隣接列間のピッチの増加を抑制し、ショート防止とランド 8 の配置密度向上との両立を、よりの確に実現できる。従って、半導体装置の多ピン化（多端子化）によりの確に対応でき、また、半導体装置の小型化（小面積化）により有利となる。

20

【 0 1 2 3 】

また、チップ搭載領域 3 a で 6 列以上で配列したランド 8 の配列において、同じ列内で列の進行方向（すなわち方向 Y）に隣り合うランド 8 の間（図 1 7 で言えば、例えばランド 3 2 a とランド 3 2 b との間）を通る引き出し用配線 9 の本数は、最も外側の列（第 1 列 a 1）または最も内側の列（第 9 列 a 9）で最大となる。この本数があまり多くなっても、各列におけるランド 8 のピッチ P 1 を大きくする必要が生じ、ランド 8 の配置密度が低下する可能性がある。このため、本実施の形態では、配線基板 2 の上面 2 a のチップ搭載領域 3 a において、6 列以上で配列した複数のランド 8 の同じ列内で列の進行方向（すなわち方向 Y）に隣り合うランド 8 の間を、引き出し用配線 9 が 3 本以上通っていないようにすることが好ましい。これにより、各列におけるランド 8 のピッチ P 1 の増加を抑制でき、ランド 8 の配置密度を向上させることができる。従って、半導体装置の多ピン化（多端子化）によりの確に対応でき、また、半導体装置の小型化（小面積化）により有利となる。

30

40

【 0 1 2 4 】

より具体的には、本実施の形態では、図 1 4 に示されるように、第 1 列 a 1、第 6 列 a 6、第 7 列 a 7、第 8 列 a 8 および第 9 列 a 9 のそれぞれにおいて、同じ列内で方向 Y（すなわち列の進行方向）に隣り合うランド 8 の間を通過している引き出し用配線 9 の本数は 2 本とされている。第 2 列 a 2 および第 5 列 a 5 のそれぞれにおいて、同じ列内で方向 Y（すなわち列の進行方向）に隣り合うランド 8 の間を通過している引き出し用配線 9 の本数は 1 本とされている。第 3 列 a 3 および第 4 列 a 4 のそれぞれにおいて、同じ列内で方向 Y（すなわち列の進行方向）に隣り合うランド 8 の間を通過している引き出し用配線 9 の本数は 0 本とされている。

50

【 0 1 2 5 】

また、各列におけるランド 8 のピッチ P 1 は、同じ列内で列の進行方向（すなわち方向 Y）に隣り合うランド 8 の間を引き出し用配線 9 が 2 本通るのに最低限必要なピッチ（ショートが発生することなく引き出し用配線 9 を 2 本通せる必要最低限のピッチ）に固定し、列間のピッチ P 1 1 ~ P 1 8 を上記第 1 ~ 第 3 の関係に応じて調整することで、ランド 8 の配置密度を高めることができる。

【 0 1 2 6 】

また、配線基板 2 の上面 2 a において、配線層 M 1 はソルダレジスト層 S R 1 で覆われており、引き出し用配線 9 は、このソルダレジスト層 S R 1 によって完全に覆われているが、ランド 8 は、図 2 2 に示されるように、ソルダレジスト層 S R 1 に設けられた開口部 3 4 から露出されている。ソルダレジスト層 S R 1 の開口部 3 4 は、各ランド 8 上に位置し、ランド 8 に平面的に内包されるような平面形状を有しており、好ましくは円形状である。このため、ランド 8 の開口部 3 4 から露出する部分の平面形状も円形状である。第 2 種類のランド 8 b 上に配置されて第 2 種類のランド 8 b を露出する開口部 3 4（図 2 2 の開口部 3 4 b）と、第 1 種類のランド 8 a 上に配置されて第 1 種類のランド 8 a を露出する開口部 3 4（図 2 2 の開口部 3 4 a）とは、ほぼ同じ大きさ（直径）を有している。すなわち、フリップチップ接続用のランド 8 を露出するソルダレジスト層 S R 1 の開口部 3 4 は、いずれも同じ大きさ（直径）を有している。従って、パンプ電極 7 の接続面積が、第 1 種類のランド 8 a と第 2 種類のランド 8 b とで同じになるため、パンプ電極 7 毎の接続強度を均一化でき、接続強度の安定化を図ることができる。

【 0 1 2 7 】

このように隣接列の関係に着目してランド 8 の配列の列間のピッチを調整する設計思想（第 1 の関係にある隣接列間のピッチよりも、第 2 の関係または第 3 の関係にある隣接列間のピッチの方が大きくなるようにする）に加えて、本実施の形態では、更に以下のような工夫を行っている。

【 0 1 2 8 】

本実施の形態では、図 1 3 ~ 図 1 5 にも示されるように、配線基板 2 の上面 2 a のチップ搭載領域 3 a におけるランド 8 の 6 列以上（ここでは第 1 列 a 1 ~ 第 9 列 a 9 の 9 列）での配列において、外周側の 3 列（ここでは第 1 列 a 1、第 2 列 a 2 および第 3 列 a 3）には、第 2 種類のランド 8 b は無いようにしている。すなわち、外周側の 3 列（ここでは第 1 列 a 1 ~ 第 3 列 a 3）に属するランド 8 は、第 2 種類のランド 8 b とはせずに、上記第 1 の経路を適用した第 1 種類のランド 8 a とし、引き出し用配線 9 を接続している。このため、外周側の 3 列（第 1 列 a 1 ~ 第 3 列 a 3）に属するランド 8 の直下には、ビア V 1 は形成されていない。そして、図 1 4 にも示されるように、外周側の 3 列（第 1 列 a 1 ~ 第 3 列 a 3）に属するランド 8（第 1 種類のランド 8 a）に接続された引き出し用配線 9 は、第 1 種類のランド 8 a から配線基板 2 の外周方向（チップ搭載領域 3 a から離れる方向、チップ搭載領域 3 a の外側に向かう方向）に延在している（引き出ししている）。

【 0 1 2 9 】

外周側の列に属するランド 8 ほど、引き出し用配線 9 で外周方向（チップ搭載領域 3 a から離れる方向）に引き出しやすい。このため、上述のように、外周側の 3 列（第 1 列 a 1 ~ 第 3 列 a 3）には、第 2 の経路を適用せず、第 2 種類のランド 8 b が無いようにし、引き出し用配線 9 で外周側の 3 列のランド 8（第 1 種類のランド 8 a）を外周方向（チップ搭載領域 3 a の外側に向かう方向）に引き出すことで、引き出し用配線 9 を効率よく引き回すことができる。

【 0 1 3 0 】

外周側の 3 列（第 1 列 a 1 ~ 第 3 列 a 3）のランド 8（第 1 種類のランド 8 a）に接続して外周方向に伸ばした（延在させた）引き出し用配線 9 は、図 1 6 に示されるように、配線基板 2 の上面 2 a のうちのチップ搭載領域 3 a よりも外周側の領域（チップ搭載領域 3 a の外側の領域）2 d に配置されたランド（端子、基板側端子、電極、導電性ランド部）8 c に接続される。すなわち、チップ搭載領域 3 a に配置されかつ第 1 列 a 1 ~ 第 3 列

10

20

30

40

50

a 3 に属するランド 8 (第 1 種類のランド 8 a) と、チップ搭載領域 3 a よりも外周側の領域 2 d に配置されたランド 8 c との間を、引き出し用配線 9 で電氣的に接続している。ランド 8 および引き出し用配線 9 と同様に、ランド 8 c も配線層 M 1 により形成されているが、ランド 8 c はフリップチップ接続用の端子ではなく、ランド 8 c はソルダレジスト層 S R 1 で覆われている。ランド 8 c は、ランド 8 c の下 (直下) に配置されたビア V 1 を介して、配線層 M 2 に電氣的に接続され、更に、ビア V 2 ~ V 5 および配線層 M 3 ~ M 6 を介して配線基板 2 の下面 2 b の端子 1 0 およびその上に接続された半田ボール 5 に電氣的に接続されている。

【 0 1 3 1 】

一方、チップ搭載領域 3 a におけるランド 8 の 6 列以上 (ここでは第 1 列 a 1 ~ 第 9 列 a 9 の 9 列) での配列において、外周側の 3 列よりも内周側の列 (第 4 列目以降の列、ここでは第 4 列 a 4 ~ 第 9 列 a 9) には、第 2 種類のランド 8 b が存在している (有る)。すなわち、外周側の 3 列 (第 1 列 a 1 ~ 第 3 列 a 3) 以外の列 (第 4 列 a 4 ~ 第 9 列 a 9) では、各ランド 8 に対して上記第 1 の経路または上記第 2 の経路を適用し、ランド 8 に引き出し用配線 9 を接続しているか、あるいは、ランド 8 の直下にビア V 1 を形成している。

10

【 0 1 3 2 】

外周側の 3 列よりも内周側の列 (第 4 列目以降の列、ここでは第 4 列 a 4 ~ 第 9 列 a 9) で、全てのランド 8 を第 1 種類のランド 8 a にして引き出し用配線 9 を接続した場合には、ランド 8 間を通過する引き出し用配線 9 の本数が多くなりすぎ、ランド 8 間に引き出し用配線 9 を通しづらくなってしまう。

20

【 0 1 3 3 】

このため、ランド 8 の配列の列数が多い場合には、外周側の 3 列よりも内周側の列 (第 4 列目以降の列、ここでは第 4 列 a 4 ~ 第 9 列 a 9) では、各列に第 2 種類のランド 8 b が存在するようにすることが好ましい。これにより、ランド 8 間を通過する引き出し用配線 9 の本数を抑制することができ、ショート防止とランド 8 の配置密度向上との両立を、よりの確に実現できるようになる。従って、外周側の 3 列よりも内周側の各列 (第 4 列目以降の列、ここでは第 4 列 a 4 ~ 第 9 列 a 9) では、第 1 種類のランド 8 a と第 2 種類のランド 8 b とが混在する場合と、第 1 種類のランド 8 a が存在せず第 2 種類のランド 8 b のみで構成される場合とがあり得る。

30

【 0 1 3 4 】

上述のように、外周側の 3 列 (第 1 列 a 1 ~ 第 3 列 a 3) では、ランド 8 (第 1 種類のランド 8 a) を引き出し用配線 9 で外周方向に (すなわちチップ搭載領域 3 a の外側に向かって) 引き出している。このため、外周側の 3 列よりも内周側の列 (第 4 列目以降の列、ここでは第 4 列 a 4 ~ 第 9 列 a 9) に属する第 1 種類のランド 8 a に接続された引き出し用配線 9 を、外周方向に引き出そうとすると、ランド 8 間を通過する引き出し用配線 9 の本数が多くなりすぎ、ランド 8 間に引き出し用配線 9 を通しづらくなってしまう。

【 0 1 3 5 】

それに対して、本実施の形態では、図 1 4 にも示されるように、外周側の 3 列よりも内周側の列 (第 4 列目以降の列、ここでは第 4 列 a 4 ~ 第 9 列 a 9) に属する第 1 種類のランド 8 a に接続された引き出し用配線 9 は、第 1 種類のランド 8 a から配線基板 2 の内周方向 (チップ搭載領域 3 a の内周方向、チップ搭載領域 3 a の内側に向かう方向) に延在している (引き出している)。これにより、外周側の 3 列よりも内周側の列 (第 4 列目以降の列、ここでは第 4 列 a 4 ~ 第 9 列 a 9) に属する第 1 種類のランド 8 a に接続された引き出し用配線 9 を効率よく引き回すことができ、ランド 8 間を通過する引き出し用配線 9 の本数を抑制することができる。従って、ショート防止とランド 8 の配置密度向上との両立を、よりの確に実現できる。

40

【 0 1 3 6 】

外周側の 3 列よりも内周側の列 (第 4 列目以降の列、ここでは第 4 列 a 4 ~ 第 9 列 a 9) に属する第 1 種類のランド 8 a に接続して内周方向 (すなわちチップ搭載領域 3 a の内

50

側に向かう方向)に伸ばした(延在させた)引き出し用配線9は、図16に示されるように、チップ搭載領域3aのうちのランド8が配列した領域よりも内周側(内側)の領域に配置されたランド(端子、基板側端子、電極、導電性ランド部)8dに接続される。すなわち、フリップチップ接続用のランド8のうちの外周側の3列よりも内周側の列(第4列目以降の列、ここでは第4列a4~第9列a9)に属する第1種類のランド8aと、チップ搭載領域3aのうちのランド8が配列した領域よりも内周側(内側)の領域に配置されたランド8dとの間を、引き出し用配線9で電氣的に接続している。ランド8および引き出し用配線9と同様に、ランド8dも配線層M1により形成されているが、ランド8dはフリップチップ接続用の端子ではなく、ランド8dはソルダレジスト層SR1で覆われている。ランド8dは、ランド8dの下(直下)に配置されたビアV1を介して、配線層M2に電氣的に接続され、更に、ビアV2~V5および配線層M3~M6を介して配線基板2の下面2bの端子10およびその上に接続された半田ボール5に電氣的に接続されている。例えば、ランド8dの下(直下)に配置されたビアV1、配線層M2のランド(後述のランド38bと同様のランド)およびビアV2を介して、配線層M1のランド8dを配線層M3のランド(後述のランド48と同様のランド)に電氣的に接続し、この配線層M3のランドに後述の引き出し用配線49と同様の引き出し用配線を接続して外周方向に引き出す(引き回す)ことができる。

10

【0137】

従って、半導体装置1は、配線基板2の下面2bに配置されかつ配線基板2の上面2aの複数のランド8にそれぞれ電氣的に接続された複数の半田ボール(外部端子)5を有しており、ランド8のうちの第1種類のランド8aは、引き出し用配線9を経由して半田ボール(外部端子)5に電氣的に接続され、ランド8のうちの第2種類のランド8bは、ビアV1を経由して半田ボール(外部端子)5に電氣的に接続されている。

20

【0138】

第1列a1~第9列a9のより具体的な構成を説明すると、図14に示されるように、第1列a1、第2列a2および第3列a3の各列では、第2種類のランド8bを配列させずに、引き出し用配線9を接続した第1種類のランド8aを配列させている。また、第4列a4、第5列a5、第6列a6および第7列a7の各列では、引き出し用配線9を接続した第1種類のランド8aと、直下にビアV1を配置した第2種類のランド8bとを、列の進行方向(方向Y)に交互に配列させている。また、第8列a8および第9列a9の各列では、第1種類のランド8aを配列させずに、直下にビアV1を配置した第2種類のランド8bを配列させている。そして、第1列a1、第2列a2および第3列a3の第1種類のランド8aに接続された引き出し用配線9は外周方向(チップ搭載領域3aから離れる方向)に引き出し、第4列a4、第5列a5、第6列a6および第7列a7の第1種類のランド8aに接続された引き出し用配線9は内周方向(チップ搭載領域3aの内周または内側方向)に引き出ししている。

30

【0139】

第1列a1と第2列a2には、第2種類のランド8bは無いが、引き出し用配線9が、第1列a1と第2列a2との間で隣り合うランド8(すなわち方向Z1または方向Z2に隣接するランド8)の間を通過している。このため、第1列a1と第2列a2とは上記第2の関係にある。また、第2列a2と第3列a3には、第2種類のランド8bは無く、かつ、引き出し用配線9が、第2列a2と第3列a3との間で隣り合うランド8(すなわち方向Z1または方向Z2に隣接するランド8)の間を通過していない。このため、第2列a2と第3列a3とは上記第1の関係にある。換言すれば、第1列a1のランド8(1列目端子)と第2列a2のランド8(2列目端子)との間(すなわち方向Z1または方向Z2に隣接するランド8間)には、引き出し用配線9は形成されており、第2列a2のランド8(2列目端子)と第3列のランド8(3列目端子)との間(すなわち方向Z1または方向Z2に隣接するランド8間)には、引き出し用配線9は形成されていないのである。

40

【0140】

また、第4列a4には第2種類のランド8bが有るが、第3列a3には第2種類のラン

50

ド 8 b は無く、かつ、引き出し用配線 9 が、第 3 列 a 3 と第 4 列 a 4 との間で隣り合うランド 8 (すなわち方向 Z 1 または方向 Z 2 に隣接するランド 8) の間を通っていない。このため、第 3 列 a 3 と第 4 列 a 4 とは上記第 1 の関係にある。換言すれば、第 3 列 a 1 のランド 8 (3 列目端子) と第 4 列 a 4 のランド 8 (4 列目端子) との間 (すなわち方向 Z 1 または方向 Z 2 に隣接するランド 8 間) には、引き出し用配線 9 は形成されていないのである。

【 0 1 4 1 】

また、第 4 列 a 4 と第 5 列 a 5 との間で隣り合うランド 8 (すなわち方向 Z 1 または方向 Z 2 に隣接するランド 8) の間を引き出し用配線 9 は通っていないが、第 4 列 a 4 と第 5 列 a 5 の両方の列に、第 2 種類のランド 8 b が存在している。このため、第 4 列 a 4 と第 5 列 a 5 とは上記第 3 の関係にある。

10

【 0 1 4 2 】

一方、第 5 列 a 5 と第 6 列 a 6 との間で隣り合うランド 8 (すなわち方向 Z 1 または方向 Z 2 に隣接するランド 8) の間を引き出し用配線 9 が通っており、かつ、第 5 列 a 5 と第 6 列 a 6 の両方の列に第 2 種類のランド 8 b が存在している。このため、第 5 列 a 5 と第 6 列 a 6 とは、上記第 2 の関係および上記第 3 の関係の両方を満たしている。また、第 6 列 a 6 と第 7 列 a 7 との間で隣り合うランド 8 (すなわち方向 Z 1 または方向 Z 2 に隣接するランド 8) の間を引き出し用配線 9 通っており、かつ、第 6 列 a 6 と第 7 列 a 7 の両方の列に第 2 種類のランド 8 b が存在している。このため、第 6 列 a 6 と第 7 列 a 7 とは、上記第 2 の関係および上記第 3 の関係の両方を満たしている。また、第 7 列 a 7 と第 8 列 a 8 との間で隣り合うランド 8 (すなわち方向 Z 1 または方向 Z 2 に隣接するランド 8) の間を引き出し用配線 9 が通っており、かつ、第 7 列 a 7 と第 8 列 a 8 の両方の列に第 2 種類のランド 8 b が存在している。このため、第 7 列 a 7 と第 8 列 a 8 とは、上記第 2 の関係および上記第 3 の関係の両方を満たしている。また、第 8 列 a 8 と第 9 列 a 9 との間で隣り合うランド 8 (すなわち方向 Z 1 または方向 Z 2 に隣接するランド 8) の間を引き出し用配線 9 が通っており、かつ、第 8 列 a 8 と第 9 列 a 9 の両方の列に第 2 種類のランド 8 が存在している。このため、第 8 列 a 8 と第 9 列 a 9 とは、上記第 2 の関係および上記第 3 の関係の両方を満たしている。すなわち、第 5 列 a 5 以降では、隣接列が上記第 2 の関係および上記第 3 の関係の両方を満たしている。

20

【 0 1 4 3 】

上述のように、配線基板 2 の上面 2 a のチップ搭載領域 3 a におけるランド 8 の配列において、列間のピッチは、第 1 の関係にある隣接列間のピッチよりも、第 2 の関係または第 3 の関係にある隣接列間のピッチの方が大きくなるようにする。このため、第 1 の関係にある第 2 列 a 2 と第 3 列 a 3 間のピッチ P 1 2 及び第 3 列 a 3 と第 4 列 a 4 間のピッチ P 1 3 は、第 2 または第 3 の関係にある第 1 列 a 1 と第 2 列 a 2 間のピッチ P 1 1、第 4 列 a 4 と第 5 列 a 5 間のピッチ P 1 4、第 5 列 a 5 と第 6 列 a 6 間のピッチ P 1 5、第 6 列 a 6 と第 7 列 a 7 間のピッチ P 1 6、第 7 列 a 7 と第 8 列 a 8 間のピッチ P 1 7、及び第 8 列 a 8 と第 9 列 a 9 間のピッチ P 1 8 よりも小さくしている。すなわち、 $P 1 2, P 1 3 < P 1 1, P 1 4, P 1 5, P 1 6, P 1 7, P 1 8$ となっている。換言すれば、第 1 の関係にある第 2 列 a 2 と第 3 列 a 3 との間のピッチ P 1 2 および第 3 列 a 3 と第 4 列 a 4 との間のピッチ P 1 3 は、それ以外の隣接列間のピッチよりも小さくしている。このようにすることで、ショート防止とランド 8 の配置密度向上との両立を図ることができる。

30

40

【 0 1 4 4 】

更に換言すれば、第 1 列 a 1 (第 1 端子群) と第 2 列 a 2 (第 2 端子群) との距離 (ピッチ P 1 1) は、第 2 列 a 2 (第 2 端子群) と第 3 列 a 3 (第 3 端子群) との距離 (ピッチ P 1 2) および第 3 列 a 3 (第 3 端子群) と第 4 列 a 4 (第 4 端子群) との距離 (ピッチ P 1 3) よりも大きい ($P 1 1 > P 1 2, P 1 3$)。また、第 4 列 a 4 (第 4 端子群) と第 5 列 a 5 (第 5 端子群) との距離 (ピッチ P 1 4) は、第 2 列 a 2 (第 2 端子群) と第 3 列 a 3 (第 3 端子群) との距離 (ピッチ P 1 2) および第 3 列 a 3 (第 3 端子群) と

50

第4列 a 4 (第4端子群)との距離(ピッチ P 1 3)よりも大きい($P 1 4 > P 1 2, P 1 3$)。また、第5列 a 5 (第5端子群)と第6列 a 6 (第6端子群)との距離(ピッチ P 1 5)は、第2列 a 2 (第2端子群)と第3列 a 3 (第3端子群)との距離(ピッチ P 1 2)および第3列 a 3 (第3端子群)と第4列 a 4 (第4端子群)との距離(ピッチ P 1 3)よりも大きい($P 1 5 > P 1 2, P 1 3$)。また、第6列 a 6 (第6端子群)と第7列 a 7 (第7端子群)との距離(ピッチ P 1 6)は、第2列 a 2 (第2端子群)と第3列 a 3 (第3端子群)との距離(ピッチ P 1 2)および第3列 a 3 (第3端子群)と第4列 a 4 (第4端子群)との距離(ピッチ P 1 3)よりも大きい($P 1 6 > P 1 2, P 1 3$)。また、第7列 a 7 (第7端子群)と第8列 a 8 (第8端子群)との距離(ピッチ P 1 7)は、第2列 a 2 (第2端子群)と第3列 a 3 (第3端子群)との距離(ピッチ P 1 2)および第3列 a 3 (第3端子群)と第4列 a 4 (第4端子群)との距離(ピッチ P 1 3)よりも大きい($P 1 7 > P 1 2, P 1 3$)。また、第8列 a 8 (第8端子群)と第9列 a 9 (第9端子群)との距離(ピッチ P 1 8)は、第2列 a 2 (第2端子群)と第3列 a 3 (第3端子群)との距離(ピッチ P 1 2)および第3列 a 3 (第3端子群)と第4列 a 4 (第4端子群)との距離(ピッチ P 1 3)よりも大きい($P 1 8 > P 1 2, P 1 3$)。

【0145】

図23は、図14と同じ領域における配線層M2のレイアウトを示す平面図であり、平面図であるが、理解を簡単にするために、配線層M2のパターン(ここではランド38および引き出し用配線39)にハッチングを付している。但し、図23では、ランド38のうち
のランド38 a同士は同じ向きのハッチングを付し、ランド38のうち
のランド38 b同士は同じ向きのハッチングを付し、ランド38 aとランド38 bとは、互いに逆向きのハッチングとされている。実際には、ランド38 aとランド38 bと引き出し用配線39とは、同じ配線層M2により形成されているため、同じ導体材料で、同層に形成されている。また、ランド38 aと引き出し用配線39とは異なるハッチングを付してあるが、実際には、ランド38 aとそれに接続された引き出し用配線39とは、一体的に形成されている。図24は、図14と同じ領域における配線層M3のレイアウトを示す平面図であり、平面図であるが、理解を簡単にするために、配線層M3のパターン(ここではランド48および引き出し用配線49)にハッチングを付している。但し、図24では、ランド48と引き出し用配線49とは異なるハッチングを付してあるが、実際には、ランド48とそれに接続された引き出し用配線49とは、同じ導体材料で、同層に一体的に形成されている。

【0146】

配線層M1に設けられた第2種類のランド8 bは、直下に設けられたビアV1を介して下層の配線層M2に設けられたランド(端子、第2端子、電極、導電性ランド部)38に電氣的に接続されている。一方、第1種類のランド8 aは引き出し用配線9で引き出している。このため、第2種類のランド8 bの下(直下)には、ビアV1およびランド38が配置されているが、第1種類のランド8 aの下(直下)には、ビアV1およびランド38は配置されていない。配線層M2のランド38には、配線層M2に設けられた引き出し用配線39が接続されたランド38 aと、直下に設けられたビアV2を介して更に下層の配線層M3に電氣的に接続されたランド38 bとがある。すなわち、配線層M2のランド(第2端子)38は、配線層M2に設けられた引き出し用配線(第2の引き出し用配線)39が接続されたランド(第3種類の端子)38 aと、下にビア(第2ビア)V2が形成されかつビアV2を介して配線層M2よりも下層の配線層M3に電氣的に接続されたランド(第4種類の端子)38 bとを有している。ランド38 aの直下には、ビアV2は配置されていない。

【0147】

本実施の形態では、配線層M2での引き出し用配線39の引き回しをしやすくするために、次のような工夫を行っている。

【0148】

すなわち、図14に示されるように、配線層M1において、第4列 a 4 から3列以上(

10

20

30

40

50

図14では第4列a4～第7列a7)に渡って、列の進行方向(方向Y)に第1種類のランド8aと第2種類のランド8bとを交互に配列させるとともに、列の進行方向(方向Y)から斜め方向(方向Z1または方向Z2、図14では方向Z2)に第2種類のランド8bが並ぶようにしている。

【0149】

第4列a4から3列以上に渡って列の進行方向から斜め方向(方向Z1または方向Z2、図14では方向Z2)に並んだ第2種類のランド8bは、配線層M2に設けられたランド38aにビアV1を介して電氣的に接続され、このランド38aには、配線層M2に設けられた引き出し用配線39が接続されている。そして、この引き出し用配線39は、ランド38aから配線基板2の外周方向(チップ搭載領域3aから離れる方向、チップ搭載領域3aの外側に向かう方向)に延在している。

10

【0150】

図14に示されるように、第4列a4から3列以上に渡って、列の進行方向(方向Y)に第1種類のランド8aと第2種類のランド8bとを交互に配列させるとともに、列の進行方向から斜め方向(方向Z1または方向Z2)に第2種類のランド8bが並ぶようにすれば、図23に示されるように、配線層M2において、ランド38aが並んで配置され、第1種類のランド8aの下方では、ランド38が配置されずに空いた領域になる。並んで配置されるランド38aに接続された引き出し用配線39は、第1種類のランド8aの下方の領域(ランド38が配置されずに空いた領域)を使って外周方向(チップ搭載領域3aの外側に向かう方向)に引き出すことができる。このため、配線層M2で引き出し用配線39を引き回しやすくなる。従って、配線層M2において、ランド38aを引き出し用配線39で効率よく引き出すことができ、配線基板2の配線層の層数を抑制しながら、フリップチップ接続用のランド8を、効率よく配線基板2の下面2bの端子10に電氣的に接続することができる。

20

【0151】

配線層M2のランド38(第2種類のランド8bがビアV1を介して電氣的に接続されたランド38)のうち、引き出し用配線39が接続されなかったランド38bは、そのランド38bの直下に設けられたビアV2を介して配線層M3に設けられたランド(端子、電極、導電性ランド部)48に電氣的に接続されている。配線層M3のランド48は、図24に示されるように、配線層M3に設けられた引き出し用配線49が接続され、この引き出し用配線49によって引き出される(引き回される)。配線層M1では、第1種類のランド8aを引き出し用配線9で引き出し、配線層M2では、ランド38aを引き出し用配線39で引き出している。このため、配線層M2のランド38bの下(直下)には、ビアV2および配線層M3のランド48が配置されているが、配線層M1の第1種類のランド8aの下(直下)には、ビアV2および配線層M3のランド48は配置されておらず、かつ配線層M2のランド38aの下(直下)にも、ビアV2および配線層M3のランド48は配置されていない。従って、フリップチップ接続用のランド8の総数に比べて、配線層M3のランド48の総数はかなり少なく、配線層M3ではランド48を引き出し用配線49で比較的容易に引き出すことができる。また、配線層M3のランド48のうち、引き出し用配線49で引き出すことができないランド48(すなわち引き出し用配線39が接続されなかったランド48)は、そのランド48の直下に設けられたビアV3を介して配線層M4に設けられたランド(図示せず)に電氣的に接続することもできる。

30

40

【0152】

また、配線層M1のランド8の配列が9列よりも多い場合には、第10列目以降(上記第9列a9よりも内周側の列に対応)のランド8は、第2種類のランド8bとして、ビアV1を介して配線層M2のランド38に接続し、更にビアV2を介して配線層M3のランド48に接続する。そして、これら第10列目以降(上記第9列a9よりも内周側の列に対応)のランド8にビアV1、ランド38bおよびビアV2を介して接続されたランド48は、配線層M3の引き出し用配線49を接続して引き出すか、あるいは、ビアV3を介して更に下層の配線層(配線層M4またはそれよりも下層の配線層)のランドに接続して

50

その配線層の引き出し用配線で引き出せばよい。これにより、ランド 8 の列数の増加にも対応することができる。

【 0 1 5 3 】

図 2 5 および図 2 6 は、半導体チップ 3 の要部断面図である。図 2 5 および図 2 6 には、配線基板 2 (配線基板 2 1) に搭載 (実装) される前の状態の半導体チップ 3 が示されている。

【 0 1 5 4 】

半導体チップ 3 を構成する半導体基板 5 1 上には、半導体素子が形成されているが、図 2 5 および図 2 6 では、図面の簡略化のために、半導体基板 5 1 上に半導体素子を形成した領域を、半導体素子形成領域 5 2 として模式的に示してある。半導体素子形成領域 5 2 上には、配線層 5 3, 5 4, 5 5 と層間絶縁膜とが交互に形成されて多層配線構造が形成されているが、図 2 5 および図 2 6 では、多層配線構造を構成する層間絶縁膜を絶縁層 5 6 で模式的に示してある。多層配線構造上には、再配置配線 5 7 が形成されており、再配置配線 5 7 上には、例えばポリイミド樹脂などからなる保護膜 (表面保護膜、保護樹脂膜) 5 8 が形成されている。保護膜 5 8 には、再配置配線 5 7 の一部を露出させる開口部 5 9 が形成されており、保護膜 5 8 の開口部 5 9 から露出される再配置配線 5 7 によりパッド電極 6 が形成される。パッド電極 6 上には、バンプ下地膜として U B M (under bump metal) 膜 6 0 が形成され、U B M 膜 6 0 上にバンプ電極 7 が形成されている。U B M 膜 6 0 は、バンプ電極 7 とパッド電極 6 との密着性 (接着性) の向上のために設けられており、例えばめっき法などで形成された金属膜からなる。従って、バンプ電極 7 は、パッド電極 6 上に U B M 膜 6 0 を介して形成されている。このように、半導体チップ 3 が構成されている。

【 0 1 5 5 】

図 2 5 は、半導体チップ 3 の表面におけるバンプ電極 7 の配列の列の進行方向 (半導体チップ 3 の辺 3 b に平行な方向) に沿った断面が示されており、図 2 6 は、列の進行方向に垂直な方向 (半導体チップ 3 の辺 3 b に対して直交する方向) に沿った断面が示されている。配線基板 2 におけるランド 8 の配列と同様に、半導体チップ 3 におけるバンプ電極 7 の配列も、隣り合う列同士の配列が半ピッチずれているため、図 2 6 の断面には、1 つおきの列のバンプ電極 7 しか現れないはずであるが、理解を簡単にするために、バンプ電極 7 a が属する列と、バンプ電極 7 b が属する列との間の列に属するバンプ電極 7 c (およびその下のパッド電極 6 の構造) を透視して点線で示してある。

【 0 1 5 6 】

上述のように、配線基板 2 の上面 2 a のチップ搭載領域 3 a におけるランド 8 の配列において、各列ではランド 8 を等ピッチで配列しているが、列間のピッチを等ピッチにはせず、ランド 8 の列間のピッチは、上述の第 1 の関係にある隣接列間のピッチよりも、上述の第 2 の関係または第 3 の関係にある隣接列間のピッチの方が大きくなるように設計している。配線基板 2 の上面 2 a におけるフリップチップ接続用のランド 8 の配列は、半導体チップ 3 の表面におけるパッド電極 6 の配置 (すなわちパッド電極 6 上に形成されたバンプ電極 7 の配置) に対応した配列を有しているため、半導体チップ 3 の表面におけるパッド電極 6 (バンプ電極 7) の配列において、各列ではパッド電極 6 (バンプ電極 7) を等ピッチで配列しているが、列間のピッチは等ピッチではない。

【 0 1 5 7 】

すなわち、図 2 5 に示されるように、半導体チップ 3 の辺 3 b に平行な方向では、バンプ電極 7 は等ピッチで配列し、バンプ電極 7 間のピッチ (配列ピッチ、間隔) P 2 1 は同じである。なお、配線基板 2 の上面 2 a におけるランド 8 の配列と、半導体チップ 3 の表面におけるバンプ電極 7 の配列は同じであるため、半導体チップ 3 の表面におけるバンプ電極 7 間のピッチ P 2 1 は、配線基板 2 の上面 2 a におけるランド 8 の上記ピッチ P 1 に等しいものとなる (P 2 1 = P 1)。

【 0 1 5 8 】

一方、図 2 6 に示されるように、半導体チップ 3 の辺に対して直交する方向では、バン

10

20

30

40

50

ブ電極 7 の列間のピッチ (配列ピッチ、間隔) P 2 2 は同じではない。なお、配線基板 2 の上面 2 a におけるランド 8 の配列と、半導体チップ 3 の表面におけるパンプ電極 7 の配列は同じであるため、半導体チップ 3 の表面におけるパンプ電極 7 の列間のピッチ P 2 2 は、配線基板 2 の上面 2 a におけるランド 8 の対応する列間のピッチ (上記ピッチ P 1 1 , P 1 2 , P 1 3 , P 1 4 , P 1 5 , P 1 6 , P 1 7 , P 1 8 のいずれか) に等しいものとなる。

【 0 1 5 9 】

図 2 7 は、配線基板 2 の上面 2 a のチップ搭載領域 3 a におけるランド 8 の配列の説明図であり、上記図 1 3 と同様のランド 8 の配列が示されている。

【 0 1 6 0 】

上述したように、配線基板 2 の上面 2 a のチップ搭載領域 3 a において、フリップチップ接続用の複数のランド 8 を、チップ搭載領域 3 a の各辺に沿って 6 列以上の列数で配列し、列の進行方向にはランド 8 を等ピッチに配列させるが、ランド 8 の配列の列間のピッチを等ピッチにはせず、ショートを招きやすいランド列では、隣接列間のピッチを大きくし、ショートが発生しにくいランド列では、隣接列間のピッチを小さくしている。このため、配線基板 2 の上面 2 a のチップ搭載領域 3 a において、ランド 8 を 6 列以上で周回するように配列させると、周回の角の領域で配列がうまくいかなくなり、配列が複雑になってしまう。

【 0 1 6 1 】

このため、本実施の形態では、図 2 7 に示されるように、配線基板 2 の上面 2 a のチップ搭載領域 3 a におけるランド 8 の配列を複数のブロック (区域)、ここではブロック 7 1 a , 7 1 b , 7 1 c , 7 1 d に分け、各ブロック 7 1 a , 7 1 b , 7 1 c , 7 1 d でランド 8 を 6 列以上の列数で配列させている。各ブロック 7 1 a , 7 1 b , 7 1 c , 7 1 d は、チップ搭載領域 3 a の各辺に沿って配置されている。各ブロック 7 1 a , 7 1 b , 7 1 c , 7 1 d におけるランド 8 の配列の仕方および引き出し用配線 9 の引き出し方などは、上記図 1 4 ~ 図 2 4 を参照して説明した通りであるので、ここではその説明は省略する。

【 0 1 6 2 】

各ブロック 7 1 a , 7 1 b , 7 1 c , 7 1 d でのランド 8 の配列の列の進行方向は、そのブロックが主として含むチップ搭載領域 3 a の辺に平行な方向である。すなわち、図 2 7 において、ブロック 7 1 a でのランド 8 の配列の列の進行方向 Y は、図 2 7 に示される方向 7 3 に平行な方向である。また、ブロック 7 1 b でのランド 8 の配列の列の進行方向 Y は、図 2 7 に示される方向 7 2 に平行な方向である。また、ブロック 7 1 c でのランド 8 の配列の列の進行方向 Y は、図 2 7 に示される方向 7 3 に平行な方向である。また、ブロック 7 1 d でのランド 8 の配列の列の進行方向 Y は、図 2 7 に示される方向 7 2 に平行な方向である。ここで、方向 7 2 と方向 7 3 とはチップ搭載領域 3 a の辺に平行な方向であるが、方向 7 2 と方向 7 3 とは互いに直交する方向である。

【 0 1 6 3 】

ブロック 7 1 a , 7 1 c とブロック 7 1 b , 7 1 d とでは列の進行方向が異なるため、ブロック 7 1 a とブロック 7 1 b との境界では、ランド 8 の配列が一致せず、ブロック 7 1 b とブロック 7 1 c との境界では、ランド 8 の配列が一致せず、ブロック 7 1 c とブロック 7 1 d との境界では、ランド 8 の配列が一致せず、ブロック 7 1 d とブロック 7 1 a との境界では、ランド 8 の配列が一致しない。配線基板 2 の上面 2 a のチップ搭載領域 3 a におけるランド 8 の配列を複数のブロック 7 1 a , 7 1 b , 7 1 c , 7 1 d に分け、各ブロック 7 1 a , 7 1 b , 7 1 c , 7 1 d でランド 8 を上記図 1 4 ~ 図 2 4 を参照して説明したように配列させることで、チップ搭載領域 3 a にランド 8 を効率よく配置させることができる。

【 0 1 6 4 】

また、配線基板 2 の上面 2 a のチップ搭載領域 3 a におけるランド 8 の配列を複数のブロックに分ける分け方は、図 2 7 のような分け方に限定されず、必要に応じて種々変更可

10

20

30

40

50

能である。図28～図30は、配線基板2の上面2aのチップ搭載領域3aにおけるランド8の配列を複数のブロック71a, 71b, 71c, 71dに分ける分け方の例を示す説明図である。図28は、上記図27に対応する分け方であるが、図29や図30のようにチップ搭載領域3aにおけるランド8の配列を複数のブロック71a, 71b, 71c, 71dに分けることもできる。更に図29～図30以外の分け方で、チップ搭載領域3aにおけるランド8の配列を複数のブロックに分けることもできる。分けられた各ブロックには、上記図14～図24を参照して説明したように、ランド8や引き出し用配線9を配置することができる。

【0165】

また、本実施の形態では、配線基板2の上面2aのチップ搭載領域3aにおけるランド8の配列について、9列(第1列a1～第9列a9)の場合について説明したが、9列以外の列数であっても、本実施の形態で説明したランド8および引き出し用配線9のレイアウトの設計思想を適用することができる。

10

【0166】

ランド8の配列が5列以下の場合には、引き出すことが必要なランド8の数が少なく、ランド8間を通る引き出し配線の本数も少なくなるため、列間のピッチを等ピッチにしたとしても、ランド間やランドと引き出し用配線間のショートなどは生じにくい。しかしながら、ランド8の配列が6列以上の場合には、引き出すことが必要なランド8の数が多く、ランド8間を通る引き出し配線の本数も多くなるため、本実施の形態で説明したランド8および引き出し用配線9のレイアウトの設計思想を適用することで、ショート防止とランド8の配置密度の向上とを両立させることができる。

20

【0167】

配線層M1のランド8の配列が9列よりも多い場合には、例えば、第10列目以降(上記第9列a9よりも内周側の列に対応)のランド8を第2種類のランド8bとして、ビアV1を介して配線層M2のランド38に接続することができる。また、配線層M1のランド8の配列が8列の場合には、例えば、上述した第1列a1～第9列a9の9列の配列において、第4列a4～第9列a9のうちのいずれか1列を省略した配列とすることができる。また、配線層M1のランド8の配列が7列の場合には、例えば、上述した第1列a1～第9列a9の9列の配列において、第4列a4～第9列a9のうちのいずれか2列を省略した配列とすることができる。また、配線層M1のランド8の配列が6列の場合には、

30

例えば、上述した第1列a1～第9列a9の9列の配列において、第4列a4～第9列a9のうちのいずれか3列を省略した配列とすることができる。また、ランド8の配列が6列の場合には、第4列a4～第6列a6の各ランド8を第1種類のランド8aとして引き出し用配線9を接続し、この引き出し用配線9をチップ搭載領域3aの内周方向に引き出すこともできる。

【0168】

(実施の形態2)

図31は、本実施の形態の半導体装置1aの断面図(全体断面図、側面断面図)であり、上記実施の形態1の図1に対応するものである。図32は、図31の半導体装置1aに用いられている配線基板2の上面図(平面図)であり、上記実施の形態1の図5に対応するものである。図33は、配線基板2の要部平面図であり、上記実施の形態1の図16に対応するものである。なお、上記図16と同様、図33においても、配線基板2の最上層のソルダレジスト層SR1を透視し、配線基板2の配線層M1～M6のうちの最上層の配線層M1(ここではランド8, 8c, 8d, 8eおよび引き出し用配線9)のレイアウトが示されている。なお、図32のA2-A2線における配線基板2の断面が、図31に示される半導体装置1aにおける配線基板2の断面にほぼ相当する。

40

【0169】

本実施の形態の半導体装置1aは、上記実施の形態1の半導体装置1に相当する半導体装置1bの上にBGA型の他の半導体装置1cを実装(搭載)した、いわゆるPOP(Package On Package)型の半導体装置である。すなわち、下側パッケージである半導体装置

50

1 b 上に上側パッケージである半導体装置 1 c を実装（搭載）して、本実施の形態の半導体装置 1 a が形成されている。

【 0 1 7 0 】

まず、下側パッケージである半導体装置 1 b に用いられている配線基板 2 が、上記実施の形態 1 の半導体装置 1 に用いられている配線基板 2 と異なっている点について、以下に説明する。

【 0 1 7 1 】

すなわち、図 3 1 ~ 図 3 3 に示されるように、下側パッケージである半導体装置 1 b に用いられている配線基板 2 の上面 2 a には、上側パッケージである半導体装置 1 c を実装するための端子である複数のランド（端子、基板側端子、電極、導電性ランド部）8 e が形成されている。ランド 8 e は、配線基板 2 の上面 2 a において周辺部に沿って配置され、例えば 2 列で周回するように配列している。配線基板 2 の上面 2 a におけるランド 8 e の配列の列数は、必要に応じて変更可能である。配線基板 2 の上面 2 a において、ランド 8 e は、上記ソルダレジスト層 S R 1 の開口部から露出されている。各ランド 8 e の平面形状は円形であるが、ランド 8 e の直径（ランド径）は、ランド 8 , 8 c , 8 d の直径（ランド径）よりも大きい。これは、ランド 8 が半導体チップ 3 のパンプ電極 7 を接続するための端子であるのに対して、ランド 8 e は半導体装置 1 c の半田ボール 8 7 を接続するための端子であり、半田ボール 8 7 の寸法（大きさ）がパンプ電極 7 の寸法（大きさ）よりも大きいためである。

【 0 1 7 2 】

そして、配線基板 2 の上面 2 a において、チップ搭載領域 3 a に配置されたランド 8 のうち、外周側の 3 列（第 1 列 a 1 ~ 第 3 列 a 3）のランド 8（第 1 種類のランド 8 a）に接続して外周方向に伸ばした（延在させた）引き出し用配線 9 は、図 3 3 に示されるように、配線基板 2 の上面 2 a のうちのチップ搭載領域 3 a よりも外周側の領域 2 d に配置されたランド 8 c またはランド 8 e のいずれかに接続される。すなわち、チップ搭載領域 3 a に配置されかつ第 1 列 a 1 ~ 第 3 列 a 3 に属するランド 8（第 1 種類のランド 8 a）と、チップ搭載領域 3 a よりも外周側の領域 2 d に配置されたランド 8 c またはランド 8 e との間を、引き出し用配線 9 で電氣的に接続している。ランド 8 , 8 c , 8 d および引き出し用配線 9 と同様に、ランド 8 e も配線層 M 1 により形成されている。配線基板 2 の上面 2 a に設けられた複数のランド 8 e の中には、ランド 8 e の下（直下）に配置されたビア V 1 を介して配線層 M 2 に電氣的に接続され、更にビア V 2 ~ V 5 および配線層 M 3 ~ M 6 を介して配線基板 2 の下面 2 b の端子 1 0 に電氣的に接続されたものと、ランド 8 e の下（直下）にビア V 1 が配置されずに配線基板 2 の下面 2 b の端子 1 0 に接続されないものがあり、必要に応じて配線基板 2 の上面 2 a に配置されている。

【 0 1 7 3 】

下側パッケージである半導体装置 1 b に用いられている配線基板 2 の他の構成は、上記実施の形態 1 の半導体装置 1 に用いられている配線基板 2 と同様であるので、ここではその説明は省略する。従って、本実施の形態においても、配線基板 2 の上面 2 a のチップ搭載領域 3 a におけるランド 8 の配列の仕方と、ランド 8 からの引き出し配線 9 の引き出し方は、上記実施の形態 1 と同様である。また、下側パッケージである半導体装置 1 b の構成は、上述した配線基板 2 の構成の相違点以外は、上記実施の形態 1 の半導体装置 1 と同様であるので、ここではその説明は省略する。

【 0 1 7 4 】

次に、上側パッケージである半導体装置 1 c の構成について、図 3 1 を参照して説明する。

【 0 1 7 5 】

上側パッケージである半導体装置 1 c は、配線基板 8 1 と、配線基板 8 1 の上面 8 1 a 上に搭載された半導体チップ 8 2 , 8 3 と、各半導体チップ 8 2 , 8 3 の表面の複数の電極 8 2 a , 8 3 a と配線基板 8 1 の上面 8 1 a の複数の接続端子 8 4 とを電氣的に接続する複数のボンディングワイヤ 8 5 と、半導体チップ 8 2 , 8 3 およびボンディングワイヤ

85を含む配線基板81の上面81aを覆う封止樹脂86とを有している。半導体装置1cの下面に相当する配線基板81の下面81bには、上側パッケージである半導体装置1cの外部端子(外部接続用端子)として複数の半田ボール(ボール電極、突起電極、半田バンプ)87が設けられている。

【0176】

上側パッケージである半導体装置1cにおいて、半導体チップ82は配線基板81の上面81a上に接合材(図示せず)を介して搭載されて接合され、半導体チップ83は半導体チップ82上に接合材(図示せず)を介して搭載されて接合されている。半導体チップ82の各電極(パッド電極)82aは、半導体チップ82の内部または表層部分に形成された半導体素子または半導体集積回路に電氣的に接続され、半導体チップ83の各電極(パッド電極)83aは、半導体チップ83の内部または表層部分に形成された半導体素子または半導体集積回路に電氣的に接続されている。配線基板81の下面81bにおいて、複数の端子(ランド)88が配置されており、各端子88に半田ボール87が接続(形成)されている。半導体チップ82,83の各電極82a,83aは、ボンディングワイヤ85および配線基板81の導体層(接続端子84を含む)などを介して、配線基板81の下面81bの端子88および端子88に接続された半田ボール87に電氣的に接続されている。

10

【0177】

次に、本実施の形態の半導体装置1aの構成について説明する。

【0178】

半導体装置1aは、下側パッケージである半導体装置1b上に上側パッケージである半導体装置1cが配置され、上側パッケージである半導体装置1cの半田ボール87が、下側パッケージである半導体装置1bの配線基板2の上面2aのランド8eに接続(半田接続)されたものである。このため、上側パッケージである半導体装置1cの半田ボール87は、下側パッケージである半導体装置1bの配線基板2の上面2aのランド8eに接合(半田接続)されて電氣的に接続されている。半導体装置1cの半田ボール87は、半導体装置1bの配線基板2の上面2aのランド8eに接合されるため、半導体装置1cの配線基板81の下面81bにおける端子88(およびその上に接続された半田ボール87)の配列は、半導体装置1bの配線基板2の上面2aにおけるランド8eの配列に対応している。半導体装置1aを製造するには、半導体装置1bおよび半導体装置1cを作製してから、半導体装置1cの半田ボール87が半導体装置1bのランド8eに対向するように半導体装置1b上に半導体装置1cを配置(搭載)し、半田リフロー処理を行って半導体装置1cの半田ボール87を半導体装置1bの配線基板2の上面2aのランド8eに接合(半田接続)すればよい。

20

30

【0179】

半導体装置1aにおいて、半導体チップ82,83の各電極82a,83aは、ボンディングワイヤ85、配線基板81の導体層および半田ボール87を介して配線基板2のランド8eに電氣的に接続され、更に、配線基板2のビアV1~V5および配線層M2~M6を介して半田ボール5に電氣的に接続されるか、あるいは配線基板2の引き出し用配線9およびランド8を介して半導体チップ3のバンプ電極7に電氣的に接続されている。また、半導体装置1aにおいて、半導体チップ3のバンプ電極7は、配線基板2のランド8に電氣的に接続され、更に、配線基板2の配線層M1~M6およびビアV1~V5を介して半田ボール5に電氣的に接続されるか、あるいは、配線基板2の引き出し用配線9およびランド8eと半田ボール87と配線基板81の導体層とボンディングワイヤ85とを介して半導体チップ82,83の電極82a,83aに電氣的に接続されている。このため、半導体装置1aでは、配線基板2のランド8、引き出し用配線9およびランド8eと、半田ボール87と、配線基板81の導体層と、ボンディングワイヤ85とを介して、半導体チップ3の電極(パッド電極6またはバンプ電極7)と半導体チップ82,83の電極82a,83aとの間を、必要に応じて電氣的に接続することができる。

40

【0180】

50

上記実施の形態 1 では、配線基板 2 の上面 2 a の形成されたフリップチップ接続用のランド 8 を、配線基板 2 の下面 2 b に配置された半田ボール 5 に電氣的に接続するにあたって、上述したように、ランド 8 の配列と引き出し用配線の引き出し方を工夫していた。それに対して、本実施の形態では、配線基板 2 の上面 2 a の形成されたフリップチップ接続用のランド 8 を、配線基板 2 の下面 2 b に配置された半田ボール 5 と、配線基板 2 の上面 2 a に配置された半田ボール 8 7 とに電氣的に接続する。このような場合であっても、上記実施の形態 1 で説明したようなランド 8 の配列と引き出し用配線の引き出し方を適用することで、上記実施の形態 1 と同様の効果を、本実施の形態でも得ることができる。

【0181】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【産業上の利用可能性】

【0182】

本発明は、配線基板に半導体チップをフリップチップ接続した半導体装置およびその製造方法に適用して有効である。

【図面の簡単な説明】

【0183】

【図 1】本発明の一実施の形態である半導体装置の断面図である。

【図 2】本発明の一実施の形態である半導体装置の上面図である。

【図 3】本発明の一実施の形態である半導体装置の下面図である。

【図 4】本発明の一実施の形態である半導体装置に用いられる半導体チップの平面図である。

【図 5】本発明の一実施の形態である半導体装置に用いられている配線基板の上面図である。

【図 6】本発明の一実施の形態である半導体装置に用いられている配線基板の要部断面図である。

【図 7】本発明の一実施の形態の半導体装置の製造工程を示す製造プロセスフロー図である。

【図 8】本発明の一実施の形態の半導体装置の製造工程中の断面図である。

【図 9】図 8 に続く半導体装置の製造工程中の断面図である。

【図 10】図 9 に続く半導体装置の製造工程中の断面図である。

【図 11】図 10 に続く半導体装置の製造工程中の断面図である。

【図 12】図 11 に続く半導体装置の製造工程中の断面図である。

【図 13】本発明の一実施の形態である半導体装置に用いられている配線基板の要部平面図である。

【図 14】図 13 の部分拡大平面図である。

【図 15】本発明の一実施の形態である半導体装置に用いられている配線基板におけるランドの配列の説明図である。

【図 16】本発明の一実施の形態である半導体装置に用いられている配線基板の要部平面図である。

【図 17】ランドの隣接関係の説明図である。

【図 18】第 1 の関係にある隣接列の説明図である。

【図 19】第 2 の関係にある隣接列の説明図である。

【図 20】第 3 の関係にある隣接列の説明図である。

【図 21】本発明の一実施の形態である半導体装置に用いられている配線基板の部分拡大平面図である。

【図 22】本発明の一実施の形態である半導体装置に用いられている配線基板の部分拡大平面図である。

【図 23】本発明の一実施の形態である半導体装置に用いられている配線基板の配線層の

10

20

30

40

50

レイアウトを示す平面図である。

【図 2 4】本発明の一実施の形態である半導体装置に用いられている配線基板の配線層のレイアウトを示す平面図である。

【図 2 5】本発明の一実施の形態である半導体装置に用いられる半導体チップの要部断面図である。

【図 2 6】本発明の一実施の形態である半導体装置に用いられる半導体チップの要部断面図である。

【図 2 7】配線基板の上面のチップ搭載領域におけるランドの配列の説明図である。

【図 2 8】配線基板の上面のチップ搭載領域におけるランドの配列を複数のブロックに分ける分け方の例を示す説明図である。

10

【図 2 9】配線基板の上面のチップ搭載領域におけるランドの配列を複数のブロックに分ける分け方の例を示す説明図である。

【図 3 0】配線基板の上面のチップ搭載領域におけるランドの配列を複数のブロックに分ける分け方の例を示す説明図である。

【図 3 1】本発明の他の実施の形態である半導体装置の断面図である。

【図 3 2】本発明の他の実施の形態である半導体装置に用いられている配線基板の上面図である。

【図 3 3】本発明の他の実施の形態である半導体装置に用いられている配線基板の要部平面図である。

【符号の説明】

20

【0184】

1, 1 a, 1 b, 1 c 半導体装置

2 配線基板

2 a 上面

2 b 下面

2 c 辺

2 d 領域

3 半導体チップ

3 a チップ搭載領域

3 b 辺

30

4 樹脂部

5 半田ボール

6 パッド電極

7 バンプ電極

8, 8 a, 8 b, 8 c, 8 d, 8 e ランド

9 引き出し用配線

10 端子

11 コア層

12 a, 12 b, 12 c, 12 d 絶縁層

21 配線基板

40

21 a 上面

21 b 下面

22 半導体装置領域

30, 30 a 領域

31, 32 a, 32 b, 32 c, 32 d ランド

34, 34 a, 34 b 開口部

38, 38 a, 38 b ランド

39 引き出し用配線

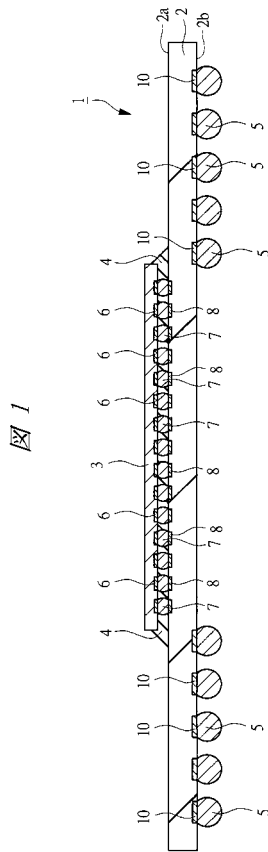
48 ランド

49 引き出し用配線

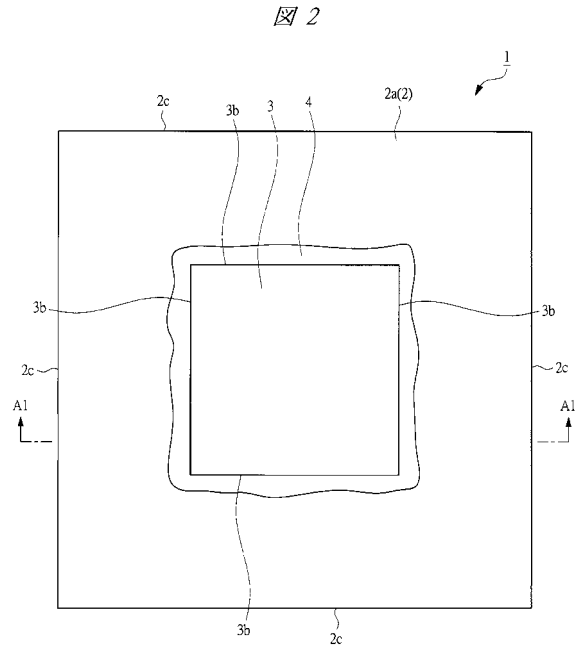
50

5 1	半導体基板	
5 2	半導体素子形成領域	
5 3 , 5 4 , 5 5	配線層	
5 6	絶縁層	
5 7	再配置配線	
5 8	保護膜	
5 9	開口部	
6 0	U B M 膜	
7 1 a , 7 1 b , 7 1 c , 7 1 d	ブロック	
8 1	配線基板	10
8 1 a	上面	
8 1 b	下面	
8 2 , 8 3	半導体チップ	
8 2 a , 8 3 a	電極	
8 4	接続端子	
8 5	ボンディングワイヤ	
8 6	封止樹脂	
8 7	半田ボール	
8 8	端子	
a 1 , a 2 , a 3 , a 4 , a 5 , a 6 , a 7 , a 8 , a 9	列	20
b 1 , b 2 , b 3	列	
c 1 , c 2	列	
d 1 , d 2	列	
e 1 , e 2	列	
M 1 , M 2 , M 3 , M 4 , M 5 , M 6	配線層	
P 1 , P 1 1 , P 1 2 , P 1 3 , P 1 4 , P 1 5 , P 1 6 , P 1 7 , P 1 8 , P 2 1 , P 2 2	ピッチ	
R 1 , R 2	ランド径	
S R 1 , S R 2	ソルダレジスト層	
V 1 , V 2 , V 3 , V 4 , V 5	ビア	30
X , Y , Z 1 , Z 2	方向	

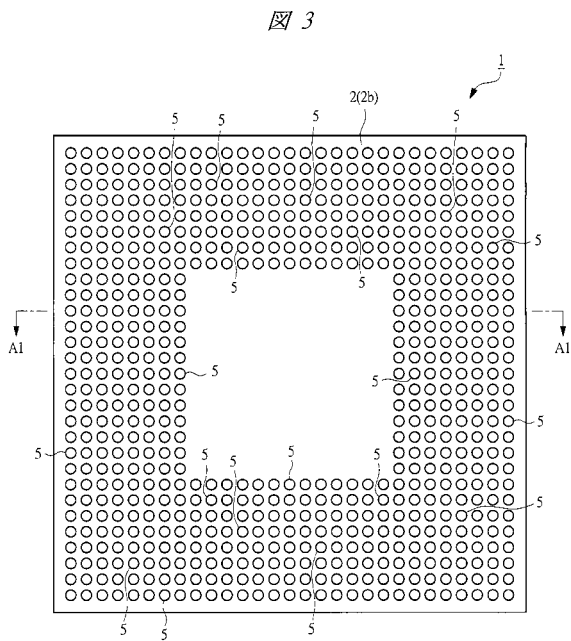
【 図 1 】



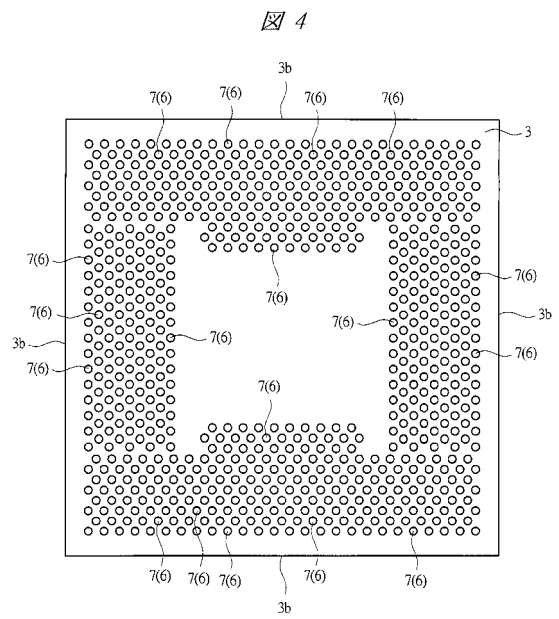
【 図 2 】



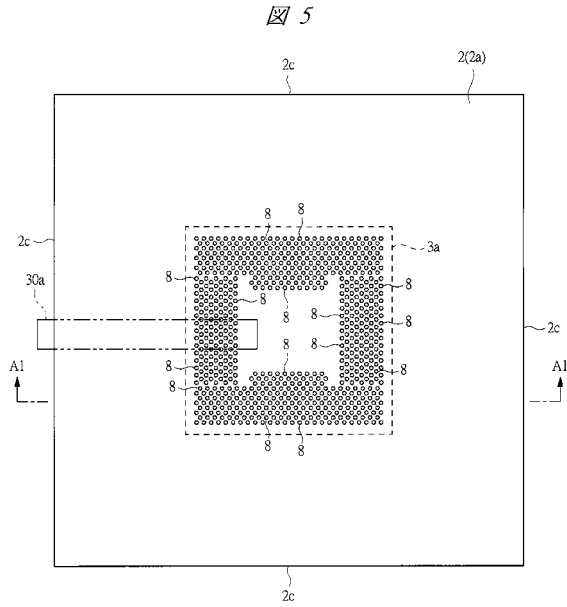
【 図 3 】



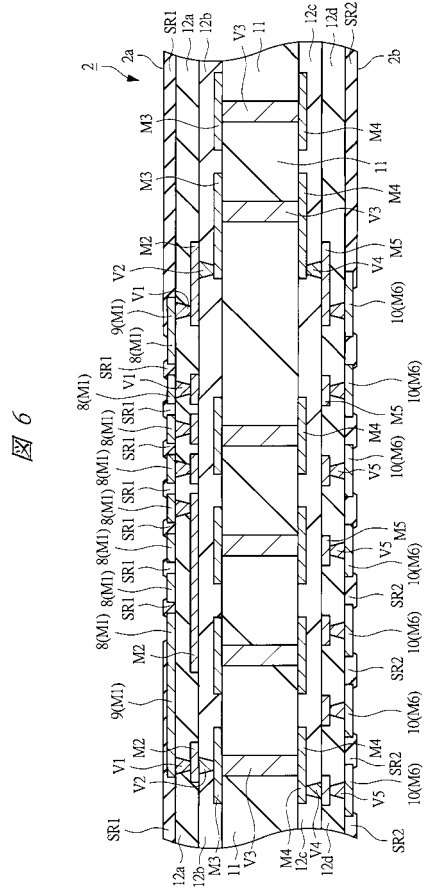
【 図 4 】



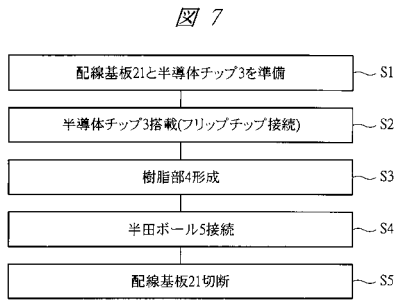
【 図 5 】



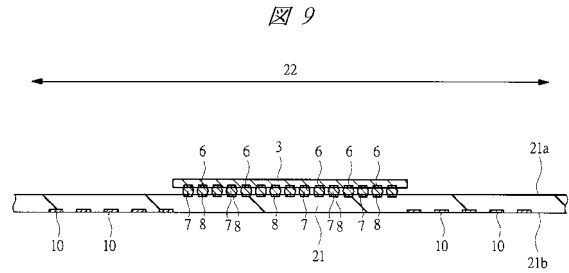
【 図 6 】



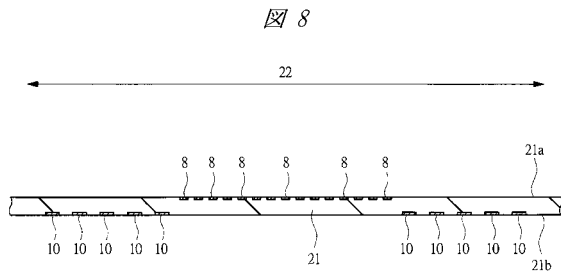
【 図 7 】



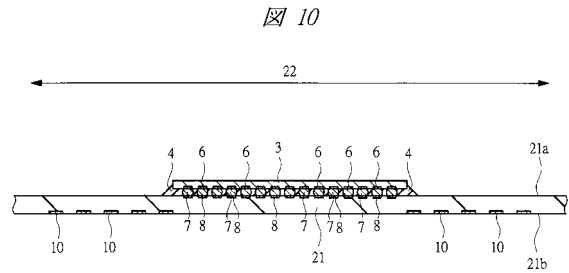
【 図 9 】



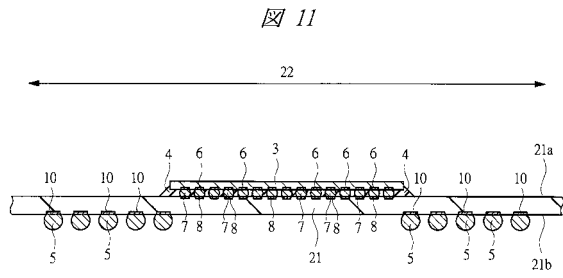
【 図 8 】



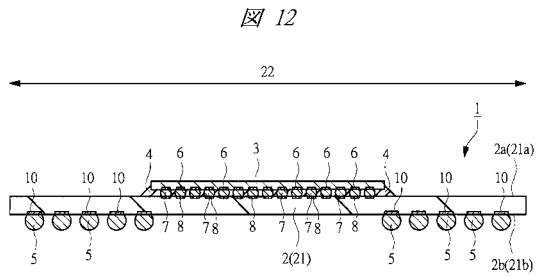
【 図 10 】



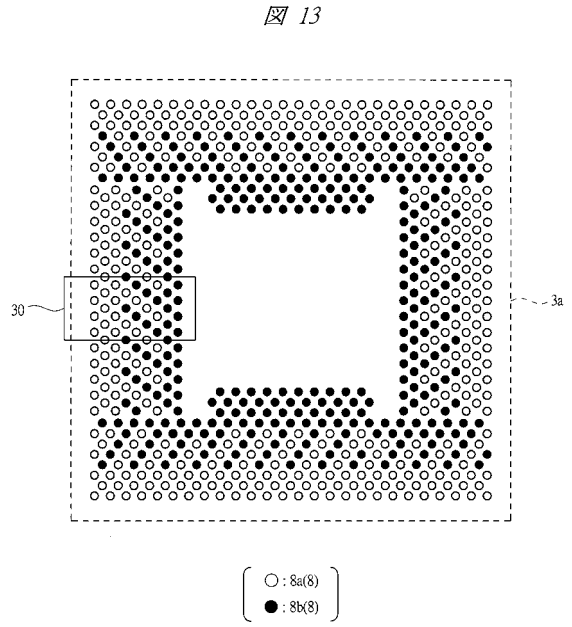
【図11】



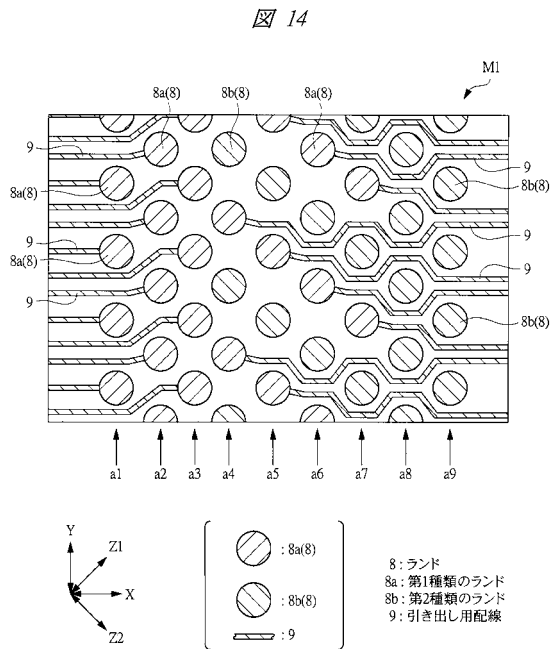
【図12】



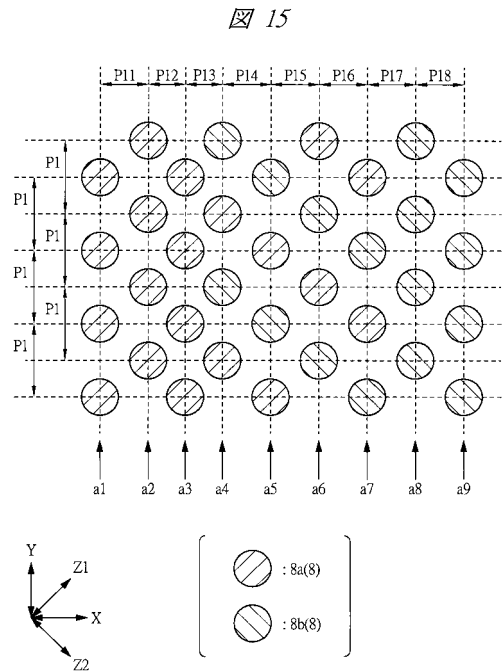
【図13】



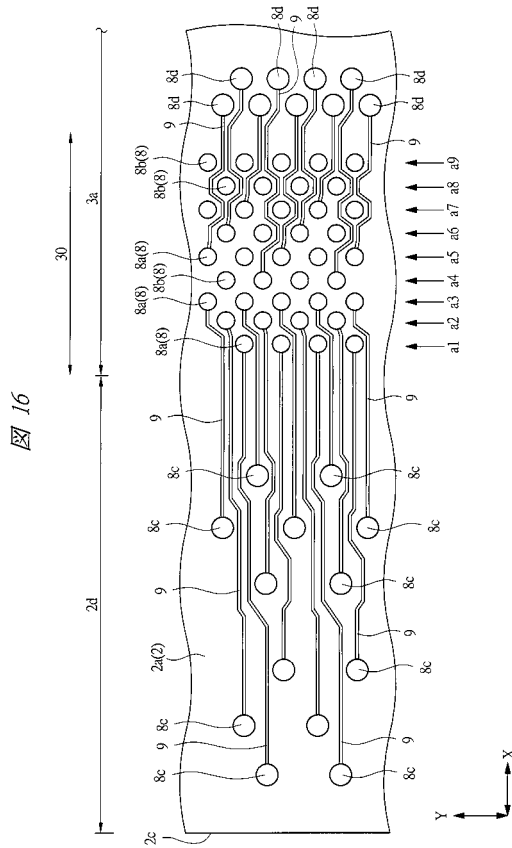
【図14】



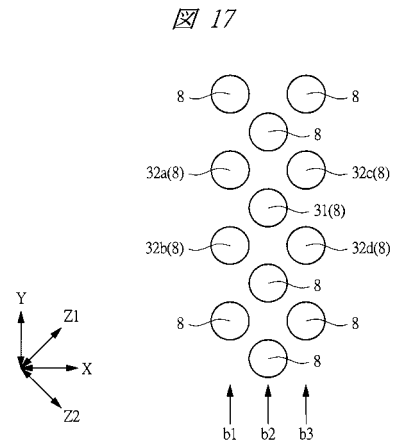
【図15】



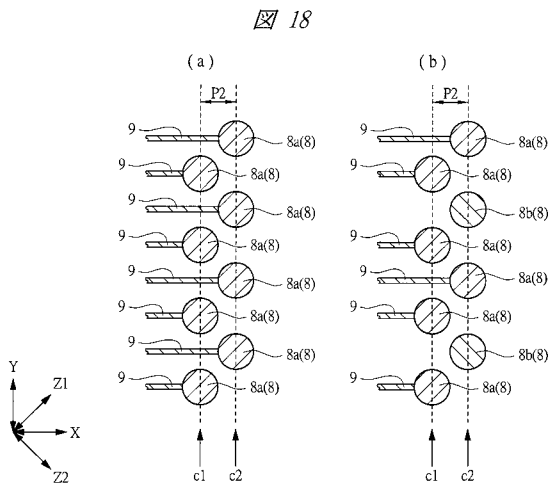
【 図 16 】



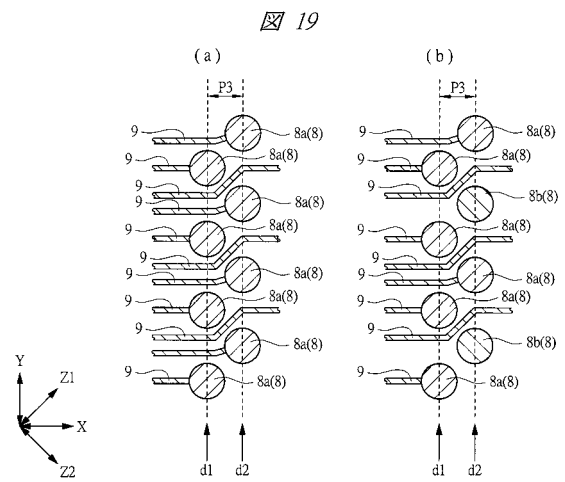
【 図 17 】



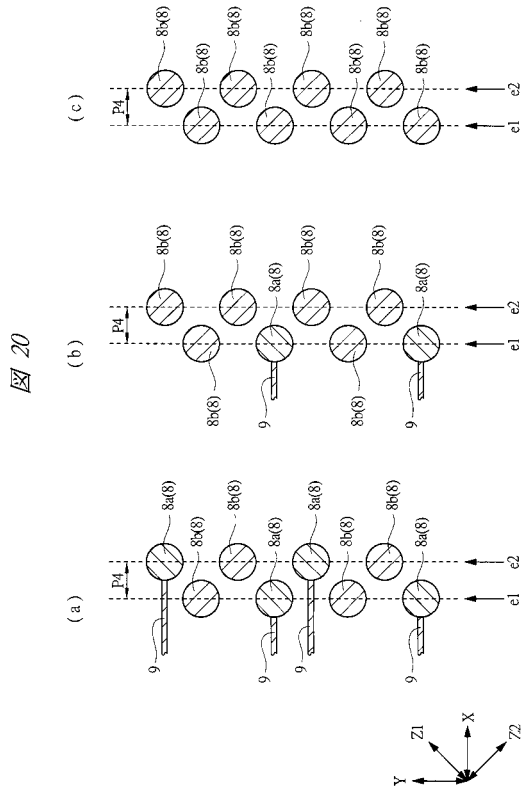
【 図 18 】



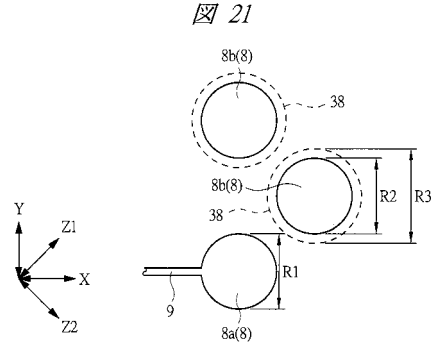
【 図 19 】



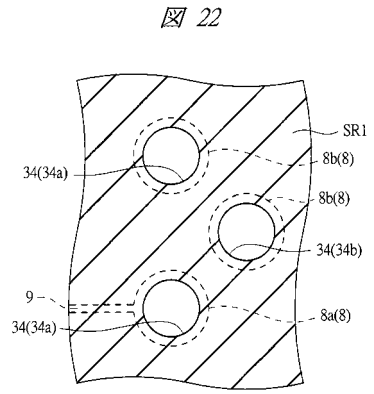
【 図 20 】



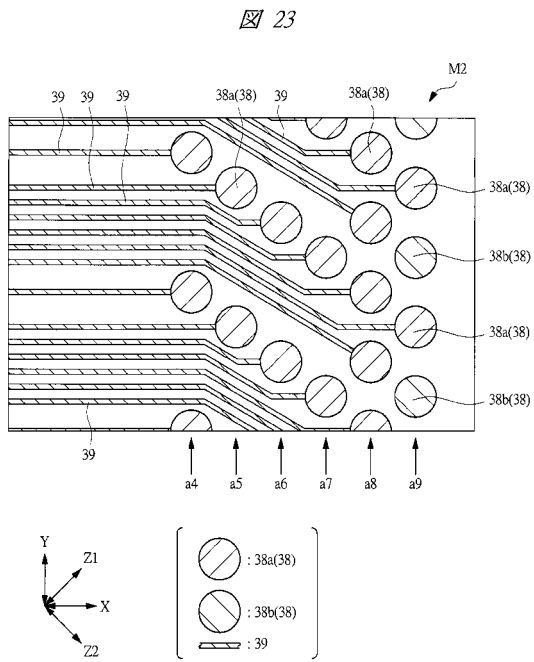
【 図 21 】



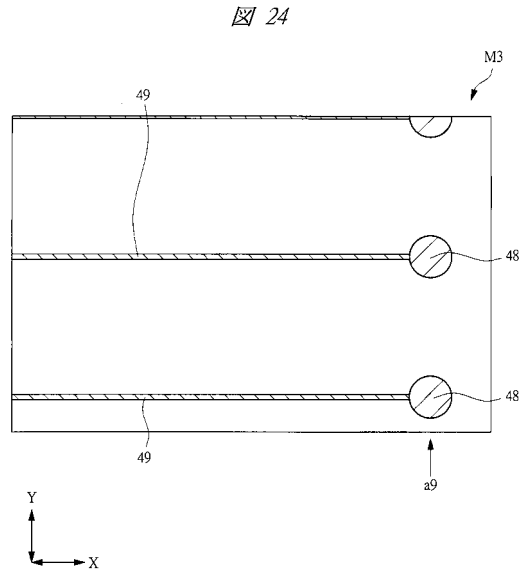
【 図 22 】



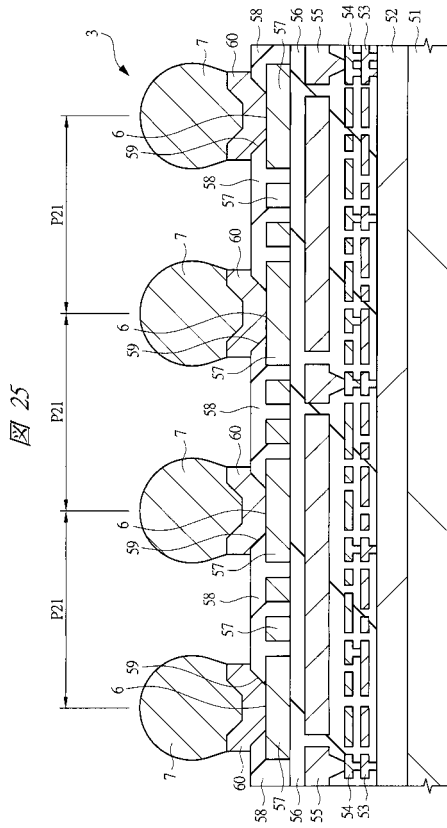
【 図 23 】



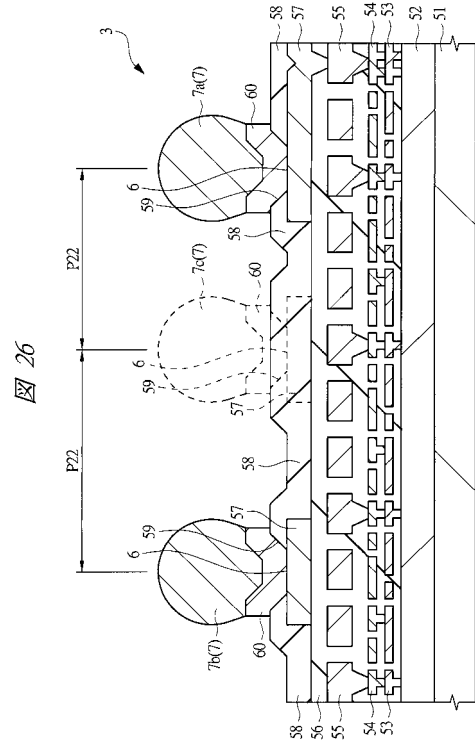
【 図 24 】



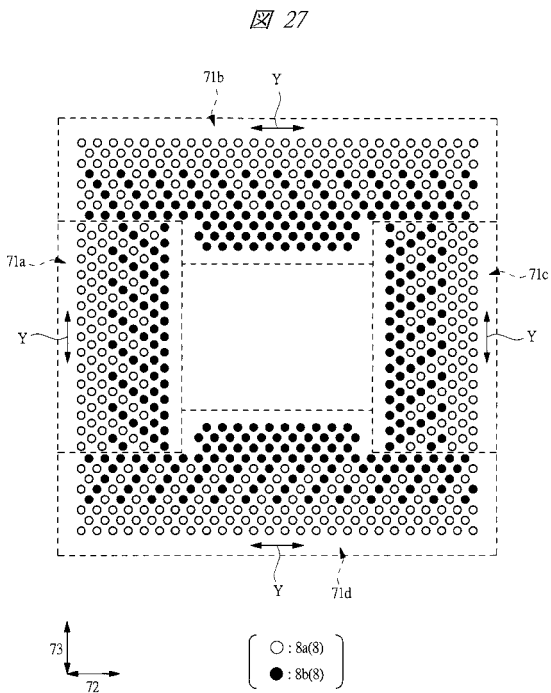
【 25 】



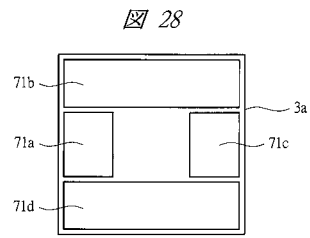
【 26 】



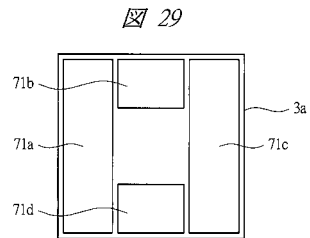
【 27 】



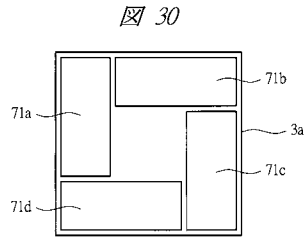
【 28 】



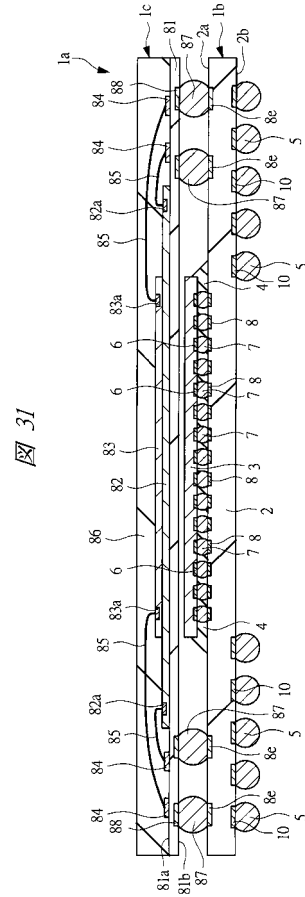
【 29 】



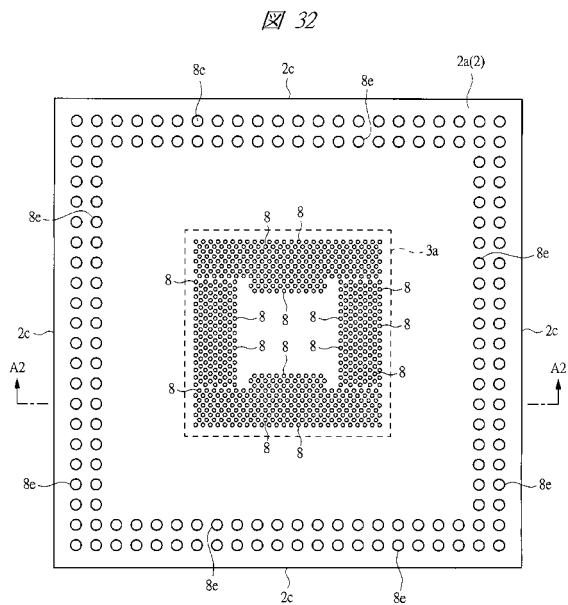
【図30】



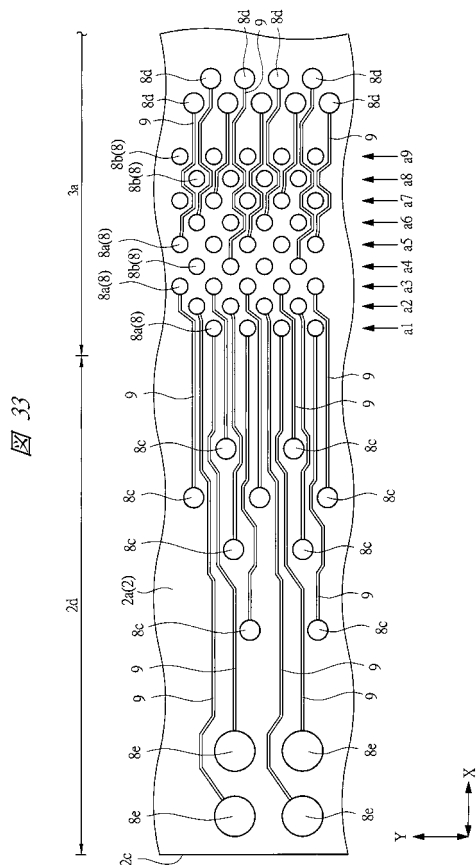
【図31】



【図32】



【図33】



フロントページの続き

審査官 坂本 薫昭

(56)参考文献 特開平11-017056(JP,A)
特開平10-135378(JP,A)
特開平09-172105(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 23/12
H01L 21/60