



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0098413
(43) 공개일자 2015년08월28일

(51) 국제특허분류(Int. Cl.)

G11C 29/00 (2006.01)

(21) 출원번호 10-2014-0019677

(22) 출원일자 2014년02월20일

심사청구일자 없음

(71) 출원인

에스케이하이닉스 주식회사

경기도 이천시 부발읍 경충대로 2091

(72) 발명자

고재범

경기 수원시 영통구 봉영로1517번길 27, 903동 105호 (영통동, 벽적골9단지아파트)

변상진

경기 용인시 기흥구 새천년로 40, 411동 404호 (신갈동, 녹원마을새천년그린빌4단지아파트)

(74) 대리인

특허법인신성

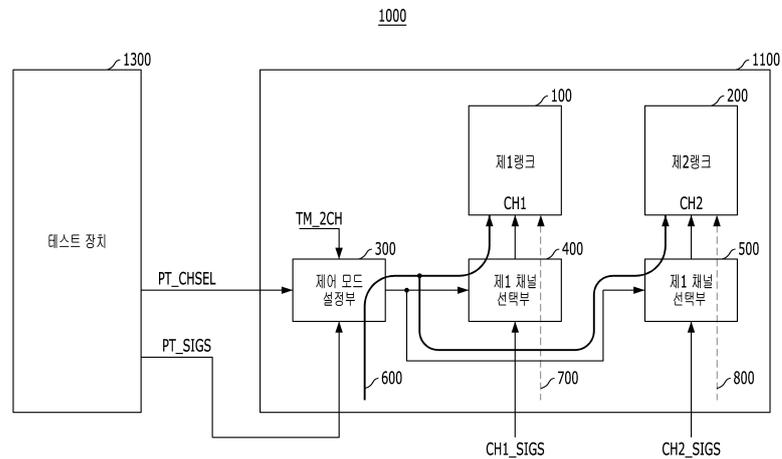
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 멀티 랭크의 병렬 테스트를 위한 메모리 및 이를 포함하는 반도체 장치

(57) 요약

제1채널을 포함하고, 상기 제1채널을 통해 데이터를 입/출력하는 제1랭크; 제2채널을 포함하고, 상기 제2채널을 통해 데이터를 입/출력하는 제2랭크; 상기 제1채널 및 제2채널에 공통으로 접속된 테스트채널; 및 상기 테스트채널을 통해 외부에서 인가된 외부 제어신호와 내부에서 생성된 공통 모드신호 및 개별 제어신호의 조합을 통해 제어 모드를 설정하고, 상기 제어 모드가 공통 제어모드로 설정된 경우, 상기 테스트 채널의 신호를 상기 제1랭크 및 제2랭크에 동시에 전달하되, 상기 공통 제어모드 중에 일부 개별 제어모드가 필요할 때에 상기 테스트채널의 신호를 상기 제1랭크 또는 제2랭크로 전달하는 것을 제어하는 제어 모드 설정부를 포함하는 반도체 장치를 제공하며, 병렬 테스트 시에 필요에 따라 선택적으로 개별 동작을 제어함으로써 정확한 파라미터를 측정함으로써 반도체 장치에 신뢰성을 높일 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

제1채널을 포함하고, 상기 제1채널을 통해 데이터를 입/출력하는 제1랭크;

제2채널을 포함하고, 상기 제2채널을 통해 데이터를 입/출력하는 제2랭크;

상기 제1채널 및 제2채널에 공통으로 접속된 테스트채널; 및

상기 테스트채널을 통해 외부에서 인가된 외부 제어신호와 내부에서 생성된 공통 모드신호 및 개별 제어신호의 조합을 통해 제어 모드를 설정하고,

상기 제어 모드가 공통 제어모드로 설정된 경우, 상기 테스트 채널의 신호를 상기 제1랭크 및 제2랭크에 동시에 전달하되, 상기 공통 제어모드 중에 일부 개별 제어모드가 필요할 때에 상기 테스트채널의 신호를 상기 제1랭크 또는 제2랭크로 전달하는 것을 제어하는 제어 모드 설정부

를 포함하는 반도체 장치.

청구항 2

제1항에 있어서,

상기 제어 모드 설정부는,

상기 제어 모드가 개별 제어모드로 설정된 경우 상기 테스트채널의 신호를 상기 제1랭크 또는 제2랭크로 전달하는 반도체 장치.

청구항 3

제1항에 있어서,

상기 제어 모드 설정부는,

상기 외부 제어신호 중 인가된 커맨드에 따라 사용하지 않는 일부 신호를 할당하여 상기 외부 제어신호 중 커맨드의 정보를 갖는 제어신호를 생성하기 위한 제어신호 생성부; 및

상기 제어신호에 응답하여 상기 외부 제어신호를 선택적으로 상기 제1채널 및 제2채널로 전달하기 위한 신호 전달부

를 포함하는 반도체 장치.

청구항 4

제3항에 있어서,

상기 제어 모드 설정부는,

상기 공통 모드신호가 비활성화된 경우에 상기 개별 제어신호에 응답하여 상기 개별 제어모드로 설정하며,

상기 공통 모드신호 및 상기 제어신호가 동시에 활성화된 경우에 상기 공통 제어모드로 설정하고, 상기 제어신호가 비활성화된 경우에 상기 개별 제어신호에 응답하여 상기 개별 제어모드로 설정하는 반도체 장치.

청구항 5

제1항에 있어서,

상기 테스트채널을 통해 인가된 신호 및 제1노멀채널을 통해 인가된 다수의 제1노멀신호를 선택적으로 제1채널로 인가하기 위한 제1채널 선택부

를 더 포함하는 반도체 장치.

청구항 6

제1항에 있어서,

상기 테스트채널을 통해 인가된 신호 및 제2노멀채널을 통해 인가된 다수의 제2노멀신호를 선택적으로 제2채널로 인가하기 위한 제2채널 선택부

를 더 포함하는 반도체 장치.

청구항 7

메모리; 및

테스트 모드 시 커맨드 및 어드레스를 상기 메모리로 전송하는 테스트 장치를 포함하며,

상기 메모리는,

제1채널을 포함하고, 상기 제1채널을 통해 데이터를 입/출력하는 제1랭크;

제2채널을 포함하고, 상기 제2채널을 통해 데이터를 입/출력하는 제2랭크;

상기 제1채널 및 제2채널에 공통으로 접속된 테스트채널; 및

상기 테스트채널을 통해 인가된 상기 커맨드 및 어드레스와 내부에서 생성된 공통 모드신호 및 개별 제어신호의 조합을 통해 제어 모드를 설정하고,

상기 제어 모드가 공통 제어모드로 설정된 경우, 상기 테스트채널의 신호를 상기 제1랭크 및 제2랭크에 동시에 전달하되, 상기 공통 제어모드 중에 일부 개별 제어모드가 필요할 때에 상기 테스트채널의 신호를 상기 제1랭크 또는 제2랭크로 전달하는 것을 제어하는 제어 모드 설정부

를 포함하는 반도체 장치.

청구항 8

제7항에 있어서,

상기 제어 모드 설정부는,

상기 제어 모드가 개별 제어모드로 설정된 경우 상기 테스트채널의 신호를 상기 제1랭크 또는 제2랭크로 전달하는 반도체 장치.

청구항 9

제7항에 있어서,

상기 제어 모드 설정부는,

상기 커맨드 및 어드레스 중 인가된 커맨드에 따라 사용하지 않는 일부 신호를 할당하여 상기 커맨드 정보를 갖는 제어신호를 생성하기 위한 제어신호 생성부; 및

상기 제어신호에 응답하여 상기 커맨드 및 어드레스를 선택적으로 상기 제1채널 및 상기 제2채널로 전달하기 위

한 신호 전달부
를 포함하는 반도체 장치.

청구항 10

제9항에 있어서,
상기 제어 모드 설정부는,
상기 공통 모드신호가 비활성화된 경우에 상기 개별 제어신호에 응답하여 상기 개별 제어모드로 설정하며,
상기 공통 모드신호 및 상기 제어신호가 동시에 활성화된 경우에 상기 공통 제어모드로 설정하고, 상기 제어신호가 비활성화된 경우에 상기 개별 제어신호에 응답하여 상기 개별 제어모드로 설정하는 반도체 장치

청구항 11

제7항에 있어서,
상기 테스트채널을 통해 인가된 신호 및 제1노멀채널을 통해 인가된 상기 제1랭크의 노멀 동작을 위한 다수의 노멀신호를 선택적으로 제1채널로 인가하기 위한 제1채널 선택부를 더 포함하는 반도체 장치.

청구항 12

제7항에 있어서,
상기 테스트채널을 통해 인가된 신호 및 제2노멀채널을 통해 인가된 상기 제2랭크의 노멀 동작을 위한 다수의 노멀신호를 선택적으로 제2채널로 인가하기 위한 제2채널 선택부를 더 포함하는 반도체 장치.

청구항 13

제1채널을 포함하고, 상기 제1채널을 통해 데이터를 입/출력하는 제1랭크와, 제2채널을 포함하고, 상기 제2채널을 통해 데이터를 입/출력하는 제2랭크와, 상기 제1채널 및 제2채널에 공통으로 접속되고, 외부로부터 커맨드 및 어드레스를 인가받는 테스트채널과, 상기 제1랭크 및 상기 제2랭크의 제어 모드를 공통 제어모드 또는 개별 제어모드로 설정하기 위한 제어모드 설정부를 포함하는 반도체 장치의 구동 방법에 있어서,

내부에서 생성된 공통 모드신호를 상기 제어모드 설정부로 인가하는 단계;

상기 커맨드 및 어드레스 중 인가된 커맨드에 따라 사용하지 않는 일부 신호를 할당하여 상기 커맨드 정보를 갖는 제어 신호를 생성하는 단계; 및

상기 공통 모드신호 및 상기 제어신호가 동시에 활성화되면 상기 공통 제어모드로 설정하며, 상기 제어신호가 비활성화되면 외부로부터 인가된 개별 제어신호에 응답하여 상기 개별 제어모드로 설정하는 단계

를 포함하는 반도체 장치의 테스트 방법.

청구항 14

제13항에 있어서,
상기 개별 제어모드는 상기 개별 제어신호에 따라 상기 제1랭크 또는 제2랭크로 상기 테스트채널을 통해 인가된

상기 커맨드 및 어드레스를 전송하는 반도체 장치의 테스트 방법.

청구항 15

제13항에 있어서,

상기 공통 제어모드는 상기 제1뱅크 및 제2뱅크에 공통으로 상기 테스트채널을 통해 인가된 상기 커맨드 및 어드레스를 전달하는 반도체 장치의 테스트 방법.

명세서

기술분야

[0001] 본 특허 문헌은 메모리를 포함하는 반도체 장치에 관한 것으로, 특히 메모리의 병렬 비트 테스트에 관한 것이다.

배경기술

[0002] 반도체 장치는 제품의 개발 및 양산에 있어서 스펙(specification)에서 요구되는 제품의 특성 및 기능을 검증하고, 실장에서 요구되는 기능의 수행을 확인하며 스펙에서 요구되는 마진을 확보하여 궁극적으로 제품의 상품 가치를 높이기 위해 다양한 테스트를 수행한다.

[0003] 일반적으로 제품의 패스/페일(pass/fail) 여부는 테스터(tester)의 판단에 따른다. 즉, 테스터는 엔지니어가 프로그래밍한 순서에 따라 커맨드(Command), 어드레스(Address), 테스트 데이터 패턴(test data pattern) 등을 포함하는 컨트롤 신호를 만들고 이를 제품에 인가하여 동작시킨다.

[0004] 예를 들어 반도체 장치의 테스트를 위하여 해당 어드레스에 테스트 데이터를 라이트하고, 다시 같은 주소에 저장된 데이터를 리드하여 DQ데이터를 출력시킨다. 그런 다음, 테스터는 제품으로부터 출력되는 DQ데이터와 출력으로 기대된 테스트 패턴을 비교하여 제품의 패스/페일 여부를 판단하여, 그 때의 어드레스를 기억한다. 이러한 일련의 테스트 과정을 통하여 엔지니어는 불량 제품을 알 수 있으며, 또한 페일된 주소를 사용하여 적절한 리페어 과정을 수행할 수 있다. 이와 같은 테스트 방식 중의 하나로서 병렬 비트 테스트(Parallel Bit Test;PBT)가 알려져 있다. 테스트 시간을 대폭 단축할 수 있는 병렬 비트 테스트는 반도체 장치의 테스트에 널리 적용된다.

[0005] 반도체 장치에서의 뱅크(bank)를 기준으로 보면, 반도체 장치의 테스트 타임을 단축하기 위해 하나의 뱅크에서 출력되는 데이터를 배타 논리합으로 압축하여 1/4, 1/8 또는 그 이상으로 감소시켜 외부로 출력하는 테스트 방식이 많이 사용되어져 왔다. 그러나 최근에는 테스트 효율성을 증가시키기 위해 하나의 뱅크가 아닌 두 개의 뱅크, 네 개의 뱅크 또는 그 이상의 뱅크를 한번에 테스트 동작을 수행한 후 클럭 신호에 동기시켜 버스트 출력(burst out)시키는 방식이 많이 사용된다.

[0006] 종래 기술에 따른 병렬 비트 테스트는 테스트를 위한 데이터가 입/출력 핀의 한계로 리드 동작을 동시에 수행하는 경우 데이터의 충돌이 발생할 수 있다. 따라서, 액티브 이후 연속하여 2회의 리드 동작을 수행하는 병렬 비트 테스트는 테스트 시간을 개선하는 반면에 각 리드 명령에 대한 'tRCD(RAS to CAS delay time)'에 영향을 줄 수 있다. 다시 말해, 커맨드 진입과 동시에 채널을 제어하는 제어 신호를 인가함으로써 제1채널과 제2채널이 동시에 선택된다. 제1채널과 연결된 제1뱅크 및 제2채널과 연결된 제2뱅크는 동시에 병렬 비트 테스트를 수행한다. 테스트 동작 도중에 파라미터 예컨대, 'tRCD'를 측정하고자 하면 제1채널 및 제2채널이 동시에 선택되도록 하는 신호를 비활성화시키거나 제1채널 또는 제2채널이 개별적으로 선택되기 위한 신호를 인가하는 추가 시퀀스(sequence)가 필요하게 된다. 이러한 시퀀스로 인하여 타이밍의 손실을 가져오게 되므로 정확한 파라미터(tRCD)의 측정이 어렵게 된다.

[0007] 이와 같이, 'tRCD' 뿐만 아니라 동작 특성과 관련된 파라미터 즉, 'tRP(RAS Precharge time)', 'tAA(Column Address Access time)', 'tWR(Write Recovery time)'의 측정이 부정확한 경우 후속되는 테스트에 심각한 문제를 유발시켜 반도체 메모리 장치의 수율을 저하시키는 문제점이 있다.

발명의 내용

해결하려는 과제

[0008] 본 발명의 실시예들이 해결하고자 하는 기술적 과제는 병렬 테스트에서 측정된 파라미터 특성에 신뢰성이 떨어지는 문제점을 개선하기 위한 방법과 그를 포함하는 반도체 장치를 제공하기 위한 것이다.

과제의 해결 수단

[0009] 본 발명의 일 실시예에 따른 반도체 장치는, 제1채널을 포함하고, 상기 제1채널을 통해 데이터를 입/출력하는 제1랭크; 제2채널을 포함하고, 상기 제2채널을 통해 데이터를 입/출력하는 제2랭크; 상기 제1채널 및 제2채널에 공통으로 접속된 테스트채널; 및 상기 테스트채널을 통해 외부에서 인가된 외부 제어신호와 내부에서 생성된 공통 모드신호 및 개별 제어신호의 조합을 통해 제어 모드를 설정하고, 상기 제어 모드가 공통 제어모드로 설정된 경우, 상기 테스트 채널의 신호를 상기 제1랭크 및 제2랭크에 동시에 전달하되, 상기 공통 제어모드 중에 일부 개별 제어모드가 필요할 때에 상기 테스트채널의 신호를 상기 제1랭크 또는 제2랭크로 전달하는 것을 제어하는 제어 모드 설정부를 포함할 수 있다.

[0010] 본 발명의 다른 실시예에 따른 반도체 장치는, 메모리; 및 테스트 모드 시 커맨드 및 어드레스를 상기 메모리로 전송하는 테스트 장치를 포함하며, 상기 메모리는, 제1채널을 포함하고, 상기 제1채널을 통해 데이터를 입/출력하는 제1랭크; 제2채널을 포함하고, 상기 제2채널을 통해 데이터를 입/출력하는 제2랭크; 상기 제1채널 및 제2채널에 공통으로 접속된 테스트채널; 및 상기 테스트채널을 통해 인가된 상기 커맨드 및 어드레스와 내부에서 생성된 공통 모드신호 및 개별 제어신호의 조합을 통해 제어 모드를 설정하고, 상기 제어 모드가 공통 제어모드로 설정된 경우, 상기 테스트채널의 신호를 상기 제1랭크 및 제2랭크에 동시에 전달하되, 상기 공통 제어모드 중에 일부 개별 제어모드가 필요할 때에 상기 테스트채널의 신호를 상기 제1랭크 또는 제2랭크로 전달하는 것을 제어하는 제어 모드 설정부를 포함할 수 있다.

[0011] 본 발명의 일 실시예에 따른 반도체 장치의 테스트 방법은, 제1채널을 포함하고, 상기 제1채널을 통해 데이터를 입/출력하는 제1랭크와, 제2채널을 포함하고, 상기 제2채널을 통해 데이터를 입/출력하는 제2랭크와, 상기 제1채널 및 제2채널에 공통으로 접속되고, 외부로부터 커맨드 및 어드레스를 인가받는 테스트채널과, 상기 제1랭크 및 상기 제2랭크의 제어 모드를 공통 제어모드 또는 개별 제어모드로 설정하기 위한 제어모드 설정부를 포함하는 반도체 장치의 구동 방법에 있어서, 내부에서 생성된 공통 모드신호를 상기 제어모드 설정부로 인가하는 단계; 및 상기 공통 모드신호가 비활성화되면 상기 개별 제어모드로 설정하며, 상기 공통 모드신호가 활성화되면 상기 공통 제어모드로 설정하되, 상기 공통 제어모드 중에 일부 개별 제어모드가 필요할 때 상기 테스트채널로 인가된 커맨드 및 어드레스를 상기 제1랭크 또는 제2랭크로 전송하는 단계를 포함할 수 있다.

발명의 효과

[0012] 제안된 실시예의 반도체 장치는 병렬 테스트 시에 필요에 따라 선택적으로 개별 동작을 제어함으로써 메모리의 동작 특성을 정확하게 측정하여 반도체 장치의 신뢰성을 높일 수 있다.

도면의 간단한 설명

[0013] 도1은 본 발명의 일 실시예에 따른 반도체 장치를 도시한 블록도.

도2는 도1의 제어 모드 설정부를 도시한 블럭 구성도.

도3은 도2의 제어 신호 생성부의 상세 회로도.

도4는 도2의 신호 전달부의 상세 회로도.

도5A는 종래 기술에 따라 'tRCD'를 측정함에 있어서 발생하는 문제점을 설명하기 위한 타이밍도.

도5B는 본 발명의 일 실시예에 따른 타이밍도.

발명을 실시하기 위한 구체적인 내용

- [0014] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있도록 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예들을 첨부 도면을 참조하여 설명하고자 한다.
- [0015] 도1은 본 발명의 일 실시예에 따른 반도체 장치(1000)를 도시한 블록도이다.
- [0016] 도1을 참조하면, 반도체 장치(1000)는 메모리(1100) 및 테스트 장치(1300)를 포함할 수 있다.
- [0017] 본 발명의 실시예는 테스트 장치(1300)와, 테스트 장치(1300)로부터 외부 제어신호(PT_SIGs) 및 개별 제어신호(PT_CHSEL)를 인가받는 메모리(1100)를 포함하는 반도체 장치를 일 예로서 설명하고 있으나, 여기서 테스트 장치는 메모리 컨트롤러에 포함되어 메모리로 테스트 신호들을 전송할 수 있고, 다수의 메모리들과 메모리와 별개의 테스트 장치로 구성된 모듈(module) 내에서 테스트 장치로부터 메모리로 테스트 신호들을 전송할 수 있다.
- [0018] 메모리(1100)는 제1랭크(100)와, 제2랭크(200)와, 제어 모드 설정부(300)와, 제1채널 선택부(400) 및 제2채널 선택부(500)를 포함할 수 있다. 여기서 랭크는 입출력라인을 공유하는 서로 다른 메모리 칩을 구별하는 단위일 수 있다.
- [0019] 제1랭크(100)는 제1채널(CH1)을 포함하며, 제1채널(CH1)을 통해 데이터를 입/출력할 수 있다. 제2랭크(200)는 제2채널(CH2)을 포함하며, 제2채널(CH2)을 통해 데이터를 입/출력할 수 있다. 여기서, 제1채널(CH1) 및 제2채널(CH2)는 다수의 신호 라인들을 각각 포함하며, 다수의 신호 라인을 통해서 외부에서 인가된 신호를 전송받는다.
- [0020] 또한, 메모리(1100)는 제1채널(CH1) 및 제2채널(CH2)에 공통으로 접속되어 외부로부터 인가된 외부 제어신호(PT_SIGs)를 전송하기 위한 테스트채널(600)을 포함할 수 있다. 여기서 테스트채널(600)은 테스트 모드 시에 제1채널(CH1)과 제2채널(CH2)과 연결되어 외부의 테스트 장비로부터 외부 제어신호(PT_SIGs)를 인가받아 제1채널(CH1) 및 제2채널(CH2)로 전송하기 위한 것이다. 여기서, 외부 제어신호(PT_SIGs)는 테스트 장비(1300)로부터 인가되는 신호로써, 일반적으로 칩이 패키지(package) 공정을 거쳐 적층되기 전에 칩의 정상 유무를 테스트하기 위해 사용되는 신호일 수 있다. 즉, 외부 제어신호(PT_SIGs)는 커맨드(command) 및 어드레스(address) 신호일 수 있다. 도시되지 않았으나 각 랭크 내에는 채널별로 연결된 각각의 बैं크를 구비함으로써 채널별로 데이터를 입/출력할 수 있다.
- [0021] 메모리(1100)의 구성 요소 중 제어 모드 설정부(300)는 테스트 채널(600)을 통해 외부에서 인가된 외부 제어신호(PT_SIGs)와 내부에서 생성된 공통 모드신호(TM_2CH) 및 개별 제어신호(PT_CHSEL)의 조합을 통해 제어모드를 설정할 수 있다. 제어모드 설정부(300)는 제어모드가 공통 제어모드로 설정된 경우에 테스트채널(600)의 신호를 제1랭크(100) 및 제2랭크(200)에 동시에 전달하되, 공통 제어모드 중에 일부 개별 제어모드가 필요할 때에 테스트채널(600)의 신호를 제1랭크(100) 또는 제2랭크(200)로 전달하는 것을 제어할 수 있다.
- [0022] 구체적으로는 제어모드 설정부(300)는 외부 제어신호(PT_SIGs) 중 인가된 커맨드에 따라 사용하지 않는 일부 신호를 할당하여 커맨드 정보를 갖는 제어신호(미도시)를 생성한다. 따라서, 공통 모드신호(TM_2CH)를 인가받아 공통 모드신호(TM_2CH)가 비활성화된 경우에 개별 제어신호(PT_CHSEL)에 응답하여 개별 제어모드로 설정할 수 있다. 반면에 공통 모드신호(TM_2CH)가 활성화된 경우에 공통 제어모드로 설정하되, 공통 모드신호(TM_2CH)와 제어신호가 동시에 활성화된 경우에 개별 제어신호(PT_CHSEL)에 응답하여 개별 제어모드로 설정할 수 있다. 제어 신호에 대한 설명은 이후 도2를 참조하여 설명하기로 한다.
- [0023] 참고로, 공통 모드신호(TM_2CH)는 특정 시퀀스에 의해 내부적으로 생성되는 신호 또는 퓨즈 회로에 프로그래밍을 통해서 활성화되는 신호일 수 있다. 여기서 공통 제어모드란 제1랭크(100) 및 제2랭크(200)에 공통으로 테스트채널(600)로 전달된 외부 제어신호(PT_SIGs)를 전송하는 모드이다. 개별 제어모드란 제1랭크(100) 및 제2랭크(200) 중 선택된 랭크로 테스트채널(600)로부터 전달된 외부 제어신호(PT_SIGs)를 전송하는 모드이다. 개별 제어신호(PT_CHSEL)는 테스트 모드시에 제1랭크(100) 및 제2랭크(200)를 개별 제어모드로 동작할 수 있도록 하는 신호로써 테스트 장치(1300)에서 인가될 수 있다. 예컨대, 제1랭크(100) 및 제2랭크(200)가 공통 모드로 동작하는 액티브(Active) 및 프리차지(Precharge) 동작 시에는 개별 제어신호(PT_CHSEL)는 비활성화될 수 있다. 또한, 제1랭크(100) 및 제2랭크(200)가 개별적으로 동작하는 라이트(Write) 및 리드(Read) 동작 시에는 활성화될 수 있다.
- [0024] 메모리(1100)의 구성 요소 중 제1채널 선택부(400)는 제1노멀채널(700) 및 테스트채널(600)로부터 인가된 신호

를 선택적으로 제1채널(CH1)로 전송할 수 있다. 제1노멀채널(700)은 다수의 신호라인을 통해서 제1랭크(100)의 노멀 동작 시에 외부에서 인가되는 다수의 노멀 신호(CH1_SIGs)를 인가받는다.

[0025] 또한, 제2채널 선택부(500)는 제2노멀채널(800) 및 테스트채널(600)로부터 인가된 신호를 선택적으로 제2채널(CH2)로 전송할 수 있다. 제2노멀채널(800)은 다수의 신호라인을 통해서 제2랭크(200)의 노멀 동작 시에 외부에서 인가되는 다수의 노멀 신호(CH2_SIGs)를 인가받는다.

[0026] 테스트 모드 시에 제1채널(CH1) 및 제2채널(CH2)은 제어모드 설정부(300)를 통해서 설정된 제어모드에 따라 테스트채널(600)로부터 인가된 신호를 전송받는다. 노멀 동작 시에는 제1채널(CH1) 및 제2채널(CH2)은 제1노멀채널(700) 및 제2노멀채널(800)로부터 인가된 다수의 노멀 신호(CH1_SIGs, CH2_SIGs)를 각각 전송받는다. 즉, 제1채널(CH1)은 테스트 채널(600)과 제1노멀채널(700)과 연결되어 테스트 모드 또는 노멀 모드에 따라 연결되어 신호를 인가받는다. 제2채널(CH2)은 테스트 채널(600)과 제2노멀채널(800)과 연결되어 테스트 모드 또는 노멀 모드에 따라 연결되어 신호를 인가받는다.

[0027] 반도체 장치(1000)의 구성 요소 중 테스트 장치(1300)는 테스트 동작 시 테스트채널을 통해 외부 제어신호(PT_SIGs)를 메모리(1100)로 전송한다.

[0028] 본 발명의 일 실시예에 따른 반도체 장치(1000)는 공통 제어모드로 테스트 동작을 수행하는 도중 메모리의 동작 특성에 관련된 파라미터를 측정하는 경우에 제어모드 설정부(300)를 통해서 인가된 커맨드에 따라 사용하지 않는 신호 중 일부 신호를 할당하여 인가된 커맨드의 정보를 갖는 제어신호(미도시)를 생성한다. 메모리(1100)가 공통 제어모드로 테스트 동작을 수행하는 도중에 제어 신호에 응답하여 개별 제어신호(PT_CHSEL)에 따라 제1랭크(100) 또는 제2랭크(200)가 개별 제어모드로 동작할 수 있도록 한다. 여기에서 커맨드는 컬럼계열 리드 커맨드(Read Command) 및 라이트 커맨드(Write Command) 등을 포함하는데, 집적회로의 컬럼(COLUMN)영역을 액세스 하기 위한 커맨드이다. 참고로 로우계열 커맨드는 액티브 커맨드(Active Command) 등이 있으며 집적회로의 로우(ROW)영역을 액세스하기 위한 커맨드이다. 컬럼 영역 및 로우 영역은 집적회로 내부의 데이터를 저장하기 위한 메모리 영역을 로우(ROW) 및 컬럼(COLUMN) 단위로 구분한 것이다. 즉, 컬럼 계열의 커맨드 인가 시에는 로우 커맨드를 사용하지 않고, 로우 계열의 커맨드 인가시에는 컬럼 커맨드를 사용하지 않는다. 따라서, 커맨드가 인가 시에 사용하지 않는 신호 중 일부 신호를 할당하여 이 신호를 통해 해당 커맨드의 정보를 알 수 있으며 이를 이용하여 제1랭크(100) 및 제2랭크(200)를 개별 제어할 수 있다.

[0029] 즉, 공통 모드신호(TM_2CH)가 활성화된 경우에 제1랭크(100) 및 제2랭크(200)를 공통 제어모드로 동작하고, 공통 모드신호(TM_2CH)와 커맨드 정보를 갖는 제어신호를 인가받아 제1랭크(100) 또는 제2랭크(200)를 개별 제어신호(PT_CHSEL)에 따라 선택적으로 동작할 수 있다.

[0030] 따라서, 본 발명의 일 실시예에 따른 반도체 장치(1000)는 공통 모드신호(TM_2CH)가 활성화된 경우에 제1랭크(100)와 제2랭크(200)의 개별 제어모드를 위해 신호의 진입/탈출에 필요한 타이밍의 손실을 방지할 수 있다. 이는 테스트 시에 설계자의 필요에 따라 파라미터 측정 시에 정확한 파라미터를 측정할 수 있어 메모리의 신뢰성을 높일 수 있다.

[0031] 도2는 도1의 제어모드 설정부(300)를 도시한 블록 구성도이다.

[0032] 도2를 참조하면, 제어모드 설정부(300)는 제어신호 생성부 (310) 및 신호 전달부(320)를 포함할 수 있다.

[0033] 전술하였듯이 제어모드 설정부는 제1랭크 및 제2랭크의 제어모드를 설정할 수 있다.

[0034] 제어신호 생성부(310)는 테스트채널을 통해 인가된 커맨드 및 어드레스(PT_CAN, PT_RAN) 중 해당 커맨드 정보를 가진 제어신호(PT_RAN_SEL, PT_CAN_SEL)를 생성할 수 있다. 커맨드 및 어드레스(PT_CAN, PT_RAN)신호 이외에도 메모리의 클럭 신호에 대한 테스트신호인 'PT_CLK'를 포함할 수 있으며, 'PT_CLK'는 클럭 인에이블 신호에 관한 테스트신호를 포함할 수 있다. 또한, 메모리의 데이터 입력력에 대한 테스트신호인 'PT_DQ<0:7>'를 포함할 수 있으며, 데이터 입력력을 위한 스트로브 신호를 포함할 수 있다. 참고로, 'PT_DQ<0:7>' 신호는 라이트 동작 시에는 테스트를 위해 입력되는 신호가 되며, 리드 동작 시에는 입력된 데이터를 출력하는 신호가 된다.

[0035] 또한, 테스트채널을 통해 인가된 테스트신호 중 데이터 마스크(Data Mask) 기능에 관한 신호인 'PT_DMI'를 포함할 수 있다. 참고로 데이터 마스크 기능은 데이터 마스크 신호가 액티브되면 라이트 드라이버로 들어오는 신호를 마스크(Masking)하여 글로벌 라인에 실린 데이터가 로컬 라인에 실리지 않도록 하여 셀에 데이터가 라이트되지 않도록 하는 기능이다. 'PTEST'는 병렬 비트 테스트를 수행하는 경우 인가되는 신호이다. 도시되지 않았으나 'PTEST'는 제1채널 선택부 및 제2채널 선택부로 인가되어 테스트 동작임을 나타내는 신호일 수 있다. 일반적으로

로 앞서 설명한 테스트 신호들(PT_CLK,PT_DQ<0:7>,PT_CAN,PT_RAN,PT_DMI)은 'PTEST'에 응답하여 인가되는 신호들으로써, 다수의 칩이 적층되기 전에 칩의 내부 동작이 정상인지 불량인지 테스트를 통해서 판단할 수 있다. 커맨드 및 어드레스(PT_CAN,PT_RAN)신호 중 'PT_CAN'는 컬럼 커맨드와 컬럼 어드레스에 관한 신호이며, 'PT_RAN'는 로우 커맨드와 로우 어드레스에 관한 신호이다.

[0036] 신호 전달부(320)는 커맨드 및 어드레스(PT_CAN,PT_RAN) 이외에도 'PT_CLK', 'PT_DQ<0:7>', 'PT_DMI' 신호를 인가받아 제어신호 전달부(310)에서 출력한 제어 신호(PT_RAN_SEL/PT_CAN_SEL)와 개별 제어신호(PT_CHSEL)의 제어를 받아 신호(PT_CLK_SEL, PT_DQ_SEL<0:7>, PT_DMI_SEL, PT_CAN_SEL<0:6>, PT_RAN_SEL<0:6>)를 출력한다. 이때 출력된 신호(PT_CLK_SEL, PT_DQ_SEL<0:7>, PT_DMI_SEL, PT_CAN_SEL<0:6>, PT_RAN_SEL<0:6>)들은 제1랭크 및 제2랭크에 인가되는 테스트신호가 된다.

[0037] 다음으로 제어신호 생성부(310) 및 신호 전달부(320)의 상세 회로도를 통해서 제어모드 설정부의 동작에 대해 구체적으로 설명하기로 한다.

[0038] 도3은 도2의 제어신호 생성부(310)의 상세 회로도이다.

[0039] 도3을 참조하면, 제어신호 생성부는 공통 모드신호(TM_2CH)와 커맨드 및 어드레스 신호를 전송하기 위한 신호(PT_CAN<0:6>/ PT_RAN<0:6>)의 하나(PT_CAN<0> /PT_RAN<0>)가 할당되어 인가될 수 있다. 인가된 신호(PT_CAN<0> /PT_RAN<0>)는 'PTEST'신호 및 개별 제어신호(PT_CHSEL)와 조합되어 낸드 게이트와 인버터로 구성된 네트워크(network)를 통해 제어 신호(PT_CAN_SEL/PT_RAN_SEL)로써 출력된다.

[0040] 예컨대, 컬럼 계열의 커맨드가 인가되면 로우 계열의 커맨드 및 어드레스 신호를 사용하지 않게 된다. 즉, 로우 커맨드 및 어드레스 신호(PT_RAN<0:6>) 중 일부(PT_RAN<0>)를 할당하여 이를 활성화함으로써 컬럼 커맨드 정보를 가진 신호로 사용한다. 따라서, 공통 모드신호(TM_2CH)가 활성화되고, 컬럼 커맨드 정보를 갖는 신호(PT_RAN<0>)가 활성화되면 개별 제어신호(PT_CHSEL)와 관계없이 '로우' 레벨을 갖는 제어신호(PT_RAN_SEL)가 생성될 수 있다. 여기서, 'PTEST'는 전술하였듯이 테스트모드 시에 활성화되는 신호이기 때문에 제어신호(PT_RAN_SEL)는 개별 모드신호(PT_CHSEL)에 따라 논리 레벨이 결정될 수 있다.

[0041] 반면에 로우 계열의 커맨드가 인가되면 컬럼 계열의 커맨드 및 어드레스 신호를 사용하지 않게 되고, 이 중 하나(PT_CAN<0>)의 신호를 할당하여 이를 활성화함으로써 로우 커맨드 정보를 갖는 신호로 사용한다. 따라서, 공통 모드신호(TM_2CH)가 활성화되고, 로우 커맨드 정보를 갖는 신호(PT_CAN<0>)가 활성화되면 개별 제어신호(PT_CHSEL)에 관계없이 '로우' 레벨을 갖는 제어신호(PT_CAN_SEL)가 생성될 수 있다.

[0042] 이렇게 제어신호 생성부(310)에서 생성된 제어신호(PT_RAN_SEL/ PT_CAN_SEL)는 신호 전달부로 인가될 수 있다.

[0043] 도4는 도2의 신호 전달부(320)의 상세 회로도이다.

[0044] 도4를 참조하면, 신호 전달부(320)는 테스트 모드 시에 테스트채널로부터 인가받은 신호(PT_CLK,PT_DQ<0:7>,PT_DMI,PT_CAN<0:6>,PT_RAN<0:6>)를 공통 모드신호(TM_2CH)와 개별 제어신호(PT_CHSEL) 및 제어신호 생성부에서 생성된 제어신호(PT_RAN_SEL/PT_CAN_SEL)의 조합을 통해 출력 신호(PT_CLK_SEL, PT_CAN_SEL<0:6>, T_RAN_SEL<0:6>,PT_DQ_SEL<0:7>,PT_DMI_SEL)를 생성한다.

[0045] 구체적으로는 클럭과 관련된 테스트 신호인 'PT_CLK'와 데이터 입출력 테스트 신호인 'PT_DQ<0:7>'와 데이터 마스킹 테스트 신호인'PT_DMI'는 공통 모드신호(TM_2CH) 및 개별 제어신호(PT_CHSEL)와 조합되어 낸드 게이트 및 인버터로 구성된 네트워크를 통해 선택적으로 '로우' 레벨을 갖는 출력 신호(PT_CLK_SEL, PT_DQ_SEL<0:7>, PT_DMI_SEL)로써 출력된다. 또한, 컬럼 커맨드 및 어드레스 신호(PT_CAN<0:6>)는 컬럼 커맨드 정보를 갖는 제어신호(PT_RAN_SEL)의 제어를 받아 선택적으로 '로우' 레벨을 갖는 출력 신호(PT_CAN_SEL<0:6>)로써 출력된다. 또한, 로우 커맨드 및 어드레스 신호(PT_RAN<0:6>)는 로우 커맨드 정보를 갖는 제어 신호(PT_CAN_SEL)의 제어를 받아 선택적으로 '로우' 레벨을 갖는 출력 신호(PT_RAN_SEL<0:6>)로써 출력된다. 신호 전달부(320)에서 출력된 신호들(PT_CLK_SEL, PT_CAN_SEL<0:6>, PT_RAN_SEL<0:6>,PT_DQ_SEL<0:7>, PT_DMI_SEL)은 제1채널 선택부 및 제2채널 선택부를 거쳐 제1랭크 및 제2랭크로 전송된다. 참고로, 'PTEST' 신호가 인버터 2단을 거쳐 생성된 'SELECT' 신호는 도1에서 설명한 제1채널 선택부 및 제2채널 선택부로 인가된다. 'SELECT'신호에 의해 테스트 모드 시에는 신호 전달부(320)에서 출력된 신호(PT_CLK_SEL, PT_CAN_SEL<0:6>, PT_RAN_SEL<0:6>,PT_DQ_SEL<0:7>, PT_DMI_SEL)가 제1채널 및 제2채널로 인가될 수 있다. 노멀 모드 시에는 'PTEST' 신호가 비활성화됨에 따라 'SELECT' 신호가 비활성화되어 제1노멀채널 및 제2노멀채널로 인가된 노멀 신호들이 제1채널 및 제2채널로 인가될 수 있다.

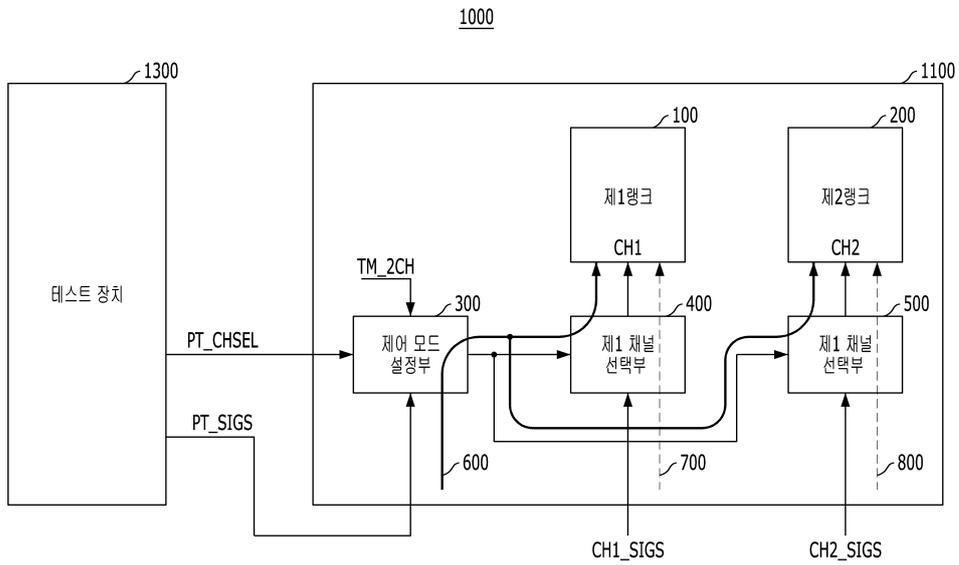
- [0046] 도5A는 종래 기술에 따라 'tRCD'를 측정함에 있어서 발생하는 문제점을 설명하기 위한 타이밍도이다.
- [0047] 공통 모드신호(TM_2CH)가 활성화된 경우에 필요에 따라 공통 제어 모드로 테스트 동작 시에 액티브 시점에서 라이트 시점까지 'tRCD'를 측정하는 경우에 공통 모드신호(TM_2CH)가 인가되어 제1채널과 제2채널이 동시에 선택되어 활성화된다. 이후 액티브 커맨드(ACT)가 인가됨에 따라 제1채널과 제2채널은 액티브 동작에 대한 테스트를 수행한다. 이때, 'tRCD'를 측정하기 위해 제1채널 및 제2채널을 개별적으로 테스트 동작을 수행하기 위해 공통 모드신호(TM_2CH)를 비활성화시키고, 개별 모드로 동작시키기 위한 추가 시퀀스(sequence) 즉 'TM_RST' 신호를 위한 추가 타이밍이 필요하게 된다. 따라서, 도5(A)의 파라미터'tRCD'가 추가 타이밍으로 인해 액티브 커맨드(ACT)가 인가된 시점부터 라이트 커맨드(WT)가 인가된 시점까지 정확하게 측정할 수 없는 문제점이 발생된다.
- [0048] 도5B는 본 발명에 따른 타이밍도로써, 액티브 동작시에 사용하지 않는 신호(컬럼 커맨드 및 어드레스 신호) 중의 하나(PT_CAN<0>)를 할당한다. 따라서 액티브 커맨드가 인가되고 할당된 신호(PT_CAN<0>)를 활성화시키면 개별 제어신호(PT_CHSEL)와 관계없이 제1채널과 제2채널이 동시에 선택된다. 이에 따라 제1채널 및 제2채널이 동시에 테스트 동작을 수행하게 된다. 이때, 'tRCD'를 측정하기 위해 개별적으로 테스트 동작을 수행하고자 하면, 할당된 신호(PT_CAN<0>)를 비활성화시키고, 개별 제어신호(PT_CHSEL)에 따라 제1채널 또는 제2채널 중 채널이 선택된다. 따라서, 개별 모드를 위한 신호의 진입/탈출에 따른 추가적인 시퀀스가 없이 사용하지 않는 신호 중 하나를 할당함으로써 제1랭크 및 제2랭크가 공통 제어 모드에서 개별 제어 모드로 바로 동작할 수 있다. 다시 말하면, 액티브 커맨드(ACT)가 인가된 시점부터 라이트 커맨드(WT) 인가된 시점까지 추가 타이밍 손실이 없이 정확한 'tRCD'를 측정할 수 있다.
- [0049] 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기록되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

부호의 설명

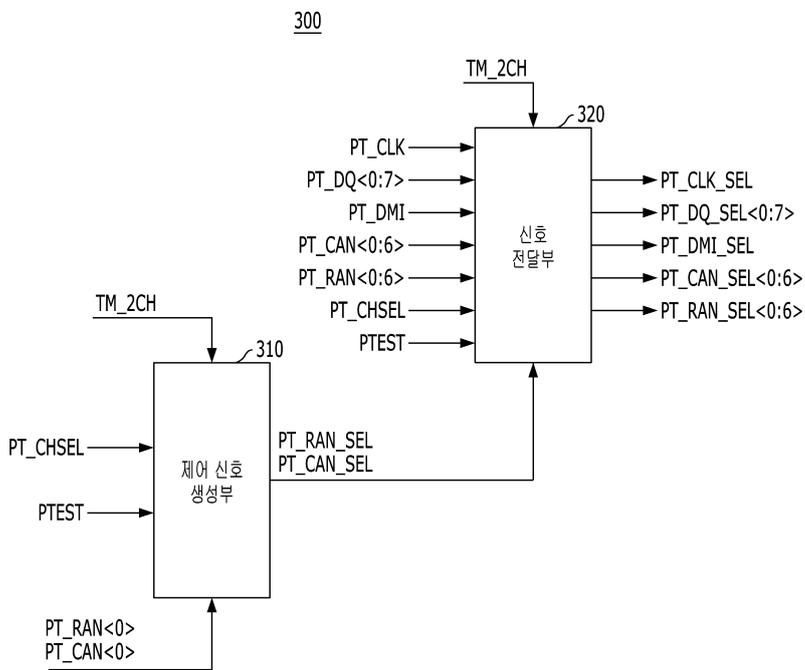
- [0050] 100: 제1랭크 200: 제2랭크
- 300: 제어모드 설정부 400: 제1채널 선택부
- 500: 제2채널 선택부 600: 테스트채널
- 700: 제1노멀채널 800: 제2노멀채널
- 1100: 메모리 1300: 테스트 장치
- 310: 제어신호 생성부 320: 신호 전달부

도면

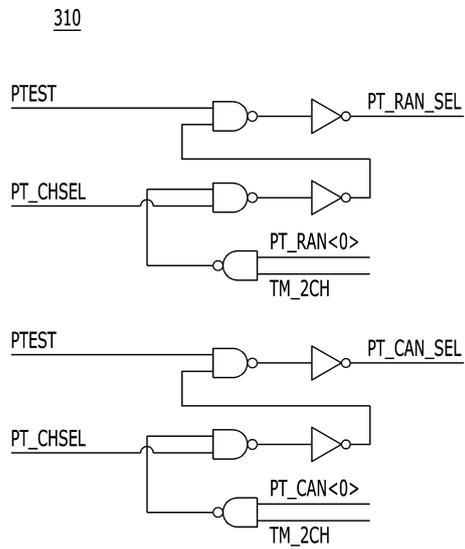
도면1



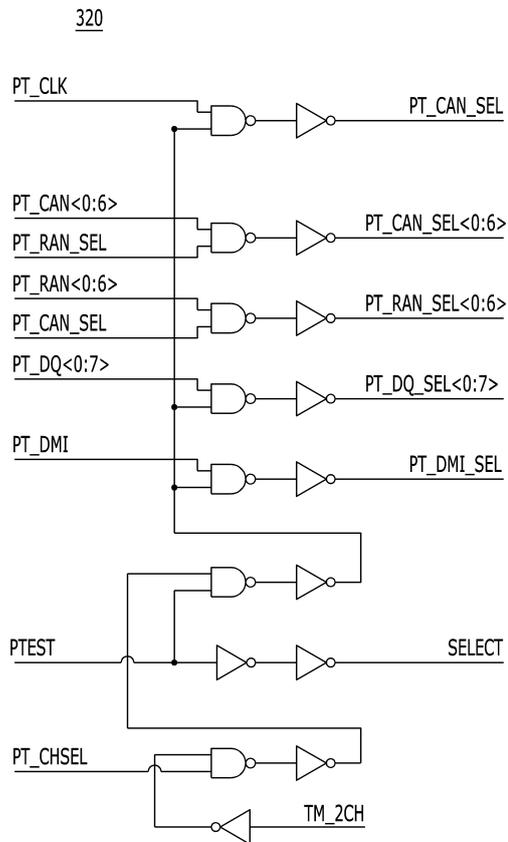
도면2



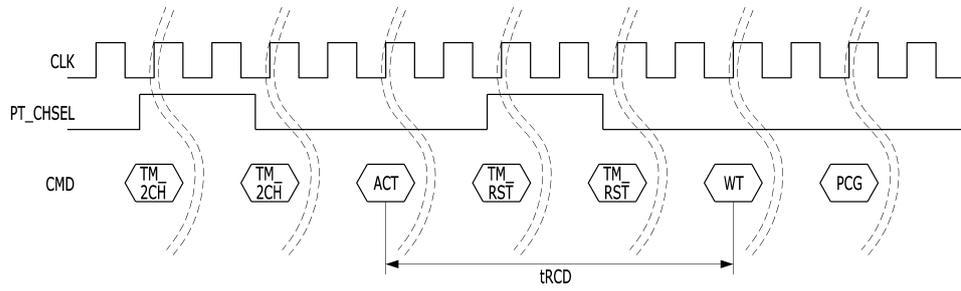
도면3



도면4



도면5a



도면5b

