

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2023年2月9日(09.02.2023)



(10) 国際公開番号

WO 2023/012893 A1

(51) 国際特許分類:  
H01L 21/8242 (2006.01) H01L 29/788 (2006.01)  
H01L 27/108 (2006.01) H01L 29/792 (2006.01)  
H01L 21/336 (2006.01) H01L 29/786 (2006.01)

(21) 国際出願番号: PCT/JP2021/028754

(22) 国際出願日: 2021年8月3日(03.08.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人(USを除く全ての指定国について):ユニ  
サンティス エレクトロニクス シンガポ  
ール プライベート リミテッド(UNISANTIS  
ELECTRONICS SINGAPORE PTE. LTD.) [SG/  
SG]; 179098 ノースブリッジロード 1  
1 1、ペニンシュラ プラザ # 2 3  
- 0 5 Singapore (SG).

(72) 発明者; および

(71) 出願人 (US についてのみ): 各 務 正 一  
(KAKUMU Masakazu) [JP/JP]; 〒1020083 東京

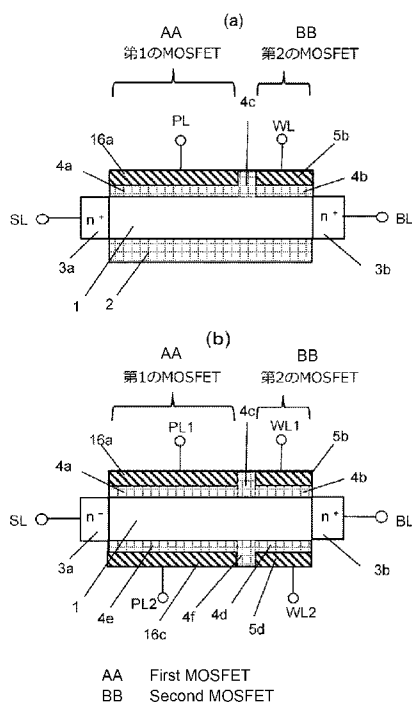
都千代田区麹町1丁目3番7号 日月館麹町ビ  
ル5階 Semicon Consulting  
株式会社内 Tokyo (JP). 作井 康司(SAKUI Koji)  
[JP/JP]; 〒1020083 東京都千代田区麹町1丁目  
3番7号 日月館麹町ビル5階 Semicon  
Consulting 株式会社内 Tokyo (JP).  
原田 望(HARADA Nozomu) [JP/JP]; 〒1020083  
東京都千代田区麹町1丁目3番7号 日月館  
麹町ビル5階 Semicon Consu  
lting 株式会社内 Tokyo (JP).

(74) 代理人: 田中 伸一郎, 外(TANAKA Shinichiro  
et al.); 〒1008355 東京都千代田区丸の内3  
丁目3番1号 新東京ビル 中村合同特  
許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保  
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,  
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,  
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,  
EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,  
HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,

(54) Title: MEMORY DEVICE USING SEMICONDUCTOR ELEMENT

(54) 発明の名称: 半導体素子を用いたメモリ装置



(57) Abstract: This memory device comprises, on a semiconductor sub-  
strate 1 that is present on an insulating film 2: an n<sup>+</sup> layer 3a and an  
n<sup>+</sup> layer 3b which are located at opposite ends, while being respectively  
connected to a source line SL and a bit line BL; a first gate insulating  
layer 4a which is formed on the semiconductor substrate; a gate conduc-  
tor layer 16a which is connected to a plate line PL; a gate insulating layer  
4b which is formed on the semiconductor substrate; and a second gate  
conductor layer 5b which is connected to a word line WL and has a work  
function that is different from the work function of the gate conductor  
layer 16a. By controlling the voltage applied to the source line SL, the  
plate line PL, the word line WL and the bit line BL, this memory device  
performs a data holding operation for holding a hole group in the vicinity  
of a gate insulating film, the hole group being generated by an impact  
ion phenomenon or a gate-induced drain leakage current inside a channel  
region 12 of the semiconductor substrate 1, and performs a data deleting  
operation for deleting the hole group from the channel region 12 and the  
substrate 1.

WO 2023/012893 A1

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,  
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,  
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,  
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,  
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,  
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

(57) 要約 : 絶縁膜2の上に存在する半導体基板1上に、両端にあるソース線SLに繋がる $n^+$ 層3aと、ビット線BLに繋がる $n^+$ 層3bと、半導体基板上に形成された第1のゲート絶縁層4aと、プレート線PLに繋がるゲート導体層16aと、半導体基板上に形成されたゲート絶縁層4bと、ワード線WLに繋がる、ゲート導体層16aとは仕事関数の異なる第2のゲート導体層5bがあり、ソース線SL、プレート線PL、ワード線WL、ビット線BLに印加する電圧を制御して、半導体基板1のチャンネル領域12の内部でインパクトイオン化現象、またはゲート誘起ドレインリーク電流により発生した正孔群をゲート絶縁膜近傍に保持するデータ保持動作と、そして、この正孔群を、基板1、チャンネル領域12内から除去するデータ消去動作を行う。

## 明 細 書

発明の名称：半導体素子を用いたメモリ装置

### 技術分野

[0001] 本発明は、半導体素子を用いたメモリ装置に関する。

### 背景技術

[0002] 近年、LSI (Large Scale Integration) 技術開発において、メモリ素子の高集積化、高性能化、低消費電力化、高機能化が求められている。

[0003] 通常のプレナー型MOSトランジスタでは、チャンネルが半導体基板の上表面に沿う水平方向に延在する。これに対して、SGTのチャンネルは、半導体基板の上表面に対して垂直な方向に延在する（例えば、特許文献1、非特許文献1を参照）。このため、SGTはプレナー型MOSトランジスタと比べ、半導体装置の高密度化が可能である。このSGTを選択トランジスタとして用いて、キャパシタを接続したDRAM (Dynamic Random Access Memory、例えば、非特許文献2を参照)、抵抗変化素子を接続したPCM (Phase Change Memory、例えば、非特許文献3を参照)、RRAM (Resistive Random Access Memory、例えば、非特許文献4を参照)、電流により磁気スピンの向きを変化させて抵抗を変化させるMRAM (Magneto-resistive Random Access Memory、例えば、非特許文献5を参照) などの高集積化を行うことができる。また、キャパシタを有しない、1個のMOSトランジスタで構成された、DRAMメモリセル（非特許文献6を参照）などがある。しかし、キャパシタを持たないDRAMは、フローティングボディのワード線からのゲート電極のカップリングに大きく左右され電圧マージンが十分とれない問題点があった。

### 先行技術文献

#### 非特許文献

[0004] 非特許文献1: Hiroshi Takato, Kazumasa Sunouchi, Naoko Okabe, Akihiro Nitayama, Katsuhiko Hieda, Fumio Horiguchi, and Fujio Masuoka: IEEE Transaction on Electron Devices, Vol.38, No.3, pp.573-578 (1991)

非特許文献2 : H. Chung, H. Kim, H. Kim, K. Kim, S. Kim, K. Dong, J. Kim, Y.C. Oh, Y. Hwang, H. Hong, G. Jin, and C. Chung: “4F2 DRAM Cell with Vertical Pillar Transistor(VPT),” 2011 Proceeding of the European Solid-State Device Research Conference, (2011)

非特許文献3 : H. S. Philip Wong, S. Raoux, S. Kim, Jiale Liang, J. R. Reifenberg, B. Rajendran, M. Asheghi and K. E. Goodson: “Phase Change Memory,” Proceeding of IEEE, Vol.98, No 12, December, pp.2201-2227 (2010)

非特許文献4 : T. Tsunoda, K. Kinoshita, H. Noshiro, Y. Yamazaki, T. Iizuka, Y. Ito, A. Takahashi, A. Okano, Y. Sato, T. Fukano, M. Aoki, and Y. Sugiyama : “Low Power and high Speed Switching of Ti-doped NiO ReRAM under the Unipolar Voltage Source of less than 3V,” IEDM (2007)

非特許文献5 : W. Kang, L. Zhang, J. Klein, Y. Zhang, D. Ravelosona, and W. Zhao: “Reconfigurable Codesign of STT-MRAM Under Process Variations in Deeply Scaled Technology,” IEEE Transaction on Electron Devices, pp.1-9 (2015)

非特許文献6 : M. G. Ertosum, K. Lim, C. Park, J. Oh, P. Kirsch, and K. C. Saraswat : “Novel Capacitorless Single-Transistor Charge-Trap DRAM (1T 1C1A DRAM) Utilizing Electron,” IEEE Electron Device Letter, Vol. 31, No.5, pp.405-407 (2010)

## 発明の概要

### 発明が解決しようとする課題

[0005] メモリ装置においてキャパシタを無くした、1個のトランジスタ型のDRAM（ゲインセル）では、ワード線とフローティング状態の素子があるボディとの容量結合カップリングが大きく、データ読み出し時や書き込み時にワード線の電位を振幅させると、直接半導体基板のボディへのノイズとして、伝達されてしまう問題点があった。この結果、誤読み出しや記憶データの誤った書

き換えの問題を引き起こし、キャパシタを無くした1トランジス型のDRAM（ゲインセル）の実用化が困難となっていた。そして、上記問題を解決すると共に、DRAMメモリセルを高密度化する必要がある。

### 課題を解決するための手段

- [0006] 上記の課題を解決するために、本発明に係るメモリ装置は、
- 水平方向に伸延する、または垂直方向に立つ半導体基板と、
  - 前記半導体基板の一端側の側面の一部、または全てを囲んだ第1のゲート絶縁層と、
  - 前記第1のゲート絶縁層に近接、もしくは繋がり、且つ前記半導体基板の他端側の側面の一部、または全てを囲んだ第2のゲート絶縁層と、
  - 前記第1のゲート絶縁層を覆った第1のゲート導体層と、
  - 前記第2のゲート絶縁層を覆った第1のゲート導体層とは仕事関数が異なる第2のゲート導体層と、
  - 前記半導体基板が伸延する方向において、前記第1のゲート導体層の一端の外側にある第1の不純物層と、前記第2のゲート導体層の一端の外側にある第2の不純物層と、
  - 前記第1の不純物層に接続した第1の配線導体層と、
  - 前記第2の不純物層に接続した第2の配線導体層と、
  - 前記第1のゲート導体層に接続した第3の配線導体層と、
  - 前記第2のゲート導体層に接続した第4の配線導体層と、を有し、
  - 前記第1の配線導体層と、前記2の配線導体層と、前記3の配線導体層と、前記4の配線導体層と、に印加する電圧を制御して、前記第1の不純物層と前記第2の不純物層との間に流す電流でインパクトイオン化現象、またはゲート誘起ドレインリーク電流により電子群と正孔群を前記半導体母体内に発生させる動作と、発生させた前記電子群と前記正孔群の内、前記半導体母体における少数キャリアである前記電子群と前記正孔群のいずれかを除去する動作と、前記半導体母体における多数キャリアである前記電子群と前記正孔群のいずれかの一部または全てを、前記半導体母体に残存させる動作と、

を行ってメモリ書き込み動作を行い、

前記第1の配線導体層と、前記第2の配線導体層と、前記第3の配線導体層と、前記第4の配線導体層とに印加する電圧を制御して、前記第1の不純物層と、前記第2の不純物層の一方もしくは両方から、残存している前記半導体母体における多数キャリアである前記電子群と前記正孔群のいずれかを抜き取り、メモリ消去動作を行う、

ことを特徴とする（第1発明）。

[0007] 第2発明は、上記の第1発明において、前記第1の配線導体層はソース線であり、前記第2の配線導体層はビット線であり、前記第3の配線導体層はプレート線であり、前記第4の配線導体層はワード線であり、

前記ソース線と、前記ビット線と、前記プレート線と、前記ワード線に印加する電圧により、前記メモリ消去動作と、前記メモリ書き込み動作とを行い、

前記第1の不純物層の多数キャリアは電子であり、前記半導体基板の多数キャリアは正孔であり、前記第1のゲート導体層の仕事関数は前記第2のゲート導体層の仕事関数よりも大きい、

ことを特徴とする（第1発明）。

[0008] 第3発明は、上記の第1発明において、前記第1の配線導体層はソース線であり、前記第2の配線導体層はビット線であり、前記第3の配線導体層は第1の駆動制御線であり、前記第4の配線導体層はワード線であり、

前記ソース線と、前記ビット線と、前記第1の駆動制御線と、前記ワード線に印加する電圧により、前記メモリ消去動作と、前記メモリ書き込み動作と、を行い、

前記第1の不純物層の多数キャリアは正孔であり、前記半導体基板の多数キャリアは電子であり、前記第1のゲート導体層の仕事関数は前記第2のゲート導体層の仕事関数よりも小さい、

ことを特徴とする（第3発明）。

[0009] 第4発明は、上記の第1発明において、前記第1のゲート導体層と前記第

2のゲート導体層が重なって形成されており、かつこれらの仕事関数が異なることを特徴とする（第4発明）。

### 図面の簡単な説明

[0010] [図1]第1実施形態に係るダイナミック フラッシュ メモリの片側電極、両側電極の断面構造を示す図である。

[図2]第1実施形態に係る片側電極の場合のダイナミック フラッシュ メモリの書き込み動作、動作直後のキャリアの蓄積、エネルギーバンド図を説明するための図である。

[図3]第1実施形態に係る片側電極の場合のダイナミック フラッシュ メモリの書き込み動作直後の正孔キャリアの蓄積、挙動と消去動作を説明するための図である。

[図4]第1実施形態に係る両側電極の場合のダイナミック フラッシュ メモリの書き込み動作、動作直後正孔キャリアの蓄積、エネルギーバンド図を説明するための図である。

[図5]第1実施形態に係る両側電極で片側だけ仕事関数の高いゲート電極を用いた場合のダイナミック フラッシュ メモリの書き込み動作、動作直後のキャリアの蓄積、エネルギーバンド図を説明するための図である。

[図6]第1実施形態に係る3次元構造を有するダイナミック フラッシュ メモリセルの書き込み動作、動作直後のキャリアの蓄積状態、を説明するための図である。

[図7]第1実施形態に係る片側電極の場合のダイナミック フラッシュ メモリの書き込み動作直後の電子キャリアの蓄積、エネルギーバンド図を説明するための図である。

[図8]第1実施形態に係る片側電極を用いたダイナミック フラッシュ メモリ構造でワード線WLとプレート線PLに接続されるゲートが重なる構造を持つダイナミック フラッシュ メモリの書き込み動作、動作直後のキャリアの蓄積を説明するための図である。

### 発明を実施するための形態

[0011] 以下に、本発明に係る、半導体素子を用いたメモリ装置（ダイナミックフラッシュメモリと呼ぶ）の構造、駆動方式、蓄積キャリアの挙動について、図面を参照しながら説明する。

[0012] （第一実施形態）

図1～図7を用いて、本発明の第1実施形態に係るダイナミックフラッシュメモリセルの構造と動作メカニズムを説明する。そして図1を用いてゲート電極が片側と両側にある場合のダイナミックフラッシュメモリセル構造をそれぞれ説明する。図2を用いて、ダイナミックフラッシュメモリの書き込みメカニズムとキャリアの挙動、図3を用いてデータ消去メカニズムを、図4を用いて両側電極のダイナミックフラッシュメモリの書き込みメカニズムとキャリアの挙動、図5を用いて両側電極で片側だけ仕事関数の違う場合のダイナミックフラッシュメモリの書き込みメカニズムとキャリアの挙動、図6を用いて3次元のダイナミックフラッシュメモリのセル構造と書き込み時におけるキャリアの蓄積状況、図7を用いてダイナミックフラッシュメモリの過剰キャリアが電子の場合の書き込み時のキャリアの蓄積状況、図8を用いてゲート導体層が重なる場合のダイナミックフラッシュメモリのセル構造と書き込み時におけるキャリアの蓄積状況を説明する。

[0013] 図1(a)に、本発明の第1実施形態に係る、プレナー型に類するダイナミックフラッシュメモリの断面構造を示す。アクセプタ不純物を含むp型又はi型（真性型）の導電性を有するシリコン半導体の基板1（特許請求の範囲の「基板」の一例である）の水平方向の一方の側にn<sup>+</sup>層3a（以下、ドナー不純物を高濃度で含む半導体領域を「n<sup>+</sup>層」と称する。）（特許請求の範囲の「第1の不純物層」の一例である）がある。n<sup>+</sup>層3aの反対側にn<sup>+</sup>層3b（特許請求の範囲の「第2の不純物層」の一例である）がある。半導体基板1の下には絶縁層2があり、半導体基板1の将来チャネル領域となる部分の上部にはゲート絶縁層4a（特許請求の範囲の「第1のゲート絶縁層」の一例である）と、ゲート絶縁層4b（特許請求の範囲の「第2のゲート絶縁層」の一例である



)とがある。このゲート絶縁層4aと、ゲート絶縁層4bは、 $n^+$ 層3a、3bに、それぞれ接するか、または近接している。このゲート絶縁層4aの上側には、それぞれゲート導体層16a（特許請求の範囲の「第1のゲート導体層」の一例である）、ゲート導体層5b（特許請求の範囲の「第2のゲート導体層」の一例である）がある。ゲート導体層16aの仕事関数は、ゲート導体層5bのそれと異なる値となっている。そして、ゲート導体層16a、ゲート導体層5bは絶縁層4cにより分離されている。これにより $n^+$ 層3a、3b、基板1、ゲート絶縁層4a、ゲート絶縁層4b、ゲート導体層16a、ゲート導体層5b、からなるダイナミックフラッシュメモリセルが形成される。そして、 $n^+$ 層3aは配線導電体であるソース線SL（特許請求の範囲の「ソース線」の一例である）に接続している。 $n^+$ 層3bは配線導電体であるビット線BL（特許請求の範囲の「ビット線」の一例である）に接続している。ゲート導体層16aは配線導電体であるプレート線PL（特許請求の範囲の「プレート線」の一例である）に接続している。ゲート導体層5bは配線導電体であるワード線WL（特許請求の範囲の「ワード線」の一例である）に接続している。本実施形態のメモリ装置では、上述のダイナミックフラッシュメモリセルが複数、基板1上に2次元状に配置されている。

[0014] なお、図1(a)ではゲート導体層16aとゲート導体層5b、絶縁層4aと絶縁層4bがそれぞれひとつとして示しているが、それらを複数に分割してもよい。例えば、ゲート導体層16aとゲート絶縁層4aをそれぞれ2つに分割して、分割したゲート導体層16aのそれぞれをプレート線の導体電極としてプレート線に接続し、それらを同期又は非同期で動作させてもよい。

[0015] 図1(b)は、基板1の上側に、ゲート絶縁層4a、4b、ゲート導体層16a、5bを設け、基板1の下側にゲート絶縁層4e、4d、ゲート導体層16c、5dを設けた実施形態を示している。図1(b)に示すように、ゲート絶縁層4aの上にゲート導体層16aを、ゲート絶縁層4e（特許請求の範囲の「第1のゲート絶縁層」の一例である）の下にゲート導体層16c（特許請求の範囲の「第1のゲート導体層」の一例である）を設けている。さらに、それぞれをプレート線の導体電極

として、PL1、PL2（特許請求の範囲の「プレート線」の一例である）に接続しそれらが同期または非同期で動作させてもよい。同様に、ゲート導体層5bをゲート絶縁層4bの上に設け、ゲート絶縁層4d（特許請求の範囲の「第2のゲート絶縁層」の一例である）の下にゲート導体層5d（特許請求の範囲の「第2のゲート導体層」の一例である）を設け、それぞれをワード線の導体電極として、WL1、WL2（特許請求の範囲の「ワード線」の一例である）に接続し同期または非同期で動作させてもよい。これによっても、ダイナミックフラッシュメモリ動作がなされる。

[0016] また、図1(b)ではゲート導体層16a、ゲート導体層16c（特許請求の範囲の「第1のゲート導体層」の一例である）の仕事関数がどちらもゲート導体層5b、ゲート導体層5d（特許請求の範囲の「第2のゲート導体層」の一例である）よりも大きくしているが、ゲート導体層16a、もしくはゲート導体層16cのうちどちらか一方がゲート導体層5b、ゲート導体層5dのどちらかと仕事関数が異なっても効果は同じである。

[0017] また、図1(a)、(b)では基板1がp型又はi型の半導体としたが、基板1（特許請求の範囲の「基板」の一例である）の中に不純物の濃度のプロファイルが存在してもよい。さらにn<sup>+</sup>層3aと3bを正孔が多数キャリアであるp<sup>+</sup>層（以下、アクセプタ不純物を高濃度で含む半導体領域を「p<sup>+</sup>層」と称する。）で形成したときは基板をn型又はi型の半導体とすれば書き込みのキャリアを電子とすることでダイナミックフラッシュメモリの動作がなされる。

[0018] また、ゲート導体層5b、ゲート導体層5d（特許請求の範囲の「第2のゲート導体層」の一例である）、ゲート導体層16a、ゲート導体層16c（特許請求の範囲の「第1のゲート導体層」の一例である）で示されたゲート材料は不純物濃度を変えた半導体で形成されてもよい。さらに、例えばW、Pd、Ru、Al、TiN、Ta<sub>2</sub>N<sub>5</sub>、WNのような金属、金属の窒化物、もしくはその合金（シリサイドを含む）、例えばTiN/W/Ta<sub>2</sub>N<sub>5</sub>のような積層構造であってもよい。

[0019] また、ゲート導体層5b（特許請求の範囲の「第2のゲート導体層」の一例

である)とゲート導体層16a(特許請求の範囲の「第1のゲート導体層」の一例である)が互いに重なる形状であってもよい。

[0020] 図2を参照して、図1(a)に示した本発明の第1実施形態に係るダイナミックフラッシュメモリの書き込み動作時のキャリア挙動、蓄積、エネルギーバンド図を説明する。まず $n^+$ 層3aと $n^+$ 層3bの多数キャリアが電子である。たとえばワード線WLに接続されるゲート導体層5bに $n^+$  poly(以下、ドナー不純物を高濃度で含むpoly Siを「 $n^+$  poly」と称する。)を使用し、プレート線PLに接続されるゲート導体層16aに $p^+$  polyを(以下、アクセプタ不純物を高濃度で含むpoly Siを「 $p^+$  poly」と称する。)使用する。ソース線SLの接続された $n^+$ 層3aに例えば0Vを入力し、ビット線BLの接続された $n^+$ 層3bに例えば3Vを入力し、プレート線PLの接続されたゲート導体層16aに、例えば、3Vを入力し、ワード線WLの接続されたゲート導体層5bに、例えば、5Vを入力する。その結果、図2(a)に示したように、ゲート絶縁層4a、4b、4cの直下にある基板1には空乏層領域8が形成される。また、プレート線PLに接続されたゲート導体層16aを有する第1のMOSFETにおいて、ゲート導体層16aの下に、反転層12aがゲート絶縁層4aの直下に形成されるが、ゲート絶縁層4bの直下の電位はゲート導体層5bよりも大きくなる。そのために、第1のMOSFETから第2のMOSFETのある部分で反転層は消滅し、プレート線PLの接続されたゲート導体層16aの下にあるゲート絶縁層4aの直下にはピンチオフ点13が存在する。したがってゲート導体層16aを有する第1のMOSFETは飽和領域で動作する。

[0021] 一方で、ワード線WLの接続されたゲート導体層5bを有する第2のMOSFETにおいて、ゲート絶縁層4b直下の基板1のゲート絶縁層4bの界面電位は必ずゲート電極5bよりも低くなるためにピンチオフ点は存在せず全面に反転層12bが形成される。このワード線WLの接続されたゲート導体層5bの下部に全面に形成された反転層12bは、ゲート導体層16aを有する第1のMOSFETの実質的なドレインとして働く。この結果、直列接続されたゲート導体層16aを有する第1のMOSFETと、ゲート導体層5bを有する第2のMOSFETとの間の空乏層となっている領域8の中でピンチオフ点13と反転層12bの境界領域の間で電界は最大となり、

この領域でインパクトイオン化現象が生じる。このインパクトイオン化現象により、ソース線SLの接続されたn<sup>+</sup>層3aからビット線BLの接続されたn<sup>+</sup>層3bに向かって加速された電子がSi格子に衝突し、その運動エネルギーによって、電子・正孔対が生成される。生成された電子の一部は、ゲート導体層16aとゲート導体層5bに流れるが、大半はビット線BLに接続されたn<sup>+</sup>層3bに流れる。

[0022] なお、上記のインパクトイオン化現象を起こさせる代わりに、ゲート誘起ドレインリーク（GIDL）電流を流して正孔群を生成してもよい（例えば、E. Yoshida, T. Tanaka, “A Capacitorless 1T-DARM Technology Using Gate-Induced Drain-Leakage (GIDL) Current for Low-Power and High-Speed Embedded Memory”, IEEE Trans, on Electron Devices vol.53, pp.692-697 (2006)参照）。

[0023] 図2(b)には書き込み直後、すべてのバイアスが0Vになったときの空乏層領域8と正孔群11を示す。生成された正孔群11は、基板1の多数キャリアであり、その濃度の勾配によって移動するが、短時間的には基板1に蓄積され、非平衡状態では実質的に正バイアスに充電する。また、空乏層内の正孔は電界によってソース線SL側に移動し、電子と再結合する。第1のMOSFETと第2のMOSFETのしきい値電圧は、基板1に一時的に蓄積される正孔により正の基板バイアス効果によって、低くなる。これにより、図2(c)に示すように、ワード線WLの接続された第2のMOSFETのしきい値電圧は、低くなる。この書き込み状態を論理記憶データ“1”に割り当てる。

[0024] なお、上記のビット線BL、ソース線SL、ワード線WL、プレート線PLに印加する電圧条件は、書き込み動作を行うための一例であり、書き込み動作ができる他の動作条件であってもよい

[0025] 本発明の構造によれば、ワード線WLに接続されるゲート導体層5bにn<sup>+</sup> polyを使用しているので、上記に説明したように第2のMOSFETは表面チャネル型のMOSFETとなり、キャリア移動の制御性がよくなる。それと同時に、ワード線WLをプラスにした時にできる反転層12bから伸びた第1のMOSFETにとってのドレインエッジが非常に鋭くなるためにインパクトイオン化の効率がよくなり、

ダイナミック フラッシュ メモリの“1”書き込みが効率的にできることになる。一方で $n^+$  polyよりも仕事関数の大きい $p^+$  polyをプレート線PLに接続されるゲート導体層16aに用いたことにより、インパクトイオン化によって発生した過剰な正孔は図2(d)のエネルギーバンドに示すがごとく、ゲート絶縁層4aに隣接する基板1の表面近くに蓄積されることになる。そのために、導体層16aからの蓄積正孔への制御性が $n^+$  poly使用時に比べて向上する。さらに、空乏層領域8が第2のM0SEFT近傍だけに形成されるために、正孔を蓄積できる実効的な体積がゲート導体層16aに $n^+$  polyを使用した時に比べて増加できる。これらのために、このメモリ素子として基板に全体の基板バイアスの効果があり、さらに記憶を保持する時間が長くなり、“1”書き込みの電圧マージンが広がる。

[0026] なお、図2ではゲート導体層16aとゲート導体層5bの組み合わせとして $p^+$  poly(仕事関数 5.15eV)と $n^+$  poly(仕事関数 4.05eV)の組み合わせを例として示したが、これはNi(仕事関数 5.2eV)と $n^+$  poly、NiとW(仕事関数 4.52eV)、NiとTa<sub>2</sub>N(仕事関数 4.0eV)/W/TiN(仕事関数 4.7 eV)など金属、金属の窒化物、もしくはその合金(シリサイドを含む)、積層構造であってもよい。

[0027] 次に、図3を用いて、図1(a)に示した第1実施形態のダイナミック フラッシュ メモリの消去動作メカニズムを説明する。図3(a)は、消去動作前に、前のサイクルでインパクトイオン化により生成された正孔群11が基板1に蓄えられ、すべてのバイアスが0Vになった直後の状態を示している。図3(b)に示すように、消去動作時には、ソース線SLの電圧を、負電圧 $V_{ERA}$ にする。ここで、 $V_{ERA}$ は、例えば、-3Vである。その結果、基板1の初期電位の値に関係なく、ソース線SLが接続されているソースとなる $n^+$ 層3aと基板1のPN接合が順バイアスとなる。その結果、前のサイクルでインパクトイオン化により生成された、基板領域1に蓄えられていた正孔群11が、ソース線に接続されている $n^+$ 層3aに移動し、基板1の電位は時間とともに低くなり、第2のMOSFETのしきい値電圧は、“1”を書き込んだ時よりも高くなり、初期の状態に戻る。これに

より、図3(c)に示すように、このワード線WLが接続されたゲート導体層5bをもつ第2のMOSFETは元々のしきい値に戻る。この基板領域1の消去状態は論理記憶データ“0”となる。

[0028] なお、上記のビット線BL、ソース線SL、ワード線WL、プレート線PLに印加する電圧条件は、消去動作を行うための一例であり、消去動作ができる他の動作条件であってもよい

[0029] 本実施形態の構造によれば、プレート線PLに接続されるゲート導体層16aに $p^+$  polyを使用しているので基板1と $n^+$ 層3aの界面状態は均一であり、かつ空乏層がほとんどない状態になり、 $n^+$ 層3aに負の電位を与えると非常に効率よく正孔と電子の再結合を促すことができ、消去の時間を短縮することができる。

[0030] 図4を用いて本発明の図1(b)に示した実施形態のように、ゲート導体層が基板の上下にあり、かつそれぞれのゲート導体層が複数に分割されている場合のダイナミックフラッシュメモリの書き込み状態における正孔キャリアの挙動、蓄積、エネルギーバンド図を説明する。図4(a)に示すようにゲート導体層16aとゲート導体層16cを、ゲート絶縁層4aとゲート絶縁層4c上にそれぞれ $p^+$  polyを使用して形成し、ゲート導体層5bとゲート導体層5dをゲート絶縁層4bと絶縁層4d上にそれぞれ $n^+$  polyを使用して形成している。図2で説明した時と同じく、例えばソース線SLの接続された $n^+$ 層3aに例えば0Vを入力し、ビット線BLの接続された $n^+$ 層3bに例えば3Vを入力し、プレート線PL1とPL2にそれぞれ接続されたゲート導体層16aとゲート導体層16cに、例えば、3Vを入力し、ワード線WL1とWL2にそれぞれ接続されたゲート導体層5bとゲート導体層5dに、例えば、5Vを入力する。その結果、図4(a)に示したように、ゲート絶縁層4a、4b、4c、4d、4e、4fの直下にある基板1には空乏層領域8が形成される。また、ゲート導体層16aとゲート導体層16cを有する第1のMOSFETは飽和領域で動作し、空乏層となっている領域8の中でピンチオフ点13と反転層12bまたは12dの境界領域の間で電界は最大となり、この領域でインパクトイオン化現象が生じる。このインパクトイオン化現象により、ソース線SLの接続

された $n^+$ 層3aからビット線BLの接続された $n^+$ 層3bに向かって加速された電子がSi格子に衝突し、その運動エネルギーによって、電子・正孔対が生成される。

[0031] 図4(a)に示すように、生成された正孔群11は、短時間的には基板領域1に蓄積され、非平衡状態では実質的に正バイアスに充電する。ワード線WLの接続された第2のMOSFETのしきい値電圧は、低くなり、“1”の書き込みができる。図4(b)にはダイナミックフラッシュメモリに“1”書き込み直後にすべてのバイアスを0にしたい瞬間の蓄積された正孔11の状態を空乏層8とともに示した。この時のエネルギーバンドは図4(c)で示すように生成された正孔が基板1とゲート絶縁層4aとゲート絶縁層4bの界面付近に蓄積され、ゲート導体層16a、およびゲート導体層16cからの蓄積正孔への制御性が $n^+$  poly使用時に比べて向上する。さらに、空乏層領域8が第2のMOSFET近傍だけに形成されるために、正孔を蓄積できる実効的な体積がゲート導体層16aおよびゲート導体層16cに $n^+$  polyを使用した時に比べて増加できる。このためメモリ素子として基板に全体の基板バイアスの効果があがり、さらに記憶を保持する時間が長くなり、“1”書き込みの電圧マージンが広がる。また、消去の場合にも図3で説明した理由により消去時間の短縮効果を得られる。

[0032] なお、図4で示した例では、プレート線PL1とPL2に同じ電圧を、また、ワード線WL1とWL2に同じ電圧を与えているが、別々にそれぞれが独立した電圧を与えてもよいし、それぞれ同期した電圧の与え方でも本発明によって得られる効果は同じである。

[0033] また、図4においてはプレート線PL1とPL2に接続されるゲート導体層16aとゲート導体層16cに同じ材料を用いていたが、これはどちらかに一方だけ仕事関数の違う材料を適用するだけでも効果は同じである。例えば図5に示す例ではゲート導体層5aには $n^+$  polyを、ゲート導体層16cに $p^+$  polyを用いてそれぞれプレート線PL1とPL2に接続をしている。書き込み条件は図4に説明したバイアス条件と同じである。ダイナミックフラッシュメモリに“1”の書き込み動作直後の正孔の様子、およびその時のエネルギーバンドを図5(b)に

示す。この場合も書き込み直後に正孔がゲート導体層16c側に接するゲート絶縁層4cの直下に蓄積されることになり、これまで述べてきたことと同様に“1”書き込み時の正孔の蓄積効率向上、消去動作時間の短縮効果がある。

[0034] さらに本発明は今まで述べてきたような基板1平面上に素子を形成する構造だけでなく図6に示すような3次元構造を持つSGTを基本とするダイナミックフラッシュメモリにおいても本発明は有効である。図6(a)ではゲート導体層16aをゲート絶縁層4aの周囲に $p^+$  polyを使用して形成し、ゲート導体層5bをゲート絶縁層4bの周囲に $n^+$  polyを使用して形成されたダイナミックフラッシュメモリを示している。ここで、ゲート導体層16とゲート導体層5bは、異なる値の仕事関数を有する。また、図6(b)には、3次元構造をより理解しやすくするために、一部の膜を除去した構造を示した。この構造では例えばソース線SLの接続された $n^+$ 層3aに例えば0Vを入力し、ビット線BLの接続された $n^+$ 層3bに例えば3Vを入力し、プレート線PLに接続されたゲート導体層16aに例えば、3Vを入力し、ワード線WLに接続されたゲート導体層5bに、例えば、5Vを入力する。その結果、ゲート導体層16aを有する第1のMOSFETは飽和領域で動作し、生成された正孔群11は、短時間的には基板領域1に蓄積され、非平衡状態では実質的に正バイアスに充電する。ワード線WLの接続された第2のMOSFETのしきい値電圧は、低くなり、“1”の書き込みができる。図6(c)には、ダイナミックフラッシュメモリに“1”書き込み直後にすべてのバイアスを0にした瞬間のゲート導体層16aの水平断面での蓄積された正孔11の状態を示した。図6(c)に示すように、湧き出した正孔が基板1とゲート絶縁膜4aの界面付近に蓄積され、第1のゲート導体層16aからの蓄積正孔への制御力が $n^+$  poly使用時に比べてより大きくなる。さらに、空乏層領域8が第2のMOSFET近傍だけになるために、正孔を蓄積できる実効的な体積が $n^+$  poly使用時に比べてより大きくできる。これらのためにこのメモリ素子として基板に全体の基板バイアスの効果があがり、さらに記憶を保持する時間が長くなり、“1”書き込みの電圧マージンが広がる。消去の場合にも図3で説明した理由により消去時間の短縮効果を得られる。



[0035] これらの効果は基板1の多数キャリアが電子であり、図2で示す3a、3bにあたる多数キャリアが正孔のダイナミックフラッシュメモリの場合にも同様の効果が得られる。基板1の多数キャリアが電子である場合のダイナミックフラッシュメモリの構造における書き込み動作を図7(a)に示す。たとえばワード線WLに接続されるゲート導体層16bにはp<sup>+</sup> polyを使用し、プレート線PLに接続されるゲート導体層5aにはn<sup>+</sup> polyを使用すると仮定する。第2のMOSFETは正孔を多数キャリアとした表面チャネル型のMOSFETとなり、キャリア移動の制御性がよくなると同時に、第2のMOSFETの反転層から伸びたドレインエッジが非常に鋭くなるためにインパクトイオン化の効率がよくなり、ダイナミックフラッシュメモリの“1”書き込みが効率的にできることになる。一方でインパクトイオン化によって発生した過剰電子はプレート線PLの表面近くに蓄積されることになり、ゲート導体層5aからの蓄積電子への制御性がp<sup>+</sup> poly使用時に比べて向上するために、このメモリ素子として基板に全体の基板バイアスの効果があがる。さらに空乏層領域8が第2のMOSFET近傍だけに形成されるために、電子を蓄積できる実効的な体積がゲート導体層5aにp<sup>+</sup> polyを使用した時に比べて増加できる。したがって記憶を保持する時間が長くなり、“1”書き込みの電圧マージンが広がる（この場合は基板に過剰電子がある場合は論理データ“1”である）。また、消去の場合にも今まで説明した理由により消去時間の短縮効果を得られ、ダイナミックフラッシュメモリの動作マージンは向上する。

[0036] また、図2ではワード線WLに接続されるゲート導体層5bと第1のゲート導体層16aが重ならない構造を用いて説明をしていたが、図8(a)、(b)に示すようにゲート導体層5bと導体層16aが重なった構造でも本発明によるダイナミックフラッシュメモリへの効果は全く同じである。

[0037] 本実施形態は、下記の特徴を有する。

(特徴1)

本発明の第1実施形態に係るダイナミックフラッシュメモリの書き込みの際に仕事関数の異なるゲート導体層を用いることで論理データ“1”の書

き込みの場合には、書き込むために基板に蓄積された多数キャリアが、プレート線PLに接続されるゲート導体層の直下に蓄積されるためにその蓄積量が多くなり、かつ情報保持時間が長くなる。また、データ消去時にはソース線SLに接続されているn<sup>+</sup>層3aとの間に空乏層ができないので、消去が短い時間で行える。これらのことにより、メモリの動作マージンを拡大でき、メモリの消費電力を低減でき、メモリの高速動作に繋がる。

[0038] (特徴2)

図1におけるゲート導体層16aおよびゲート導体層16cはダイナミックフラッシュメモリの論理データ“1”書き込み時に過剰キャリアを蓄積する際にワード線WLに接続されるゲート導体層とは異なる仕事関数を用いることでゲート導体層16a、もしくはゲート導体層16cの直下のゲート絶縁層4a、もしくは4cの直下に過剰キャリアが蓄積されるためにそのデータ保持時間が長くなり、また、ダイナミックフラッシュメモリの動作電圧マージンを広げることができる。また、論理データ“1”から“0”への消去時にも過剰キャリアを引き抜く部分で空乏層が形成されないために消去時間を短くできる。以上により、より高密度、高性能のダイナミックフラッシュメモリを実現できる。

[0039] (特徴3)

本発明は、いかなる構造のダイナミックフラッシュメモリに適用でき、プレート線PLとソース線SLに接続されるそれぞれのゲート導体層の中の一つでも仕事関数を変えることができれば、本発明の効果を奏する。

[0040] (特徴4)

プレート線PLとソース線SLに接続されるそれぞれのゲート導体層が互いに重ねる構造をもつダイナミックフラッシュメモリにおいても互いの仕事関数を変えることで同様の効果を奏する。

[0041] また、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した各実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定する

ものではない。上記実施例及び変形例は任意に組み合わせることができる。さらに、必要に応じて上記実施形態の構成要件の一部を除いても本発明の技術思想の範囲内となる。

### 産業上の利用可能性

[0042] 本発明に係る、半導体素子を用いたメモリ機能を用いれば、従来よりも、記憶する時間の長い、消費電力の少ない高速のダイナミック フラッシュメモリを提供することができる。

### 符号の説明

[0043] 1 基板  
2 絶縁膜  
3a、3b n<sup>+</sup>層  
4a ゲート絶縁層  
4b ゲート絶縁層  
4e ゲート絶縁層  
4d ゲート絶縁層  
4c、4f 絶縁膜  
5a ゲート導体層  
5b ゲート導体層  
5d ゲート導体層  
8 空乏層領域  
11 正孔群  
12a、12b、12c、12d 反転層  
13 ピンチオフ点  
SL ソース線  
PL プレート線  
WL ワード線  
BL ビット線  
16a ゲート導体層

16b ゲート導体層

16c ゲート導体層

21 電子群

23a、23b p<sup>+</sup>層

## 請求の範囲

[請求項1]

水平方向に伸延する、または垂直方向に立つ半導体基板と、

前記半導体基板の一端側の側面の一部、または全てを囲んだ第1のゲート絶縁層と、

前記第1のゲート絶縁層に近接、もしくは繋がり、且つ前記半導体基板の他端側の側面の一部、または全てを囲んだ第2のゲート絶縁層と、

前記第1のゲート絶縁層を覆った第1のゲート導体層と、

前記第2のゲート絶縁層を覆った第1のゲート導体層とは仕事関数が異なる第2のゲート導体層と、

前記半導体基板が伸延する方向において、前記第1のゲート導体層の一端の外側にある第1の不純物層と、前記第2のゲート導体層の一端の外側にある第2の不純物層と、

前記第1の不純物層に接続した第1の配線導体層と、

前記第2の不純物層に接続した第2の配線導体層と、

前記第1のゲート導体層に接続した第3の配線導体層と、

前記第2のゲート導体層に接続した第4の配線導体層と、を有し、

前記第1の配線導体層と、前記第2の配線導体層と、前記第3の配線導体層と、前記第4の配線導体層と、に印加する電圧を制御して、前記第1の不純物層と前記第2の不純物層との間に流す電流でインパクトイオン化現象、またはゲート誘起ドレインリーク電流により電子群と正孔群を前記半導体母体内に発生させる動作と、発生させた前記電子群と前記正孔群の内、前記半導体母体における少数キャリアである前記電子群と前記正孔群のいずれかを除去する動作と、前記半導体母体における多数キャリアである前記電子群と前記正孔群のいずれかの一部または全てを、前記半導体母体に残存させる動作と、を行ってメモリ書き込み動作を行い、

前記第1の配線導体層と、前記第2の配線導体層と、前記第3の配

線導体層と、前記第4の配線導体層とに印加する電圧を制御して、前記第1の不純物層と、前記第2の不純物層の一方もしくは両方から、残存している前記半導体母体における多数キャリアである前記電子群と前記正孔群のいずれかを抜き取り、メモリ消去動作を行う、ことを特徴とする半導体素子を用いたメモリ装置。

[請求項2] 前記第1の配線導体層はソース線であり、前記第2の配線導体層はビット線であり、前記第3の配線導体層はプレート線であり、前記第4の配線導体層はワード線であり、

前記ソース線と、前記ビット線と、前記プレート線と、前記ワード線に印加する電圧により、前記メモリ消去動作と、前記メモリ書き込み動作とを行い、

前記第1の不純物層の多数キャリアは電子であり、前記半導体基板の多数キャリアは正孔であり、前記第1のゲート導体層の仕事関数は前記第2のゲート導体層の仕事関数よりも大きい、

ことを特徴とする、請求項1に記載の半導体素子を用いたメモリ装置。

[請求項3] 前記第1の配線導体層はソース線であり、前記第2の配線導体層はビット線であり、前記第3の配線導体層は第1の駆動制御線であり、前記第4の配線導体層はワード線であり、

前記ソース線と、前記ビット線と、前記第1の駆動制御線と、前記ワード線に印加する電圧により、前記メモリ消去動作と、前記メモリ書き込み動作と、を行い、

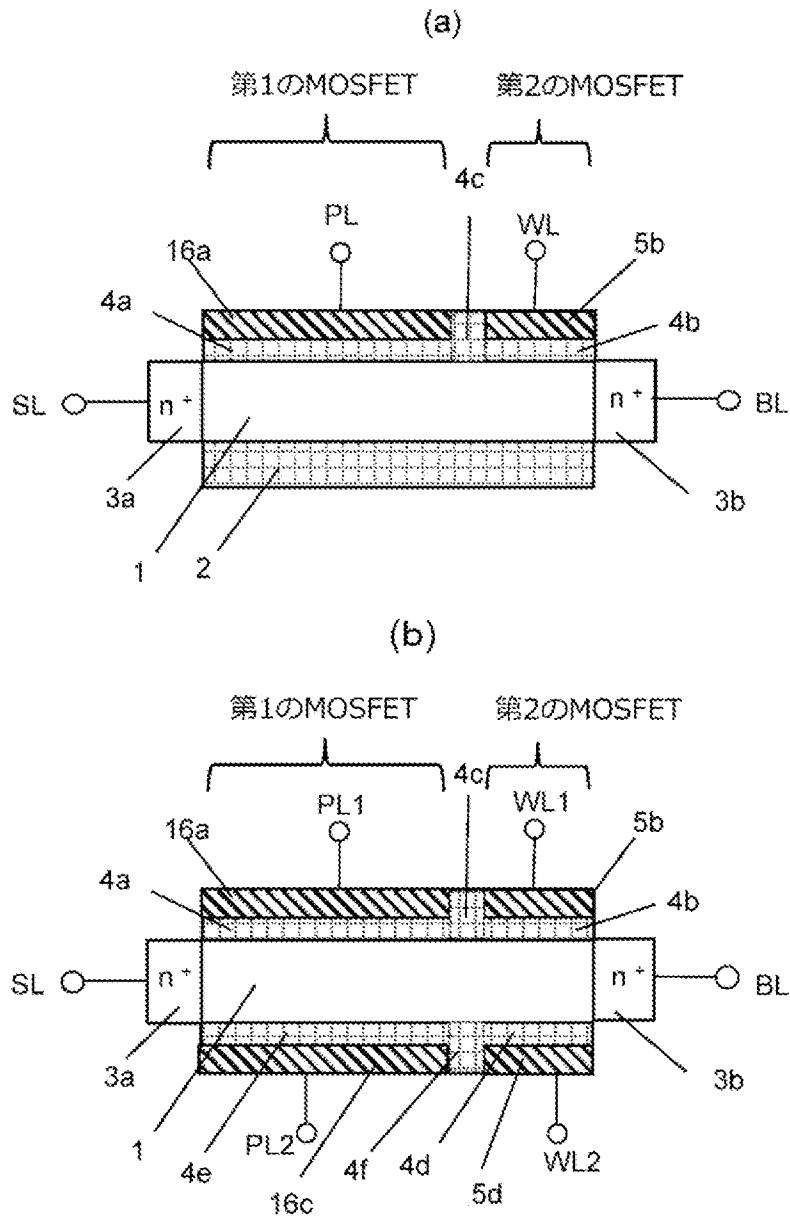
前記第1の不純物層の多数キャリアは正孔であり、前記半導体基板の多数キャリアは電子であり、前記第1のゲート導体層の仕事関数は前記第2のゲート導体層の仕事関数よりも小さい、

ことを特徴とする、請求項1に記載の半導体素子を用いたメモリ装置。

[請求項4] 前記第1のゲート導体層と前記第2のゲート導体層が重なって形成

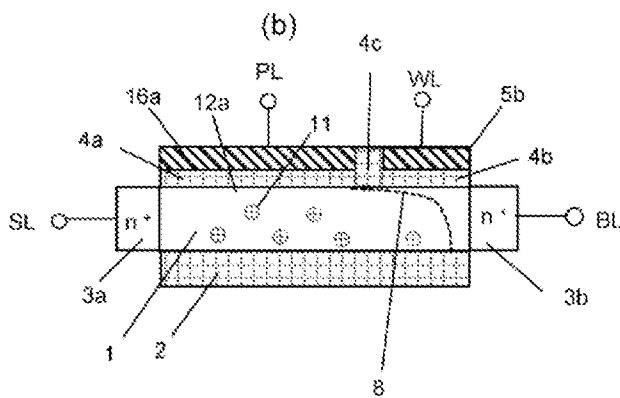
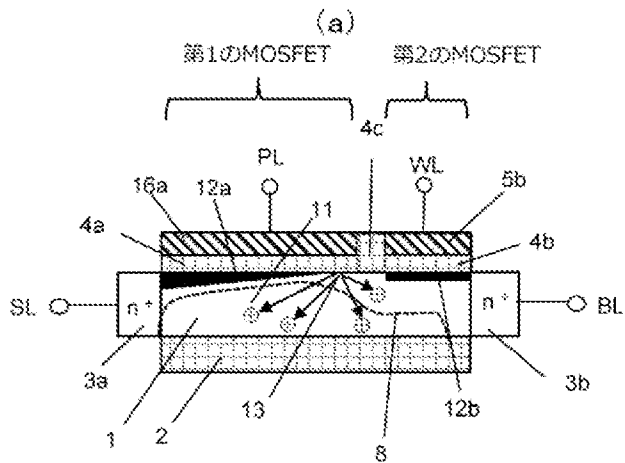
されており、かつこれらの仕事関数が異なることを特徴とする、請求項 1 に記載の半導体素子を用いたメモリ装置。

[図1]



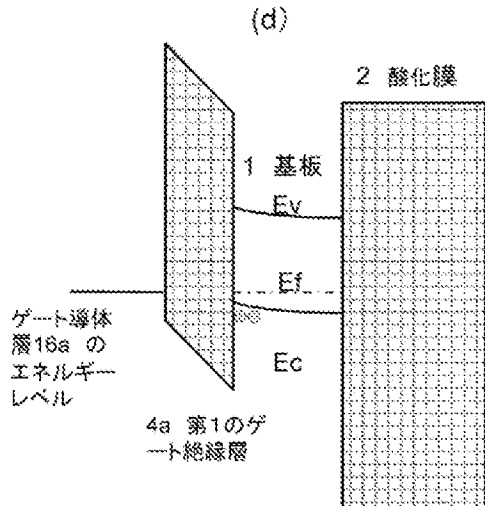
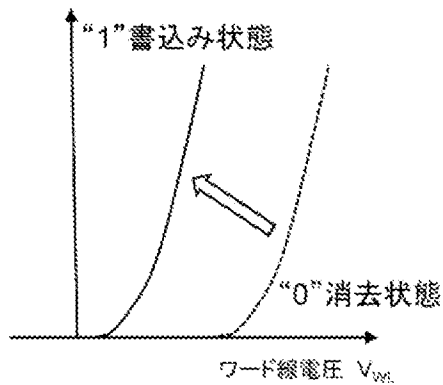


[図2]

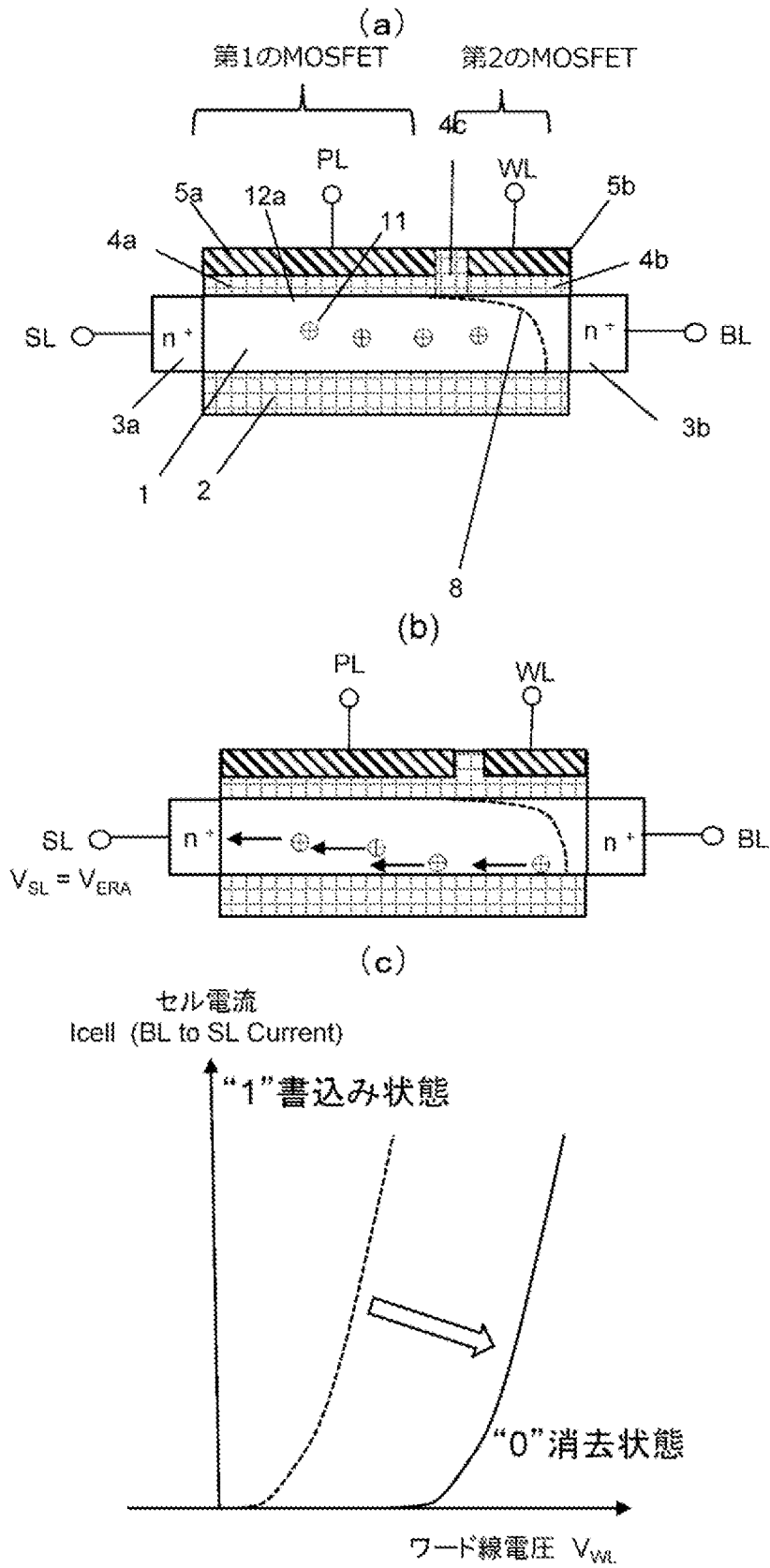


(c)

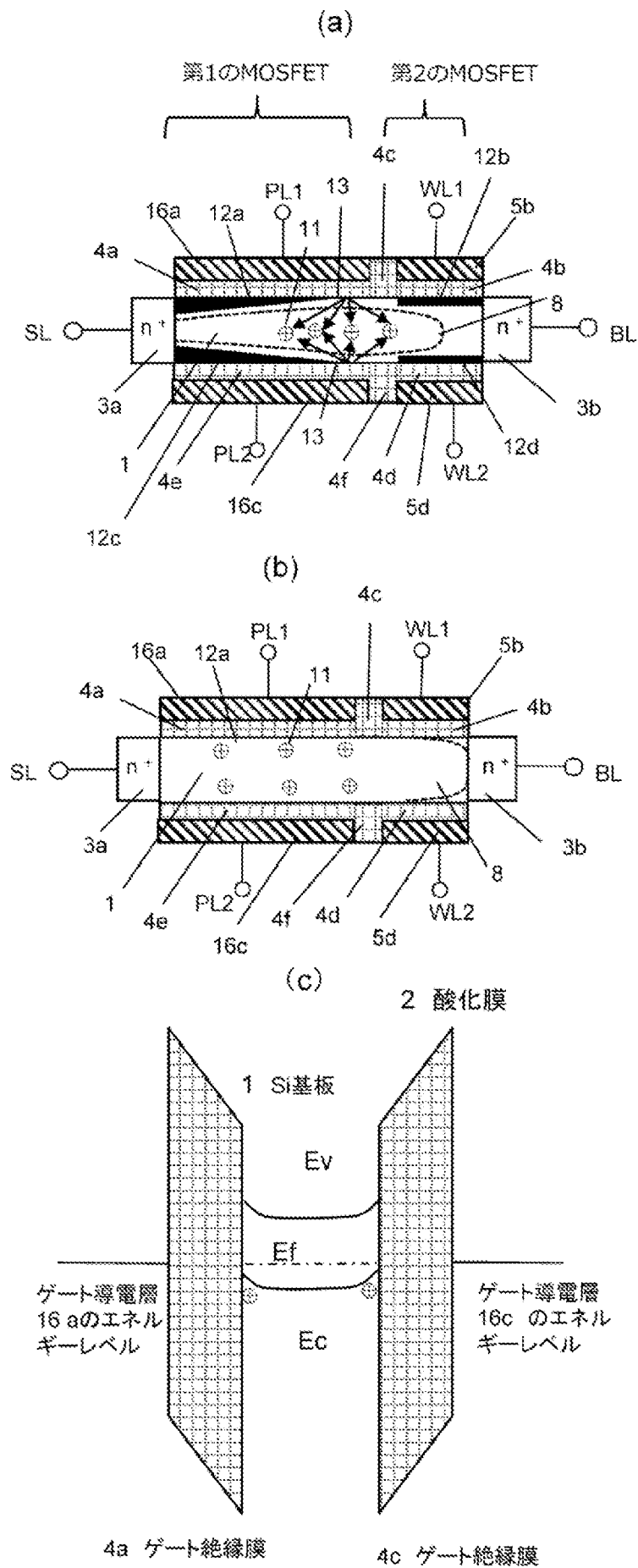
セル電流  
I<sub>cell</sub> (BL to SL Current)



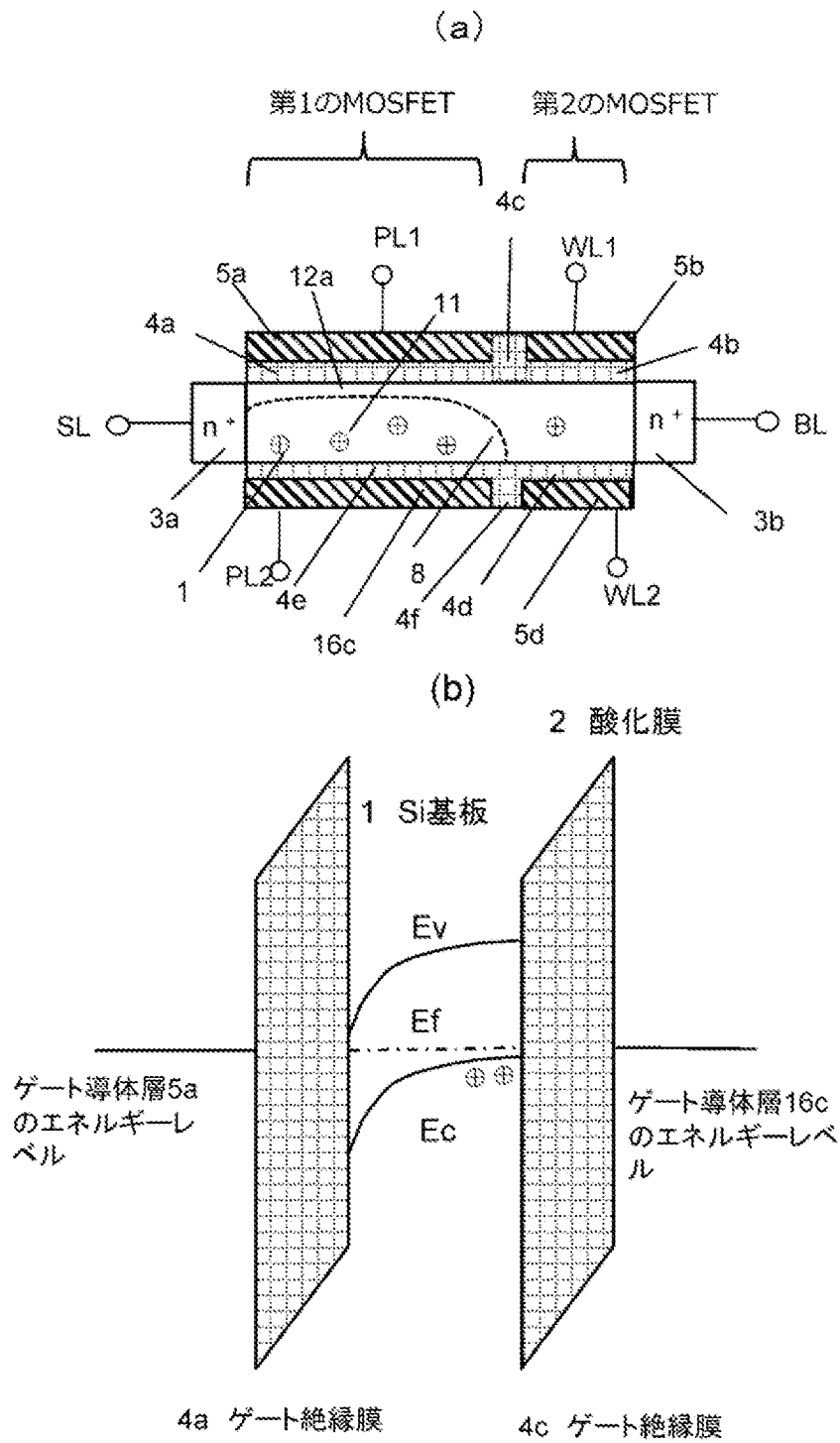
[図3]



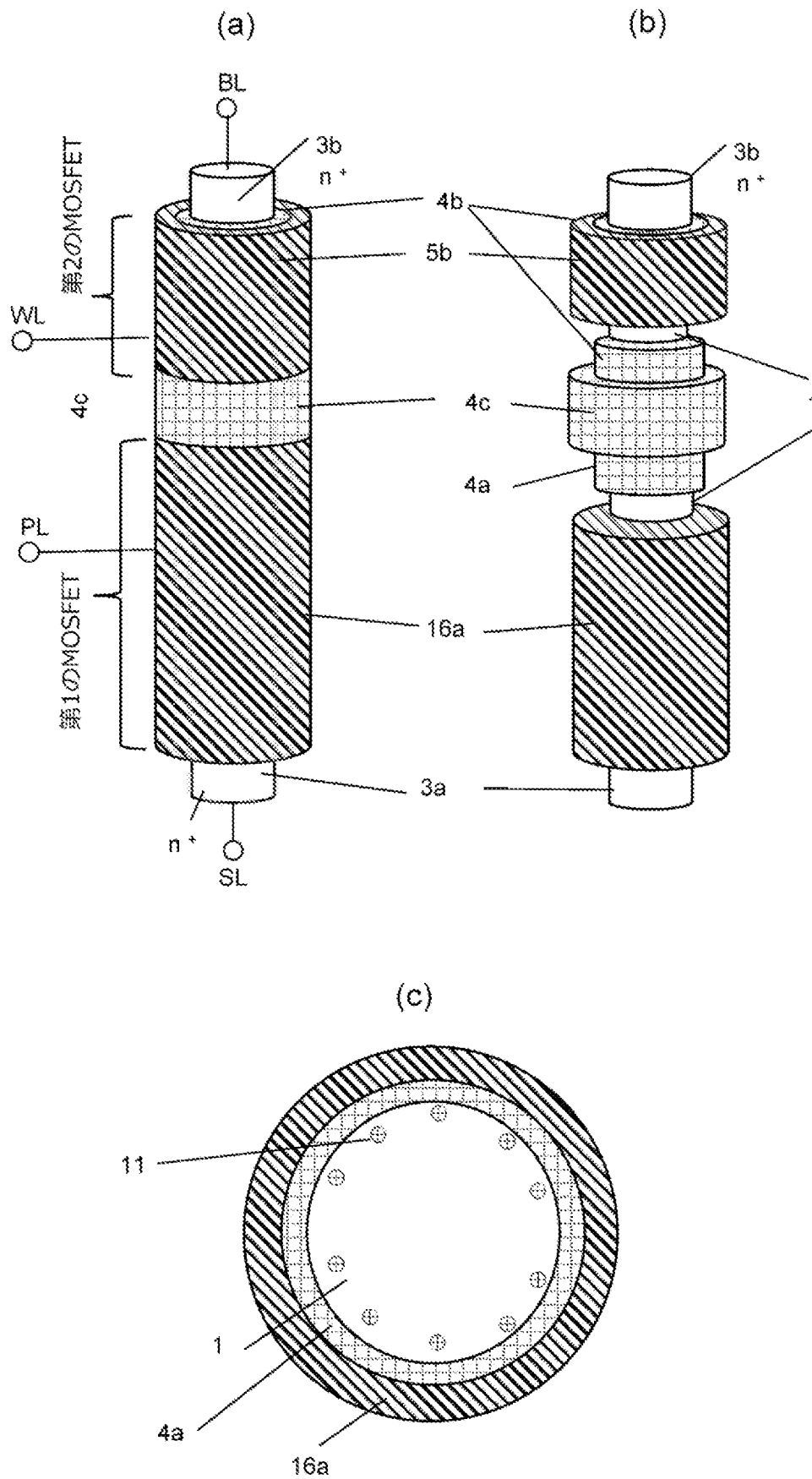
[図4]



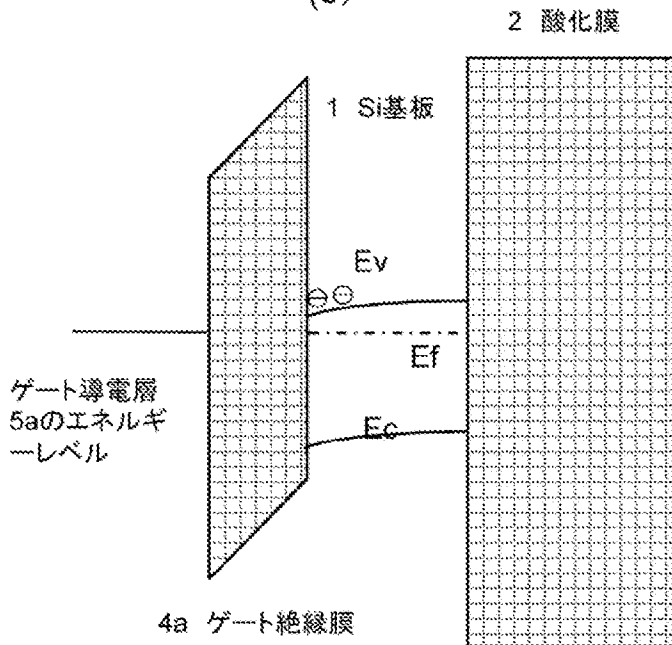
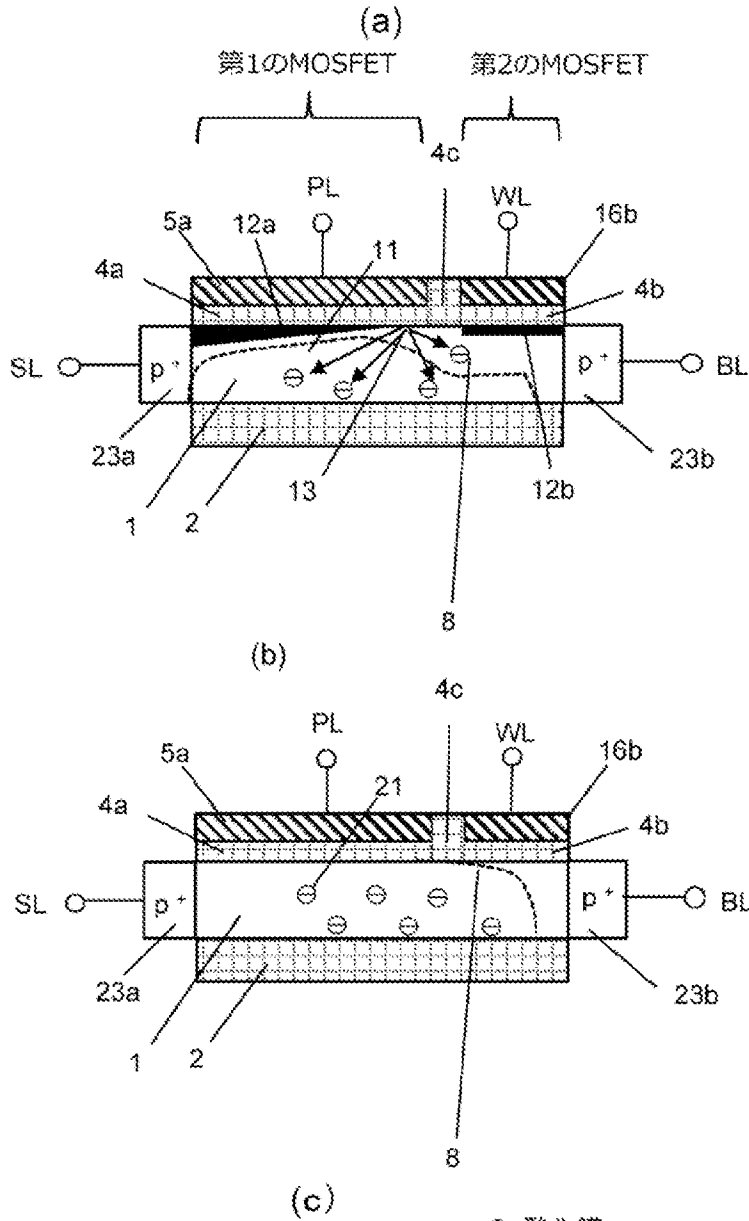
[図5]



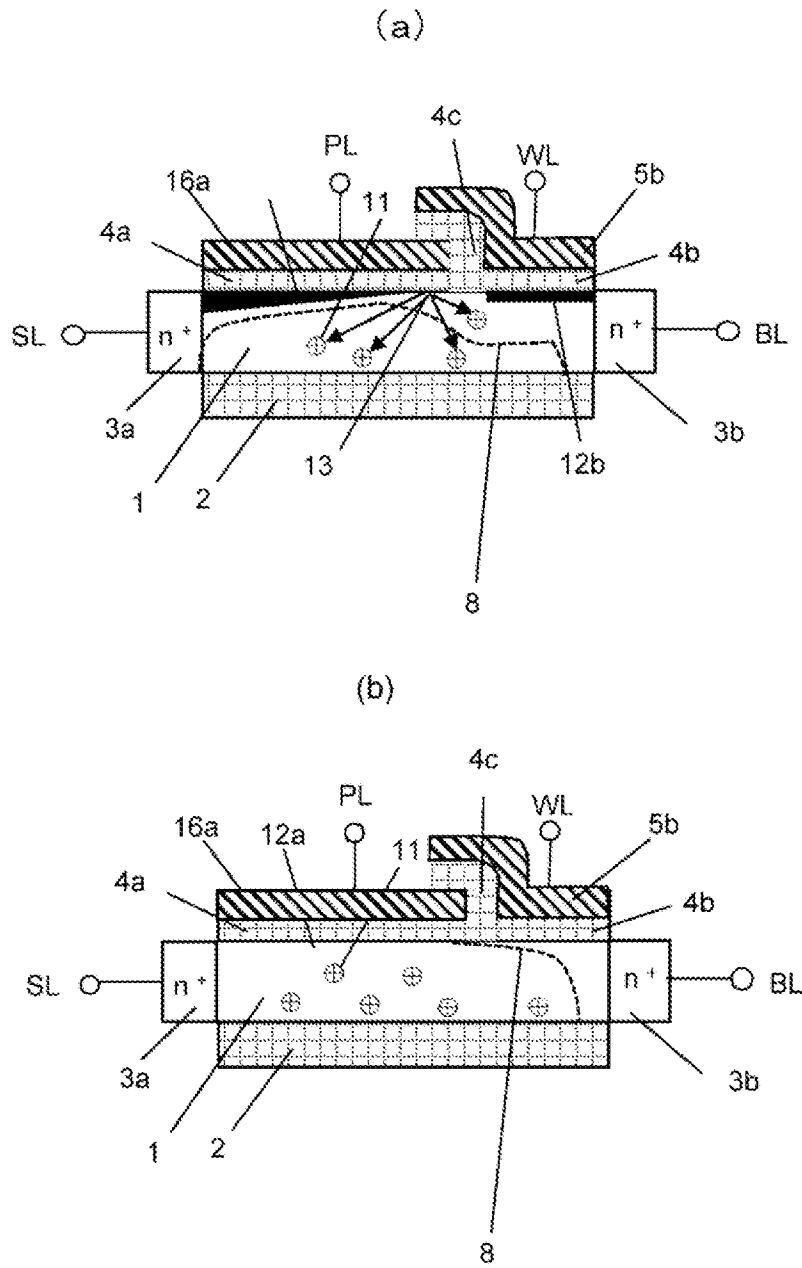
[図6]



[図7]



[図8]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/028754

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
<i>H01L 21/8242</i> (2006.01)i; <i>H01L 27/108</i> (2006.01)i; <i>H01L 21/336</i> (2006.01)i; <i>H01L 29/788</i> (2006.01)i; <i>H01L 29/792</i> (2006.01)i; <i>H01L 29/786</i> (2006.01)i FI: H01L27/108 321; H01L29/78 371; H01L27/108 671A; H01L29/78 613B		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) H01L21/8242; H01L27/108; H01L21/336; H01L29/788; H01L29/792; H01L29/786		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2021 Registered utility model specifications of Japan 1996-2021 Published registered utility model applications of Japan 1994-2021		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-188279 A (KABUSHIKI KAISHA TOSHIBA) 04 July 2003 (2003-07-04) paragraphs [0013], [0017]-[0037], [0044], [0046], fig. 1, 4, 5, 9D, 10	1-4
Y	JP 2003-86712 A (KABUSHIKI KAISHA TOSHIBA) 20 March 2003 (2003-03-20) paragraphs [0011], [0012], [0033]-[0036], [0040], [0131], [0149]-[0151], fig. 3, 54A-54C	1-4
A	JP 2004-303911 A (NEC CORP.) 28 October 2004 (2004-10-28) entire text, all drawings	1-4
A	US 2012/0146146 A1 (INTERNATIONAL BUSINESS MACHINES CORP.) 14 June 2012 (2012-06-14) entire text, all drawings	1-4
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search <b>24 September 2021</b>		Date of mailing of the international search report <b>05 October 2021</b>
Name and mailing address of the ISA/JP <b>Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan</b>		Authorized officer  Telephone No.



**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/JP2021/028754**

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2003-188279	A	04 July 2003	US 2003/0111681 A1 paragraphs [0042]-[0064], [0072], [0074], fig. 1, 4, 5, 9D, 10 US 2006/0157738 A1 KR 10-2003-0051299 A CN 1427484 A	
JP	2003-86712	A	20 March 2003	US 2002/0114191 A1 paragraphs [0016], [0017], [0222]-[0225], [0229], [0320], [0338]-[0340], fig. 3, 54A-54C EP 1233454 A2 KR 10-2002-0067974 A CN 1372323 A CN 1645618 A	
JP	2004-303911	A	28 October 2004	(Family: none)	
US	2012/0146146	A1	14 June 2012	US 2014/0117450 A1	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H01L 21/8242(2006.01)i; H01L 27/108(2006.01)i; H01L 21/336(2006.01)i; H01L 29/788(2006.01)i;                  H01L 29/792(2006.01)i; H01L 29/786(2006.01)i                  FI: H01L27/108 321; H01L29/78 371; H01L27/108 671A; H01L29/78 613B</p>																	
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H01L21/8242; H01L27/108; H01L21/336; H01L29/788; H01L29/792; H01L29/786</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2021年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2021年	日本国実用新案登録公報	1996 - 2021年	日本国登録実用新案公報	1994 - 2021年							
日本国実用新案公報	1922 - 1996年																
日本国公開実用新案公報	1971 - 2021年																
日本国実用新案登録公報	1996 - 2021年																
日本国登録実用新案公報	1994 - 2021年																
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>JP 2003-188279 A (株式会社東芝) 04.07.2003 (2003 - 07 - 04) [0013], [0017] - [0037], [0044], [0046], 図1, 4, 5, 9D, 10</td> <td>1-4</td> </tr> <tr> <td>Y</td> <td>JP 2003-86712 A (株式会社東芝) 20.03.2003 (2003 - 03 - 20) [0011], [0012], [0033] - [0036], [0040], [0131], [0149] - [0151], 図3, 54A - 54C</td> <td>1-4</td> </tr> <tr> <td>A</td> <td>JP 2004-303911 A (日本電気株式会社) 28.10.2004 (2004 - 10 - 28) 全文, 全図</td> <td>1-4</td> </tr> <tr> <td>A</td> <td>US 2012/0146146 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 14.06.2012 (2012 - 06 - 14) 全文, 全図</td> <td>1-4</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	Y	JP 2003-188279 A (株式会社東芝) 04.07.2003 (2003 - 07 - 04) [0013], [0017] - [0037], [0044], [0046], 図1, 4, 5, 9D, 10	1-4	Y	JP 2003-86712 A (株式会社東芝) 20.03.2003 (2003 - 03 - 20) [0011], [0012], [0033] - [0036], [0040], [0131], [0149] - [0151], 図3, 54A - 54C	1-4	A	JP 2004-303911 A (日本電気株式会社) 28.10.2004 (2004 - 10 - 28) 全文, 全図	1-4	A	US 2012/0146146 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 14.06.2012 (2012 - 06 - 14) 全文, 全図	1-4
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号															
Y	JP 2003-188279 A (株式会社東芝) 04.07.2003 (2003 - 07 - 04) [0013], [0017] - [0037], [0044], [0046], 図1, 4, 5, 9D, 10	1-4															
Y	JP 2003-86712 A (株式会社東芝) 20.03.2003 (2003 - 03 - 20) [0011], [0012], [0033] - [0036], [0040], [0131], [0149] - [0151], 図3, 54A - 54C	1-4															
A	JP 2004-303911 A (日本電気株式会社) 28.10.2004 (2004 - 10 - 28) 全文, 全図	1-4															
A	US 2012/0146146 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 14.06.2012 (2012 - 06 - 14) 全文, 全図	1-4															
<p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p>																	
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>"&amp;" 同一パテントファミリー文献</td> </tr> <tr> <td>"O" 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの	"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	"&" 同一パテントファミリー文献	"O" 口頭による開示、使用、展示等に言及する文献		"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献				
* 引用文献のカテゴリー	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの																
"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの	"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの																
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの																
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	"&" 同一パテントファミリー文献																
"O" 口頭による開示、使用、展示等に言及する文献																	
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献																	
<p>国際調査を完了した日</p> <p>24.09.2021</p>	<p>国際調査報告の発送日</p> <p>05.10.2021</p>																
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>宮本 博司 5F 6313</p> <p>電話番号 03-3581-1101 内線 3516</p>																

国際調査報告  
 パテントファミリーに関する情報

国際出願番号  
 PCT/JP2021/028754

引用文献			公表日	パテントファミリー文献			公表日
JP	2003-188279	A	04.07.2003	US	2003/0111681	A1	
					[0042] - [0064], [0072],		
					[0074], 図1, 4, 5, 9D, 10		
				US	2006/0157738	A1	
				KR	10-2003-0051299	A	
				CN	1427484	A	
-----							
JP	2003-86712	A	20.03.2003	US	2002/0114191	A1	
					[0016], [0017], [0222] -		
					[0225], [0229], [0320],		
					[0338] - [0340], 図3,		
					54A - 54C		
				EP	1233454	A2	
				KR	10-2002-0067974	A	
				CN	1372323	A	
				CN	1645618	A	
-----							
JP	2004-303911	A	28.10.2004	(ファミリーなし)			
-----							
US	2012/0146146	A1	14.06.2012	US	2014/0117450	A1	
-----							