



(12)发明专利

(10)授权公告号 CN 104465404 B

(45)授权公告日 2017.10.24

(21)申请号 201410837468.6

审查员 黄宝莹

(22)申请日 2014.12.24

(65)同一申请的已公布的文献号

申请公布号 CN 104465404 A

(43)申请公布日 2015.03.25

(73)专利权人 上海华虹宏力半导体制造有限公司

地址 201203 上海市浦东新区张江高科技
园区祖冲之路1399号

(72)发明人 王春 蔡莹 周正良

(74)专利代理机构 上海浦一知识产权代理有限公司 31211

代理人 郭四华

(51)Int.Cl.

H01L 21/336(2006.01)

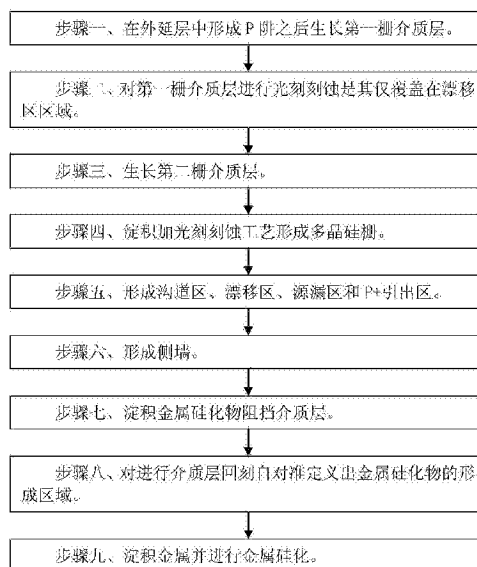
权利要求书2页 说明书5页 附图4页

(54)发明名称

射频LDMOS器件的制造方法

(57)摘要

本发明公开了一种射频LDMOS器件的制造方法,包括步骤:在外延层中形成P阱之后生长第一栅介质层;对第一栅介质层进行光刻刻蚀是其仅覆盖在漂移区区域;生长第二栅介质层;淀积加光刻刻蚀工艺形成多晶硅栅;形成沟道区、漂移区、源漏区和P+引出区;形成侧墙;淀积金属硅化物阻挡介质层;对进行介质层回刻自对准定义出金属硅化物的形成区域;淀积金属并进行金属硅化。本发明能自对准定义出器件的金属硅化物形成区域,还能降低器件的栅极和漏极之间的耦合电容。



1. 一种射频LDMOS器件的制造方法,其特征在于,包括如下步骤:

步骤一、在硅衬底表面形成外延层,在外延层中形成P阱,之后生长第一栅介质层;

步骤二、采用光刻刻蚀工艺去除漂移区的形成区域外的所述第一栅介质层、所述漂移区的形成区域的所述第一栅介质层保留;

步骤三、生长第二栅介质层,所述第二栅介质层的厚度小于所述第一栅介质层的厚度;

步骤四、淀积多晶硅并对该多晶硅进行光刻刻蚀形成多晶硅栅,由所述多晶硅栅和其底部的所述第二栅介质层叠加形成射频LDMOS器件的栅极结构;所述多晶硅栅的第二侧面延伸到所述第一栅介质层上方;

步骤五、进行第一次P型离子注入形成沟道区,所述沟道区和所述多晶硅栅的第一侧面自对准;进行第二次N型离子注入形成漂移区,所述漂移区和所述多晶硅栅的第二侧面自对准;进行第三次N型源漏离子注入形成源区和漏区,所述源区位于所述沟道区中并和所述多晶硅栅的第一侧面自对准,所述漏区为所述漂移区中并和所述第二栅介质层的第二侧面自对准;进行第四次P型离子注入形成P+引出区,所述P+引出区位于所述沟道区中且和所述源区接触、用于将所述沟道区引出;采用热退火对所述沟道区、所述漂移区、所述源区、所述漏区和所述P+引出区进行激活和推进,热退火后所述沟道区和所述漂移区分别从两侧延伸到所述多晶硅栅的底部,被所述多晶硅栅所覆盖的所述沟道区表面用于形成沟道;

步骤六、采用淀积和回刻工艺在所述多晶硅栅的侧面形成侧墙;

步骤七、淀积金属硅化物阻挡介质层;

步骤八、对所述射频LDMOS器件区域的所述金属硅化物阻挡介质层和所述第二栅介质层进行回刻,回刻后所述多晶硅栅顶部、所述多晶硅栅第一侧面的侧墙外部以及所述第一栅介质层第二侧面外部的硅露出,步骤一中淀积的所述第一栅介质层的厚度要求保证经过步骤六的回刻和步骤八的回刻后仍有保留有一定厚度并将所述漂移区覆盖,从而自对准定义出金属硅化物的形成区域,所述金属硅化物的形成区域为硅露出的区域;

步骤九、淀积金属,进行金属硅化在自对准定义出的所述金属硅化物的形成区域形成所述金属硅化物。

2. 如权利要求1所述的射频LDMOS器件的制造方法,其特征在于:所述第一栅介质层的材料为氧化层。

3. 如权利要求1或2所述的射频LDMOS器件的制造方法,其特征在于:所述第一栅介质层的厚度在满足能够自对准定义出所述金属硅化物的形成区域的条件下,通过增加所述第一栅介质层的厚度降低所述射频LDMOS器件的栅极和漏极的耦合电容。

4. 如权利要求1或2所述的射频LDMOS器件的制造方法,其特征在于:所述第一栅介质层的厚度为300埃至800埃。

5. 如权利要求1所述的射频LDMOS器件的制造方法,其特征在于:所述第二栅介质层的材料为氧化层。

6. 如权利要求1所述的射频LDMOS器件的制造方法,其特征在于:步骤六中形成所述侧墙时所淀积的侧墙介质层厚度为400埃至600埃。

7. 如权利要求1所述的射频LDMOS器件的制造方法,其特征在于:步骤六中形成所述侧墙时所淀积的侧墙介质层依次由叠加的氧化硅和氮化硅组成。

8. 如权利要求1所述的射频LDMOS器件的制造方法,其特征在于:步骤六中形成所述侧

墙时的回刻要求对所述第一栅介质层的损失量小于100埃。

9. 如权利要求1所述的射频LDMOS器件的制造方法,其特征在于:步骤七中所淀积的所述金属硅化物阻挡介质层的材料为氧化硅。

10. 如权利要求1或9所述的射频LDMOS器件的制造方法,其特征在于:所述金属硅化物阻挡介质层的厚度为300埃至700埃。

11. 如权利要求1所述的射频LDMOS器件的制造方法,其特征在于:步骤四中所淀积的所述多晶硅的厚度为2500埃至3500埃。

12. 如权利要求1所述的射频LDMOS器件的制造方法,其特征在于:步骤九所淀积的金属为钨,钛,钴。

13. 如权利要求1所述的射频LDMOS器件的制造方法,其特征在于:步骤九之后还包括如下步骤:

步骤十、形成法拉第屏蔽层,覆盖在所述多晶硅栅的第二侧面处的台阶结构上,所述法拉第屏蔽层和其底部的所述多晶硅栅之间隔离有屏蔽介质层;

步骤十一、进行深槽刻蚀,所述深槽穿过所述源区、所述沟道区和所述外延层并进入到所述硅衬底中;在所述深槽中填充金属形成深接触孔,所述深接触孔将所述源区、所述沟道区、所述外延层和所述硅衬底电连接;

步骤十二、形成层间膜、接触孔和正面金属层图形。

射频LDMOS器件的制造方法

技术领域

[0001] 本发明涉及一种半导体集成电路制造方法,特别是涉及一种射频LDMOS器件的制造方法。

背景技术

[0002] 为提升击穿电压50V以上的射频横向场效应晶体管(RF LDMOS)的射频性能,需要降低寄生电容和电阻。

[0003] 现有工艺中,为降低栅极电阻,采用多晶硅和金属硅化物的叠层;金属硅化物可以和多晶硅一起淀积,如钨硅,但其每方块电阻一般在5欧姆以上;另一种是淀积金属,如钛(Ti)或钴(Co)等可以得到每方块2欧姆的电阻。

[0004] 由于RFLDMOS的栅宽在0.5微米以下,同时为提高击穿电压,多晶硅栅的靠近漏端一侧是低掺杂漂移区,不能做低电阻的金属硅化;这样由于套准精度的问题,很难只打开多晶硅栅的金属硅化物阻挡层而保留漂移区的阻挡层,也即由于套准精度的原因,对多晶硅栅顶部的金属硅化物阻挡层进行打开定义时,打开的区域不会正好在多晶硅栅顶部,打开的区域会向多晶硅栅的外侧偏移,当偏移到多晶硅栅的靠近漏端一侧外部时,漂移区顶部的阻挡层也会被打开,从而也会在漂移区顶部形成金属硅化物,而漂移区顶部形成金属硅化物和漂移区为低掺杂高电阻和高耐压的要求不符。故现有工艺中不能直接采用光刻工艺打开多晶硅栅顶部来形成金属硅化物。

[0005] 为了打开RFLDMOS器件的多晶硅栅顶部来形成金属硅化物,在现有一种工艺方法是,采用BARC抗反射涂层(Bottom Anti Reflective coating, BARC)回刻工艺,利用BARC的可流动性以及栅极的高低差,即形成BARC后在多晶硅栅顶部形成的厚度薄、多晶硅栅外部的厚度厚,这样在全面回刻后能仅将多晶硅栅顶部的区域露出,多晶硅栅外部的区域还是被介质层保护,即能够通过自对准方法去除多晶硅栅上的金属硅化物阻挡层;然后再打开其它需要金属硅化的区域,最后进行金属硅化。现有这种方法能够自对准定义出多晶硅栅顶部的金属硅化物形成区域,但是还需要采用一步额外的光刻工艺来定义出源区和漏区的形成金属硅化物的区域。

发明内容

[0006] 本发明所要解决的技术问题是提供一种射频LDMOS器件的制造方法,能自对准定义出器件的金属硅化物形成区域,还能降低器件的栅极和漏极之间的耦合电容。

[0007] 为解决上述技术问题,本发明提供的射频LDMOS器件的制造方法包括如下步骤:

[0008] 步骤一、形成硅衬底表面形成外延层,在外延层中形成P阱,之后生长第一栅介质层。

[0009] 步骤二、采用光刻刻蚀工艺去除漂移区的形成区域外的所述第一栅介质层、所述漂移区的形成区域的所述第一栅介质层保留。

[0010] 步骤三、生长第二栅介质层,所述第二栅介质层的厚度小于所述第一栅介质层的

厚度。

[0011] 步骤四、淀积多晶硅并对该多晶硅进行光刻刻蚀形成多晶硅栅,由所述多晶硅栅和其底部的所述第二栅介质层叠加形成射频LDMOS器件的栅极结构;所述多晶硅栅的第二侧面延伸到所述第二栅介质层上方。

[0012] 步骤五、进行第一次P型离子注入形成沟道区,所述沟道区和所述多晶硅栅的第一侧面自对准;进行第二次N型离子注入形成漂移区,所述漂移区和所述多晶硅栅的第二侧面自对准;进行第三次N型源漏离子注入形成源区和漏区,所述源区位于所述沟道区中并和所述多晶硅栅的第一侧面自对准,所述漏区为所述漂移区中并和所述第二栅介质层的第二侧面自对准;进行第四次P型离子注入形成P+引出区,所述P+引出区位于所述沟道区中且和所述源区接触、用于将所述沟道区引出;采用热退火对所述沟道区、所述漂移区、所述源区、所述漏区和所述P+引出区进行激活和推进,热退火后所述沟道区和所述漂移区分别从两侧延伸到所述多晶硅栅的底部,被所述多晶硅栅所覆盖的所述沟道区表面用于形成沟道。

[0013] 步骤六、采用淀积和回刻工艺在所述多晶硅栅的侧面形成侧墙。

[0014] 步骤七、淀积金属硅化物阻挡介质层。

[0015] 步骤八、对所述射频LDMOS器件区域的所述金属硅化物阻挡介质层和所述第二栅介质层进行回刻,回刻后所述多晶硅栅顶部、所述多晶硅栅第一侧面的侧墙外部以及所述第一栅介质层第二侧面外部的硅露出,步骤一中所述淀积的所述第一栅介质层的厚度要求保证经过步骤六的回刻和步骤八的回刻后仍有保留有一定厚度并将所述漂移区覆盖,从而自对准定义出金属硅化物的形成区域,所述金属硅化物的形成区域为硅露出的区域。

[0016] 步骤九、淀积金属,进行金属硅化在自对准定义出的所述金属硅化物的形成区域形成所述金属硅化物。

[0017] 进一步的改进是,所述第一栅介质层的材料为氧化层。

[0018] 进一步的改进是,所述第一栅介质层的厚度在满足能够自对准定义出所述金属硅化物的形成区域的条件下,通过增加所述第一栅介质层的厚度降低所述射频LDMOS器件的栅极和漏极的耦合电容。

[0019] 进一步的改进是,所述第一栅介质层的厚度为300埃至800埃。

[0020] 进一步的改进是,所述第二栅介质层的材料为氧化层。

[0021] 进一步的改进是,步骤六中形成所述侧墙时所淀积的侧墙介质层厚度为400埃至600埃。

[0022] 进一步的改进是,步骤六中形成所述侧墙时所淀积的侧墙介质层依次由叠加的氧化硅和氮化硅组成。

[0023] 进一步的改进是,步骤六中形成所述侧墙时的回刻要求对所述第一栅介质层的损失量小于100埃。

[0024] 进一步的改进是,步骤七中所淀积的所述金属硅化物阻挡介质层的材料为氧化硅,

[0025] 进一步的改进是,所述金属硅化物阻挡介质层的厚度为300埃至700埃。

[0026] 进一步的改进是,步骤四中所淀积的所述多晶硅的厚度为2500埃至3500埃。

[0027] 进一步的改进是,步骤九所淀积的金属为钨,钛,钴。

[0028] 进一步的改进是,步骤九之后还包括如下步骤:

[0029] 步骤十、形成法拉第屏蔽层,覆盖在所述多晶硅栅的第二侧面处的台阶结构上,所述法拉第屏蔽层和其底部的所述多晶硅栅之间隔离有屏蔽介质层;

[0030] 步骤十一、进行深槽刻蚀,所述深槽穿过所述源区、所述沟道区和所述外延层并进入到所述硅衬底中;在所述深槽中填充金属形成所述深接触孔,所述深接触孔将所述源区、所述沟道区、所述外延层和所述硅衬底电连接;

[0031] 步骤十二、形成层间膜、接触孔和正面金属层图形。

[0032] 本发明具有如下有益效果:

[0033] 1、本发明通过形成第一栅介质层覆盖在射频LDMOS器件的漂移区表面,利用第一栅介质层对漂移区的保护,能对射频LDMOS器件区域进行全面回刻同时定义出金属硅化物的形成区域,所以本发明能实现自对准定义出器件的金属硅化物形成区域;由于自对准定义不需要采用光刻工艺,所以成本低,且还能消除光刻工艺所带来的套准问题,器件的尺寸能够做到更小。

[0034] 2、本发明通过第一栅介质层覆盖在漂移区表面,而第一栅介质层的厚度大于第二栅介质层的厚度,能使得多晶硅栅和漂移区之间隔离更厚的介质层,所以栅极和漏极之间的寄生电容会更低,所以本发明还能降低器件的栅极和漏极之间的耦合电容,这一电容是输入和输出的直接耦合,降低这一电容对射频性能有很大提升;同时,在多晶硅栅的第二侧面端即靠近漏端的栅介质层厚度增加后即第一栅介质层的厚度设置为大于第二栅介质层的厚度后,能降低漏端的纵向电场,对器件的鲁棒性有提升,对热载流子注入(HCI)有抑制作用。

[0035] 3、本发明射频LDMOS器件一般需要和其它MOS器件集成在一起形成,所以第一栅介质层能够和其它具有厚栅介质的MOS器件同时形成,所以在实际制备过程中,第一栅介质层和现有厚栅介质同时形成即可,不会增加形成的淀积和光刻刻蚀工艺,所以本发明能实现不增加光刻版的情况下,实现射频LDMOS器件的金属硅化物形成区域的自对准定义。

[0036] 4、本发明源端的金属硅化是自对准栅极的即自对准多晶硅栅的侧墙,能进一步降低器件的开态电阻,以及增加器件的饱和电流。

[0037] 5、由于沟道区是自对准源端的栅侧面即自对准多晶硅栅的第一侧面注入并热推进的,位于多晶硅栅下靠近漏区一边沟道区的掺杂浓度较低,增加漏一边的栅介质层厚度即采用较厚的第一栅介质层对阈值电压没有影响。

附图说明

[0038] 下面结合附图和具体实施方式对本发明作进一步详细的说明:

[0039] 图1是本发明实施例射频LDMOS器件的制造方法流程图;

[0040] 图2A-图2I是本发明实施例射频LDMOS器件的制造方法各步骤中器件结构示意图。

具体实施方式

[0041] 如图1所示,是本发明实施例射频LDMOS器件的制造方法流程图;如图2A至图2I所示,是本发明实施例射频LDMOS器件的制造方法各步骤中器件结构示意图;本发明实施例射频LDMOS器件的制造方法包括如下步骤:

[0042] 步骤一、如图2A所示,形成硅衬底1表面形成外延层2,在外延层2中形成P阱3,之后生长第一栅介质层4。在本发明实施例中,所述硅衬底1为P型重掺杂,所述外延层2为P型轻

掺杂,所述外延层2能够由多层外延层叠加形成。

[0043] 所述第一栅介质层4的材料为氧化层。所述淀积的所述第一栅介质层4的厚度要求保证经过后续步骤六的回刻和步骤八的回刻后仍有保留有一定厚度并将漂移区8覆盖,从而自对准定义出金属硅化物13的形成区域。另外,所述第一栅介质层4的厚度在满足能够自对准定义出所述金属硅化物13的形成区域的条件下,通过增加所述第一栅介质层4的厚度降低所述射频LDMOS器件的栅极和漏极的耦合电容。

[0044] 较佳为,所述第一栅介质层4的厚度为300埃至800埃,所述第一栅介质层4的厚度的典型值为550埃。

[0045] 本发明实施例射频LDMOS器件能够和其它MOS器件集成在同一片所述硅衬底1上,这时,所述第一栅介质层4能够作为其它采用这种厚度的MOS器件的栅介质层,也即两者能够同时形成,所以本发明实施例在射频LDMOS器件区域形成的所述第一栅介质层4并不需要增加新的淀积步骤以及增加形成的光罩,也即采用和射频LDMOS器件集成在一起的其它MOS器件本来的栅介质层淀积和光刻工艺即可形成。

[0046] 步骤二、如图2B所示,采用光刻刻蚀工艺去除漂移区8的形成区域外的所述第一栅介质层4、所述漂移区8的形成区域的所述第一栅介质层4保留。

[0047] 步骤三、如图2C所示,生长第二栅介质层5,所述第二栅介质层5的厚度小于所述第一栅介质层4的厚度。所述第二栅介质层5的材料为氧化层。所述第二栅介质层5即为本发明实施例射频LDMOS器件本身所需的栅介质层。

[0048] 步骤四、如图2D所示,淀积多晶硅6并对该多晶硅6进行光刻刻蚀形成多晶硅栅6,由所述多晶硅栅6和其底部的所述第二栅介质层5叠加形成射频LDMOS器件的栅极结构;所述多晶硅栅6的第二侧面延伸到所述第二栅介质层5上方。

[0049] 较佳为,所淀积的所述多晶硅6的厚度为2500埃至3500埃。

[0050] 步骤五、如图2D所示,进行第一次P型离子注入形成沟道区7,所述沟道区7和所述多晶硅栅6的第一侧面自对准;进行第二次N型离子注入形成漂移区8,所述漂移区8和所述多晶硅栅6的第二侧面自对准;进行第三次N型源漏离子注入形成N型重掺杂的源区9a和漏区9b,所述源区9a位于所述沟道区7中并和所述多晶硅栅6的第一侧面自对准,所述漏区9b为所述漂移区8中并和所述第二栅介质层5的第二侧面自对准;进行第四次P型离子注入形成P+引出区10,所述P+引出区10位于所述沟道区7中且和所述源区9a接触、用于将所述沟道区7引出;采用热退火对所述沟道区7、所述漂移区8、所述源区9a、所述漏区9b和所述P+引出区10进行激活和推进,热退火后所述沟道区7和所述漂移区8分别从两侧延伸到所述多晶硅栅6的底部,被所述多晶硅栅6所覆盖的所述沟道区7表面用于形成沟道。

[0051] 步骤六、如图2E所示,采用淀积和回刻工艺在所述多晶硅栅6的侧面形成侧墙11。

[0052] 较佳为,形成所述侧墙11时所淀积的侧墙介质层依次由叠加的氧化硅11a和氮化硅11b组成。形成所述侧墙11时所淀积的侧墙11介质层厚度为400埃至600埃。

[0053] 形成所述侧墙11时的回刻要求对所述第一栅介质层4的损失量小于100埃,这样能使所述第一栅介质层4损失量较低。

[0054] 步骤七、如图2F所示,淀积金属硅化物13阻挡介质层12。

[0055] 较佳为,所述金属硅化物13阻挡介质层12的材料为氧化硅,厚度为300埃至700埃。

[0056] 步骤八、如图2G所示,对所述射频LDMOS器件区域的所述金属硅化物13阻挡介质层

12和所述第二栅介质层5进行回刻,回刻后所述多晶硅栅6顶部、所述多晶硅栅6第一侧面的侧墙11外部以及所述第一栅介质层4第二侧面外部的硅露出,也即回刻的厚度要大于等于所述金属硅化物13阻挡介质层12和所述第二栅介质层5的厚度和,这样才能保证所述多晶硅栅6顶部、所述多晶硅栅6第一侧面的侧墙11外部以及所述第一栅介质层4第二侧面外部的硅露出。

[0057] 步骤一中所述淀积的所述第一栅介质层4的厚度要求保证经过步骤六的回刻和步骤八的回刻后仍有保留有一定厚度并将所述漂移区8覆盖,从而自对准定义出金属硅化物13的形成区域,所述金属硅化物13的形成区域为硅露出的区域;也即步骤八的回刻也不要过量,回刻之后所述第一栅介质层4仍有保留有一定厚度并将所述漂移区8覆盖。

[0058] 步骤九、如图2H所示,淀积金属,进行金属硅化在自对准定义出的所述金属硅化物13的形成区域形成所述金属硅化物13。较佳为所淀积的金属为钨,钛,钴。

[0059] 步骤十、如图2I所示,采用淀积加光刻刻蚀工艺形成法拉第屏蔽层15,覆盖在所述多晶硅栅6的第二侧面处的台阶结构上,所述法拉第屏蔽层15和其底部的所述多晶硅栅6之间隔离有屏蔽介质层14;

[0060] 步骤十一、进行深槽刻蚀,所述深槽穿过所述源区9a、所述沟道区7和所述外延层2并进入到所述硅衬底1中;在所述深槽中填充金属形成所述深接触孔,所述深接触孔将所述源区9a、所述沟道区7、所述外延层2和所述硅衬底1电连接;

[0061] 步骤十二、形成层间膜、接触孔和正面金属层图形。其中所述接触孔会穿过所述层间膜和底部的所述多晶硅栅6、所述源区9a和所述P+引出区10以及所述漏区9b接触,所述接触孔的顶部和所述正面金属层接触,所述正面金属层分别引出器件的源极、漏极和栅极。

[0062] 以上通过具体实施例对本发明进行了详细的说明,但这些并非构成对本发明的限制。在不脱离本发明原理的情况下,本领域的技术人员还可做出许多变形和改进,这些也应视为本发明的保护范围。

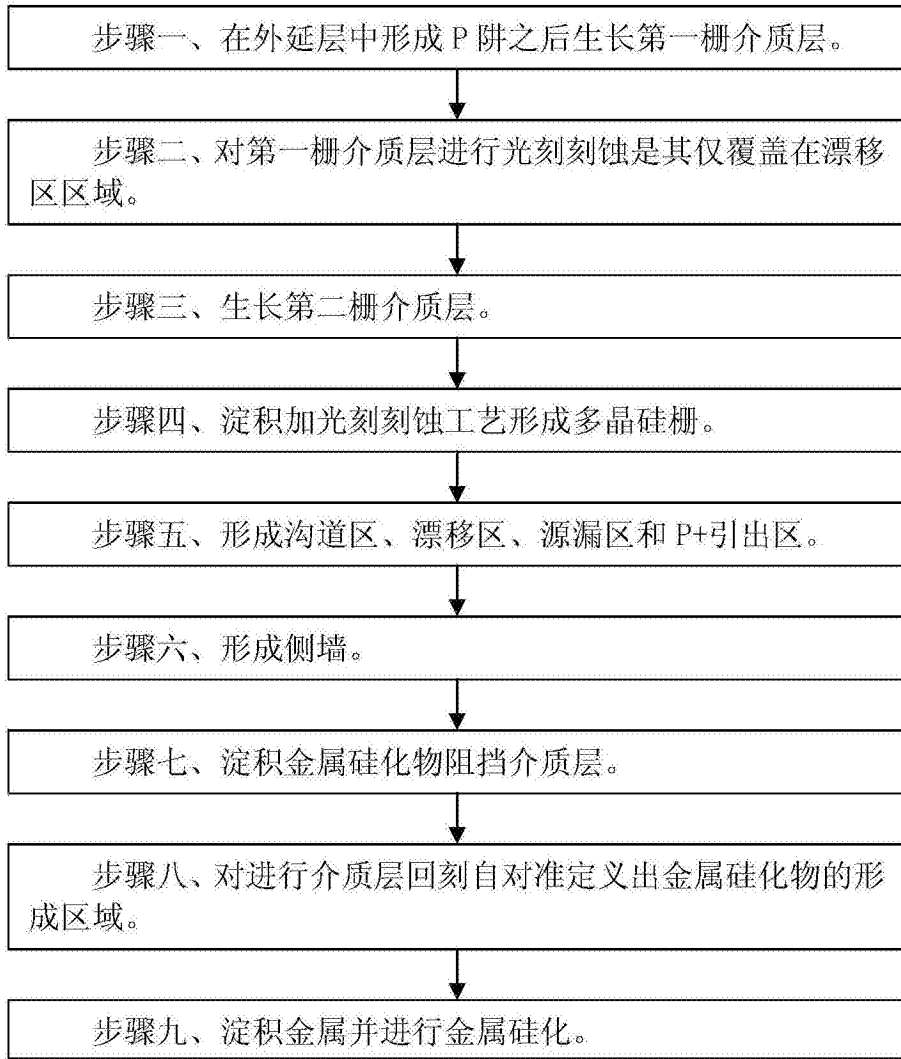


图1

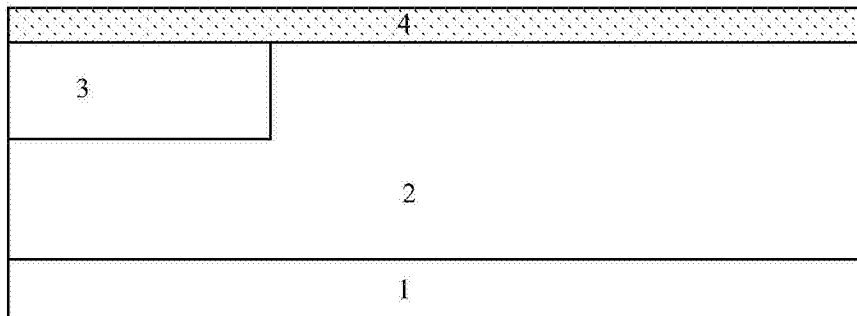


图2A

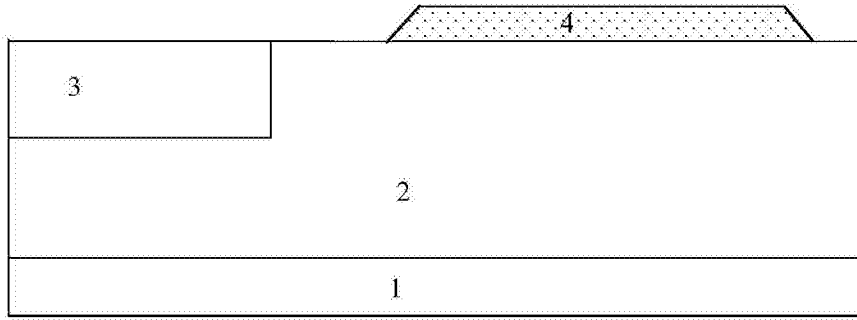


图2B

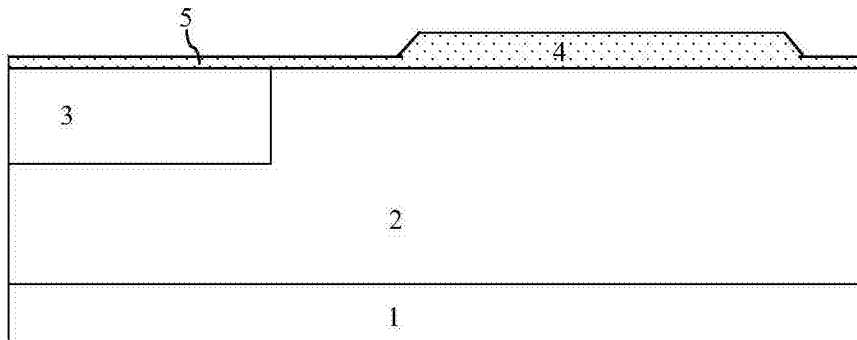


图2C

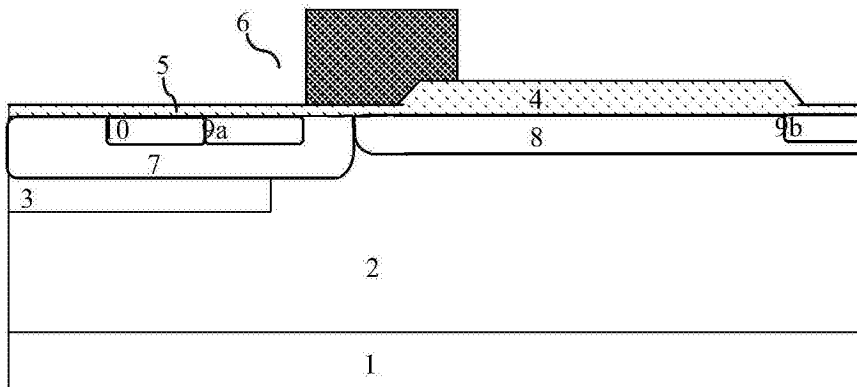


图2D

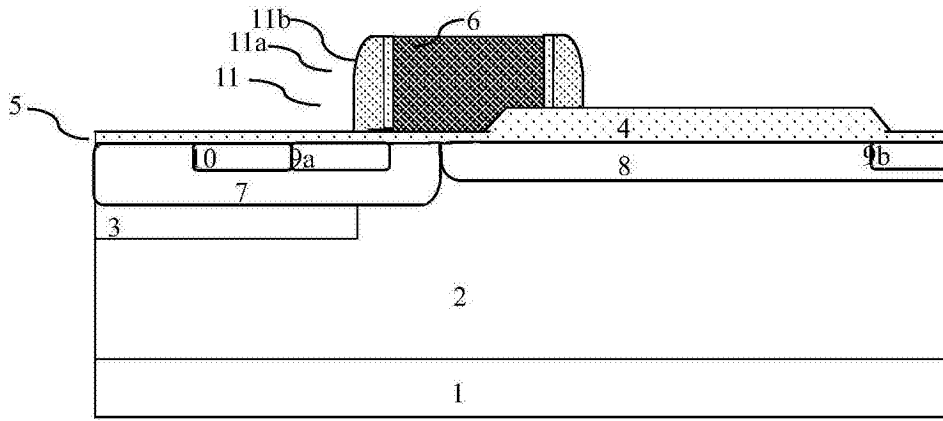


图2E

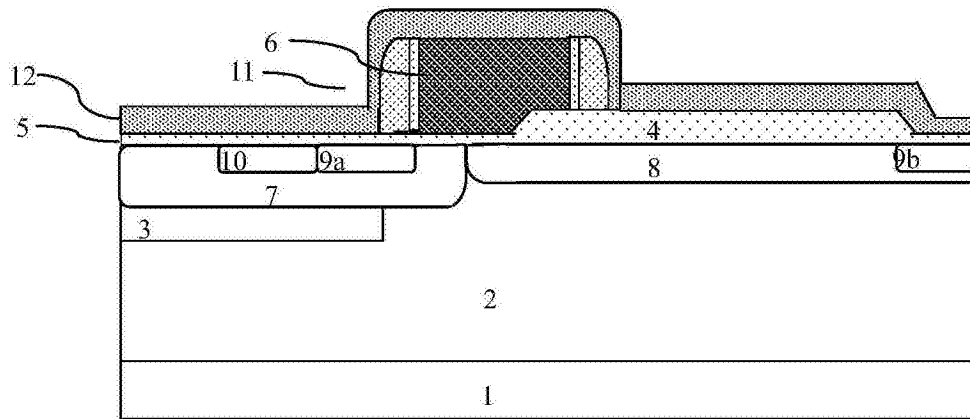


图2F

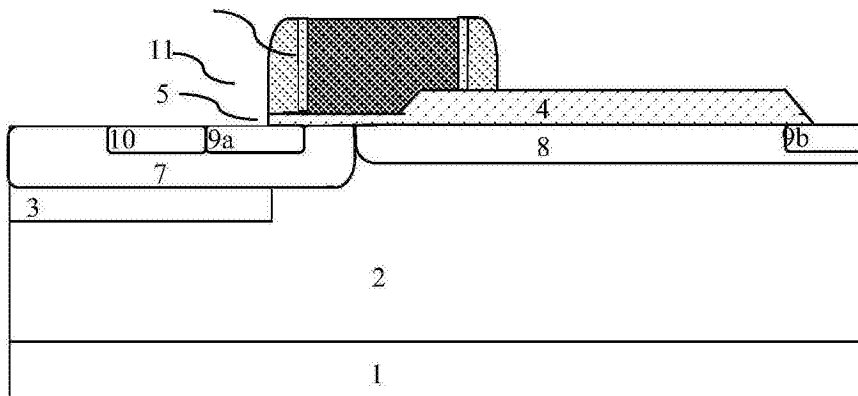


图2G

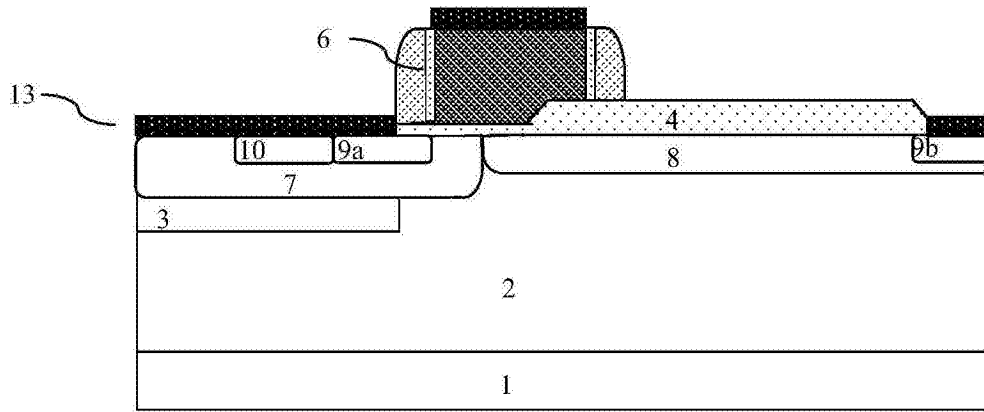


图2H

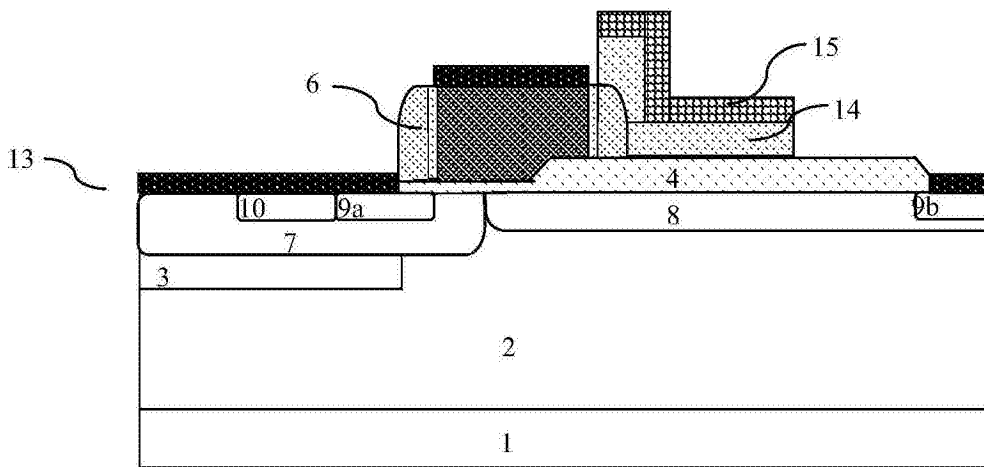


图2I