

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3539121号
(P3539121)

(45) 発行日 平成16年7月7日(2004.7.7)

(24) 登録日 平成16年4月2日(2004.4.2)

(51) Int. Cl.⁷

F I

G09G 3/36
G09G 3/20
G09G 5/18

G09G 3/36
G09G 3/20 612K
G09G 5/18

請求項の数 4 (全 15 頁)

<p>(21) 出願番号 特願平9-82153 (22) 出願日 平成9年3月14日(1997.3.14) (65) 公開番号 特開平10-254400 (43) 公開日 平成10年9月25日(1998.9.25) 審査請求日 平成14年12月20日(2002.12.20)</p>	<p>(73) 特許権者 000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号 (74) 代理人 100096817 弁理士 五十嵐 孝雄 (74) 代理人 100097146 弁理士 下出 隆史 (74) 代理人 100102750 弁理士 市川 浩 (72) 発明者 竹内 啓佐敏 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内 審査官 西島 篤宏</p>
---	--

最終頁に続く

(54) 【発明の名称】 ドットクロック生成回路

(57) 【特許請求の範囲】

【請求項1】

同期信号からドットクロックを生成するドットクロック生成回路であって、位相周波数検出器と、ローパスフィルタと、電圧制御発振器と、分周器とを有し、前記ドットクロック信号を出力するPLL回路と、前記分周器から出力される帰還信号と前記同期信号とのうちの一方を遅延させるための可変遅延回路と、前記帰還信号と前記同期信号の2つの信号のうちの一方を選択して前記可変遅延回路に供給するように、前記帰還信号と前記同期信号の接続状態を相補的に切替える切替回路と、を備え、前記帰還信号と前記同期信号の2つの信号のうちで前記可変遅延回路で遅延された一方の信号と他方の信号とが前記位相周波数検出器の基準入力端子と帰還入力端子とのうちのいずれかにそれぞれに供給されることを特徴とするドットクロック生成回路。

【請求項2】

同期信号からドットクロックを生成するドットクロック生成回路であって、位相周波数検出器と、ローパスフィルタと、電圧制御発振器と、分周器とを有し、前記ドットクロック信号を出力するPLL回路と、前記分周器から出力される帰還信号と前記同期信号とのうちの一方を遅延させるための可変遅延回路と、前記帰還信号と前記同期信号の2つの信号のうちで前記可変遅延回路で遅延された一方の

信号と他方の信号とを前記位相周波数検出器の基準入力端子と帰還入力端子とに相補的に切換えて供給する切換回路と、

を備えることを特徴とするドットクロック生成回路。

【請求項3】

同期信号からドットクロックを生成するドットクロック生成回路であって、位相周波数検出器と、ローパスフィルタと、電圧制御発振器と、分周器とを有し、前記ドットクロック信号を出力するPLL回路と、

前記分周器から出力される帰還信号と前記同期信号とのうちの一方を遅延させるための可変遅延回路と、

前記帰還信号と前記同期信号の2つの信号のうちの一方を選択して前記可変遅延回路に供給するように、前記帰還信号と前記同期信号の接続状態を相補的に切換える第1の切換回路と、

10

前記帰還信号と前記同期信号の2つの信号のうちで前記可変遅延回路で遅延された一方の信号と他方の信号とを前記位相周波数検出器の基準入力端子と帰還入力端子とに相補的に切換えて供給する第2の切換回路と、

を備えることを特徴とするドットクロック生成回路。

【請求項4】

同期信号からドットクロックを生成するドットクロック生成回路であって、位相周波数検出器と、ローパスフィルタと、電圧制御発振器と、分周器とを有し、前記ドットクロック信号を出力するPLL回路と、

20

前記分周器から出力される帰還信号を遅延させるための第1の可変遅延回路と、

前記第1の可変遅延回路における遅延量とは独立に前記同期信号を遅延させるための第2の可変遅延回路と、

を備えることを特徴とするドットクロック生成回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、同期信号からドットクロックを生成する技術に関し、特に、ドットクロックの位相を適切に設定するための技術に関する。

【0002】

30

【従来の技術】

図15は、従来のドットクロック生成回路を含む映像信号処理装置の一部の構成を示すブロック図である。この映像信号処理装置は、PLL回路100と、遅延回路102と、A-Dコンバータ104とを備えている。

【0003】

PLL回路100は、水平同期信号HSYNCの周波数を一定の通倍数で通倍することによって参照クロック信号RCLKを生成する。遅延回路102は、この参照クロック信号RCLKに遅延を与えてドットクロックDCLKを生成する。A-Dコンバータ104は、このドットクロックDCLKの立ち上がりエッジでアナログ映像信号YINをサンプリングしてデジタル映像信号YOUTを生成する。映像信号処理装置では、このデジタル映像信号YOUTを用いて映像の処理や表示等を実行する。

40

【0004】

図16は、従来技術におけるアナログ映像信号YINと2つのクロック信号RCLK, DCLKのタイミングチャートである。図16(a)に示すように、アナログ映像信号YINは、安定領域Rstと過渡領域Rtrとを含んでいる。安定領域Rstは、映像の本来の情報を含んでいるのに対して、過渡領域Rtrはリングングやなまりを含んでいる。図16(b)に示す参照クロック信号RCLKは、過渡領域Rtrに立ち上がりエッジが存在する。従って、仮に参照クロック信号RCLKの立ち上がりエッジでアナログ映像信号YINをサンプリングすると仮定すると、得られるデジタル映像信号YOUTはノイズを含む不鮮明な映像を表す信号となる。一方、図16(c)に示すドットクロック信号DCLKの立ち

50

上がりエッジは、参照クロック R C L K の立ち上がりエッジよりも遅延量 だけ遅れており、安定領域 R s t に存在する。このように、遅延回路 1 0 2 は、参照クロック信号 R C L K に遅延 を与えることによって、映像信号の処理に適した位相を有するドットクロック D C L K を生成している。

【 0 0 0 5 】**【 発明が解決しようとする課題 】**

しかし、参照クロック信号 R C L K を遅延させることによって適切な位相を有するドットクロック信号 D C L K を生成する場合には、図 1 6 (c) に示すように、ドットクロック信号 D C L K のデューティ比が遅延量に応じてかなり変化するという問題がある。デューティ比が大幅に変化すると、ドットクロック信号 D C L K の立ち上がり立ち下がり 10 が不明瞭になり、この結果、ドットクロック信号 D C L K から正しいタイミングが得られない場合があるという問題があった。

【 0 0 0 6 】

この発明は、従来技術における上述の課題を解決するためになされたものであり、ドットクロック信号のデューティ比をあまり変化させることなくドットクロック信号の位相を調整することのできる技術を提供することを目的とする。

【 0 0 0 7 】**【 課題を解決するための手段およびその作用・効果 】**

上述の課題の少なくとも一部を解決するため、本発明の第 1 のドットクロック生成回路は、

位相周波数検出器と、ローパスフィルタと、電圧制御発振器と、分周器とを有し、前記ドットクロック信号を出力する P L L 回路と、

前記分周器から出力される帰還信号と前記同期信号とのうちの一方を遅延させるための可変遅延回路と、

前記帰還信号と前記同期信号の 2 つの信号のうちの一方を選択して前記可変遅延回路に供給するように、前記帰還信号と前記同期信号の接続状態を相補的に切換える切換回路と、を備え、

前記帰還信号と前記同期信号の 2 つの信号のうちで前記可変遅延回路で遅延された一方の信号と他方の信号とが前記位相周波数検出器の基準入力端子と帰還入力端子とのうちのいずれかにそれぞれに供給されることを特徴とする。 30

【 0 0 0 8 】

第 1 のドットクロック生成回路では、位相周波数検出器に入力される 2 つの信号のうちの一方を遅延させるので、ドットクロック信号のデューティ比をあまり変化させることなくドットクロック信号の位相を調整することができる。また、同期信号を遅延させればドットクロック信号の位相を同期信号に対して遅らせることができ、一方、帰還信号を遅延させればドットクロック信号の位相を同期信号に対して進めることができる。従って、切換回路の切換状態に応じて、ドットクロック信号の位相を同期信号に対して遅らせたり進めたりすることができる。

【 0 0 0 9 】

本発明の第 2 のドットクロック生成回路は、

位相周波数検出器と、ローパスフィルタと、電圧制御発振器と、分周器とを有し、前記ドットクロック信号を出力する P L L 回路と、

前記分周器から出力される帰還信号と前記同期信号とのうちの一方を遅延させるための可変遅延回路と、

前記帰還信号と前記同期信号の 2 つの信号のうちで前記可変遅延回路で遅延された一方の信号と他方の信号とを前記位相周波数検出器の基準入力端子と帰還入力端子とに相補的に切換えて供給する切換回路と、

を備えることを特徴とする。 40

【 0 0 1 0 】

第 2 のドットクロック生成回路においても、第 1 のドットクロック生成回路と同様に、ド 50

ットクロック信号のデューティ比をあまり変化させることなくドットクロック信号の位相を調整することができる。切換回路の2つの切換状態のうちで、動作がより安定な状態を選択することができる。

【0011】

本発明の第2のドットクロック生成回路は、位相周波数検出器と、ローパスフィルタと、電圧制御発振器と、分周器とを有し、前記ドットクロック信号を出力するPLL回路と、前記分周器から出力される帰還信号と前記同期信号とのうちの一方を遅延させるための可変遅延回路と、前記帰還信号と前記同期信号の2つの信号のうち的一方を選択して前記可変遅延回路に供給するように、前記帰還信号と前記同期信号の接続状態を相補的に切換える第1の切換回路と、前記帰還信号と前記同期信号の2つの信号のうちで前記可変遅延回路で遅延された一方の信号と他方の信号とを前記位相周波数検出器の基準入力端子と帰還入力端子とに相補的に切換えて供給する第2の切換回路と、を備えることを特徴とする。

10

【0012】

第3のドットクロック生成回路においても、第1のドットクロック生成回路と同様に、ドットクロック信号のデューティ比をあまり変化させることなくドットクロック信号の位相を調整することができ、また、第1の切換回路の切換状態に応じて、ドットクロック信号の位相を同期信号に対して遅らせたり進めたりすることができる。さらに、第2のドットクロック生成回路と同様に、第2の切換回路の2つの切換状態のうちで、動作がより安定な状態を選択することができる。

20

【0013】

本発明の第4のドットクロック生成回路は、位相周波数検出器と、ローパスフィルタと、電圧制御発振器と、分周器とを有し、前記ドットクロック信号を出力するPLL回路と、前記分周器から出力される帰還信号を遅延させるための第1の可変遅延回路と、前記第1の可変遅延回路における遅延量とは独立に前記同期信号を遅延させるための第2の可変遅延回路と、を備えることを特徴とする。

30

【0014】

第4のドットクロック生成回路では、第1と第2の可変遅延回路における遅延量をそれぞれ調整することによって、ドットクロック信号と同期信号との相対的な位相を調整することができる。従って、ドットクロック信号のデューティ比をあまり変化させることなくドットクロック信号の位相を調整することができ、また、ドットクロック信号の位相を同期信号に対して遅らせたり進めたりすることができる。また、第4のドットクロック生成回路では切換回路を使用する必要がないので、切換回路における切換時に発生する可能性のあるドットクロック信号の揺れを回避することができる。

【0015】

40

【発明の実施の形態】

次に、本発明の実施の形態を実施例に基づき説明する。図1は、本発明の第1実施例としてのドットクロック生成回路を含む映像信号処理装置の一部の構成を示すブロック図である。この映像信号処理装置は、PLL回路40と、可変遅延回路50と、A-Dコンバータ60と、CPU70と、切換回路80とを備えている。PLL回路40は、位相周波数検出器(PFD)42と、ローパスフィルタ(LPF)44と、電圧制御発振器(VCO)46と、分周器48とを備えている。PLL回路40と可変遅延回路50は、水平同期信号HSYNCからドットクロック信号DCLKを生成するためのドットクロック生成回路を構成している。なお、PLL回路40内の4つの回路要素のうちで、分周器48以外の3つの回路要素42, 44, 46で構成される回路が「PLL回路」と呼ばれることも

50

ある。

【 0 0 1 6 】

切換回路 8 0 には、水平同期信号 H S Y N C と、分周器 4 8 から出力された帰還信号 R E T とが入力されている。切換回路 8 0 は、入力された 2 つの信号 H S Y N C , R E T の一方を可変遅延回路 5 0 に供給し、他方を位相周波数検出器 4 2 の帰還入力端子 F B に供給するように、2 つの信号 H S Y N C , R E T の接続状態を相補的に切り換える。可変遅延回路 5 0 の出力は、位相周波数検出器 4 2 の基準入力端子 R E F に供給される。なお、切換回路 8 0 を切り換える切換信号 S W は、C P U 7 0 から供給される。

【 0 0 1 7 】

図 2 は、切換回路 8 0 の内部構成を示すブロック図である。この切換回路 8 0 は、2 つのデマルチプレクサ 8 2 , 8 4 と、インバータ 8 6 とで構成されている。水平同期信号 H S Y N C は第 1 のデマルチプレクサ 8 2 に入力され、帰還信号 R E T は第 2 のデマルチプレクサ 8 4 に入力されている。第 1 と第 2 のデマルチプレクサ 8 2 , 8 4 の第 1 の出力 Q 8 2 a , Q 8 4 a は、O R 接続されて、第 1 の出力信号 Q 1 として切換回路 8 0 から出力される。同様に、第 1 と第 2 のデマルチプレクサ 8 2 , 8 4 の第 2 の出力 Q 8 2 b , Q 8 4 b も O R 接続されて、第 2 の出力信号 Q 2 として切換回路 8 0 から出力される。C P U 7 0 からの切換信号 S W は、そのまま第 2 のデマルチプレクサ 8 4 に選択信号として供給されているとともに、インバータ 8 6 で反転されて第 1 のデマルチプレクサ 8 2 に選択信号として供給されている。従って、切換信号 S W の 1 , 0 のレベルに応じて、2 つの信号 H S Y N C , R E T の一方が第 1 の出力信号 Q 1 として出力され、他方が第 2 の出力信号 Q 2 として出力されるように、2 つのデマルチプレクサ 8 2 , 8 4 において相補的な切換が行われる。

【 0 0 1 8 】

可変遅延回路 5 0 は、切換回路 8 0 の第 1 の出力信号 Q 1 を遅延させる。可変遅延回路 5 0 における遅延量は、C P U 7 0 からの遅延制御信号 D C O N によって設定される。

【 0 0 1 9 】

図 3 は、可変遅延回路 5 0 の内部構成を示すブロック図である。可変遅延回路 5 0 は、多段に直列接続された複数のゲート素子 5 2 と、マルチプレクサ (M P X) 5 4 とを備えている。切換回路 8 0 の第 1 の出力信号 (水平同期信号 H S Y N C または帰還信号 R E T) は、直列接続された複数のゲート素子 5 2 に入力される。複数のゲート素子 5 2 の出力端子は、マルチプレクサ 5 4 に並列に接続されている。マルチプレクサ 5 4 は、C P U 7 0 から与えられる遅延制御信号 D C O N に応じて、複数のゲート素子 5 2 の出力のうちから 1 つを選択し、遅延信号 X Q 1 として出力する。可変遅延回路 5 0 から出力された遅延信号 X Q 1 は、位相周波数検出器 4 2 の基準入力端子 R E F に供給される。一方、切換回路 8 0 の第 2 の出力信号 Q 2 は、位相周波数検出器 4 2 の帰還入力端子 F B に供給される。

【 0 0 2 0 】

図 1 に示す第 1 実施例のドットクロック生成回路は、切換回路 8 0 における 2 つの切換状態に応じて、図 4 に示す第 1 の等価回路と、図 6 に示す第 2 の等価回路の構成を実現することができる。

【 0 0 2 1 】

図 4 に示す第 1 の等価回路では、水平同期信号 H S Y N C が可変遅延回路 5 0 で遅延を受け、遅延同期信号 X H S Y N C が位相周波数検出器 4 2 の基準入力端子 R E F に入力される。一方、位相周波数検出器 4 2 の帰還入力端子 F B には、分周器 4 8 から出力された帰還信号 R E T が供給される。位相周波数検出器 4 2 は、遅延同期信号 X H S Y N C と帰還信号 R E T とのエッジ差に応じた電圧レベルを有する信号を出力する。位相周波数検出器 4 2 の出力は、ローパスフィルタ 4 4 を通じて電圧制御発振器 4 6 に与えられる。電圧制御発振器 4 6 の出力は、ドットクロック信号 D C L K として出力されるとともに、分周器 4 8 に入力される。分周器 4 8 は、設定された逡倍数 N までパルス数をカウントするカウンタであり、この逡倍数 N でドットクロック信号 D C L K を分周する。ドットクロック信号 D C L K は、遅延同期信号 X H S Y N C の N 倍の周波数を有しており、また、遅延同期

10

20

30

40

50

信号 X H S Y N C と位相が一致している（すなわち、立ち上がりエッジのタイミングが一致している）。

【 0 0 2 2 】

A - D コンバータ 6 0 は、ドットクロック信号 D C L K の立ち上がりエッジでアナログ映像信号 Y I N をサンプリングしてデジタル映像信号 Y O U T を生成する。映像信号処理装置では、このデジタル映像信号 Y O U T を用いて映像の処理や表示等を実行する。

【 0 0 2 3 】

図 5 は、図 4 に示す第 1 の等価回路における各種の信号 Y I N , H S Y N C , X H S Y N C , D C L K のタイミングチャートである。図 5 (a) はアナログ映像信号 Y I N を示しており、図 5 (b) は遅延のない水平同期信号 H S Y N C を、また、図 5 (c) は、この水平同期信号 H S Y N C と位相が一致しているドットクロック信号 D C L K a を示している。図 5 (c) のドットクロック信号 D C L K a は、可変遅延回路 5 0 (図 4) における遅延量をゼロに設定した場合に得られる信号である。図 5 (c) の例では、このドットクロック信号 D C L K a の立ち上がりエッジがアナログ映像信号 Y I N の過渡領域 R t r に存在するものと仮定している。

10

【 0 0 2 4 】

図 5 (d) は遅延同期信号 X H S Y N C を示し、図 5 (e) はこの遅延同期信号 X H S Y N C と位相が一致しているドットクロック信号 D C L K b を示している。遅延同期信号 X H S Y N C は、元の水平同期信号 H S Y N C から遅延量だけ遅延している。この結果、図 5 (e) に示すドットクロック信号 D C L K b の立ち上がりエッジは、アナログ映像信号 Y I N の安定領域 R s t に存在する。

20

【 0 0 2 5 】

前述した図 1 5 に示す従来のドットクロック生成回路では、ドットクロック信号のデューティ比が遅延回路 1 0 2 における遅延量に応じて変化していた。一方、図 4 に示す第 1 の等価回路では、水平同期信号 H S Y N C に遅延を与えているので、遅延同期信号 X H S Y N C のデューティ比が変化する可能性がある。しかし、位相周波数検出器 4 2 の出力レベルは 2 つの入力信号 X H S Y N C , R E T の立ち上がりエッジの差に対応しており、それらのデューティ比には無関係なので、遅延同期信号 X S Y N C のデューティ比が変化しても位相周波数検出器 4 2 の出力レベルにはほとんど影響がない。従って、図 4 の等価回路によれば、遅延量に係わらず、ほぼ一定のデューティ比を有するドットクロック信号 D C L K を生成することができる。また、可変遅延回路 5 0 における遅延量を調整することによって、適切な位相を有するドットクロック信号 D C L K を生成することが可能である。

30

【 0 0 2 6 】

図 6 に示す第 2 の等価回路では、遅延帰還信号 X R E T が位相周波数検出器 4 2 の基準入力端子 R E F に供給されており、水平同期信号 H S Y N C がそのまま位相周波数検出器 4 2 の帰還入力端子 F B に供給されている。

【 0 0 2 7 】

図 7 は、図 6 に示す第 2 の等価回路における各種の信号 Y I N , H S Y N C , X R E T , R E T , D C L K のタイミングチャートである。P L L 回路 4 0 は、位相周波数検出器 4 2 の基準入力端子 R E F と帰還入力端子 F B に入力される 2 つの信号 X R E T , H S Y N C (図 7 (c) , (b)) の立ち上がりエッジの差がゼロになるようにドットクロック信号 D C L K の位相と周波数を調整する。図 7 (d) に示す帰還信号 R E T は、遅延帰還信号 X R E T よりも遅延量だけ位相が進んだ信号である。ドットクロック信号 D C L K は、帰還信号 R E T と位相が一致しているので、遅延帰還信号 X R E T よりも位相がだけ進んでいる。従って、ドットクロック信号 D C L K は、水平同期信号 H S Y N C よりも位相がだけ進んでいることになる。

40

【 0 0 2 8 】

なお、第 2 の等価回路では、水平同期信号 H S Y N C が位相周波数検出器 4 2 の帰還入力端子 F B に入力されているので、位相周波数検出器 4 2 の出力信号の符号が図 4 の場合と

50

は逆になる。これに対処するために、ローパスフィルタ44は、入力された信号レベルを反転する反転回路(図示せず)を有している。第2の等価回路においては、この反転回路でローパスフィルタ44への入力信号またはローパスフィルタ44からの出力信号を逆転している。この反転回路のオン/オフは、切換回路80に与えられるものと同じ切換信号SWによって制御される。

【0029】

このように、第2の等価回路では、分周器48からの帰還信号RETを遅延させて位相周波数検出器42の基準入力端子REFに供給することによって、ドットクロック信号DCLKの位相を水平同期信号HSYNCから進ませることができる。この結果、ドットクロック信号DCLKの立ち上がりエッジがアナログ映像信号YINの安定領域Rst内に存在するように、ドットクロック信号DCLKの位相を調整することができる。

10

【0030】

このように、図4に示す第1の等価回路では、水平同期信号HSYNCに対してドットクロック信号DCLKの位相を遅らせることができ、一方、図6に示す第2の等価回路では、水平同期信号HSYNCに対してドットクロック信号DCLKの位相を進めることができる。従って、図1に示す第1実施例のドットクロック生成回路によれば、切換回路80を切り換えることによって、ドットクロック信号DCLKの位相を水平同期信号HSYNCから遅らせたり進めたりすることができる。可変遅延回路50における最大遅延量が同じであれば、図1に示す第1実施例の回路は、第1の等価回路または第2の等価回路の2倍の位相調整幅でドットクロック信号DCLKの位相を調整することができる。一方、第1実施例の回路において第1の等価回路または第2の等価回路と同じ位相調整幅を達成するためには、可変遅延回路50における最大遅延量を第1の等価回路または第2の等価回路の1/2にすることができる。

20

【0031】

図8は、本発明の第2実施例の映像信号処理装置のブロック図である。この装置は、図1に示す第1実施例と同じ要素で構成されており、要素間の接続が異なるだけである。すなわち、図8の装置では、可変遅延回路50の出力信号XQ1が位相周波数検出器42の帰還入力端子FBに供給されており、切換回路80の第2の出力Q2が位相周波数検出器42の基準入力端子REFに供給されている。

【0032】

図8に示すドットクロック生成回路は、切換回路80における2つの切換状態に応じて、図9に示す第3の等価回路と、図10に示す第4の等価回路の構成を実現することができる。図9に示す第3の等価回路では、帰還信号RETに遅延を与えているので、水平同期信号HSYNCに対してドットクロック信号DCLKの位相を進めることができる。第3の等価回路の動作は、前述した図6の第2の等価回路の動作(図7)とほぼ同じなので、その説明は省略する。一方、図10に示す第4の等価回路では、水平同期信号HSYNCに対してドットクロック信号DCLKの位相を遅らせることができる。第4の等価回路の動作は、前述した図4の第1の等価回路の動作(図5)とほぼ同じなので、その説明は省略する。但し、第4の等価回路では、遅延水平同期信号XHSYNCが位相周波数検出器42の帰還入力端子FBに入力されているので、位相周波数検出器42の出力信号の符号が図4の場合とは逆になる。第4の等価回路においては、ローパスフィルタ44内の図示しない反転回路で入力信号を逆転している。

30

40

【0033】

このように、図8に示すドットクロック生成回路でも、切換回路80を切り換えることによって、ドットクロック信号DCLKの位相を水平同期信号HSYNCから遅らせたり進めたりすることができる。

【0034】

図11は、本発明の第3実施例の映像信号処理装置のブロック図である。この装置も、図1に示す第1実施例と同じ要素で構成されており、要素間の接続が異なるだけである。すなわち、図11の装置では、水平同期信号HSYNCが可変遅延回路50に入力されてお

50

り、得られた遅延同期信号 X H S Y N C が帰還信号 R E T とともに切換回路 8 0 に入力されている。切換回路 8 0 の第 1 の出力 Q 1 は位相周波数検出器 4 2 の基準入力端子 R E F に供給されており、第 2 の出力 Q 2 は帰還入力端子 F B に供給されている。

【 0 0 3 5 】

図 1 1 に示すドットクロック生成回路は、切換回路 8 0 における 2 つの切換状態に応じて、図 4 に示す第 1 の等価回路と、図 1 0 に示す第 4 の等価回路の構成を実現することができる。第 1 と第 4 の等価回路では、いずれも水平同期信号 H S Y N C に対してドットクロック信号 D C L K の位相を遅らせている。しかし、図 1 1 に示す回路においては、切換回路 8 0 を切り換えることによって、第 1 と第 4 の 2 つ等価回路のうちで、より安定した動作を示す回路構成を選択することができる。

10

【 0 0 3 6 】

図 1 2 は、本発明の第 4 実施例の映像信号処理装置のブロック図である。この装置も、図 1 に示す第 1 実施例と同じ要素で構成されており、要素間の接続が異なるだけである。すなわち、図 1 2 の装置では、帰還信号 R E T が可変遅延回路 5 0 に入力されており、得られた遅延帰還信号 X R E T が水平同期信号 H S Y N C とともに切換回路 8 0 に入力されている。切換回路 8 0 の第 1 の出力 Q 1 は位相周波数検出器 4 2 の基準入力端子 R E F に供給されており、第 2 の出力 Q 2 は帰還入力端子 F B に供給されている。

【 0 0 3 7 】

図 1 2 に示すドットクロック生成回路は、切換回路 8 0 における 2 つの切換状態に応じて、図 6 に示す第 2 の等価回路と図 9 に示す第 3 の等価回路の構成を実現することができる。第 2 と第 3 の等価回路では、いずれも水平同期信号 H S Y N C に対してドットクロック信号 D C L K の位相を進めている。しかし、図 1 2 に示す回路においては、切換回路 8 0 を切り換えることによって、これらの 2 つ等価回路のうちで、より安定した動作を示す回路構成を選択することができる。

20

【 0 0 3 8 】

図 1 3 は、本発明の第 5 実施例の映像信号処理装置のブロック図である。この装置は、可変遅延回路 5 0 の入力側と出力側にそれぞれ切換回路を設けた構成を有している。すなわち、図 1 3 の装置では、水平同期信号 H S Y N C と帰還信号 R E T が第 1 の切換回路 8 0 a に入力されている。第 1 の切換回路 8 0 a の第 1 の出力 Q 1 a は可変遅延回路 5 0 を介して第 2 の切換回路 8 0 b に入力されている。また、第 1 の切換回路 8 0 a の第 2 の出力 Q 2 a は、そのまま第 2 の切換回路 8 0 b に入力されている。第 2 の切換回路 8 0 b の第 1 の出力 Q 1 a は位相周波数検出器 4 2 の基準入力端子 R E F に供給されており、第 2 の出力 Q 2 b は帰還入力端子 F B に供給されている。

30

【 0 0 3 9 】

2 つの切換回路 8 0 a , 8 0 b の内部構成は、図 2 に示したものと同じである。また、これらの 2 つの切換回路 8 0 a , 8 0 b に与えられる切換信号 S W a , S W b はそれぞれ独立に設定可能である。従って、図 1 3 に示す回路は、2 つの切換回路 8 0 a , 8 0 b における切換状態に応じて、第 1 ないし第 4 の等価回路の構成をいずれも実現することができる。すなわち、第 5 実施例によれば、ドットクロック信号 D C L K の位相を水平同期信号 H S Y N C から遅らせたり進めたりすることができ、かつ、より安定な動作を示す回路構成を容易に実現することができる。

40

【 0 0 4 0 】

図 1 4 は、本発明の第 6 実施例の映像信号処理装置のブロック図である。この装置は、水平同期信号 H S Y N C と帰還信号 R E T にそれぞれ専用の可変遅延回路を設けた構成を有している。すなわち、図 1 4 の装置では、水平同期信号 H S Y N C と帰還信号 R E T がそれぞれ別個の可変遅延回路 5 0 a , 5 0 b に入力されている。遅延同期信号 X H S Y N C は位相周波数検出器 4 2 の基準入力端子 R E F に供給されており、遅延帰還信号 X R E T は帰還入力端子 F B に供給されている。

【 0 0 4 1 】

2 つの可変遅延回路 5 0 a , 5 0 b の内部構成は、図 3 に示したものと同じである。また

50

、これらの2つの可変遅延回路50a, 50bに与えられる遅延制御信号DCONa, DCONbはそれぞれ独立に設定可能である。従って、図14に示す回路は、2つの可変遅延回路50a, 50bにおける遅延量a, bに応じて、ドットクロック信号DCLKの位相を水平同期信号HSYNCから遅らせたり進めたりすることができる。前述した第1実施例ないし第5実施例のドットクロック生成回路はいずれも切換回路を含むので、切換回路における切換動作時にドットクロック信号DCLKの位相が一時的にずれて、揺れが発生する可能性がある。一方、図14に示すの第6実施例のドットクロック生成回路は切換回路を含まないので、切換時の一時的な位相はずれによるドットクロック信号DCLKの揺れが発生しないという利点がある。

【0042】

10

なお、図14を変形して、遅延同期信号XHSYNCを位相周波数検出器42の帰還入力端子FBに入力し、遅延帰還信号XRETを基準入力端子REFに入力するようにしてもよい。但し、この場合には、ローパスフィルタ44内の反転回路がオンに設定される。

【0043】

なお、この発明は上記の実施例や実施形態に限られるものではなく、その要旨を逸脱しない範囲において種々の態様において実施することが可能であり、例えば次のような変形も可能である。

【0044】

(1) PLL回路40内の電圧制御発振器46の後段に、もう1つの分周器を設け、電圧制御発振器46から出力されるクロック信号をこの分周器で1/M(Mは整数)に分周することによって、ドットクロック信号DCLKを生成するようにしてもよい。

20

【図面の簡単な説明】

【図1】本発明の第1実施例としてのドットクロック生成回路を含む映像信号処理装置の一部の構成を示すブロック図。

【図2】切換回路80の内部構成を示すブロック図。

【図3】可変遅延回路50の内部構成を示すブロック図。

【図4】第1実施例の第1の等価回路のブロック図。

【図5】第1の等価回路における各種の信号のタイミングチャート。

【図6】第1実施例の第2の等価回路のブロック図。

【図7】第2の等価回路における各種の信号のタイミングチャート。

30

【図8】本発明の第2実施例のブロック図。

【図9】第2実施例の第3の等価回路のブロック図。

【図10】第2実施例の第4の等価回路のブロック図。

【図11】本発明の第3実施例のブロック図。

【図12】本発明の第4実施例のブロック図。

【図13】本発明の第5実施例のブロック図。

【図14】本発明の第6実施例のブロック図。

【図15】従来のドットクロック生成回路を含む映像信号処理装置の一部の構成を示すブロック図。

【図16】従来技術におけるアナログ映像信号YINと2つのクロック信号RCLK, DCLKのタイミングチャート。

40

【符号の説明】

40 ... PLL回路

42 ... 位相周波数検出器

44 ... ローパスフィルタ

46 ... 電圧制御発振器

48 ... 分周器

50 ... 可変遅延回路

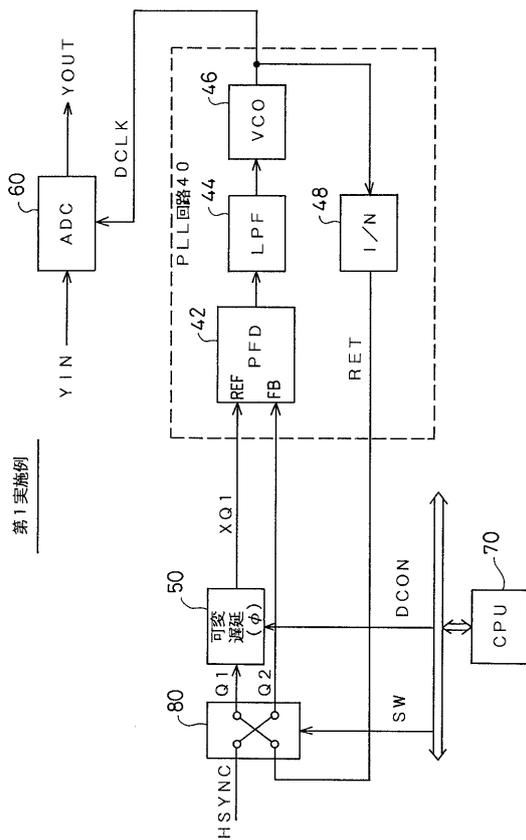
52 ... ゲート素子

54 ... マルチプレクサ

50

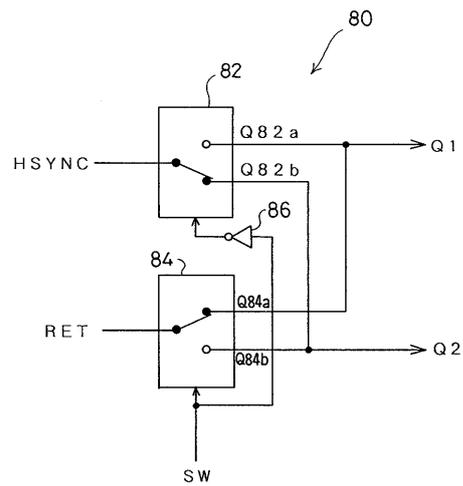
- 60 ... A - Dコンバータ
- 70 ... CPU
- 80 ... 切換回路
- 82, 84 ... デマルチプレクサ
- 86 ... インバータ
- 100 ... PLL回路
- 102 ... 遅延回路
- 104 ... A - Dコンバータ

【図1】

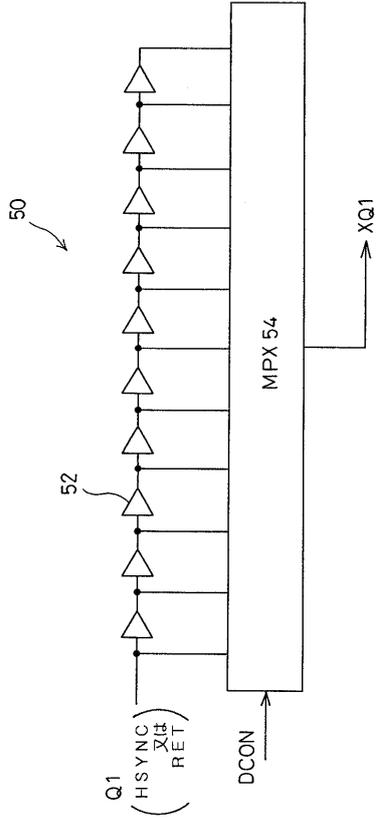


第1実施例

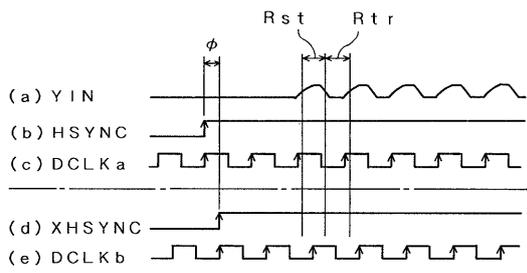
【図2】



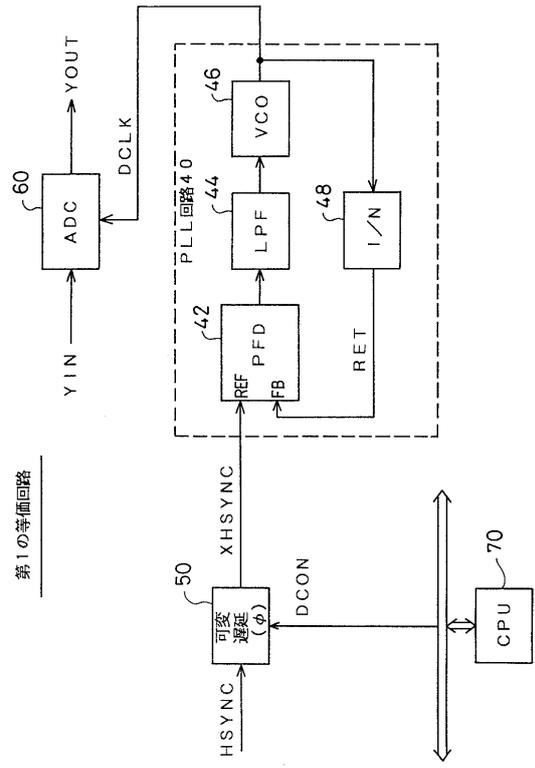
【 図 3 】



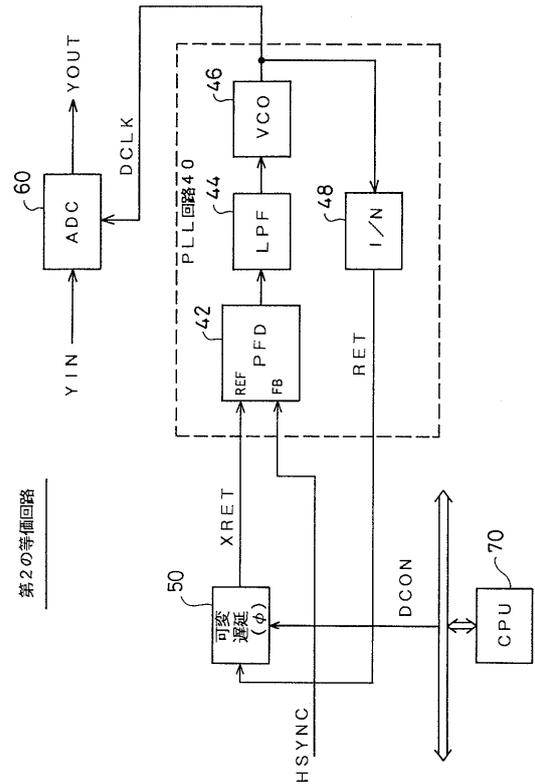
【 図 5 】



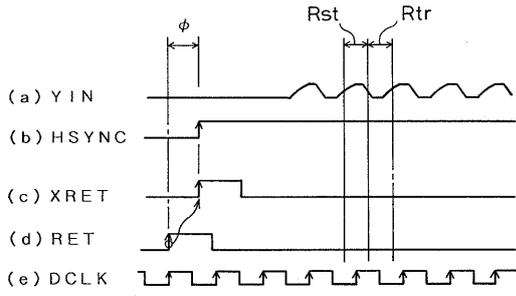
【 図 4 】



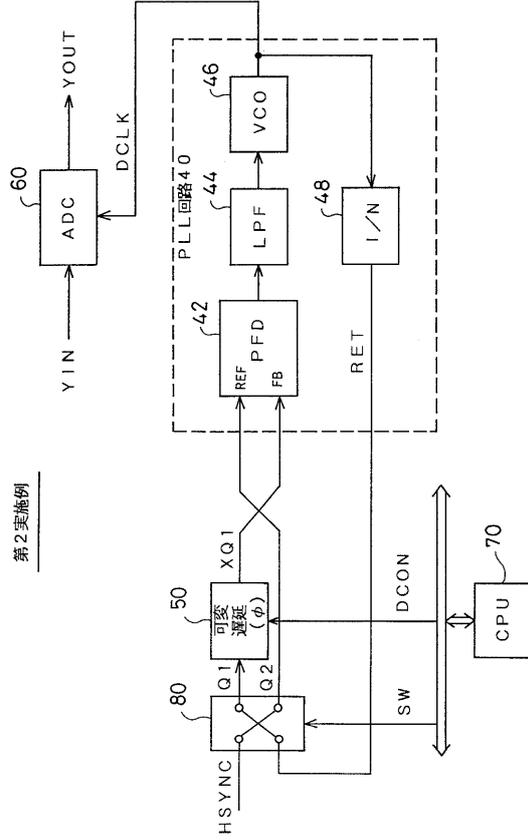
【 図 6 】



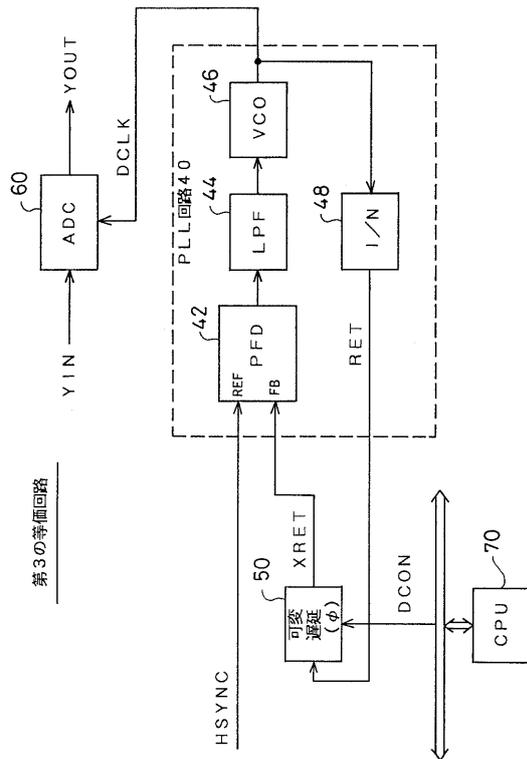
【 図 7 】



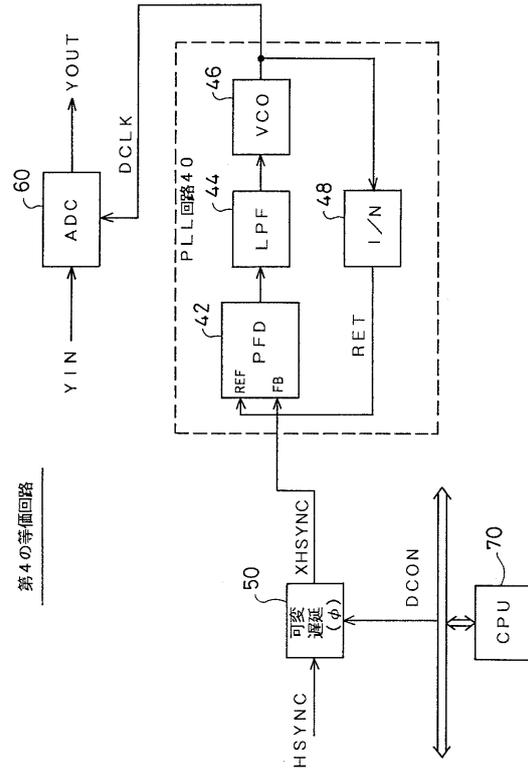
【 図 8 】



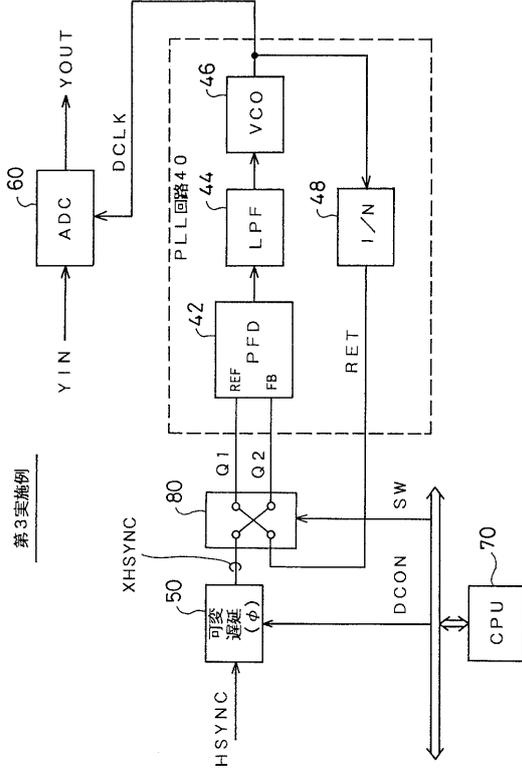
【 図 9 】



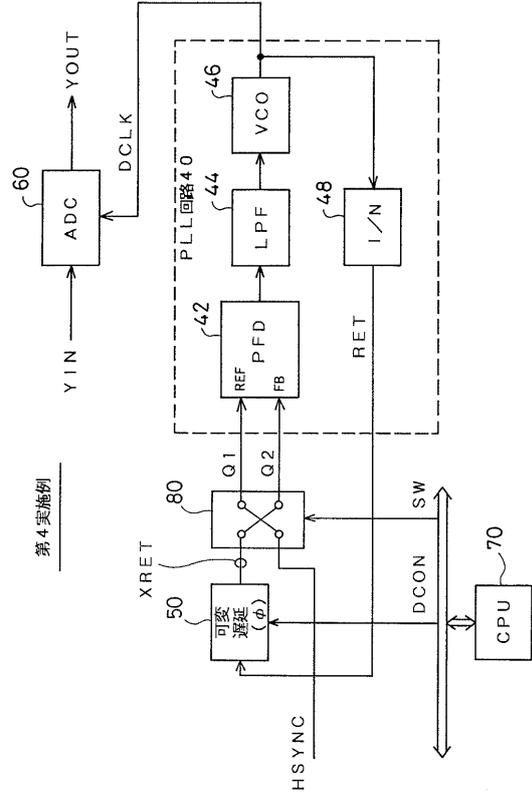
【 図 10 】



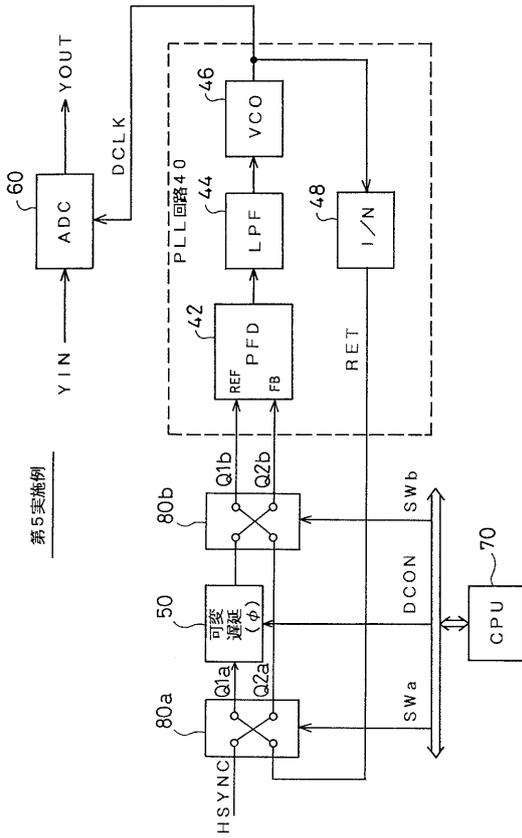
【 図 1 1 】



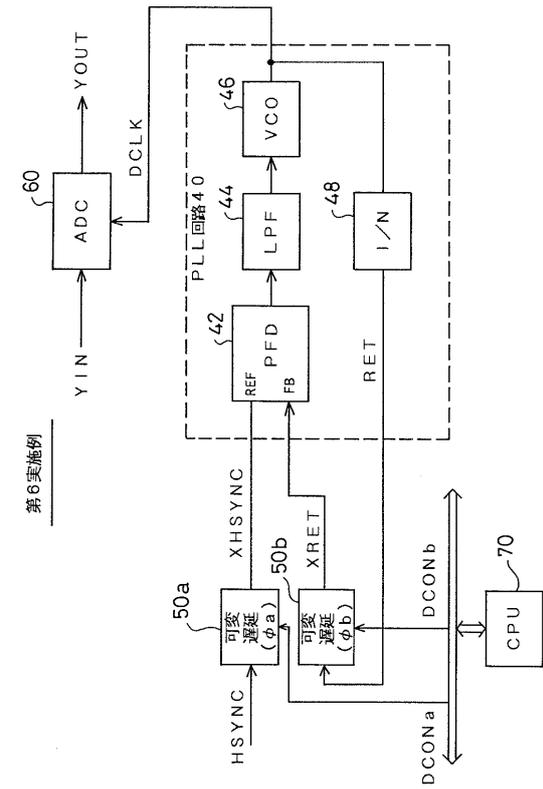
【 図 1 2 】



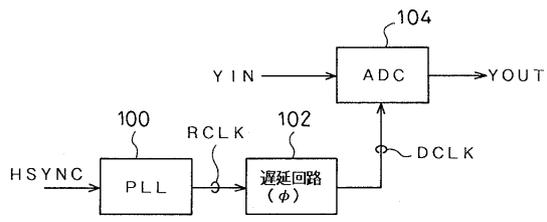
【 図 1 3 】



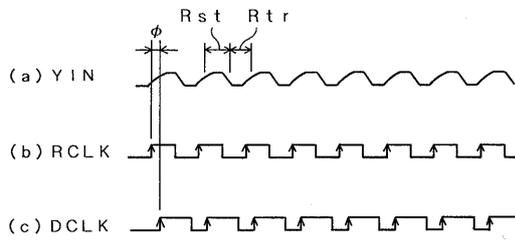
【 図 1 4 】



【 図 1 5 】



【 図 1 6 】



フロントページの続き

- (56)参考文献 特開平07 - 160222 (JP, A)
国際公開第97 / 005740 (WO, A1)
特開平09 - 046621 (JP, A)
特開平05 - 297839 (JP, A)
特開平09 - 062239 (JP, A)
特開平08 - 044321 (JP, A)
特開平04 - 291390 (JP, A)
特開平05 - 204329 (JP, A)

- (58)調査した分野(Int.Cl.⁷, DB名)

G09G 3/00- 5/42