



(12) 发明专利申请

(10) 申请公布号 CN 104716063 A

(43) 申请公布日 2015. 06. 17

(21) 申请号 201410776548. 5

(22) 申请日 2014. 12. 15

(30) 优先权数据

14/105, 794 2013. 12. 13 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72) 发明人 王圣棠 张家铭 林士哲 王昭瑞

(74) 专利代理机构 北京德恒律治知识产权代理

有限公司 11409

代理人 章社泉 李伟

(51) Int. Cl.

H01L 21/66(2006. 01)

H01L 21/67(2006. 01)

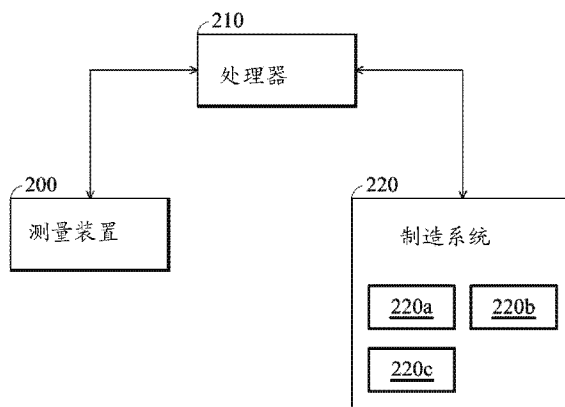
权利要求书2页 说明书7页 附图7页

(54) 发明名称

减少 SOC 应用中的芯体对芯体失配的方法

(57) 摘要

本发明提供了一种用于减少芯体对芯体失配的方法。该方法包括通过测量装置测量第一组 SOC 产品中的每个芯体的代表性图案的栅极长度。第一组 SOC 产品中的每一个包括两个以上彼此相同的芯体。该方法还包括根据每个芯体的栅极长度之间的差值确定调整量, 并且根据调整量来分别调整用于第二组 SOC 产品中的每个芯体的栅极长度的临界尺寸的制造条件以用于减少由于每个芯体的周围环境而导致的芯体对芯体失配。第二组中的 SOC 产品中的每一个包括两个以上彼此相同并且还第一组中的芯体相同的芯体。



1. 一种用于减少芯体对芯体失配的方法,包括:

通过测量装置测量第一组系统级芯片(SOC)产品中的每个芯体的代表性图案的栅极长度,其中,所述第一组中的所述SOC产品均包括两个以上彼此相同的芯体;

根据每个芯体的所述栅极长度之间的差值确定调整量;以及

根据所述调整量来分别调整用于第二组SOC产品中的每个芯体的栅极长度的临界尺寸(CD)的制造条件以减少由于每个芯体的周围环境而导致的芯体对芯体失配,其中,所述第二组中的所述SOC产品均包括两个以上彼此相同并且还与所述第一组中的芯体相同的芯体。

2. 根据权利要求1所述的用于减少芯体对芯体失配的方法,其中,调整所述制造条件包括根据所述调整量来调整用于所述第二组SOC产品中的每个芯体的栅极长度的临界尺寸的光刻(LIT)能量。

3. 根据权利要求1所述的用于减少芯体对芯体失配的方法,其中,所述LIT能量的敏感度约为0.9nm/mJ至1.3nm/mJ。

4. 根据权利要求1所述的用于减少芯体对芯体失配的方法,其中,调整所述制造条件包括根据所述调整量来调整用于所述第二组SOC产品中的每个芯体的栅极长度的临界尺寸的蚀刻工艺。

5. 根据权利要求1所述的用于减少芯体对芯体失配的方法,其中,当所述调整量大于栅极长度的CD的预设偏移值时,实施所述制造条件的调整,所述调整量是每个芯体的所述栅极长度之间的所述差值的最大值。

6. 根据权利要求1所述的用于减少芯体对芯体失配的方法,还包括:测量每个芯体的所述代表性图案的电子特征。

7. 根据权利要求6所述的用于减少芯体对芯体失配的方法,其中,所述电子特征包括每个芯体的集成电路静态电流(IDDQ)或操作速度。

8. 根据权利要求7所述的用于减少芯体对芯体失配的方法,其中,当所述调整量大于IDDQ的预设偏移值时,实施所述制造条件的调整,其中,所述调整量是每个芯体的所述IDDQ之间的差值的最大值。

9. 一种用于减少芯体对芯体失配的方法,包括:

通过测量装置测量第一组SOC产品中的每个芯体的代表性图案的栅极长度,其中,所述第一组中的所述SOC产品中的每个产品包括两个以上彼此相同的芯体;

根据每个芯体的所述栅极长度之间的差值确定调整量;以及

根据所述调整量来分别调整用于第二组SOC产品中的每个芯体的栅极长度的临界尺寸的至少一个掩模以用于减少由于每个芯体的周围环境而导致的芯体对芯体失配,其中,所述第二组中的所述SOC产品均包括两个以上彼此相同并且还与所述第一组中的所述芯体相同的芯体。

10. 一种用于减少芯体对芯体失配的方法,包括:

通过测量装置测量第一组SOC产品中的每个芯体的代表性图案的电子特征,其中,所述第一组中的所述SOC产品均包括两个以上彼此相同的芯体;以及

根据测得的所述电子特征来分别调整第二组SOC产品中的每个芯体的制造条件以用于减少由于每个芯体的周围环境而导致的芯体对芯体失配,其中,所述第二组中的所述SOC

---

产品均包括两个以上彼此相同的并且还与所述第一组中的所述芯体相同的芯体。

## 减少 SOC 应用中的芯体对芯体失配的方法

### 技术领域

[0001] 本发明总体涉及集成电路,更具体地,涉及系统级芯片(SOC)。

### 背景技术

[0002] 在系统级芯片(SOC)应用的过程中,在缩小几何尺寸(即,通过使用制造工艺可以得到的最小部件或线)的同时,通常增大了功能密度(即,在每个芯片面积内互连器件的数量)。这种按比例缩小工艺的优点在于通常提高了生产效率和降低了相关成本。同时,这种按比例缩小工艺还增大了各部件由于工艺诱发的以及由环境诱发的在实际 SOC 产品中制造的临界尺寸(CD)的实际大小和在电子设计自动化(EAD)工具中所设计的尺寸之间的不一致度的显著性。

[0003] 随着便携式电子器件(诸如,智能电话或平板电脑)的发展,对多芯体 SOC 产品的需求大于对单芯体 SOC 产品的需求。然而,仍面临减少 SOC 产品中芯体对芯体失配的挑战。

### 发明内容

[0004] 优选地,本发明提供了一种用于减少芯体对芯体失配的方法,包括:通过测量装置测量第一组系统级芯片(SOC)产品中的每个芯体的代表性图案的栅极长度,其中,第一组中的 SOC 产品均包括两个以上彼此相同的芯体;根据每个芯体的栅极长度之间的差值确定调整量;以及根据调整量来分别调整用于第二组 SOC 产品中的每个芯体的栅极长度的临界尺寸(CD)的制造条件以减少由于每个芯体的周围环境而导致的芯体对芯体失配,其中,第二组中的 SOC 产品均包括两个以上彼此相同并且还第一组中的芯体相同的芯体。

[0005] 优选地,调整制造条件包括根据调整量来调整用于第二组 SOC 产品中的每个芯体的栅极长度的临界尺寸的光刻(LIT)能量。

[0006] 优选地,LIT 能量的敏感度约为 0.9nm/mJ 至 1.3nm/mJ。

[0007] 优选地,调整制造条件包括根据调整量来调整用于第二组 SOC 产品中的每个芯体的栅极长度的临界尺寸的蚀刻工艺。

[0008] 优选地,当调整量大于栅极长度的 CD 的预设偏移值时,实施制造条件的调整,调整量是每个芯体的栅极长度之间的差值的最大值。

[0009] 优选地,该方法还包括:测量每个芯体的代表性图案的电子特征。

[0010] 优选地,电子特征包括每个芯体的集成电路静态电流(IDDQ)或操作速度。

[0011] 优选地,当调整量大于 IDDQ 的预设偏移值时,实施制造条件的调整,其中,调整量是每个芯体的 IDDQ 之间的差值的最大值。

[0012] 优选地,代表性图案是 MOS 状图案。

[0013] 根据本发明的另一方面,提供了一种用于减少芯体对芯体失配的方法,包括:通过测量装置测量第一组 SOC 产品中的每个芯体的代表性图案的栅极长度,其中,第一组中的 SOC 产品中的每个产品包括两个以上彼此相同的芯体;根据每个芯体的栅极长度之间的差值确定调整量;以及根据调整量来分别调整用于第二组 SOC 产品中的每个芯体的栅极长度

的临界尺寸的至少一个掩模以用于减少由于每个芯体的周围环境而导致的芯体对芯体失配,其中,第二组中的 SOC 产品均包括两个以上彼此相同并且还与第一组中的芯体相同的芯体。

[0014] 优选地,当调整量大于栅极长度 CD 的预设偏移值时,实施制造条件的调整,其中,调整量是每个芯体的栅极长度之间的差值的最大值。

[0015] 优选地,该方法还包括:测量每个芯体的代表性图案的电子特征。

[0016] 优选地,电子特征包括每个芯体的 IDDQ 或操作速度。

[0017] 优选地,当调整量大于 IDDQ 的预设偏移值时,实施制造条件的调整,其中,调整量是每个芯体的 IDDQ 之间的差值的最大值。

[0018] 优选地,代表性图案是 MOS 状图案。

[0019] 根据本发明的另一方面,提供了一种用于减少芯体对芯体失配的方法,包括:通过测量装置测量第一组 SOC 产品中的每个芯体的代表性图案的电子特征,其中,第一组中的 SOC 产品均包括两个以上彼此相同的芯体;以及根据测得的电子特征来分别调整第二组 SOC 产品中的每个芯体的制造条件以用于减少由于每个芯体的周围环境而导致的芯体对芯体失配,其中,第二组中的 SOC 产品均包括两个以上彼此相同的并且还与第一组中的芯体相同的芯体。

[0020] 优选地,该方法还包括:根据每个芯体的电子特征之间的差值确定调整量,并且根据调整量调整制造条件。

[0021] 优选地,电子特征包括每个芯体的 IDDQ 或操作速度。

[0022] 优选地,制造条件涉及源极、漏极和 / 或轻微掺杂漏极 (LDD) 的注入剂量。

[0023] 优选地,制造条件涉及迅速热退火 (RTA) 温度。

## 附图说明

[0024] 为了更全面地理解实施例及其优势,现将结合附图所进行的描述作为参照,其中:

[0025] 图 1 示出了根据一些实施例的包括若干芯体的 SOC 产品的示意图;

[0026] 图 2A 示出了根据一些实施例的减少芯体对芯体失配的若干硬件模块的示意图;

[0027] 图 2B 示出了根据一些实施例的每个芯体的代表性图案的栅极长度的 CD 的图表;

[0028] 图 2C 示出了根据一些实施例的每个芯体的代表性图案的 IDDQ 的图表;

[0029] 图 3A 至图 3E 示出了根据一些实施例的减少芯体对芯体失配的若干操作方法。

[0030] 除非另有说明,否则在不同的附图中相应的标号和符号通常涉及相应的部分。绘制附图以清楚地说明实施例的相关方面并且无需按比例绘制。

## 具体实施方式

[0031] 下面详细讨论了本发明的实施例的制造和使用。然而,应该理解,下列公开提供了许多用于实施本公开的不同部件的实施例或实例。以下描述的组件和布置的具体实例以简化本公开。当然,这些仅为实例且不在限制。根据行业中的标准实践,附图中的未按比例绘制且仅用于示出的目的。

[0032] 提供了用于减小 SOC 应用中芯体对芯体失配的若干新颖的方法。在整个不同视图

和示例性实施例中,相同的参照标号用于表示相同的元件和操作。

[0033] 图 1 示出了根据一些实施例的包括若干芯体的 SOC 产品的第一管芯 100 的示意图。第一管芯 100 包括四个芯体 110、120、130 和 140,并且还包括功能模块 160a、160b 和 160c。第一管芯 100 中的每个芯体 110、120、130 和 140 彼此相同或是彼此镜像相同。例如,芯体 110 中的各部件的大小和形状与其他三个芯体 120、130 和 140 中的各部件的大小和形状相同。然而,在实际情况下,芯体 110 中的各部件的实际大小和形状可能与第一管芯 100 内的其他三个芯体 120、130 和 140 中的各部件的大小和形状并不完全相同,这将在后面进行描述。

[0034] 为了测量或测试第一管芯 100 的芯体的属性或性能,每个芯体 110、120、130 和 140 分别具有代表性图案 112、122、132 和 142。在一些实施例中,代表性图案是 MOS 状图案,使得可以测量栅极长度的 CD 和 / 或电子特性来评估芯体对芯体失配。由于每个芯体 110、120、130 或 140 彼此相同或镜像相同,所以他们的代表性图案 112、122、132 和 142 分别被布置在各个芯体 110、120、130 或 140 内的相同位置处。

[0035] 再次参照图 1,每个芯体 110、120、130 或 140 分别具有各自的周围环境 116、126、136 和 146。然而,周围环境 116、126、136 或 146 可能由于芯体 110、120、130 和 140 的布置以及功能模块 160a、160b 和 160c 的布置而不同。例如,功能模块 160a 是 4G 模块,功能模块 160b 是 WiFi 模块,而功能模块 160c 是触摸电路模块。因此,三个功能模块 160a、160b 和 160c 具有不同的特性和功能。如图 1 中所示,芯体 110 邻近功能模块 160a 和 160b,芯体 130 邻近功能模块 160c,并且芯体 140 不与三个功能模块 160a、160b 和 160c 中的任何一个相邻。因此,周围环境 116、126、136 和 146 彼此不同,这可导致芯体 110、120、130 和 140 的芯体对芯体失配。可以通过测量集成电路静态电流 (IDDQ) 或每个芯体 110、120、130 和 140 的操作速度来观察这种芯体对芯体失配。关于便携式电子器件的功耗和操作,IDDQ 或操作速度的芯体对芯体失配可导致便携式电子器件性能劣化和较小的设计裕度。因此,提供了若干新型的方法来减小 SOC 应用中的芯体对芯体失配。

[0036] 图 2A 示出了根据一些实施例的减小芯体对芯体失配的若干硬件模块的示意图。在一些实施例中,测量装置 200,例如,电路探头,用于测量第一组中的每个芯体 110、120、130 和 140 的代表性图案 112、122、132 和 142 的栅极长度的 CD。在其他实施例中,可能提供了其他测量装置以测量代表性图案 112、122、132 和 142 的其他电子特征。然后,处理器 210 接收来自测量装置 200 的测量数据、计算失配值、并且确定用于调节或调整芯体对芯体失配的调整量。例如,处理器可以是中央处理器 (CPU)、控制器、多处理器、分布式处理系统、专用集成电路 (ASIC) 和 / 或合适的处理单元。在一些实施例中,处理器 210 嵌入在控制器或计算机上。在其他实施例中,处理器 210 控制制造系统 220 以调节用于第二组 SOC 产品的制造条件或掩模。应该注意到,制造系统 220 可包括若干制造装置 220a、220b 和 220c 以实施不同的制造条件。例如,制造装置 220a (即,光刻机器) 用于调整或实施光刻 (LIT) 能量,制造装置 220b (即,蚀刻机器) 用于调整或实施蚀刻工艺,以及制造装置 220c (即,热退火机器) 用于调整或实施快速热退火 (RTA) 温度。

[0037] 图 2B 示出了根据一些实施例的芯体 110、120、130 和 140 中的每一个的代表性图案的栅极长度的 CD 的图表。例如,在某一组中可能存在多个被制造的晶圆,也就是说,同时且在相同工艺中制造这些晶圆。另外,晶圆可以包括多个管芯,并且每个管芯可以具有多芯

体 SOC 产品,也就是说,SOC 产品具有两个以上的芯体。例如,第一管芯 100 属于第一组,而第二管芯属于第二组,也就是说,未同时或未在相同工艺中制造两个管芯。再如,第一管芯 100 和第二管芯均属于第一组,也就是说,同时且在相同工艺中制造两个管芯。在一个实施例中,SOC 产品具有四个芯体 110、120、130 和 140,并且第一组的晶圆包括大约 50 个管芯。现参照图 2B,由于第一组的晶圆包括 50 个管芯,所以每个芯体 110、120、130 和 140 均具有 50 个栅极长度的 CD 数据。在接收来自测量装置 200 的栅极长度的 CD 的测量数据之后,处理器 210 分别计算每个芯体 110、120、130 和 140 的 50 个栅极长度的 CD 的数据的中值。

[0038] 再次参照图 2B,芯体 110 的栅极长度的 CD 的中值是 44.5nm,芯体 120 的栅极长度的 CD 的中值是 44.8nm,芯体 130 的栅极长度的 CD 的中值是 44.5nm,以及芯体 140 的栅极长度的 CD 的中值是 44.9nm。因此,能够获得不同芯体的任意两个中值之间的若干差值(即,失配值)。在一些实施例中,处理器 210 计算差值并且选择最大的差值作为调节或调整芯体对芯体的调整量。以图 2B 为例,最高中值是芯体 140 的 44.9nm 且最低中值是芯体 110 或 130 的 44.5nm,因此,最大的差值为 0.4nm。此后,处理器 210 选择或确定最大差值 0.4nm 作为调整量。具体地,通过处理器 210 以掩模逻辑(mask logic)操作来调整或调节掩模。在一些实施例中,四个芯体 110、120、130 和 140 的调整量为 0.4nm,调整或调节芯体 110 和 130 的布局,从而使得芯体 110 和 130 的栅极长度的 CD 减小了 0.4nm,但芯体 120 和 140 的栅极长度的 CD 没有变化。

[0039] 图 2C 示出了根据一些实施例的芯体 110、120、130 和 140 中的每一个的代表性图案的 IDDQ 的图表。通过另一个测量装置测量第一组中的每个芯体 110、120、130 和 140 的代表性图案 112、122、132 和 142 的一些电子特征。在一些实施例中,这些电子特征包括每个芯体的 IDDQ 或操作速度。由于第一组的晶圆包括 50 个管芯,所以对于每个芯体 110、120、130 和 140 而言存在 50 个 IDDQ 的数据。接收来自测量装置 200 的 IDDQ 的测量数据之后,处理器 210 分别计算四个芯体 110、120、130 和 140 的 50 个 IDDQ 的数据的中值。

[0040] 然后,处理器 210 计算差值并且选择最大的差值作为调整量。制造系统 220 接收来自处理器 210 的调整量并且基于该调整量调整芯体对芯体失配。再次参照图 2B 和图 2C,由于 IDDQ 与栅极长度成反比,所以芯体 110 和 130 的 IDDQ 的中值大于芯体 120 和 140 的 IDDQ 的中值,而芯体 110 和 130 的栅极长度的中值小于芯体 120 和 140 的栅极长度的中值。具体地,芯体 110 的最高中值是 124  $\mu$ A,而芯体 140 的最低中值为 100  $\mu$ A,因此最大的差值为 24  $\mu$ A 并且失配百分比为 24%,其由最高中值和最低中值之间的差值除以最低中值获得。因此,处理器 210 选择或确定最大差值 24  $\mu$ A 或百分比 124%作为调整量。

[0041] 图 3A 至图 3E 示出了根据一些实施例的减少芯体对芯体失配的若干操作方法。参照图 3A,在操作 S300 中,通过测量装置 200 测量第一组 SOC 产品中的每个芯体 110、120、130 和 140 的代表性图案的电子特征。应该注意的是,第一组中的每个 SOC 产品均包括两个以上彼此相同的芯体,并且电子特征包括每个芯体的 IDDQ 或操作速度。然后,在操作 S302 中,通过另一个测量装置测量第一组 SOC 产品中的每个芯体 110、120、130 和 140 的代表性图案的栅极长度。在一些实施例中,在操作 S300 之前实施操作 S302。在其他实施例中,在不实施操作 S300 的情况下实施操作 302。在其他实施例中,在不实施操作 S302 的条件下实施操作 S300。

[0042] 在操作 S300 和 / 或 S302 之后,方法进入到操作 S304。在操作 S304 中,处理器 210

根据第一组 SOC 产品中的每个芯体 110、120、130 和 140 的栅极长度之间的差值和 / 或各电子特征之间的差值确定调整量。然后, 在一些实施例中, 处理器 210 根据调整量分别来调整或调节第二组 SOC 产品中的每个芯体 110、120、130 和 140 的栅极长度 CD 的光刻 (LIT) 能量以用于减少由于每个芯体 110、120、130 和 140 的周围环境而产生的芯体对芯体失配, 这将在操作 S306 中进行描述。应该注意的是, 第二组中的 SOC 产品中的每个均包括两个以上彼此相同并且还第一组中的芯体相同的芯体。

[0043] 参照操作 S306, LIT 能量的敏感度约为 0.9nm/mJ 至 1.3nm/mJ。在一些实施例中, 在使用第一类型的光刻胶时, 随着 LIT 能量增大了 1mJ, 栅极长度的 CD 将减小了 0.9nm 至 1.3nm。在其他实施例中, 在使用第二类型的光刻胶时, 随着 LIT 能量增大了 1mJ, 栅极长度的 CD 将增大了 0.9nm 至 1.3nm, 并且第二类型的光刻胶与第一类型的光刻胶相反。因此, 通过基于调整量来调整 LIT 能量, 可以调整或控制栅极长度的 CD。

[0044] 在一些实施例中, 在操作 S306 之后实施操作 S316。在操作 S316 中, 通过测量装置来测量第二组 SOC 产品中的每个芯体 110、120、130 和 140 的代表性图案的电子特征和 / 或栅极长度的 CD。在操作 S316 之后, 确定第二组 SOC 产品中的每个芯体的栅极长度的 CD 之间的差值和 / 或各电子特征之间的差值, 这将在操作 S318 中进行描述。

[0045] 图 3B 示出了根据一些实施例的减少芯体对芯体失配的另一个操作方法。在一些实施例中, 在操作 S304 之后实施操作 S308。在操作 S308 中, 处理器根据调整量来分别调整或调节针对第二组 SOC 产品中的栅极长度的临界尺寸 (CD) 的蚀刻工艺以用于减少由于每个芯体 110、120、130 和 140 的周围环境所导致的芯体对芯体失配。根据调整量分别实施用于调整第二组 SOC 产品的不同区域中的栅极长度的蚀刻工艺。图 3C 示出了根据一些实施例的减少芯体对芯体失配的另一种操作方法。在其他实施例中, 在操作 S304 之后实施操作 S310。在操作 S310 中, 处理器根据调整量来分别调整或调节第二组 SOC 产品中的栅极长度的 CD 的至少一个掩模以减少由于每个芯体 110、120、130 和 140 的周围环境所导致的芯体对芯体失配。

[0046] 在一些实施例中, 在操作 S304 之后可以实施操作 S306 和 S308 两者。在其他实施例中, 可以在操作 S304 之后实施操作 S310 以及操作 S306 和 S308 两者中的一个。在其他实施例中, 可以在操作 S304 之后实施所有的操作 S310、操作 S306 和 S308。应该注意到, 在一些实施例中, 当调整量远大于栅极长度的 CD 或电子特征的预设偏移值时, 将实施操作 S306 和 / 或 S308 和 / 或 S310。具体地, 栅极长度的 CD 的预设偏移值约为 0.1nm 至 0.6nm, 并且电子特征的预设偏移值为 10% 至 30% 的失配百分比。

[0047] 图 3D 示出了根据一些实施例的减少芯体对芯体失配的另一种操作方法。在一些实施例中, 在操作 S300 之后实施操作 S312。在操作 S312 中, 处理器根据调整量来分别调整或调节第二组 SOC 产品中的每个单独的芯体的源极、漏极和 / 或轻掺杂漏极 (LDD) 注入剂量以减少由于每个芯体的周围环境而导致的芯体对芯体失配。在一个实施例中, 根据调整量分别实施第二组的不同区域中的每个芯体的源极、漏极和 / 或 LDD 注入剂量。例如, 减少芯体 110 和 130 的源极和漏极的注入剂量, 增大芯体 120 和 140 的源极和漏极的注入剂量。因此, 通过芯体来实施注入剂量的调整以改善芯体对芯体失配。图 3E 示出了根据一些实施例的减少芯体对芯体失配的另一个操作方法。在其他实施例中, 在操作 S300 之后实施操作 S314。在操作 S314 中, 处理器根据调整量来分别调整或调节第二组 SOC 产品中给每个单独



的芯体的快速热退伙 (RTA) 温度以减少由于每个芯体的周围环境导致的芯体对芯体失配。在一个实施例中,根据调整量来分别实施第二组的不同区域中的每个芯体的 RTA 温度以激活注入剂量,从而通过芯体来实施 RTA 温度以改善芯体对芯体失配。在其他实施例中,当调整量大于电子特征的预设偏移值时,将实施操作 S312 和 / 或 S314。

[0048] 图表中示出了栅极长度的 IDDQ 和 CD 的示例性失配值,如下:

[0049]

失配值	不利用调节方法	利用调节方法
IDDQ (%)	24%	5%
栅极长度的 CD (nm)	0.4nm	0.15nm
栅极长度的 CD (%)	0.90%	0.34%

[0050] 表格 1

[0051] 通过使用本公开提供的调节方法,将栅极长度的 CD 失配从 0.4nm (标准值 0.90%) 减小到 0.15nm (标准值为 0.34%),并且 IDDQ 的失配从 24%减小到 5%。失配是由一管芯内的每个芯体 110、120、130 和 140 的不同周围环境所产生的。因此,应该通过分别调节或调整每个芯体 110、120、130 和 140 来减少或改善芯体对芯体失配。本公开提供了一种基于从第一组 SOC 产品中获得的调整量来调节或调整第二组 SOC 产品的每个芯体 110、120、130 和 140 的制造条件和 / 或掩模的方法。具体地,可以通过每个单独的芯体而不是管芯或晶圆来分别实施制造条件和 / 或掩模的调整。因此,这种调节或调整能够减少由于每个管芯的不同周围环境而导致的芯体对芯体失配,从而使得多芯体 SOC 产品能够具有更好的性能和更大的设计裕度。

[0052] 根据本公开的一些实施例,提供了一种用于减少芯体对芯体失配的方法。该方法包括通过测量装置测量第一组 SOC 产品中的每个芯体的代表性图案的栅极长度。第一组 SOC 产品中的每个产品均包括两个以上彼此相同的芯体。该方法还包括根据每个芯体的栅极长度之间的差值确定调整量,以及根据调整量来分别调整用于第二组 SOC 产品中的每个芯体的栅极长度的临界尺寸的制造条件以减少由于每个芯体的周围环境而导致的芯体对芯体失配。第二组中的 SOC 产品中的每个产品均包括两个以上彼此相同并且还与第一组中的芯体相同的芯体。

[0053] 根据其他实施例,提供了一种用于减少芯体对芯体失配的方法。该方法包括通过测量装置测量第一组 SOC 产品中的每个芯体的代表性图案的栅极长度。第一组中的 SOC 产品中的每个产品均包括两个以上彼此相同的芯体。该方法还包括根据每个芯体的栅极长度之间的差值确定调整量,并且根据调整量来分别调整用于第二组 SOC 产品中的每个芯体的栅极长度的临界尺寸的掩模以减少由于每个芯体的周围环境而导致的芯体对芯体失配。第二组中的 SOC 产品中的每个产品均包括两个以上彼此相同并且还与第一组中的芯体相同的芯体。

[0054] 根据其他实施例,提供了一种用于减少芯体对芯体失配的方法。该方法包括通过测量装置测量第一组 SOC 产品中的每个芯体的代表性图案的电子特征。第一组中的 SOC 产品中的每个产品均包括两个以上彼此相同的芯体。该方法还包括根据调整量来分别调整第

二组 SOC 产品中的每个芯体的制造条件以减少由于每个芯体的周围环境而导致的芯体对芯体失配。第二组中的 SOC 产品中的每个产品均包括两个以上彼此相同并且还与第一组中的芯体相同的芯体。

[0055] 尽管已经详细地描述了本发明及其优势,但应该理解,可以在不背离所附权利要求限定的实施例的精神和范围的情况下,做各种不同的改变,替换和更改。而且,本申请的范围并不仅限于本说明书中描述的工艺、机器、制造、材料组分、装置、方法和步骤的特定实施例。作为本领域普通技术人员应理解,通过本发明,现有的或今后开发的用于执行与根据本发明所采用的所述相应实施例基本相同的功能或获得基本相同结果的工艺、机器、制造,材料组分、装置、方法或步骤根据本发明可以被使用。因此,所附权利要求应该包括在这样的工艺、机器、制造、材料组分、装置、方法或步骤的范围内。此外,每条权利要求构成单独的实施例,并且多个权利要求和实施例的组合在本公开的范围內。

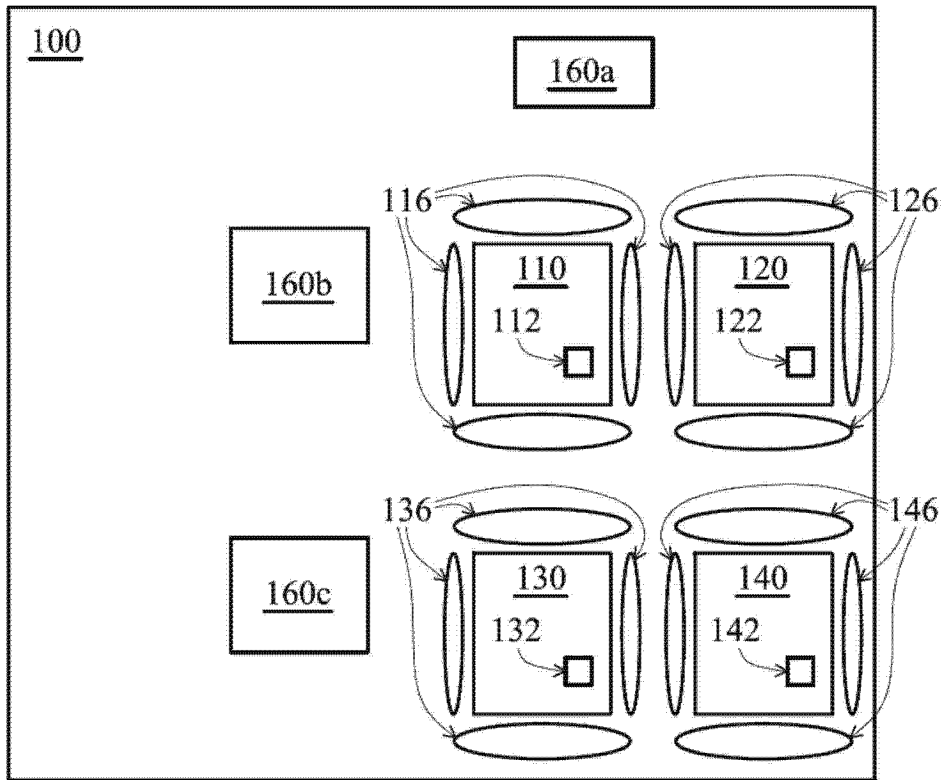


图 1

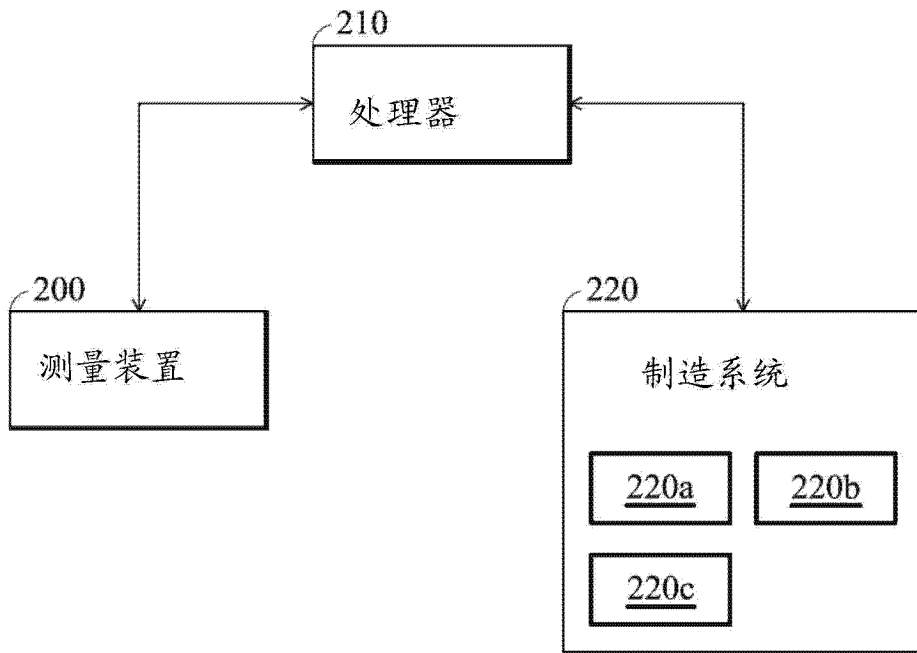


图 2A

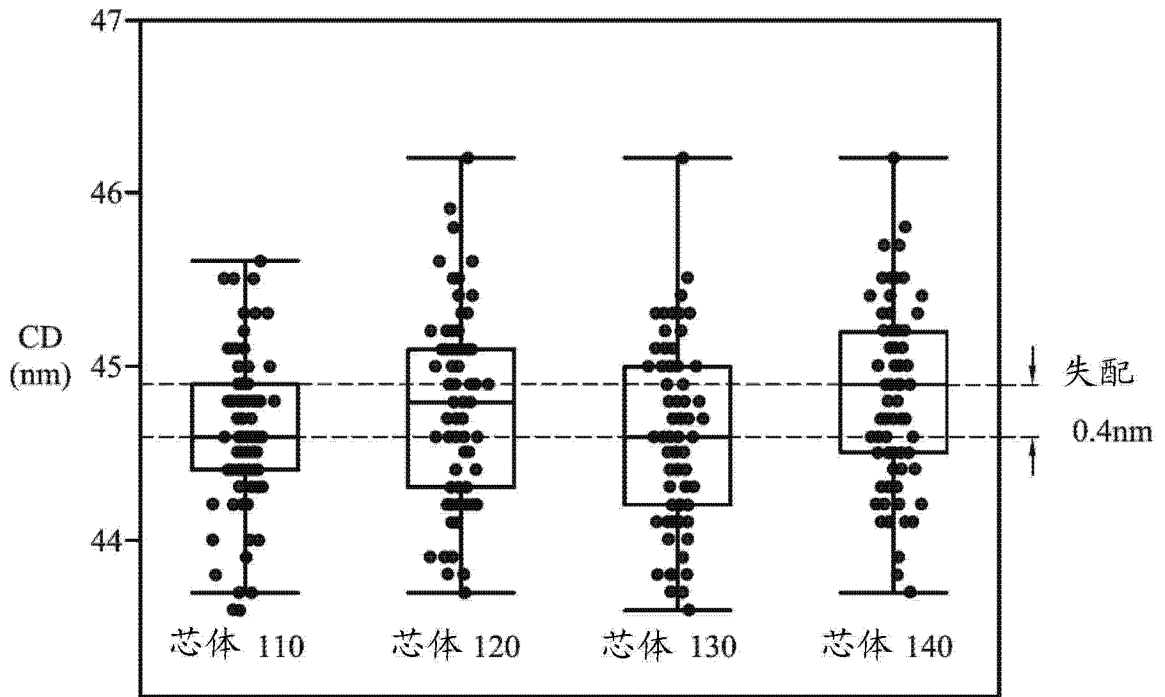


图 2B

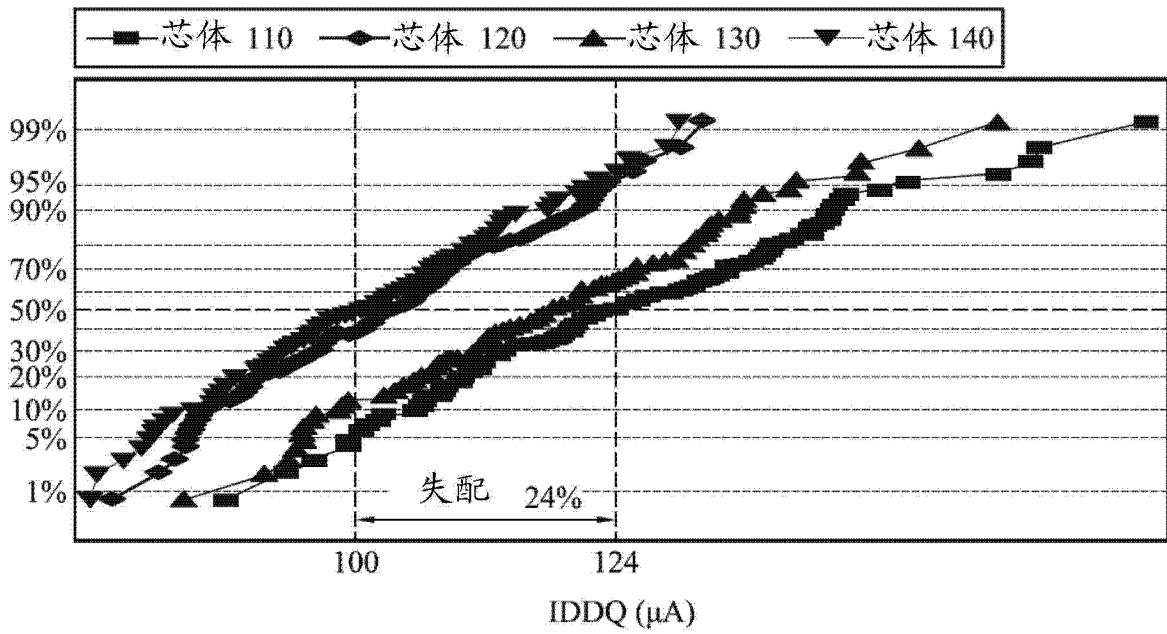


图 2C

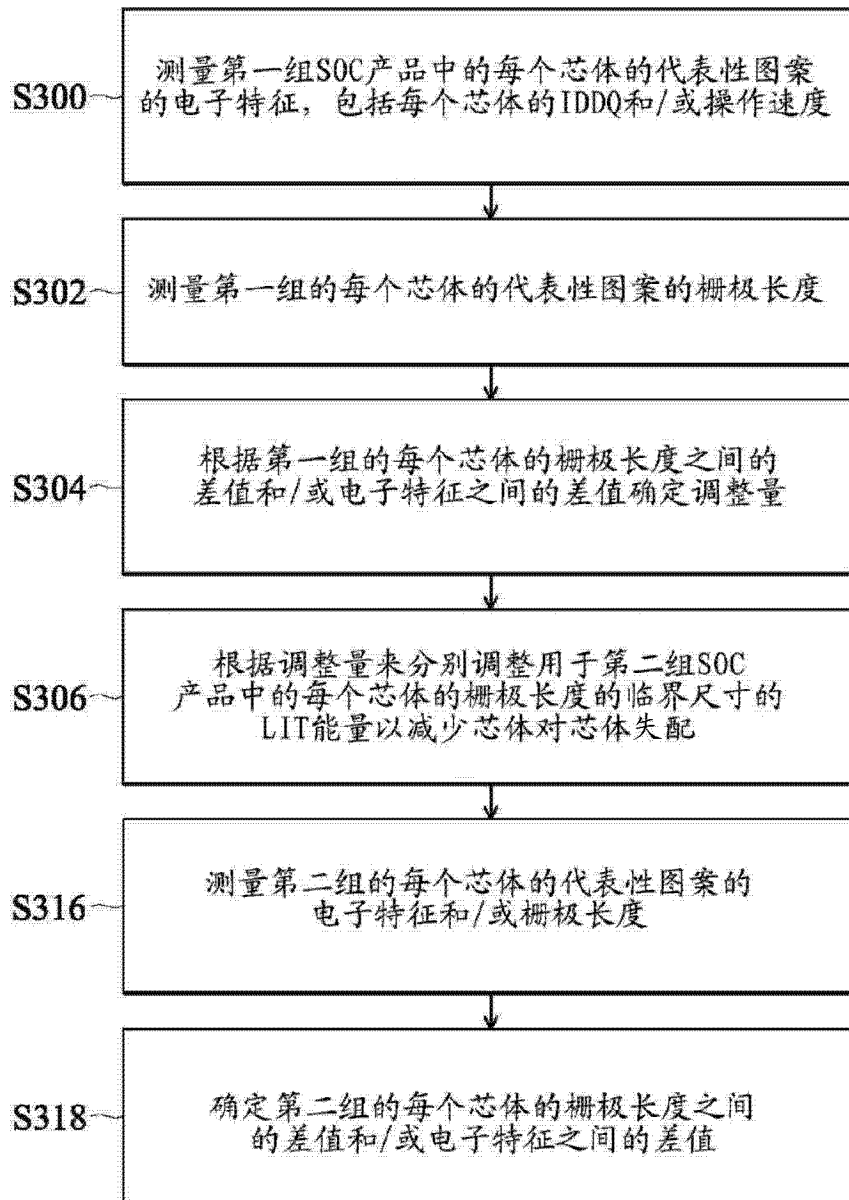


图 3A

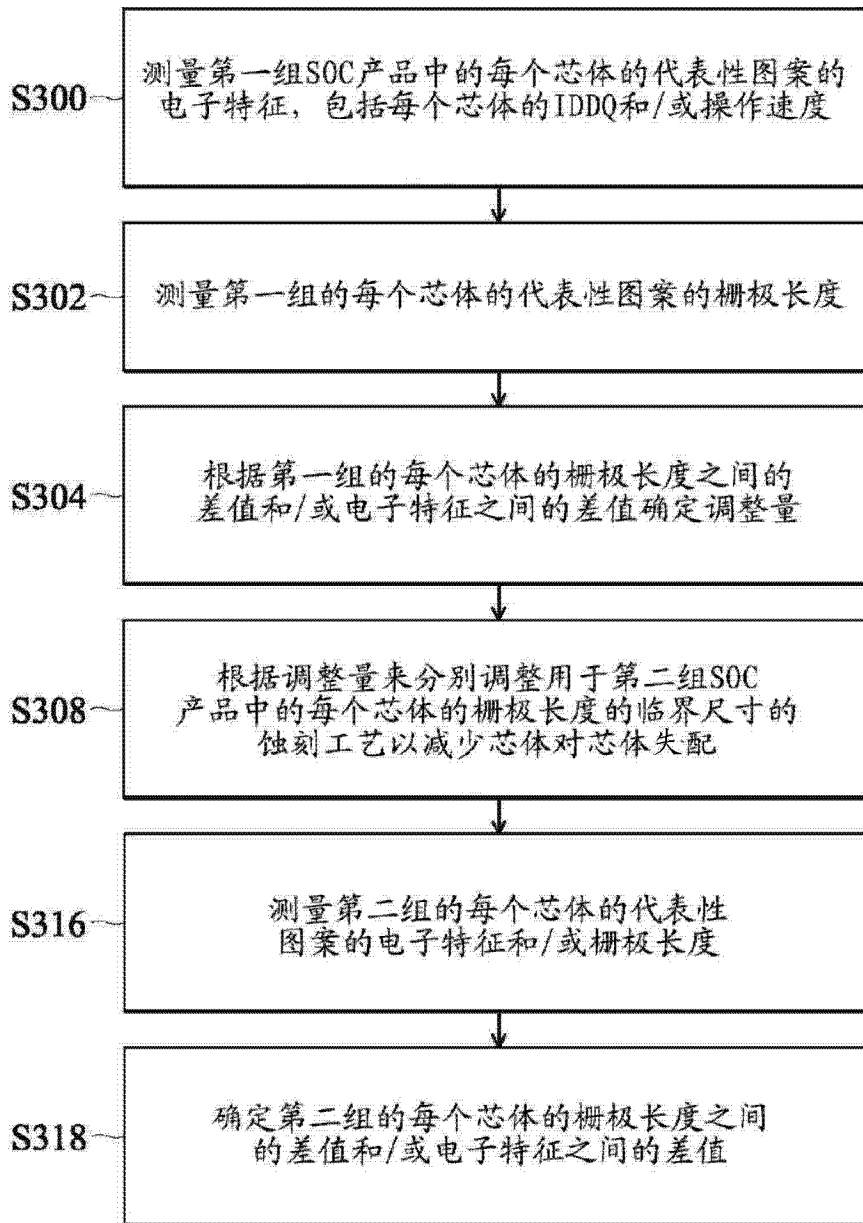


图 3B

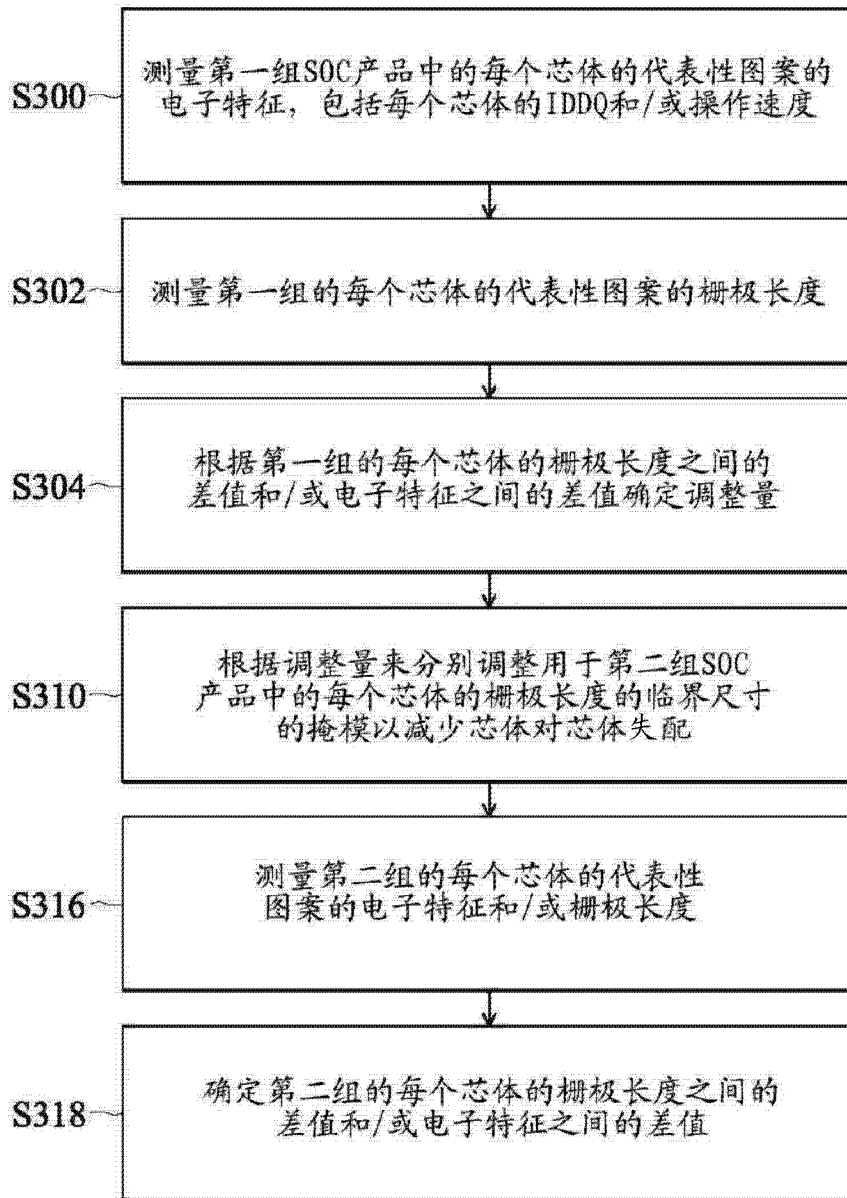


图 3C

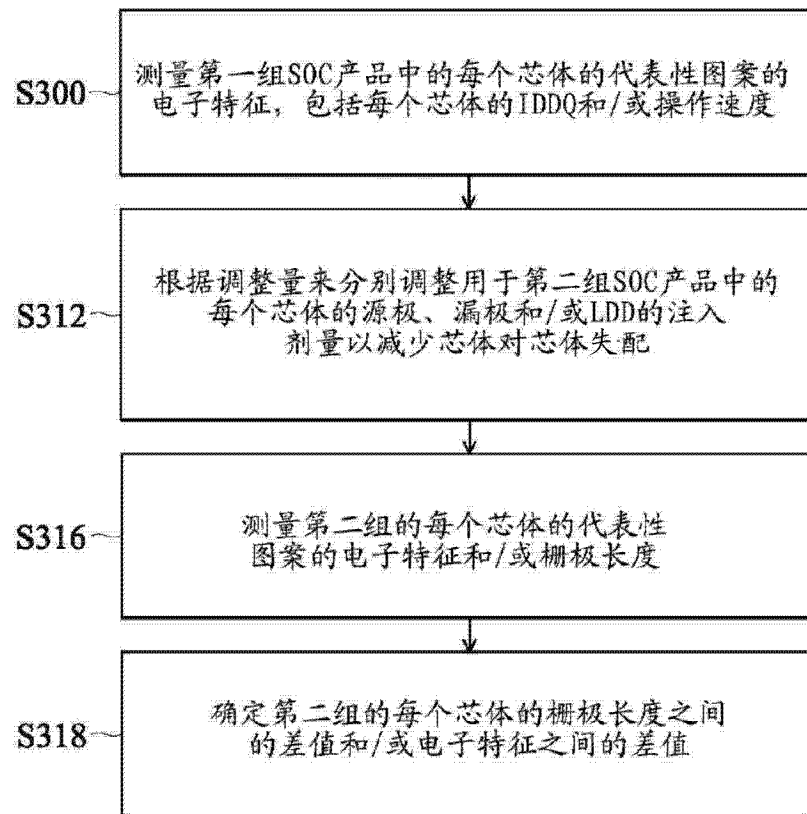


图 3D



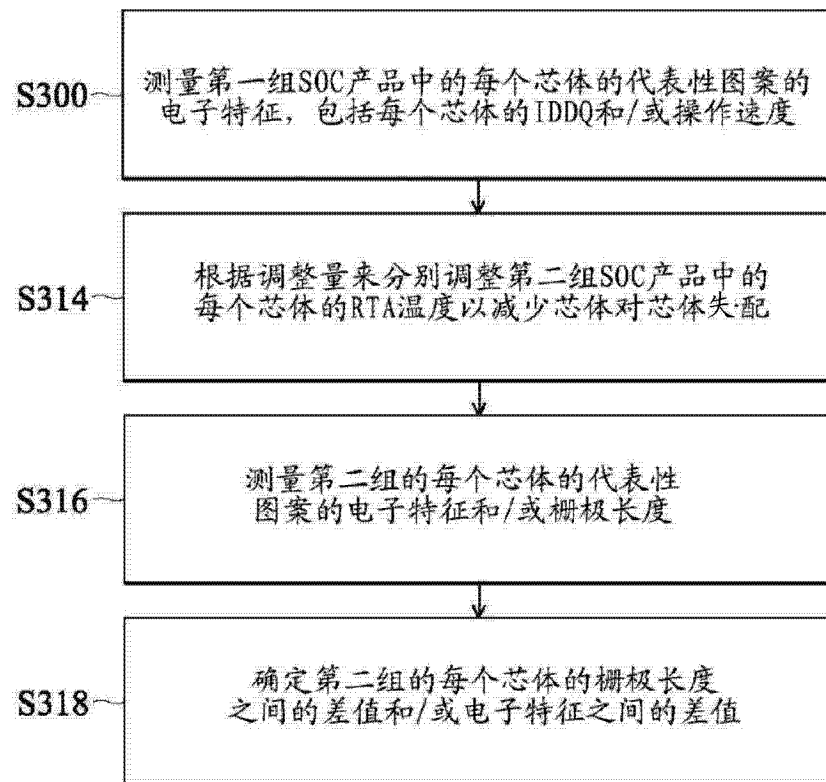


图 3E