

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 21/28

(45) 공고일자 1999년02월01일
(11) 등록번호 특0166503
(24) 등록일자 1998년09월23일

(21) 출원번호 특1995-021235
(22) 출원일자 1995년07월19일

(65) 공개번호 특1997-008351
(43) 공개일자 1997년02월24일

(73) 특허권자 현대전자산업주식회사 김주용
경기도 이천군 부발읍 아미리 산 136-1
(72) 발명자 김진국
서울특별시 도봉구 차 3동 457-8 201호
(74) 대리인 이권희, 이정훈

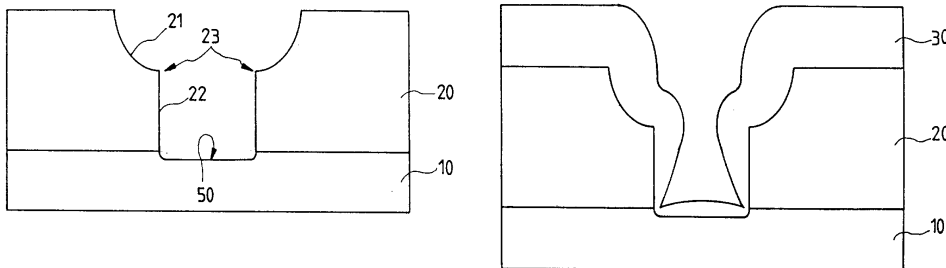
심사관 : 홍성표

(54) 반도체 소자의 비아콘택홀 제조방법

요약

본 발명은 반도체 소자의 비아 콘택홀 제조방법에 관한 것으로, 비아 콘택 형성후 블랭킷 건식식각 공정을 실시하여 비아 콘택홀 형성시 습식식각과 건식식각에 의해 형성된 돌출부위를 완만하게 하는 비아 콘택홀의 개선된 프로파일을 얻음과 동시에, 후속공정으로 추가공정 없이도 금속층간 절연막을 평탄화시켜 공정의 단순화와 비아 콘택저항의 안정된 특성을 확보할 수 있으며, 아울러, 블랭킷 식각에 의하여 비아 콘택홀의 기저부에 남는 이물질 및 부산물 등을 확실히 제거하여 비아 콘택의 오픈성 불량발생을 방지할 수 있어 반도체 소자 제조 수율을 높일 수 있으며, 동시에 비아콘택 특성의 안정화로 반도체 소자의 성능 및 신뢰성을 향상시킬 수 있다.

대표도



명세서

[발명의 명칭]

반도체 소자의 비아콘택홀 제조방법

[도면의 간단한 설명]

제1a도와 제1b도는 종래의 방법에 따른 비아 콘택홀 제조 공정도.

제2a도와 제2b도는 본 발명의 제1실시예에 따른 비아 콘택홀 제조 공정도.

제3a도와 제3b도는 본 발명의 제2실시예에 따른 비아 콘택홀 제조 공정도.

제4a도는 종래의 방법에 따른 비아 콘택홀의 층간 절연막 평탄화 상태를 도시한 도면.

제4b도는 본 발명의 제1실시예에 따른 비아 콘택홀의 층간 절연막 평탄화 상태를 도시한 도면.

제4c도는 본 발명의 제2실시예에 따른 비아 콘택홀의 층간 절연막 평탄화 상태를 도시한 도면.

* 도면의 주요부분에 대한 부호의 설명

10 : 제1금속층

20 : 금속층간 절연막

21 : 층간 절연막의 습식식각부분

22 : 층간 절연막의 건식식각부분

23 : 습식 식각부와 건식 식각부가 만나는 부위

30 : 제2금속층

[발명의 상세한 설명]

본 발명은 반도체 소자의 비아 콘택홀 제조방법에 관한 것으로, 특히 금속과 금속 사이의 연결을 위한 비아 콘택홀의 프로파일(Profile)을 개선하기 위해 콘택홀 형성을 위한 식각 및 포토레지스트 제거후 블랭킷(Blanket)으로 건식식각을 실시하여 비아 콘택홀의 전체 높이를 줄이는 동시에, 습식 및 건식 식각부위가 만나는 예리한 부분을 곡선모양을 갖게 하여 후속 금속증착시 증착되는 금속의 도포성(Step coverage)을 높이고 비아 콘택홀의 개방된 영역에 생성된 원하지 않는 이물질들을 제거하여 비아 콘택홀의 안정화시킴과 동시에, 금속층간의 절연막 돌출부를 블랭킷 식각에 의해 제거하여 평탄화 절연막을 얻음으로써 반도체 소자 제조 수율을 향상시킬 수 있는 반도체 소자의 비아 콘택홀 제조방법에 관한 것이다.

종래의 기술에 따른 비아 콘택홀 제조방법에 대해 첨부 도면을 참조하여 살펴보기로 한다.

제1a도와 제1b도는 종래의 기술에 따른 비아 콘택홀 제조방법을 도시한 도면으로서, 제1a도는 제1금속층(10)의 상부에 층간 절연막(20)을 형성한 후, 상기 층간 절연막(20)을 습식식각하여 하부면으로 제1금속층(10)의 상부면이 노출되게 하는 비아 콘택홀(50)을 형성한 상태를 도시하고 있다.

종래의 기술에 따라 금속 사이의 콘택홀 즉, 비아 콘택홀(50)을 형성함에 있어서는, 상기 도면에서 알 수 있는 바와 같이, 습식식각에 의해 콘택홀(50)의 높이를 낮추고 있으나, 반도체 소자의 밀도가 점점 높아짐에 따라 그리고, 금속층간의 절연막 평탄화가 요구가 높아짐에 따라 콘택홀 전체의 높이는 높아지게 되고, 콘택홀 사이의 공간(Space)은 좁아져 습식식각을 많이 실시할 수 없게 되는 문제가 생긴다.

따라서, 콘택홀내에서 금속이 끊어지지 않게 하기 위해서는 층간 절연막의 높이가 제한되어야 할 필요가 있는데, 이는 제4a도에 도시한 바와 같이, 층간 절연막(20)의 평탄화에 어려움을 주고, 후속공정의 금속 마스크 작업을 어렵게 한다.

또한, 콘택홀(50)의 높이가 높고 습식식각과 건식식각으로 만나는 부위에 형성된 예리한 부분(23)에 의하여 금속증착의 도포성이 나빠져 콘택홀의 증가를 초래할 뿐만 아니라, 반도체 소자의 제조수율을 저하시키는 문제점이 있다.

따라서, 본 발명은 상기의 문제점을 해결하기 위하여 콘택홀 형성을 위한 식각한 후, 감광막을 제거한 다음 블랭킷으로 층간 절연막을 건식식각하여 콘택홀의 높이를 낮출뿐만 아니라, 습식과 건식식각 부위가 만나는 날카로운 돌출부를 완만한 형상의 콘택홀을 형성하고, 후속공정의 금속증착시 금속의 도포성을 향상시킬 수 있는 반도체 소자의 비아 콘택홀 제조방법을 제공함에 그 목적이 있다.

상기 목적을 달성하기 위해 본 발명에 따른 반도체 소자의 비아 콘택홀 제조방법은 반도체 소자의 비아 콘택홀 제조방법에 있어서, 실리콘 기판상에 소자들을 형성한 후, 제1금속층을 이용 상기 소자들을 연결시키는 단계와, 상기 제1금속층의 상부에 층간 절연막을 형성하는 단계와, 상기 층간 절연막의 상부에 감광막을 증착한 후 포토 마스크 공정을 통하여 비아 콘택홀 형성 콘택 마스크를 형성하는 단계와, 상기 콘택 마스크를 이용하여 콘택홀 형성을 위한 하부 층간 절연막을 습식식각으로 1차 식각하는 단계와, 습식식각한 후, 하부 층간 절연막을 건식식각으로 2차 식각하여 하부면이 제1금속층의 상부가 되는 비아 콘택홀을 형성하는 단계와, 상부의 감광막을 제거하는 단계와, 블랭킷 건식식각방법으로 비아 콘택홀 및 노출된 층간 절연막 표면전체를 식각하는 단계와, 전체 상부에 제2금속층을 증착하는 단계를 구비함을 특징으로 한다.

이하, 첨부한 도면을 참조하여 본 발명의 상세한 설명을 하기로 한다.

제2a도와 제2b도는 본 발명의 제1실시예에 따른 비아 콘택홀 제조 공정도이다.

먼저, 반도체 소자를 형성하는 공지의 기술을 이용하여 실리콘 기판위에 소자들을 형성하고 제1금속층(10)을 이용 연결한 후, 상기 제1금속층(10)의 상부에 층간 절연막(20)을 형성한다. 다음, 상기 층간 절연막(20)의 상부에 감광막을 증착한 후 포토 마스크 공정을 통하여 비아 콘택홀 형성 콘택 마스크(미도시)를 형성한다. 다음, 상기 콘택 마스크를 이용하여 콘택홀 형성을 위한 하부 층간 절연막(20)을 식각하되, 먼저 습식식각한 후, 건식식각을 하고, 상부의 감광막을 제거한다.

여기서, 상기 습식식각과 건식식각에 의해 형성되는 콘택홀(50)의 상부면 즉, 층간 절연막(20)의 습식식각과 건식식각에 의한 식각부가 만나는 부분이 날카로운 부분(23)이 형성된다.(제2a도 참조)

다음, 하부 층간 절연막(20)을 습식식각과 건식식각한 후에, 이어서 블랭킷 식각으로 비아 콘택홀(70) 및 노출된 층간 절연막(20) 표면전체를 식각한다. 이때, 상기 블랭킷 식각은 건식식각으로 실시하여 상기 습식식각과 건식식각에 의해 형성된 경계부의 날카로운 부분(23)을 완만하게 하고, 동시에 콘택홀(70)의 측면 역시 비등방성 식각특성에 의하여 약간의 기울기를 갖는 모양의 콘택홀(70)이 형성된다.(제2b도 참조)

또한, 상기 콘택홀(70)의 기저부는 감광막을 제거하는 단계에서 남은 부산물 및 산화막 등에 의하여 오염이 될 가능성이 있다.

따라서, 이러한 이물질에 의한 콘택홀(70)이 막힘도 블랭킷 건식식각에 의하여 제거되게 되어 콘택홀(70)내에 제2금속층(30) 증착시 금속이 비아 콘택홀(70)을 통하여 원활히 접촉되게 된다.(제2c도 참조)

아울러 층간 절연막(20) 역시 블랭킷 건식식각시 돌출부분이 더 손쉽게 식각이 되어 종래보다 더 평탄한 층간 절연막(20)을 얻게 된다. 이는 후속공정의 금속증착후 금속의 완만한 표면 프로파일에 의하여 후속으로 진행되는 포토 마스크 공정시에 노칭(Notching) 및 포토레지스트 레지드(Residuc)를 효과적으로 억제할 수 있게 된다.

상기와 같이 비아 콘택홀을 형성한 후 층간 절연막(20)을 평탄화한 상태를 제4b도에 도시하였다.

따라서, 상기의 방법에 의해 추가의 공정을 도입하지 않고도 한 번의 블랭킷 식각에 의해 비아 콘택홀의 완만한 굴곡을 갖는 모양과 동시에 층간 절연막을 평탄화시킬 수 있다.

제3a도 내지 제3c도는 본 발명의 제2실시예에 따른 비아 콘택홀 제조 공정도이다.

먼저, 반도체 소자를 형성하는 공지의 기술을 이용하여 실리콘 기판위에 소자들을 형성하고 제1금속층(10)을 이용 연결한 후, 상기 제1금속층(10)의 상부에 층간 절연막(20)을 형성한다. 이때, 상기 층간 절연막(20)은 PTEOS, O₃ TEOS, 과실리콘 산화막, SOG 중 어느 하나를 사용한다. 또는, 상기 종류의 조합으로 할 수도 있으며, 절연막의 평탄화를 높이기 위하여 절연막을 두껍게 형성한다.

다음, 상기 층간 절연막(20)의 상부에 감광막을 증착한 후 포토 마스크 공정을 통하여 비아 콘택홀 형성 콘택 마스크(미도시)를 형성한다. 다음, 상기 콘택 마스크를 이용하여 콘택홀 형성을 위한 하부 층간 절연막(20)을 식각하되, 먼저 습식식각을 원하는 깊이까지 충분히 식각하고 이어서 건식식각에 의하여 하부 제1금속층(10)의 표면까지 식각하여 콘택홀(70)을 완전히 개방(Open)한다. 그후 상부의 감광막을 제거하고 층간 절연막(20)이 충분히 평탄화될 때까지 블랭킷 식각으로 식각하되, 건식 비등방성 식각특성을 이용한다.

상대적으로 긴 건식식각을 통하여 금속층간 절연막(20)은 충분한 평탄화를 달성할 수 있으며, 비아 콘택홀(70)의 모양도 더욱 완만하고 적절한 기울기를 갖는 최적화된 콘택홀(70)을 형성케 된다.

따라서, 후속공정의 제2금속층(30) 증착시 비아 콘택홀의 금속 증착 도포성은 더욱 향상되고 층간 절연막(20)위의 금속층(30)도 더욱 평탄화된 모양을 얻게 된다.

여기서, 상기 제1금속층(10) 및 제2금속층(30)은 베리어 금속(Barrier Metal)을 갖는 층으로, Ti, TiN, TiW, Al, W 중 어느 하나를 사용하거나 또는 이들의 조합으로 형성할 수도 있다.(제3c도 및 제4c도 참조)

이상, 상술한 바와 같이 본 발명에 따른 반도체 소자의 비아 콘택홀 형성방법은 비아 콘택 형성후 블랭킷 건식식각 공정을 실시하여 비아 콘택홀 형성시 습식식각과 건식식각에 의해 형성된 돌출부위를 완만하게 하는 비아 콘택홀의 개선된 프로파일을 얻음과 동시에 후속공정으로 추가공정 없이도 금속층간 절연막을 평탄화시켜 공정의 단순화와 비아 콘택저항의 안정된 특성을 확보할 수 있다. 아울러, 블랭킷 식각에 의하여 비아 콘택홀의 기저부에 남는 이물질 및 부산물 등을 확실히 제거하여 비아 콘택의 오픈성 불량발생을 방지할 수 있어 반도체 소자 제조 수율을 높일 수 있으며, 동시에 비아콘택 특성의 안정화로 반도체 소자의 성능 및 신뢰성을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1

반도체 소자의 비아 콘택홀 제조방법에 있어서, 실리콘 기판상에 소자들을 형성한 후, 제1금속층을 이용 상기 소자들을 연결시키는 단계와, 상기 제1금속층의 상부에 층간 절연막을 형성하는 단계와, 상기 층간 절연막의 상부에 감광막을 증착한 후 포토 마스크 공정을 통하여 비아 콘택홀 형성 콘택 마스크를 형성하는 단계와, 상기 콘택 마스크를 이용하여 콘택홀 형성을 위한 하부 층간 절연막을 습식식각으로 1차 식각하는 단계와, 습식식각한 후, 하부 층간 절연막을 건식식각으로 2차 식각하여 하부면이 제1금속층의 상부가 되는 비아 콘택홀을 형성하는 단계와, 상부의 감광막을 제거하는 단계와, 블랭킷 건식식각방법으로 비아 콘택홀 및 노출된 층간 절연막 표면전체를 식각하는 단계와, 전체 상부에 제2금속층을 증착하는 단계를 구비하는 것을 특징으로 하는 반도체 소자의 비아 콘택홀 형성방법.

청구항 2

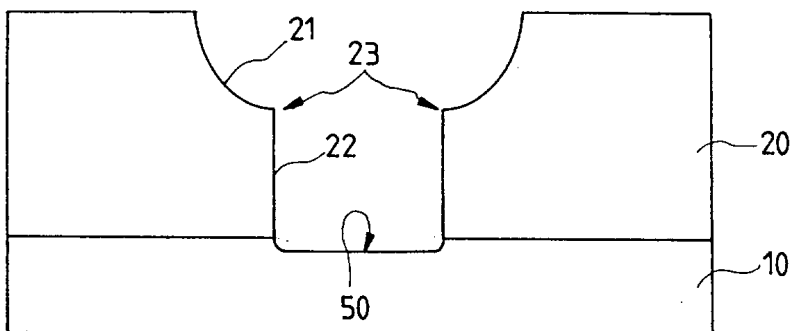
제1항에 있어서, 상기 층간 절연막은 PTEOS, O₃ TEOS, 과실리콘 산화막, SOG 중 어느 하나 또는 이들의 조합으로 되는 것을 특징으로 하는 반도체 소자의 비아 콘택홀 형성방법.

청구항 3

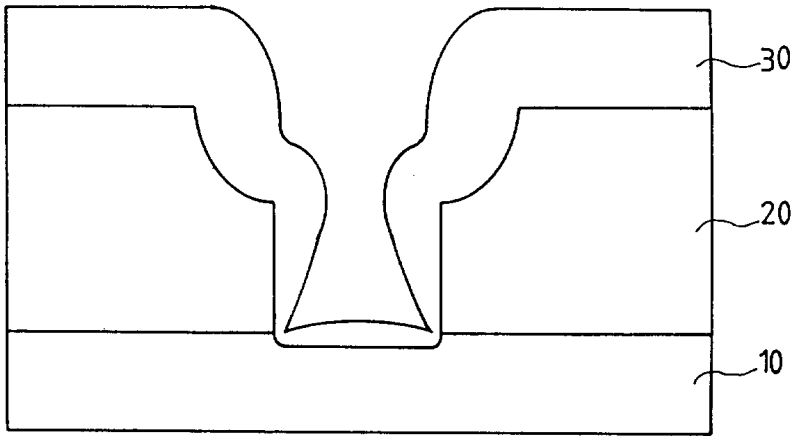
제1항에 있어서, 상기 제1 및 제2금속층은 베리어 금속을 갖는 층으로 Ti, TiN, TiW, Al, W 중 어느 하나 또는 이들의 조합으로 형성되는 것을 특징으로 하는 반도체 소자의 비아 콘택홀 형성방법.

도면

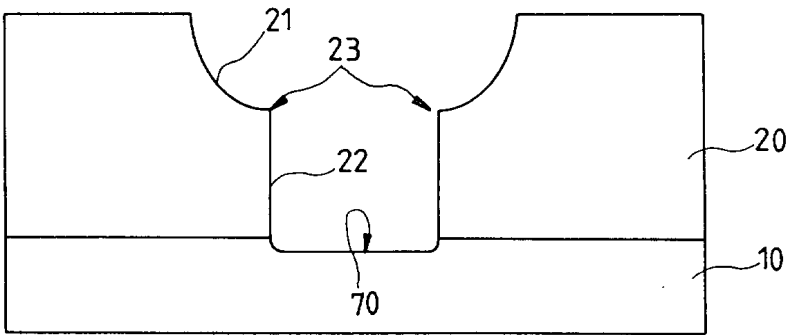
도면 1a



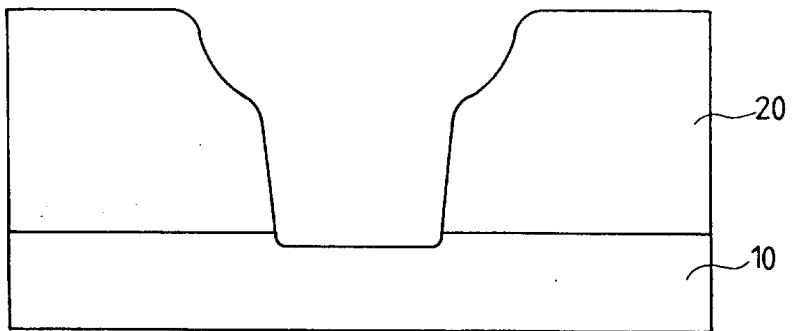
도면1b



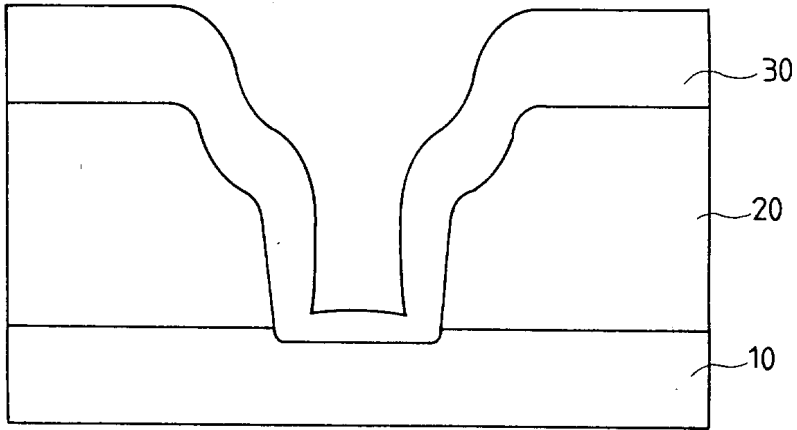
도면2a



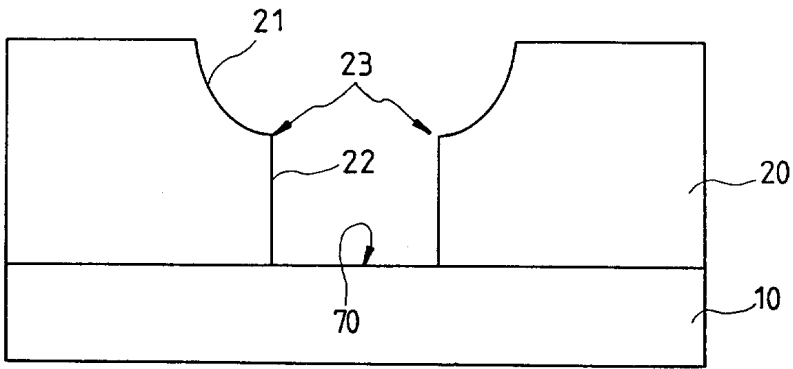
도면2b



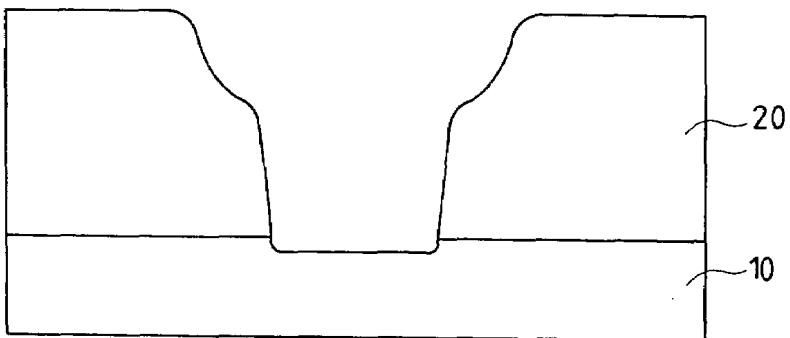
도면2c



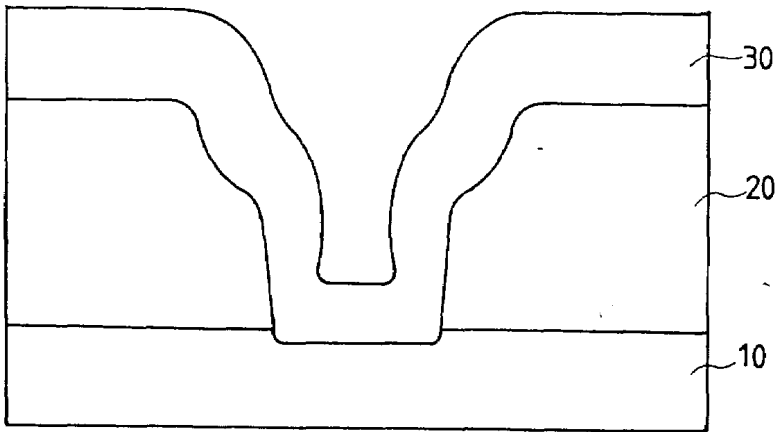
도면3a



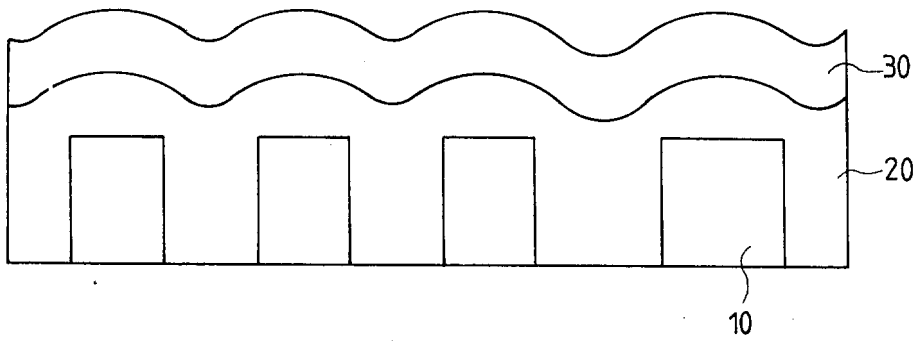
도면3b



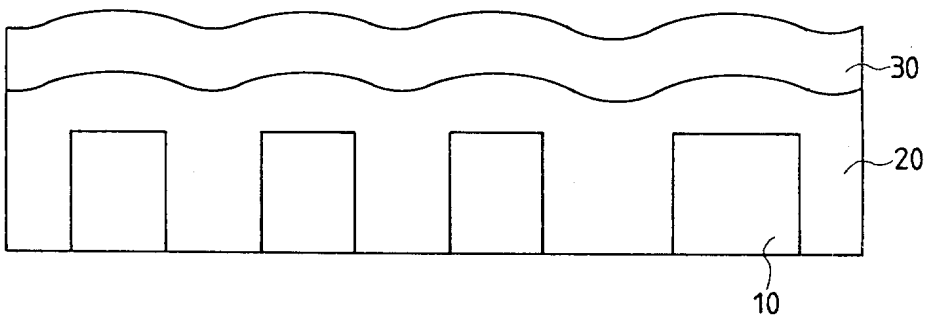
도면3c



도면4a



도면4b



도면4c

