

公告本

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 97141249

※申請日期： 97.10.27

※IPC 分類： H01L 21/60 (2006.01)

一、發明名稱：(中文/英文)

可擴充控制訊號數量之晶片預燒機台

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

京元電子股份有限公司

代表人：(中文/英文) 李金恭

住居所或營業所地址：(中文/英文)

新竹市公道五路二段 81 號

國籍：(中文/英文) 中華民國

三、發明人：(共 1 人)

姓名：(中文/英文)

劉佳暉

國籍：(中文/英文) 中華民國

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明係關於一種可擴充控制訊號數量之晶片預燒機台，透過控制器於第一時間依序分別控制致能輸入界面之四個第一時脈腳位，以令輸入界面內的資料依序分批對應輸出並暫存至四個第一暫存器之對應輸入腳位、並同步對應暫存於第二暫存器之輸入腳位內，控制器再於下一時間控制致能輸入界面之第二時脈腳位，以令暫存於第二暫存器內的全部資料訊號一次傳輸給輸出界面。如此，即能達成擴充輸入界面的功效，其不需修改現有的硬體設備即能於記憶體預燒機台架構下預燒邏輯晶片，其具節省成本、快速、便利之優點。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：圖(2)。

(二)本代表圖之元件符號簡單說明：

輸入界面1	第一匯流排10	第二匯流排20
第一暫存器21,22,23,24		第二暫存器31
預燒板4	輸出界面40	控制器5
輸入腳位p1,p2,⋯,pn	輸入腳位d1,d2,d3,⋯,dn	
輸入腳位D1,D2,D3,⋯,Dm	輸出腳位q1,q2,q3,⋯,qn	
輸出腳位Q1,Q2,Q3,⋯,Qm	輸出腳位DR1,DR2,DR3,⋯,DRm	
第一時脈腳位CLK1~CLK4	第二時脈腳位CLK5	

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種預燒邏輯晶片之韌體架構，尤指一種適用於可擴充控制訊號數量之晶片預燒機台。

5

【先前技術】

一般習知之記憶體晶片因其腳位數目相較於習知之邏輯晶片的腳位數目要少得很多，因此，於記憶體晶片的預燒工作時，習知之標準記憶體晶片預燒(Burn-In)機台其可程式控制訊號一次所輸出至的記憶體晶片腳位數目並不需太多。

10

如圖1所示，其係習知之界面卡、及預燒板之示意圖，圖式之標準記憶體晶片預燒機台上的界面卡9包括有複數根輸出腳位91，複數根輸出腳位91再與預燒板90電性連接以平行將界面卡9內之資料預燒至預燒板90的記憶體晶片92。

15

反之，一般邏輯晶片卻與上述記憶體晶片不同，邏輯晶片動輒有上百個腳位，因此，習知之標準邏輯晶片預燒(Burn-In)機台均需有上百個可程式控制訊號腳位以進行邏輯晶片預燒工作。

20

因此，若要將原本用於記憶體晶片之預燒機台改製成適用於邏輯晶片預燒機台時，就要將原本記憶體晶片預燒機上為數十根輸出腳位，增加其數量以更改為邏輯晶片之數百根輸出腳位，此外內部硬體也必需作相關之修改，使

預燒前之準備工作加長，因而增加時間、人力、及硬體上之成本。

【發明內容】

5 本發明係關於一種可擴充控制訊號數量之晶片預燒(burn in)機台，包括一第一匯流排、一第二匯流排、至少二第一暫存器、一第二暫存器、一輸出界面、一輸入界面、及一控制器。

10 至少二第一暫存器之每一第一暫存器包括有N個輸入腳位、一時脈腳位、及N個輸出腳位，其中N是指大於等於1之正整數，N個輸入腳位、與時脈腳位是分別電連接至第一匯流排，N個輸出腳位是分別電連接至第二匯流排。

15 第二暫存器包括有M個輸入腳位、一時脈腳位、及M個輸出腳位，其中M是指大於N之正整數，M個輸入腳位分別電性連接至第二匯流排、並分別對應至至少二第一資料暫存器之其中一輸出腳位以電性連接，時脈腳位亦電性連接至第二匯流排。

輸出界面其包括有M個資料輸出腳位，其分別對應電性連接至第二暫存器之M個輸出腳位。

20 輸入界面其電性連接至第一匯流排，輸入界面包括有N個輸入腳位、至少二第一時脈腳位、及一第二時脈腳位，其中，至少二第一時脈腳位之數量是相同於至少二第一暫存器的數量，至少二第一時脈腳位分別對應到至少二第一

暫存器之時脈腳位以電性連接，第二時脈腳位對應到第二暫存器之時脈腳位以電性連接。

5 控制器是能先分別控制致能輸入界面之至少二第一時脈腳位後，再於下一時間控制致能輸入界面之第二時脈腳位。

如此，即能達成擴充輸入界面的功效，其不需修改現有的硬體設備即能於記憶體預燒機台架構下預燒邏輯晶片之目的，其具節省成本、快速、便利之優點。

10 此外，控制器可包括有一FPGA晶片模組、或是一PC電腦…等之等效控制器皆可。控制器可依序或不依序分別控制致能輸入界面之至少二第一時脈腳位，輸入界面之N個輸入腳位之資料訊號便透過第一匯流排分批傳輸並暫存至依序致能之第一時脈腳位所對應第一暫存器之N個輸入腳位，並同步對應暫存於第二暫存器之輸入腳位內。

15 控制器於下一時間是控制致能輸入界面之第二時脈腳位，以令第二暫存器之M個輸出腳位將資料訊號輸出到輸出界面之M個資料輸出腳位。

20 其中，正整數M是正整數N的整數倍數，但亦可以是非整數倍數，只要M是大於N之正整數即可，再者，至少二第一暫存器分別可指一閃鎖器(Latch)。第二暫存器可指一閃鎖器(Latch)。

【實施方式】

請參閱圖2，其係本發明第一較佳實施例之示意圖。如圖所示，本實施例為一種可擴充控制訊號數量之晶片預燒機台，包括一第一匯流排10、一第二匯流排20、四個第一暫存器21,22,23,24、一第二暫存器31、一輸出界面40、一輸入界面1、及一控制器5。

圖式中，四個第一暫存器21,22,23,24的每一第一暫存器均包括有N個輸入腳位 $d_1, d_2, d_3, \dots, d_n$ 、一時脈腳位CLK、及N個輸出腳位 $q_1, q_2, q_3, \dots, q_n$ 。且於本例中，第一暫存器21,22,23,24分別是指一閃鎖器。

其中，N是指大於等於1之正整數(亦即 $N \geq 1$)，N個輸入腳位 $d_1, d_2, d_3, \dots, d_n$ 、與時脈腳位CLK1是分別電連接至第一匯流排10，N個輸出腳位 $q_1, q_2, q_3, \dots, q_n$ 是分別電連接至第二匯流排20。

於本實施例中，第一暫存器21有25個輸入腳位 $d_1, d_2, d_3, \dots, d_{25}$ ，第一暫存器21有25個輸出腳位 $q_1, q_2, q_3, \dots, q_{25}$ 、及一時脈腳位CLK1。見於圖2，其餘之第一暫存器22,23,24依此類推。

第二暫存器31包括有M個輸入腳位 $D_1, D_2, D_3, \dots, D_m$ 、一時脈腳位CLK5、及M個輸出腳位 $Q_1, Q_2, Q_3, \dots, Q_m$ ，於本例中，第二暫存器31是指一閃鎖器。

上述之M是指大於N之正整數(亦即 $M > N \geq 1$)，或者，數字M是數字N的整數倍數，但亦可以是非整數倍數，只要M是大於N之正整數即可。

如圖 2 所示，M 個輸入腳位 $D_1, D_2, D_3, \dots, D_m$ 分別電性連接至第二匯流排 20、並分別對應至四個第一資料暫存器 21, 22, 23, 24 之其中一輸出腳位 $q_1, q_2, q_3, \dots, q_n$ 以電性連接。於本實施例中，第二暫存器 31 包括有 100 個輸入腳位 $D_1, D_2, D_3, \dots, D_{100}$ 、及 100 個輸出腳位 $Q_1, Q_2, Q_3, \dots, Q_{100}$ 。

輸出界面 40 其設置於一預燒板 4 上，並包括有 M 個資料輸出腳位 $DR_1, DR_2, DR_3, \dots, DR_m$ ，於本實施例中，輸出界面 40 有 100 個資料輸出腳位 $DR_1, DR_2, DR_3, \dots, DR_{100}$ ，其分別對應電性連接至第二暫存器 31 之 100 個輸出腳位 $Q_1, Q_2, Q_3, \dots, Q_{100}$ 。

輸入界面 1 其電性連接至第一匯流排 10，輸入界面 1 包括有 N 個輸入腳位 p_1, p_2, \dots, p_n 、四個第一時脈腳位 $CLK_1, CLK_2, CLK_3, CLK_4$ 、及一第二時脈腳位 CLK_5 ，於本實施例中，輸入界面 1 包括有 25 個輸入腳位 p_1, p_2, \dots, p_{25} 。

其中，四個第一時脈腳位 $CLK_1, CLK_2, CLK_3, CLK_4$ 之數量是相同於四個第一暫存器 21, 22, 23, 24 的數量，四個第一時脈腳位 $CLK_1, CLK_2, CLK_3, CLK_4$ 分別對應到四個第一暫存器 21, 22, 23, 24 之時脈腳位 $CLK_1, CLK_2, CLK_3, CLK_4$ 以電性連接，且第二時脈腳位 CLK_5 對應到第二暫存器 31 之時脈腳位 CLK_5 以電性連接。

控制器 5 其包括有一 FPGA 晶片模組或是一 PC 電腦... 皆可，控制器 5 是於一第一時間 T1 前能先選擇式地分別控制致能輸入界面 1 之四個第一時脈腳位 $CLK_1, CLK_2, CLK_3, CLK_4$ 。

其中，控制器5是依序或不依序分別控制致能輸入界面1之第一時脈腳位CLK1,CLK2,CLK3,CLK4，輸入界面1之25個輸入腳位p1,p2,⋯,p25之資料訊號便透過第一匯流排10分批傳輸並暫存至依序致能之第一時脈腳位CLK1~CLK4所對應第一暫存器21,22,23,24之25個輸入腳位d1,d2,d3,⋯,d25，並同步對應暫存於第二暫存器31之輸入腳位內，控制器5於下一時間T2是控制致能輸入界面1之第二時脈腳位CLK5，以令第二暫存器31之100個輸出腳位Q1,Q2,Q3,⋯,Q100將資料訊號輸出到輸出界面40之100個資料輸出腳位DR1,DR2,DR3,⋯,DR100。

綜合上述，於本例中透過控制器5將輸入界面1內的預燒資料I1,I2,I3,I4(圖未示)，經輸入界面1的輸入腳位p1,p2,⋯,p25輸出至第一匯流排10。

當第一時脈腳位CLK1致能時，輸入界面1的輸入腳位p1,p2,⋯,p25同步輸出預燒資料I1以暫存於第一暫存器21，當第一時脈腳位CLK2致能時，輸入界面1的輸入腳位p1,p2,⋯,p25同步輸出預燒資料I2以暫存於第一暫存器22，當第一時脈腳位CLK3致能時，輸入界面1的輸入腳位p1,p2,⋯,p25同步輸出預燒資料I3暫存於第一暫存器23，當第一時脈腳位CLK4致能時，輸入界面1的輸入腳位p1,p2,⋯,p25同步輸出預燒資料I4以暫存於第一暫存器24，並同步將預燒資料I1~I4暫存於第二暫存器31內。再透過第二時脈腳位CLK5的致能，以將第二暫存器31內的預燒資料I1~I4提供輸出界面40預燒晶片使用。

因此，透過上述之第一暫存器 21,22,23,24 與第二暫存器 31 即能將輸入界面 1 的輸入腳位 p_1, p_2, \dots, p_{25} 擴充為第二暫存器 31 輸出腳位 $Q_1, Q_2, Q_3, \dots, Q_{100}$ ，其於記憶體預燒機台有限腳位的架構下，不需修改任何的硬體設備即能擴充腳位，並於記憶體預燒機台架構下預燒腳位眾多的邏輯晶片之目的，其具節省成本、快速、便利之優點。

請參閱圖 3，其係本發明第二較佳實施例之示意圖。於本實施例中其架構大致與上一實施例相同，惟不同處在於控制器 50 中之輸入界面 51 僅有二個第一時脈腳位 CLK1, CLK2、二第一資料暫存器 21, 22。於本例中，第一資料暫存器 61, 62 分別有 25 個輸入腳位 $d_1, d_2, d_3, \dots, d_{25}$ 、25 個輸出腳位 $q_1, q_2, q_3, \dots, q_{25}$ ；因此，第二暫存器 32 僅需 25 個輸入腳位 $D_1, D_2, D_3, \dots, D_{50}$ 、及 25 個輸出腳位 $Q_1, Q_2, Q_3, \dots, Q_{50}$ ，而預燒板 42 之輸出界面 41 僅需 50 個資料輸出腳位 $DR_1, DR_2, DR_3, \dots, DR_{50}$ 。第一資料暫存器 61, 62 之數量可依照預燒板 42 所需之輸出界面 41 之腳位數作彈性增加或減少，但不得少於二個，如此即可彈性擴充輸入界面 51 之輸入腳位 p_1, p_2, \dots, p_{25} 。

上述實施例僅係為了方便說明而舉例而已，本發明所主張之權利範圍自應以申請專利範圍所述為準，而非僅限於上述實施例。

【圖式簡單說明】

圖 1 係習知之界面卡、及預燒板之示意圖。

圖2係本發明第一較佳實施例之示意圖。

圖3係本發明第二較佳實施例之示意圖。

【主要元件符號說明】

輸入界面 1,51	第一匯流排 10	第二匯流排 20
第一暫存器 21,22,23,24		第二暫存器 31,32
預燒板 4,42	輸出界面 40,41	控制器 5,50
第一暫存器 61,62	界面卡 9	預燒板 90
輸出腳位 91	記憶體晶片 92	
輸入腳位 p_1, p_2, \dots, p_n	輸入腳位 $d_1, d_2, d_3, \dots, d_n$	
輸入腳位 $D_1, D_2, D_3, \dots, D_m$	輸出腳位 $q_1, q_2, q_3, \dots, q_n$	
輸出腳位 $Q_1, Q_2, Q_3, \dots, Q_m$	第一時脈腳位 CLK1~CLK4	
時間 T1, T2	輸出腳位 DR1, DR2, DR3, ..., DRm	
第二時脈腳位 CLK5	預燒資料 I1, I2, I3, I4	

十、申請專利範圍：

1. 一種可擴充控制訊號數量之晶片預燒機台，包括：

— 第一匯流排；

— 第二匯流排；

5 至少二第一暫存器，每一第一暫存器包括有N個輸入腳位、一時脈腳位、及N個輸出腳位，其中N是指大於等於1之正整數，該N個輸入腳位、與該時脈腳位是分別電連接至該第一匯流排，該N個輸出腳位是分別電連接至該第二匯流排；

10 — 第二暫存器，包括有M個輸入腳位、一時脈腳位、及M個輸出腳位，其中該M是指大於N之正整數，該M個輸入腳位分別電性連接至該第二匯流排、並分別對應至該至少二第一資料暫存器之其中一輸出腳位以電性連接；

15 — 輸出界面，其包括有M個資料輸出腳位，其分別對應電性連接至該第二暫存器之該M個輸出腳位；

20 — 輸入界面，其電性連接至該第一匯流排，該輸入界面包括有N個輸入腳位、至少二第一時脈腳位、及一第二時脈腳位，其中，該至少二第一時脈腳位之數量是相同於該至少二第一暫存器的數量，該至少二第一時脈腳位分別對應到該至少二第一暫存器之該時脈腳位以電性連接，該第二時脈腳位對應到該第二暫存器之該時脈腳位以電性連接；以及

一控制器，是能先分別控制致能該輸入界面之該至少二第一時脈腳位後，再於下一時間控制致能該輸入界面之該第二時脈腳位。

5 2. 如申請專利範圍第1項所述可擴充控制訊號數量之晶片預燒機台，其中，該控制器包括有一FPGA晶片模組。

10 3. 如申請專利範圍第1項所述可擴充控制訊號數量之晶片預燒機台，其中，該控制器是依序分別控制致能該輸入界面之該至少二第一時脈腳位，該輸入界面之該N個輸入腳位之資料訊號便透過該第一匯流排分批傳輸並暫存至該依序致能之第一時脈腳位所對應第一暫存器之該N個輸入腳位，並同步對應暫存於該第二暫存器之該輸入腳位內。

15 4. 如申請專利範圍第1項所述可擴充控制訊號數量之晶片預燒機台，其中，該控制器於該下一時間是控制致能該輸入界面之該第二時脈腳位，以令該第二暫存器之該M個輸出腳位將資料訊號輸出到該輸出界面之該M個資料輸出腳位。

5. 如申請專利範圍第1項所述可擴充控制訊號數量之晶片預燒機台，其中，該正整數M是該正整數N的整數倍數。

20 6. 如申請專利範圍第1項所述可擴充控制訊號數量之晶片預燒機台，其中，該至少二第一暫存器分別是指一門鎖器。

7. 如申請專利範圍第1項所述可擴充控制訊號數量之晶片預燒機台，其中，該第二暫存器是指一門鎖器。

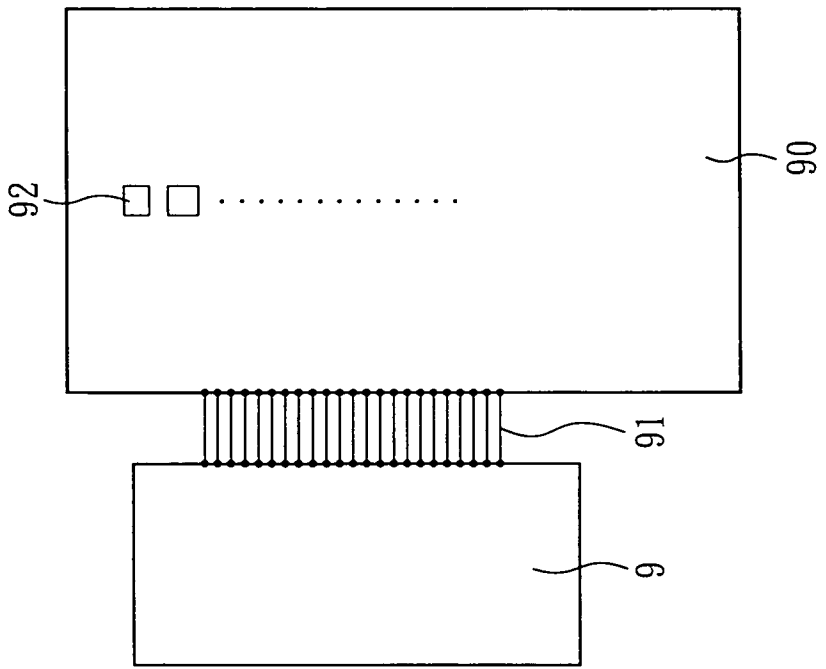


圖 1

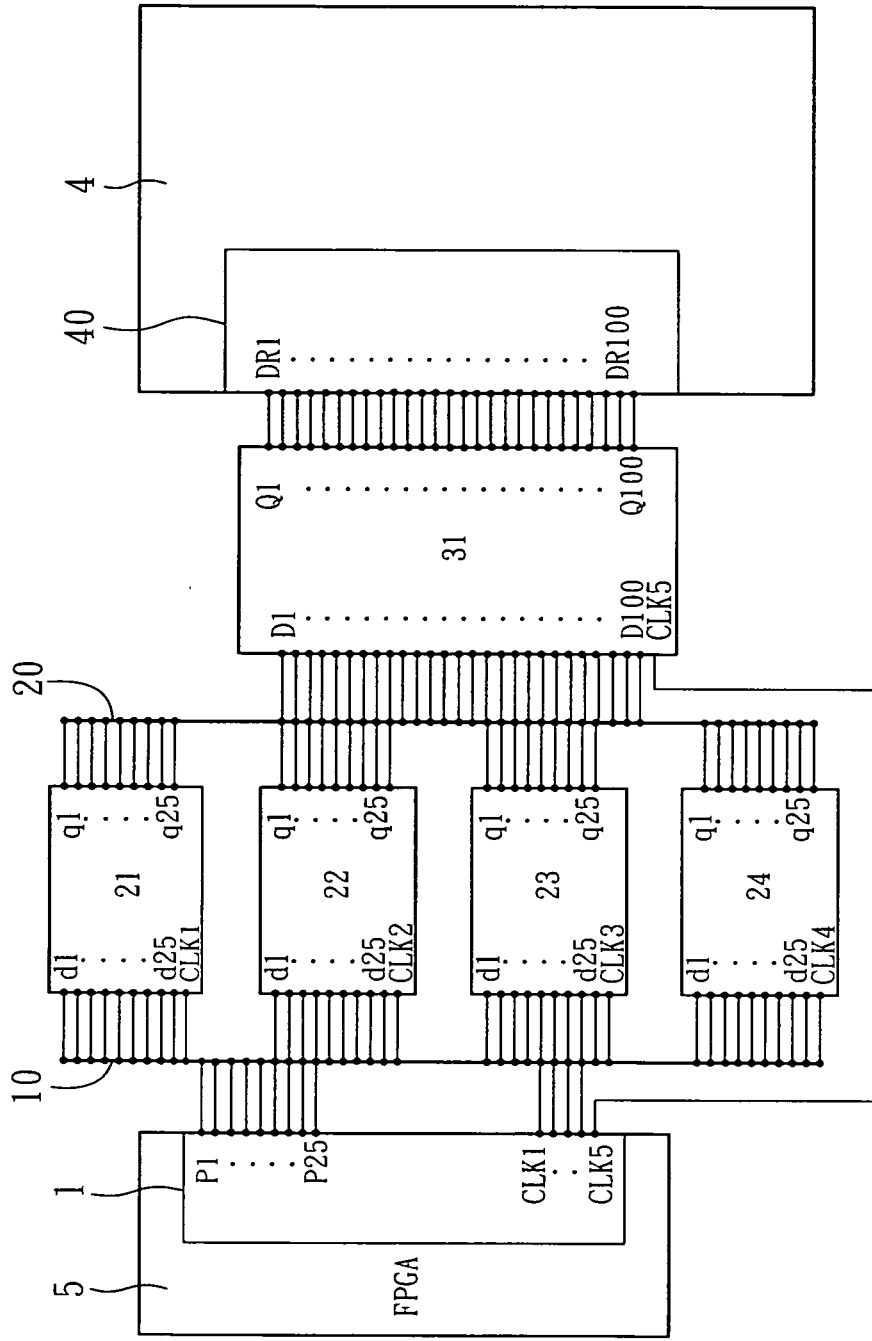


圖2

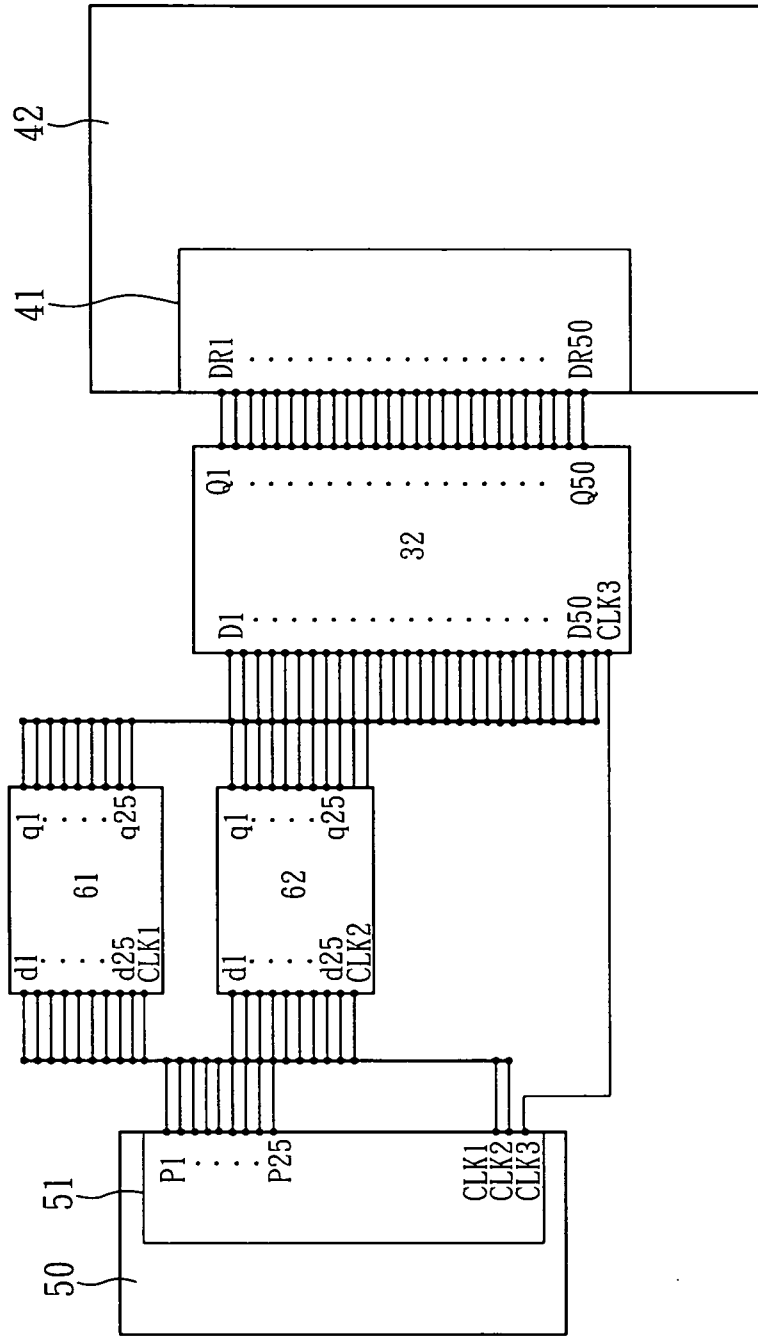


圖 3