



(12) 发明专利申请

(10) 申请公布号 CN 113206037 A

(43) 申请公布日 2021.08.03

(21) 申请号 202110260054.1

(22) 申请日 2021.03.10

(30) 优先权数据

63/031,083 2020.05.28 US

17/126,509 2020.12.18 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹市新竹科学工业园区力行六路八号

(72) 发明人 张尚文 邱奕勋 庄正吉 蔡庆威

林威呈 彭士玮 曾健庭

(74) 专利代理机构 北京律诚同业知识产权代理

有限公司 11006

代理人 徐金国

(51) Int. Cl.

H01L 21/768 (2006.01)

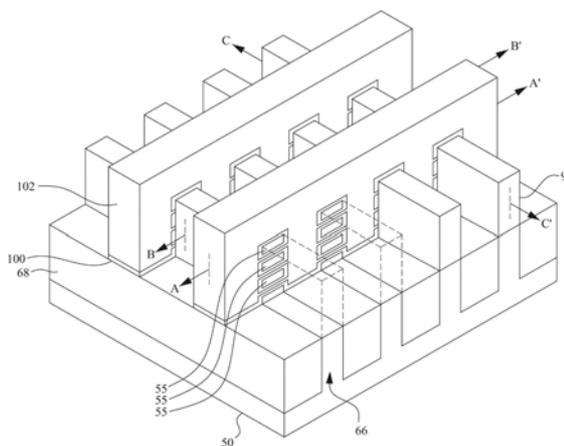
权利要求书2页 说明书28页 附图69页

(54) 发明名称

半导体装置的形成方法以及半导体装置

(57) 摘要

一种半导体装置的形成方法以及半导体装置。在一实施例中，一种形成一半导体装置的方法包括：在第一基板上方形成第一晶体管及第二晶体管；在第一晶体管及第二晶体管上方形成前侧互连结构；蚀刻第一基板的至少一背侧以暴露第一晶体管及第二晶体管；形成电连接至第一晶体管的第一背侧通孔；形成电连接至第二晶体管的第二背侧通孔；在第一背侧通孔及第二背侧通孔上方沉积介电层；在介电层中形成第一导电接线，第一导电接线为经由第一背侧通孔电连接至第一晶体管的电源轨；及于介电层中形成第二导电接线，第二导电接线为经由第二背侧通孔电连接至第二晶体管的信号接线。



1. 一种形成一半导体装置的方法,其特征在于,该方法包含以下步骤:
在一第一基板上方形形成一第一晶体管及一第二晶体管;
在该第一晶体管及该第二晶体管上方形成一前侧互连结构;
蚀刻该第一基板的至少一背侧以暴露该第一晶体管及该第二晶体管;
形成一第一背侧通孔,该第一背侧通孔电连接至该第一晶体管;
形成一第二背侧通孔,该第二背侧通孔电连接至该第二晶体管;
在该第一背侧通孔及该第二背侧通孔上方沉积一介电层;
在该介电层中形成一第一导电接线,该第一导电接线为经由该第一背侧通孔电连接至该第一晶体管的一电源轨;及
于该介电层中形成一第二导电接线,该第二导电接线为经由该第二背侧通孔电连接至该第二晶体管的一信号接线。
2. 如权利要求1所述的方法,其特征在于,进一步包含以下步骤:
在该第一背侧通孔上方形成一第三导电接线,该第三导电接线电连接该第一背侧通孔及该第一导电接线;及
在该第二背侧通孔上方形成一第四导电接线,该第四导电接线电连接该第二背侧通孔及该第二导电接线。
3. 如权利要求1所述的方法,其特征在于,该第一导电接线电连接至该第一晶体管的一源极/漏极区,且其中该第二导电接线电连接至该第二晶体管的一源极/漏极区。
4. 如权利要求3所述的方法,其特征在于,进一步包含以下步骤:在该第一基板上方形形成一第三晶体管,该第三晶体管的一栅极结构电连接至该第二导电接线。
5. 如权利要求3所述的方法,其特征在于,进一步包含以下步骤:在该第一基板上方形形成一第三晶体管,该第三晶体管的一源极/漏极区电连接至该第二导电接线。
6. 如权利要求1所述的方法,其特征在于,进一步包含以下步骤:在该第一背侧通孔上方形成一第三导电接线,该第三导电接线电插入于该第一背侧通孔与该第二导电接线之间。
7. 如权利要求1所述的方法,其特征在于,进一步包含以下步骤:在该第一导电接线上方形形成一第四导电接线,该第四导电接线电连接至该第一晶体管。
8. 如权利要求7所述的方法,其特征在于,进一步包含以下步骤:
在该第四导电接线上方形形成一焊球下金属;及
在该焊球下金属上方形成一外部连接器。
9. 一种半导体装置,其特征在于,包含:
嵌入于一第一介电层中的一电源轨;
嵌入于该第一介电层中的一导电信号接线;
一第二介电层,该第二介电层设置于该第一介电层上方;
一第一背侧通孔,该第一背侧通孔设置于该电源轨上方且电连接至该电源轨;
一第一晶体管,该第一晶体管设置于该第一背侧通孔上方且电连接至该第一背侧通孔;
一第一栅极触点,该第一栅极触点设置于该第一晶体管的一第一栅极电极上方且电连接至该第一栅极电极;

一第二背侧通孔,该第二背侧通孔设置于该导电信号接线上方且电连接至该导电信号接线;及

一第二晶体管,该第二晶体管设置于该第二背侧通孔上方且电连接至该第二背侧通孔。

10. 一种半导体装置,其特征在于,包含:

一第一晶体管及一第二晶体管,该第一晶体管及该第二晶体管设置于一第一互连结构上方;

一第一通孔,该第一通孔设置于该第一晶体管上方且电连接至该第一晶体管;

一第二通孔,该第二通孔设置于该第二晶体管上方且电连接至该第二晶体管;及

一第二互连结构,该第二互连结构设置于该第一晶体管及该第二晶体管上方,该第二互连结构包含:

嵌入于一第一介电层中的一第一导电接线,该第一导电接线电连接至该第一通孔;

一第二导电接线,该第二导电接线嵌入于该第一介电层中,该第二导电接线电连接至该第二通孔;

一第二介电层,该第二介电层设置于该第一介电层上方;

一电源轨,该电源轨嵌入于该第二介电层中,该电源轨电连接至该第一导电接线;及

一导电信号接线,该导电信号接线嵌入于该第二介电层中,该导电信号接线电连接至该第二导电接线。

半导体装置的形成方法以及半导体装置

技术领域

[0001] 本揭示内容是关于一种半导体装置及其形成方法,特别是关于一种具有背侧布线的半导体装置及其形成方法。

背景技术

[0002] 诸如个人计算机、移动电话、数字摄影机及其他电子设备的各种电子应用中 使用半导体装置。半导体装置通常由以下方式制造:在半导体基板上方顺序 沉积绝缘或介电材料层、导电材料层及半导体材料层,并使用微影术图案化各 材料层来在半导体基板上形成电路组件及元件。

[0003] 半导体行业通过持续减小最小特征大小而持续改良多种电子组件(例如, 晶体管、二极管、电阻器、电容器等等)的集成密度,此情形允许将更多组件 整合至给定区域中。然而,随着最小特征大小减小,产生了应被解决的额外问 题。

发明内容

[0004] 本揭示内容的一实施例揭露一种形成半导体装置的方法。此方法包含:在 第一基板上方形形成第一晶体管及第二晶体管;在第一晶体管及第二晶体管上方 形成前侧互连结构;蚀刻第一基板的至少一背侧以暴露第一晶体管及第二晶体 管;形成第一背侧通孔,第一背侧通孔电连接至第一晶体管;形成第二背侧通 孔,第二背侧通孔电连接至第二晶体管;在第一背侧通孔及第二背侧通孔上方 沉积介电层;在介电层中形成第一导电接线,第一导电接线为经由第一背侧通 孔电连接至第一晶体管的电源轨;及于介电层中形成第二导电接线,第二导电 接线为经由第二背侧通孔电连接至第二晶体管的信号接线。

[0005] 本揭示内容的另一实施例揭露一种半导体装置,包含:嵌入于第一介电层 中的电源轨;嵌入于第一介电层中的导电信号接线;第二介电层,第二介电层 设置于第一介电层上方;第一背侧通孔,第一背侧通孔设置于电源轨上方且电 连接至电源轨;第一晶体管,第一晶体管设置于第一背侧通孔上方且电连接至 第一背侧通孔;第一栅极触点,第一栅极触点设置于第一晶体管的第一栅极电 极上方且电连接至第一栅极电极;第二背侧通孔,第二背侧通孔设置于导电信 号接线上方且电连接至导电信号接线;及第二晶体管,第二晶体管 设置于第二背侧通孔上方且电连接至第二背侧通孔。

[0006] 本揭示内容的另一实施例揭露一种半导体装置,包含:第一晶体管及第二 晶体管,第一晶体管及第二晶体管设置于第一互连结构上方;第一通孔,第一 通孔设置于第一晶体管上方且电连接至第一晶体管;第二通孔,第二通孔设置 于第二晶体管上方且电连接至第二晶体管;及第二互连结构,第二互连结构设 置于第一晶体管及第二晶体管上方,第二互连结构包含:嵌入于第一介电层中 的第一导电接线,第一导电接线电连接至第一通孔;第二导电接线,第二导电 接线嵌入于第一介电层中,第二导电接线电连接至第二通孔;第二介电层,第 二介电层设置于第一介电层上方;电源轨,电源轨嵌入于第二介电层中,电 源 轨电连接至第一导电接线;及导电信号接线,导电信号接线嵌入于第二介电层 中,导电

信号接线电连接至第二导电接线。

附图说明

[0007] 本揭露的态样在与随附附图一起研读时自以下详细描述内容来最佳地理解。应注意,根据行业中的标准惯例,各种特征未按比例绘制。实际上,各种特征的尺寸可为了论述清楚经任意地增大或减小。

[0008] 图1以立体图例示根据一些实施例的纳米场效晶体管的实例;

[0009] 图2、图3、图4、图5、图6A、图6B、图6C、图7A、图7B、图7C、图8A、图8B、图8C、图9A、图9B、图9C、图10A、图10B、图10C、图11A、图11B、图11C、图11D、图12A、图12B、图12C、图12D、图12E、图13A、图13B、图13C、图14A、图14B、图14C、图15A、图15B、图15C、图16A、图16B、图16C、图17A、图17B、图17C、图18A、图18B、图18C、图19A、图19B、图19C、图20A、图20B、图20C、图21A、图21B、图21C、图22A、图22B、图22C、图23A、图23B、图23C、图24A、图24B、图24C、图25A、图25B、图25C、图26A、图26B、图26C、图27A、图27B、图27C、图28A、图28B、图28C、图29A、图29B、图30A、图30B、图31A、图31B、图31C、图31D、图32A及图32B是根据一些实施例的制造纳米场效晶体管的中间阶段的剖面图;

[0010] 图30C、图30D、图30E、图32C、图32D、图32E、图32F、图32G、图32H、图33A、图33B、图34A及图34B例示根据一些实施例的制造纳米场效晶体管的中间阶段的平面图;

[0011] 图33C及图34C为根据一些实施例的纳米场效晶体管的电路布局。

[0012] **【符号说明】**

[0013] 20:分隔器

[0014] 50:基板

[0015] 50N:n型区

[0016] 50P:p型区

[0017] 51、51A-51C:第一半导体层

[0018] 52、52A-52C:第一纳米结构

[0019] 53、53A-53C:第二半导体层

[0020] 54、54A-54C:第二纳米结构

[0021] 55:纳米结构

[0022] 60:虚设栅极介电质

[0023] 64:多层堆叠

[0024] 66:鳍片

[0025] 68:浅沟槽隔离区

[0026] 70:虚设介电层

[0027] 71:虚设栅极介电质

[0028] 72:虚设栅极层

[0029] 74:罩幕层

[0030] 76:虚设栅极

[0031] 78:罩幕

[0032] 80:第一间隔物层

- [0033] 81:第一间隔物
- [0034] 82:第二间隔物层
- [0035] 83:第二间隔物
- [0036] 86:第一凹部
- [0037] 87:第二凹部
- [0038] 88:侧壁凹部
- [0039] 90:第一内部间隔物
- [0040] 91:第一磊晶材料
- [0041] 92:磊晶源极/漏极区
- [0042] 92A:第一半导体材料层、第一磊晶源极/漏极区、磊晶源极/漏极区
- [0043] 92B:第二半导体材料层、第二磊晶源极/漏极区、磊晶源极/漏极区
- [0044] 92C:第三半导体材料层、第三磊晶源极/漏极区、磊晶源极/漏极区
- [0045] 92D:第四磊晶源极/漏极区、磊晶源极/漏极区
- [0046] 92X:第四磊晶源极/漏极区
- [0047] 92Y:第五磊晶源极/漏极区
- [0048] 92Z:第六磊晶源极/漏极区
- [0049] 94:接触蚀刻终止层
- [0050] 96:第一层间介电质
- [0051] 98:第三凹部
- [0052] 100:栅极介电层
- [0053] 102:栅极电极
- [0054] 102B:栅极电极
- [0055] 103:栅极结构
- [0056] 103B:栅极结构
- [0057] 104:栅极罩幕
- [0058] 106:第二层间介电质
- [0059] 108:第四凹部
- [0060] 109:晶体管结构
- [0061] 109A:第一晶体管结构
- [0062] 109B:第二晶体管结构
- [0063] 110:第一硅化物区
- [0064] 112:源极/漏极触点
- [0065] 114:栅极触点
- [0066] 120:前侧互连结构
- [0067] 122:第一导电特征
- [0068] 122_D:虚设第一导电特征
- [0069] 124:第一介电层
- [0070] 125:第二介电层
- [0071] 128:第五凹部

- [0072] 129:第二硅化物区
- [0073] 130:背侧通孔
- [0074] 130A:第一背侧通孔
- [0075] 130B:第二背侧通孔
- [0076] 132:第二介电层
- [0077] 132A:第二介电层
- [0078] 132B:第二介电层
- [0079] 132C:第二介电层
- [0080] 133:导电接线
- [0081] 133A:第一导电接线
- [0082] 133B:第二导电接线
- [0083] 134:导电通孔
- [0084] 134A:第一导电通孔
- [0085] 134B:第二导电通孔
- [0086] 135:导电接线
- [0087] 135S:信号接线
- [0088] 135P:电源轨
- [0089] 136:导电通孔
- [0090] 137:导电接线
- [0091] 140:背侧互连结构
- [0092] 140S:信号区
- [0093] 140P:电源区
- [0094] 144:钝化层
- [0095] 146:焊球下金属
- [0096] 148:外部连接器
- [0097] 150:载体基板
- [0098] 152:接合层
- [0099] 152A:第一接合层
- [0100] 152B:第二接合层
- [0101] 160:分隔器
- [0102] 161:混合式鳍片
- [0103] 164:背侧栅极通孔
- [0104] 170:齐纳二极管
- [0105] A-A':横截面
- [0106] B-B':横截面
- [0107] C-C':横截面
- [0108] L_0 :阶层
- [0109] L_1 :阶层
- [0110] L_N :阶层

- [0111] L_{-1} : 阶层
- [0112] L_{-2} : 阶层
- [0113] L_{-N} : 阶层

具体实施方式

[0114] 以下揭露提供用于实施本揭示内容的不同特征的许多不同实施例或实例。下文描述组件及配置的特定实例以简化本揭露。当然,此等组件及配置仅为实例且并非意欲为限制性的。举例而言,在以下描述中第一特征于第二特征上方或上的形成可包括第一及第二特征直接接触地形成的实施例,且亦可包括额外特征可形成于第一特征与第二特征之间使得第一特征及第二特征可不直接接触的实施例。此外,本揭露在各种实例中可重复参考数字及/或字母。此重复是出于简单及清楚的目的,且本身并不指明所论述的各种实施例及/或组态之间的关系。

[0115] 进一步地,为方便描述可在本文中使用的空间相对术语,诸如“在……之下”、“在……下方”、“下面的”、“在……上方”、“上面的”及其类似者来描述如在诸图中所例示的一个元件或特征与另外(诸等)元件或(诸等)特征的关系。这些空间相对术语意欲除诸图中所描绘的定向外,亦涵盖装置在使用或操作中的不同定向。装置可另外定向(旋转90度或处于其他定向)且据此可同样解译本文所用的空间相对描述词。

[0116] 各种实施例提供用于在半导体装置中形成信号及电源布线的方法以及包括该信号及电源布线的半导体装置。在一些实施例中,布线可形成于包括半导体装置的半导体晶片的背侧上的互连结构中。背侧互连结构可经布线用于电源接线、电接地接线及发信以提供至诸如晶体管或类似者的某些前侧设备的连接性。此外,经由背侧互连结构对电源接线、电接地接线及发信进行布线可减小用于前侧互连结构中的总布线,此情形通过减低布线密度来改良布线效能。

[0117] 本文中论述的一些实施例在包括纳米场效晶体管(NANOSTRUCTURE FIELD-EFFECT TRANSISTOR;NANO-FET)的晶粒的情形下进行描述。然而,各种实施例可应用至包括取代纳米场效晶体管或与纳米场效晶体管相结合的其他类型晶体管(例如,鳍片式场效应晶体管(fin field effect transistor;FinFET)、平面晶体管或类似者)的晶粒。

[0118] 图1以立体图例示根据一些实施例的纳米场效晶体管(例如,纳米线场效晶体管、纳米片场效晶体管或类似者)的实例。纳米场效晶体管包含在基板50(例如,半导体基板)上的鳍片66上方的纳米结构55(例如,纳米片,纳米线或类似者),其中纳米结构55充当纳米场效晶体管的通道区。纳米结构55可包括p型纳米结构、n型纳米结构或者其组合。浅沟槽隔离(shallow trench isolation;STI)区68设置于相邻的鳍片66之间,该些鳍片66可自浅沟槽隔离区68上方及邻近的浅沟槽隔离区68之间突出。尽管将浅沟槽隔离区68描述/例示为与基板50分离,但如本文所使用,术语“基板”可指单独的半导体基板或半导体基板与浅沟槽隔离区的组合。另外,尽管例示鳍片66的底部部分与基板50一起例示为单种连续的材料,但鳍片66的底部部分及/或基板50可包含单种材料或多种材料。在此情形下,鳍片66指在邻近的浅沟槽隔离区68之间延伸的部分。

[0119] 栅极介电层100是在鳍片66的顶表面上方并沿着纳米结构55的顶表面、侧壁及底表面。栅极电极102是在栅极介电层100上方。磊晶源极/漏极区92设置在栅极介电层100与

栅极电极102的相对侧上的鳍片66上。

[0120] 图1进一步例示后续附图中所使用的参考横截面。横截面A-A'是沿着栅极电极102的纵轴且位于例如与纳米场效晶体管的磊晶源极/漏极区92之间的电流方向垂直的方向上。横截面B-B'与横截面A-A'平行且延伸穿过多个纳米场效晶体管的磊晶源极/漏极区92。横截面C-C'垂直于横截面A-A'，与纳米场效晶体管的鳍片66的纵轴平行，且位于例如纳米场效晶体管的磊晶源极/漏极区92之间的电流的方向上。为了清楚，后续附图参考此等参考横截面。

[0121] 本文中论述的一些实施例是在使用后栅极制程形成的纳米场效晶体管的情形下予以论述。在其他实施例中，可使用前栅极制程。此外，一些实施例预期到用于诸如平面场效晶体管或鳍片式场效晶体管的平面设备中的态样。

[0122] 图2至图34C是根据一些实施例的制造纳米场效晶体管的中间阶段的剖面图。图2至图5、图6A、图7A、图8A、图9A、图10A、图11A、图12A、图13A、图14A、图15A、图16A、图17A、图18A、图19A、图20A、图21A、图22A、图23A、图24A、图25A、图26A、图27A、图28A及图31A至图31D例示图1所示的参考横截面A-A'。图6B、图7B、图8B、图9B、图10B、图11B、图12B、图12D、图13B、图14B、图15B、图16B、图17B、图18B、图19B、图20B、图21B、图22B、图23B、图24B、图25B、图26B、图27B、图28B、图29A、图29B、图30A、图30B，及图31A至31D例示图1中所示的参考横截面B-B'。图7C、图8C、图9C、图10C、图11C、图11D、图12C、图12E、图13C、图14C、图15C、图16C、图17C、图18C、图19C、图20C、图21C、图22C、图23C、图24C、图25C、图26C、图27C及图28C例示图1中所示的参考横截面C-C'。图32A例示参考横截面X-X'（亦参见图32A及图32C至图32H），该参考横截面为参考横截面B-B'的一版本。图32B例示参考横截面Y-Y'（亦参见图32B及图32C至图32H），该参考横截面为参考横截面B-B'的另一版本。图30C至图30E、图32C至图32H、图33A、图33B、图34A及图34B例示平面图。图33C及图34C例示电路布局。

[0123] 在图2中，提供基板50。基板50可是半导体基板，诸如块半导体、绝缘体上半导体（semiconductor-on-insulator; SOI）基板或类似者，该基板可是掺杂的（例如，掺杂有p型或n型掺杂剂）或无掺杂的。基板50可是晶圆，诸如硅晶圆。一般而言，绝缘体上半导体基板是形成于绝缘体层上的一层半导体材料。绝缘体层可是例如埋入式氧化物（buried oxide; BOX）层、氧化硅层或类似者。绝缘体层提供于基板上，通常硅或玻璃基板上。亦可使用诸如多层或梯度基板的其他基板。在一些实施例中，基板50的半导体材料可包括硅；锗；化合物半导体，包括碳化硅、砷化镓、磷化镓、磷化铟、砷化铟及/或锑化铟；合金半导体，包括硅锗、砷磷化镓、砷化铟铝、砷化镓铝、砷化铟镓、磷化铟镓及/或砷磷化铟镓；或其组合。

[0124] 基板50具有n型区50N及p型区50P。n型区50N可用于形成n型设备，诸如n型金氧半导体（n-type metal oxide semiconductor; NMOS）晶体管（例如，n型纳米场效晶体管），且p型区50P可用于形成p型设备，诸如p型金氧半导体（p-type metal oxide semiconductor; PMOS）晶体管（例如，p型纳米场效晶体管）。n型区50N可与p型区50P实体分离（如通过分隔器20所例示），且在n型区50N与p型区50P之间可设置任意数目个设备特征（例如，其他主动设备、经掺杂的区、隔离结构等）。尽管例示了一个n型区50N及一个p型区50P，但可提供任意数目个n型区50N及p型区50P。

[0125] 进一步地，在图2中，在基板50上方形成多层堆叠64。多层堆叠64包括第一半导体

层51A至51C(统称为第一半导体层51)及第二半导体层53A至53C(统称为第二半导体层53)的交替层。为了例示且如下文更详细地论述,将移除第一半导体层51,并图案化第二半导体层53以在n型区50N及p型区50P中形成纳米场效晶体管的通道区。然而,在一些实施例中,可移除第一半导体层51并可图案化第二半导体层53以在n型区50N中形成纳米场效晶体管的通道区;且可移除第二半导体层53并可图案化第一半导体层51以在p型区50P中形成纳米场效晶体管的通道区。在一些实施例中,可移除第二半导体层53并可图案化第一半导体层51以在n型区50N中形成纳米场效晶体管的通道区;且可移除第一半导体层51并可图案化第二半导体层53以在p型区50P中形成纳米场效晶体管的通道区。在一些实施例中,可移除第二半导体层53,并可图案化第一半导体层51以在n型区50N及p型区50P两者中均形成纳米场效晶体管的通道区。

[0126] 出于例示目的,例示多层堆叠64为包括三层第一半导体层51及三层第二半导体层53。在一些实施例中,多层堆叠64可包括任意数目个第一半导体层51及第二半导体层53。可使用诸如化学气相沉积(chemical vapor deposition; CVD)、原子层沉积(atomic layer deposition; ALD)、气相磊晶(vapor phase epitaxy; VPE)、分子束磊晶(molecular beam epitaxy; MBE)或类似者的制程来磊晶生长多层堆叠64的每一层。在各种实施例中,第一半导体层51可由适于诸如硅锗或类似者的p型纳米场效晶体管的第一半导体材料来形成,且第二半导体层53可由适于诸如硅、硅碳或类似者的n型纳米场效晶体管的第二半导体材料来形成。出于例示目的,例示多层堆叠64为具有适于p型纳米场效晶体管的最底部半导体层。在一些实施例中,可形成多层堆叠64,使得最底部层是适于n型纳米场效晶体管的半导体层。

[0127] 第一半导体材料及第二半导体材料可是相互具有高蚀刻选择性的材料。因此,可在不显著移除第二半导体材料的第二半导体层53的情况下移除第一半导体材料的第一半导体层51,从而允许对第二半导体层53进行图案化来形成纳米场效晶体管的通道区。类似地,在移除第二半导体层53并图案化第一半导体层51以形成通道区的实施例中,可在不显著移除第一半导体材料的第一半导体层51的情况下移除第二半导体材料的第二半导体层53,从而允许对第一半导体层51进行图案化来形成纳米场效晶体管的通道区。

[0128] 现参看图3,根据一些实施例,鳍片66形成于基板50中,且纳米结构55形成于多层堆叠64中。在一些实施例中,可分别通过在多层堆叠64及基板50中蚀刻沟槽而在多层堆叠64及基板50中形成纳米结构55及鳍片66。蚀刻可是任何可接受的蚀刻制程,诸如反应离子蚀刻(reactive ion etch; RIE)、中性束蚀刻(neutral beam etch; NBE)、类似者,或者其组合。蚀刻可是各向异性的。通过蚀刻多层堆叠64来形成纳米结构55可进一步自第一半导体层51界定出第一纳米结构52A至52C(统称为第一纳米结构52)并自第二半导体层53界定出第二纳米结构54A至54C(统称为第二纳米结构54)。第一纳米结构52及第二纳米结构54可统称为纳米结构55。

[0129] 可通过任何合适的方法来图案化鳍片66及纳米结构55。举例而言,鳍片66及纳米结构55可使用一或多个光微影制程,包括双重图案化或多重图案化制程来图案化。一般而言,双重图案化或多重图案化制程结合光微影制程与自对准制程,从而允许产生例如与使用单个直接光微影制程可获得的图案相比具有更小节距的图案。举例而言,在一个实施例中,牺牲层形成于基板上方并使用光微影制程进行图案化。使用自对准制程沿经图案化的

牺牲层形成间隔物。接着移除牺牲层,且接着剩余的间隔物可用来图案化鳍片66。

[0130] 出于例示目的,图3例示n型区50N及p型区50P中的鳍片66具有实质上相等的宽度。在一些实施例中,n型区50N中鳍片66的宽度可大于或小于p型区50P中鳍片66的宽度。进一步地,虽然例示鳍片66及纳米结构55中的每一者始终具有一致的宽度,但在其他实施例中,鳍片66及/或纳米结构55可具有锥形侧壁,使得鳍片66及/或纳米结构55中的每一者的宽度在朝向基板50的方向上连续增大。在此种实施例中,纳米结构55中的每一者可具有不同的宽度且形状可为梯形。

[0131] 在图4中,浅沟槽隔离区68相邻于鳍片66形成。可通过在基板50、鳍片66及纳米结构55上方且在相邻的鳍片66之间沉积绝缘材料来形成浅沟槽隔离区68。绝缘材料可是诸如氧化硅的氧化物、氮化物、类似者或者其组合,且可通过高密度电浆化学气相沉积(high-density plasma chemical vapor deposition;HDP-CVD)、流动化学气相沉积(flowable chemical vapor deposition;FCVD)、类似者或者其组合形成。可使用通过任何可接受的制程形成的其他绝缘材料。在例示的实施例中,绝缘材料是通过流动化学气相沉积制程形成的氧化硅。一旦形成了绝缘材料,即可执行退火制程。在一实施例中,形成绝缘材料,使得过多的绝缘材料覆盖纳米结构55。尽管将绝缘材料例示为单层,但一些实施例可利用多层绝缘材料。举例而言,在一些实施例中,可首先沿基板50、鳍片66及纳米结构55的表面形成衬里(未单独例示)。其后,可在衬里上方形成诸如上方所论述的彼等的填充材料。

[0132] 接着对绝缘材料应用移除制程来移除纳米结构55上方的过多绝缘材料。在一些实施例中,可利用诸如化学机械研磨(chemical mechanical polish;CMP)的平坦化制程、回蚀制程、其组合,或类似者。平坦化制程暴露纳米结构55,使得在完成平坦化制程之后,使纳米结构55的顶表面与绝缘材料平齐。

[0133] 接着,使绝缘材料凹入来形成浅沟槽隔离区68。绝缘材料经凹入,使得n型区50N及p型区50P中鳍片66的上部自邻近的浅沟槽隔离区68之间突出。进一步地,浅沟槽隔离区68的顶表面可如图所示具有平坦表面、凸起表面、凹陷表面(诸如碟形)或者其组合。可通过适当的蚀刻使浅沟槽隔离区68的顶表面形成为平坦、凸起及/或凹陷的。可使用可接受的蚀刻制程,诸如对绝缘材料的材料具有选择性(例如,与鳍片66及纳米结构55的材料相比,以更快速率蚀刻绝缘材料)的蚀刻制程使浅沟槽隔离区68凹入。举例而言,可使用利用例如稀盐酸(dilute hydrofluoric;DHF)的氧化物移除。

[0134] 上文关于图2至图4描述的制程仅为可如何形成鳍片66及纳米结构55的一个实例。在一些实施例中,鳍片66及/或纳米结构55可使用罩幕及磊晶生长制程来形成。举例而言,可在基板50的顶表面上方形成介电层,并且沟槽可蚀刻穿过介电层来暴露下伏基板50。可在沟槽中磊晶生长磊晶结构,且介电层可经凹入使得磊晶结构自介电层突出来形成鳍片66及/或纳米结构55。磊晶结构可包含上文论述的交替的半导体材料,诸如第一半导体材料及第二半导体材料。在磊晶生长磊晶结构的一些实施例中,磊晶生长的材料可在生长过程中进行原位掺杂,此情形可避免之前及/或后续布植,尽管可一起使用原位及布植掺杂。

[0135] 另外,仅出于例示目的,第一半导体层51(及得到的第一纳米结构52)及第二半导体层53(及得到的第二纳米结构54)本文中例示并论述为在p型区50P及n型区50N中包含相

同材料。因此,在一些实施例中,第一半导体层51及第二半导体层53的一者或两者在p型区50P及n型区50N中可是不同的材料或以不同的顺序形成。

[0136] 进一步地,在图4中,可在鳍片66、纳米结构55及/或浅沟槽隔离区68中形成适当的阱(未单独例示)。在具有不同阱类型的实施例中,可使用光阻剂或其他罩幕(未单独例示)来达成用于n型区50N及p型区50P的不同的布植步骤。举例而言,可在n型区50N及p型区50P中的鳍片66及浅沟槽隔离区68上方形成光阻剂。对光阻剂进行图案化来暴露p型区50P。可通过使用旋涂技术来形成光阻剂,并且可使用可接受的光微影技术来图案化光阻剂。光阻剂一旦经图案化,便在p型区50P中执行n型杂质布植,且光阻剂可充当罩幕来实质上防止n型杂质被布植到n型区50N中。n型杂质可是在区中布植达范围为大约 10^{13} 原子/ cm^3 至大约 10^{14} 原子/ cm^3 的浓度的磷、砷、锑或类似者。在布植之后,通过诸如可接受的灰化制程来移除光阻剂。

[0137] 在p型区50P的布植之后或之前,在p型区50P及n型区50N中的鳍片66、纳米结构55及浅沟槽隔离区68上方形成光阻剂或其他罩幕(未单独例示)。对光阻剂进行图案化来暴露n型区50N。可通过使用旋涂技术来形成光阻剂,并且可使用可接受的光微影技术来图案化光阻剂。光阻剂一旦经图案化,便可 在n型区50N中执行p型杂质布植,且光阻剂可充当罩幕来实质上防止p型杂质被布植到p型区50P中。p型杂质可是在区中布植达范围为大约 10^{13} 原子/ cm^3 至大约 10^{14} 原子/ cm^3 的浓度的硼、氟化硼、镉或类似者。在布植之后,可通过诸如可接受的灰化制程来移除光阻剂。

[0138] 在n型区50N及p型区50P的布植之后,可执行退火来修复布植损伤并活化经布植的p型及/或n型杂质。在一些实施例中,磊晶鳍片的生长材料可在生长过程中进行原位掺杂,此情形可避免布植,尽管可一起使用原位及布植掺杂。

[0139] 在图5中,虚设介电层70形成于鳍片66及/或纳米结构55上。虚设介电层70可是例如氧化硅、氮化硅、其组合或类似者,且可根据可接受的技术进行沉积或热生长。虚设栅极层72形成于虚设介电层70上方,且罩幕层74形成于虚设栅极层72上方。虚设栅极层72可沉积于虚设介电层70上方且接着通过诸如化学机械研磨进行平坦化。罩幕层74可沉积于虚设栅极层72上方。虚设栅极层72可是导电或不导电材料,且可选自包括以下各者的群组:非晶硅(amorphous silicon)、多晶硅(polycrystalline-silicon, polysilicon)、多晶硅锗(poly-crystalline silicon-germanium; poly-SiGe)、金属氮化物、金属硅化物、金属氧化物及金属。虚设栅极层72可通过物理气相沉积(physical vapor deposition; PVD)、化学气相沉积、溅射沉积(sputter deposition)或其他用于沉积所选材料的技术进行沉积。虚设栅极层72可由针对隔离区蚀刻具有高蚀刻选择性的其他材料制成。罩幕层74可包括例如氮化硅、氧氮化硅或类似者。在此实例中,横跨n型区50N及p型区50P形成单个虚设栅极层72及单个罩幕层74。应理解,仅出于例示目的,绘示虚设介电层70仅覆盖鳍片66及纳米结构55。在一些实施例中,可沉积虚设介电层70,使得虚设介电层70覆盖浅沟槽隔离区68,使得虚设介电层70在虚设栅极层72与浅沟槽隔离区68之间延伸。

[0140] 图6A至图28C例示实施例设备制造中的各种额外步骤。图6A至图18C例示n型区50N或p型区50P中的特征。在图6A至图6C中,罩幕层74(参见图5)可使用可接受的光微影及蚀刻技术进行图案化来形成罩幕78。罩幕78的图案接着可被转印至虚设栅极层72及虚设介电层70来分别形成虚设栅极76及虚设栅极介电质71。虚设栅极76覆盖鳍片66的各别通

道区。罩幕78 的图案可用来实体分离每个虚设栅极76与相邻的虚设栅极76。虚设栅极76亦可具有实质上与各别鳍片66的长度方向垂直的长度方向。

[0141] 在图7A至图7C中,第一间隔物层80及第二间隔物层82形成于图6A 至图6C中所示的结构上方。第一间隔物层80及第二间隔物层82后续将被图案化来充当用于形成自对准源极/漏极区的间隔物。在图7A至图7C中,第一 间隔物层80形成于浅沟槽隔离区68的顶表面上;鳍片66、纳米结构55及罩 幕78的顶表面及侧壁上;及虚设栅极76及虚设栅极介电质71的侧壁上。第二间隔物层82沉积于第一间隔物层80上方。第一间隔物层80可使用诸如热氧化的技术由氧化硅、氮化硅、氮氧化硅或类似者形成或通过化学气相沉积、原子层沉积或类似者进行沉积。第二间隔物层82可由蚀刻速率与第一间隔物 层80的材料不同的材料,诸如氧化硅、氮化硅、氮氧化硅或类似者形成,并 且可通过化学气相沉积、原子层沉积或类似者进行沉积。

[0142] 在形成第一间隔物层80之后且在形成第二间隔物层82之前,可执行用于 轻度掺杂源极/漏极(lightly doped drain;LDD)区(未单独例示)的布植。在具有 不同设备类型的实施例中,与上文在图4中论述的布植类似,诸如光阻剂的罩 幕可形成于n型区50N上方,同时暴露p型区50P,并且可将合适类型(例如, p型)的杂质布植于p型区50P中所暴露的鳍片66及纳米结构55。接着可移除 罩幕。随后,诸如光阻剂的罩幕可形成于p型区50P上方,同时暴露n型区 50N,并且可将合适类型的杂质(例如,n型杂质)布植于n型区50N中所暴露 的鳍片66及纳米结构55。接着可移除罩幕。n型杂质可是前文论述的n型杂 质的任一者,且p型杂质可是前文论述的p型杂质的任一者。轻度掺杂的源极 /漏极区可具有范围为大约 1×10^{15} 原子/cm³至大约 1×10^{19} 原子/cm³的杂质浓度。退火可用来修复布植损伤且活化布植的杂质。

[0143] 在图8A至图8C中,蚀刻第一间隔物层80及第二间隔物层82来形成第 一间隔物81及第二间隔物83。如下文将更详细地进行论述,第一间隔物81 及第二间隔物83用来使后续形成的源极/漏极区自对准以及在后续处理过程中 保护鳍片66及/或纳米结构55的侧壁。可使用诸如各向同性蚀刻制程(例如, 湿式蚀刻制程)、各向异性蚀刻制程(例如,干式蚀刻 制程)或类似者的合适的蚀 刻制程来蚀刻第一间隔物层80及第二间隔物层82。在一些实施例中,与第一 间隔物层80的材料相比,第二间隔物层82的材料具有不同的蚀刻速率,使得 第一间隔物层80可在图案化第二间隔物层82时充当蚀刻终止层,且使得第二 间隔物层82可在图案化第一间隔物层80时充当罩幕。举例而言,可使用各向 异性蚀刻制程来蚀刻第二 间隔物层82,其中第一间隔物层80充当蚀刻终止层, 其中第二间隔物层82的剩余部分形成 图8B中所示的第二间隔物83。其后, 在蚀刻第一间隔物层80的所暴露的部分时,第二间隔 物83充当罩幕,从而形 成图8B及图8C中所示的第一间隔物81。

[0144] 如图8B中所示,第一间隔物81及第二间隔物83设置于鳍片66及/或纳 米结构55的侧壁上。如图8C中所示,在一些实施例中,第二间隔物层82可 自相邻于罩幕78、虚设栅极76 及虚设栅极介电质71的第一间隔物层80上方 移除,且第一间隔物81设置于罩幕78、虚设栅 极76及虚设栅极介电质60的 侧壁上。在其他实施例中,第二间隔物层82的一部分可剩余在 相邻于罩幕78、虚设栅极76及虚设栅极介电质71的第一间隔物层80上方。

[0145] 应注意,上述揭露大体描述形成间隔物及轻度掺杂漏极区的制程。可使用 其他制程及序列。举例而言,可利用更少或额外间隔物,可利用不同的步骤序 列(例如,可在沉积

第二间隔物层82之前图案化第一间隔物81),可形成并移除额外间隔物及/或类似者。此外,可使用不同结构及步骤形成n型及p型设备。

[0146] 在图9A至图9C中,根据一些实施例,在鳍片66、纳米结构55及基板50中形成第一凹部86及第二凹部87。磊晶源极/漏极区后续将在第一凹部86中形成,且第一磊晶材料及磊晶源极/漏极区后续将在第二凹部87中形成。第一凹部86及第二凹部87可延伸穿过第一纳米结构52及第二纳米结构54并延伸至基板50中。如图9B中所示,浅沟槽隔离区68的顶表面可与第一凹部86的底表面平齐。在各种实施例中,可蚀刻鳍片66,使得第一凹部86的底表面设置成低于浅沟槽隔离区68的顶表面。第二凹部87的底表面可设置在第一凹部的底表面及浅沟槽隔离区68的顶表面下方。可通过使用诸如反应离子蚀刻、中性束蚀刻或类似者的各向异性蚀刻制程蚀刻鳍片66、纳米结构55及基板50来形成第一凹部86及第二凹部87。在用于形成第一凹部86及第二凹部87的蚀刻制程期间,第一间隔物81、第二间隔物83及罩幕78遮蔽鳍片66、纳米结构55及基板50的数个部分。可使用单个蚀刻制程或多个蚀刻制程来蚀刻纳米结构55及/或鳍片66的每一层。可使用定时蚀刻制程以在第一凹部86及第二凹部87达到所要深度之后终止蚀刻。可通过用于蚀刻第一凹部86的相同制程及在蚀刻第一凹部86之前或之后通过额外蚀刻制程来蚀刻第二凹部87。举例而言,在执行针对第二凹部87的额外蚀刻制程同时,可遮蔽对应于第一凹部86的区。

[0147] 在图10A至图10C中,蚀刻由第一凹部86及第二凹部87暴露的由第一半导体材料(例如,第一纳米结构52)形成的多层堆叠64的各层的侧壁的一部分,以形成侧壁凹部88。尽管在图10C中与侧壁凹部88相邻的第一纳米结构52的侧壁例示为直线,但侧壁亦可是凹陷或凸起的。可使用诸如湿式蚀刻或类似者的各向同性蚀刻制程来蚀刻侧壁。在第一纳米结构52包括例如硅锗(SiGe)且第二纳米结构54包括例如硅或碳化硅(SiC)的实施例中,可使用利用四甲基氢氧化铵(tetramethylammonium hydroxide;TMAH)、氢氧化铵(NH₄OH)或类似者的干式蚀刻制程来蚀刻第一纳米结构52的侧壁。

[0148] 在图11A至图11D中,第一内部间隔物90形成于侧壁凹部88中。可通过在图10A至图10C中所示的结构上方沉积内部间隔物层(未单独例示)来形成第一内部间隔物90。第一内部间隔物90充当后续形成的源极/漏极区与栅极结构之间的隔离特征。如下文将更详细地进行论述,源极/漏极区及磊晶材料将在第一凹部86及第二凹部87中形成,而第一纳米结构52将用对应的栅极结构替代。

[0149] 可通过保形沉积制程,诸如化学气相沉积、原子层沉积或类似者来沉积内部间隔物层。内部间隔物层可包含诸如氮化硅或氮氧化硅的材料,但是可利用任何合适的材料,诸如k值小于约3.5的低介电常数(低k)材料。接着可各向异性地蚀刻内部间隔物层以形成第一内部间隔物90。尽管第一内部间隔物90的外部侧壁被例示为与第二纳米结构54的侧壁相平,但是第一内部间隔物90的外部侧壁可延伸超过第二纳米结构54的侧壁或自该侧壁凹入。

[0150] 此外,尽管第一内部间隔物90的外部侧壁在图11C中被例示为直线,但是第一内部间隔物90的外部侧壁亦可是凹陷或凸起的。作为实例,图11D例示第一纳米结构52的侧壁为凹陷的实施例,第一内部间隔物90的外部侧壁为凹陷的,且第一内部间隔物90自第二纳米结构54的侧壁凹入。可通过各向异性蚀刻制程,诸如反应离子蚀刻、中性束蚀刻或类似者来蚀刻内部间隔物层。第一内部间隔物90可用来防止通过后续蚀刻制程(诸如用于形

成栅极结构的蚀刻制程)对后续形成的源极/漏极区(诸如下文关于图12A至图12E所论述的磊晶源极/漏极区92)的损伤。

[0151] 在图12A至图12E中,第一磊晶材料91形成于第二凹部87中,且磊晶源极/漏极区92形成于第一凹部86及第二凹部87中。在一些实施例中,第一磊晶材料91可是牺牲材料,该牺牲材料后续被移除以形成背侧通孔(诸如下文关于图26A至图26C所论述的背侧通孔130)。如图12B至图12E中所示,第一磊晶材料91的顶表面可与第一凹部86的底表面平齐。然而,在一些实施例中,第一磊晶材料91的顶表面可设置成在第一凹部86的底表面上方或下方。可使用诸如化学气相沉积、原子层沉积、气相磊晶、分子束磊晶或类似者的制程来在第二凹部87中磊晶生长第一磊晶材料91。第一磊晶材料91可包括任何可接受的材料,诸如硅锗或类似者。第一磊晶材料91可由对磊晶源极/漏极区92及介电层(诸如下文关于图24A至图24C所论述的浅沟槽隔离区68及第二介电层125)的材料具有高蚀刻选择性的材料形成。因此,第一磊晶材料91可在不显著移除磊晶源极/漏极区92及介电层的情况下移除且用背侧通孔替代。类似地,如先前所描述,在第一磊晶材料91形成于第二凹部87中同时,对应于第一凹部86的区可被遮蔽。

[0152] 磊晶源极/漏极区92接着形成于第一凹部86中且第二凹部87中的第一磊晶材料91上方。在一些实施例中,磊晶源极/漏极区92可在第二纳米结构54上施加应力,从而改良效能。如图12C中所示,磊晶源极/漏极区92形成于第一凹部86及第二凹部87中,使得每个虚设栅极76设置于各别邻近的成对磊晶源极/漏极区92之间。在一些实施例中,第一间隔物81用来将磊晶源极/漏极区92与虚设栅极76分离,且第一内部间隔物90用来将磊晶源极/漏极区92与纳米结构55分离适当的横向距离,使得磊晶源极/漏极区92不会与所得纳米场效晶体管之后续形成的栅极发生短路连接。

[0153] 可通过遮蔽p型区50P(例如,p型金氧半导体区)来形成n型区50N(例如,n型金氧半导体区)中的磊晶源极/漏极区92。接着,磊晶源极/漏极区92在n型区50N中的第一凹部86及第二凹部87中磊晶生长。磊晶源极/漏极区92可包括适于n型纳米场效晶体管的任何可接受的材料。举例而言,若第二纳米结构54为硅,则磊晶源极/漏极区92可包括在第二纳米结构54上施加拉伸应变的材料,诸如硅、碳化硅、掺杂磷的碳化硅、磷化硅或类似者。磊晶源极/漏极区92可具有自纳米结构55的各别上表面隆起的表面且可具有小面。

[0154] 可通过遮蔽n型区50N(例如,n型金氧半导体区)来形成p型区50P(例如,p型金氧半导体区)中的磊晶源极/漏极区92。接着,磊晶源极/漏极区92在p型区50P中的第一凹部86及第二凹部87中磊晶生长。磊晶源极/漏极区92可包括适于p型纳米场效晶体管的任何可接受的材料。举例而言,若第一纳米结构52为硅锗,则磊晶源极/漏极区92可包含在第一纳米结构52上施加压缩应变的材料,诸如硅锗、掺杂硼的硅锗、锗、锡锗或类似者。磊晶源极/漏极区92亦可具有自多层堆叠56的各别表面隆起的表面且可具有小面。

[0155] 与前文论述的用于形成轻度掺杂的源极/漏极区继之以进行退火的制程类似,可运用掺杂剂对磊晶源极/漏极区92、第一纳米结构52、第二纳米结构54及/或基板50进行布植以形成源极/漏极区。源极/漏极区可具有在大约 1×10^{19} 原子/cm³与大约 1×10^{21} 原子/cm³之间的杂质浓度。源极/漏极区的n型及/或p型杂质可为前文论述的任何杂质。在一些实施例中,磊晶源极/漏极区92可在生长过程中进行原位掺杂。

[0156] 作为用来在n型区50N及p型区50P中形成磊晶源极/漏极区92的磊晶制程的结果,

磊晶源极/漏极区92的上表面具有横向向外扩展超出纳米结构55 的侧壁的小面。在一些实施例中,此等小面使得同一纳米场效晶体管的相邻磊晶源极/漏极区92合并,如通过图12B所示。在其他实施例中,如图12D所示,完成磊晶制程之后,相邻的磊晶源极/漏极区92保持分离。在图12B及图12D中所示的实施例中,第一间隔物81可形成至浅沟槽隔离区68的顶表面,借此阻挡磊晶生长。在一些其他实施例中,第一间隔物81可覆盖纳米结构55 的侧壁的数个部分以进一步阻挡磊晶生长。在一些其他实施例中,可调整用于形成第一间隔物81的间隔物蚀刻来移除间隔物材料以允许磊晶生长的区延伸至浅沟槽隔离区68的表面。

[0157] 磊晶源极/漏极区92可包含一或多个半导体材料层。举例而言,磊晶源极/漏极区92可包含第一半导体材料层92A,第二半导体材料层92B及第三半导体材料层92C。可将任意数目个半导体材料层用于磊晶源极/漏极区92。第一半导体材料层92A、第二半导体材料层92B及第三半导体材料层92C的每一者可由不同的半导体材料形成且可掺杂达不同的掺杂剂浓度。在一些实施例中,第一半导体材料层92A的掺杂剂浓度可小于第二半导体材料层92B的掺杂剂浓度且大于第三半导体材料层92C的掺杂剂浓度。在磊晶源极/漏极区92包含三个半导体材料层的实施例中,可沉积第一半导体材料层92A,第二半导体材料层92B可沉积在第一半导体材料层92A上方,且第三半导体材料层92C可沉积在第二半导体材料层92B上方。

[0158] 图12E例示实施例,在该实施例中,第一纳米结构52的侧壁为凹陷的,第一内部间隔物90的外部侧壁为凹陷的,且第一内部间隔物90自第二纳米结构54的侧壁凹入。如图12E中所示,磊晶源极/漏极区92可与第一内部间隔物90接触地形成,且可延伸越过第二纳米结构54的侧壁。

[0159] 在图13A至图13C中,第一层间介电质(interlayer dielectric;ILD)96沉积于图12A至图12C中所示的结构上方。第一层间介电质96可由介电材料形成,且可通过诸如化学气相沉积、电浆增强化学气相沉积(plasma-enhanced chemical vapor deposition;PECVD)或流动化学气相沉积的任何合适的方法进行沉积。介电材料可包括磷硅玻璃(phospho-silicate glass;PSG)、硼硅玻璃(boro-silicate glass;BSG)、硼磷硅玻璃(boron-doped phospho-silicate glass;BPSG)、无掺杂硅玻璃(undoped silicate glass;USG)或类似者。可使用通过任何可接受的制程形成的其他绝缘材料。在一些实施例中,接触蚀刻终止层(contact etch stop layer;CESL)94设置于第一层间介电质96与磊晶源极/漏极区92、罩幕78及第一间隔物81之间。接触蚀刻终止层94可包含诸如氮化硅、氧化硅、氮氧化硅或类似者的介电材料,该介电材料具有不同于上覆第一层间介电质96的材料的蚀刻速率。

[0160] 在图14A至图14C中,可执行诸如化学机械研磨的平坦化制程以使第一层间介电质96的顶表面与虚设栅极76或罩幕78的顶表面平齐。平坦化制程亦可移除虚设栅极76上的罩幕78及第一间隔物81的沿罩幕78的侧壁的数个部分。在平坦化制程之后,虚设栅极76、第一间隔物81及第一层间介电质96的顶表面在制程变化内互相平齐。因此,虚设栅极76的顶表面通过第一层间介电质96暴露。在一些实施例中,可保留罩幕78,此情形下,平坦化制程使第一层间介电质96的顶表面与罩幕78及第一间隔物81的顶表面平齐。

[0161] 在图15A至图15C中,虚设栅极76及罩幕78(若存在)在一或多个蚀刻步骤中被移除,使得形成第三凹部98。亦移除第三凹部98中虚设栅极介电质60的数个部分。在一些实

上方。栅极电极102材料及栅极介电层100的剩余部分因此形成所得纳米场效晶体管的替代栅极结构。栅极电极102及栅极介电层100可统称为栅极结构103。

[0168] 在图18A至图18C中,栅极结构103(包括栅极介电层100及对应的上覆栅极电极102)经凹入,使得在栅极结构103上方及第一间隔物81的相对部分之间直接形成凹部。包含诸如氮化硅、氮氧化硅或类似者的一或多个介电材料层的栅极罩幕104填充在凹部中,继之以平坦化制程以移除在第一层间介电质96上方延伸的介电材料的过多部分。后续形成的栅极触点(诸如下文关于图20A至图20C所论述的栅极触点114)穿透栅极罩幕104而与凹入的栅极电极102的顶表面接触。

[0169] 如图18A至图18C进一步所例示,第二层间介电质106沉积于第一层间介电质96上方及栅极罩幕104上方。在一些实施例中,第二层间介电质106为通过流动化学气相沉积形成的流动薄膜。在一些实施例中,第二层间介电质106由诸如磷硅玻璃、硼硅玻璃、硼磷硅玻璃、无掺杂硅玻璃或类似者的介电材料形成,且可通过诸如化学气相沉积、电浆增强化学气相沉积或类似者的任何合适方法进行沉积。

[0170] 在图19A至图19C中,蚀刻第二层间介电质106、第一层间介电质96、接触蚀刻终止层94及栅极罩幕104来形成第四凹部108,从而暴露磊晶源极/漏极区92及/或栅极结构103的表面。第四凹部108可通过进行使用诸如反应离子蚀刻、中性束蚀刻或类似者的各向异性蚀刻制程的蚀刻形成。在一些实施例中,第四凹部108可使用第一蚀刻制程蚀刻穿过第二层间介电质106及第一层间介电质96;可使用第二蚀刻制程蚀刻穿过栅极罩幕104;且接着可使用第三蚀刻制程蚀刻穿过接触蚀刻终止层94。可在第二层间介电质106上方形成并图案化诸如光阻剂的罩幕以遮蔽第二层间介电质106的数个部分免受第一蚀刻制程及第二蚀刻制程影响。在一些实施例中,蚀刻制程可为过蚀刻(over-etch),且因此,第四凹部108延伸进磊晶源极/漏极区92及/或栅极结构103中,且第四凹部108的底部可与磊晶源极/漏极区92及/或栅极结构103的顶表面平齐(例如,处于相同位准或与基板50的距离相等)或低于该顶表面(例如,离基板50更近)。尽管图19C例示第四凹部108为在相同横截面中暴露磊晶源极/漏极区92及栅极结构103,但在各种实施例中,磊晶源极/漏极区92及栅极结构103可在不同的横截面中暴露,从而减小后续形成的触点的短路连接风险。

[0171] 在形成第四凹部108之后,在磊晶源极/漏极区92上方形成第一硅化物区110。在一些实施例中,第一硅化物区110通过以下方式形成:首先在磊晶源极/漏极区92的暴露部分上方沉积能够与下伏磊晶源极/漏极区92的半导体材料(例如,硅、硅锗、锗)发生反应的金属(未单独例示)来形成硅化物或锗化物区,该金属是诸如镍、钴、钛、钽、铂、钨、其他贵金属、其他耐火金属、稀土金属或其合金;接着执行热退火制程来形成第一硅化物区110。接着通过例如蚀刻制程移除所沉积金属的未反应部分。尽管将第一硅化物区110称为硅化物区,但第一硅化物区110亦可是锗化物区或硅锗化物区(例如,包含硅化物及锗化物的区)。在一实施例中,第一硅化物区110包含硅化钛(TiSi),且具有大约2nm至大约10nm范围内的厚度。

[0172] 在图20A至图20C中,源极/漏极触点112及栅极触点114(亦称为触点插座)形成于第四凹部108中。源极/漏极触点112及栅极触点114可各自包含诸如阻障层、扩散层及填充材料层的一或多个层。举例而言,在一些实施例中,源极/漏极触点112及栅极触点114各自包括阻障层及导电材料,且各自电连接至下伏导电特征(例如,栅极电极102及/或第一硅

化物区110)。栅极触点114电连接至栅极电极102,且源极/漏极触点112电连接至第一硅化物区110。阻挡层可包括钛、氮化钛、钽、钽氮化物或类似者。导电材料可是铜、铜合金、银、金、钨、钴、铝、镍或类似者。可执行诸如化学机械研磨的平坦化制程以自第二层间介电质106的表面移除过多材料。磊晶源极/漏极区92、第二纳米结构54及栅极结构103(包括栅极介电层100及栅极电极102)可统称为晶体管结构109。晶体管结构109可形成于设备层中,其中第一互连结构(诸如下文关于图21A至图21C所论述之前侧互连结构120)形成于其前侧上方,且第二互连结构(诸如下文关于图27A至图27C所论述的背侧互连结构140)可形成于其背侧上方。尽管设备层被描述为具有纳米场效晶体管,但是其他实施例可包括具有不同类型的晶体管(例如,平面场效晶体管、鳍片式场效晶体管、薄膜晶体管(thin film transistor; TFT)或类似者)的设备层。

[0173] 尽管图20A至图20C例示延伸至磊晶源极/漏极区92中的每一者的源极/漏极触点112,但是可自磊晶源极/漏极区92中的某些磊晶源极/漏极区省略源极/漏极触点112。类似地,尽管图20A至图20C例示栅极触点114延伸至栅极结构103中的每一者,但栅极触点114可自栅极结构103中的某些结构省略。举例而言,如下文更详细地解释,可后续穿过磊晶源极/漏极区92及/或栅极结构103中的一或多者的背侧附接导电特征(例如,背侧通孔或电源轨)。对于此等特定磊晶源极/漏极区92及/或栅极结构103,源极/漏极触点112及/或栅极触点114分别可被省略或者可为未电连接至任何上覆导电接线(诸如下文关于图21A至图21C所论述的第一导电特征122)的虚设触点。

[0174] 图21A至图28C例示晶体管结构109上方形成前侧互连结构及背侧互连结构的中间步骤。前侧互连结构及背侧互连结构可各自包含电连接至形成于基板50及/或晶体管结构109上方的纳米场效晶体管的导电特征。图21A、图22A、图23A、图24A、图25A、图26A、图27A及图28A例示图1中所示的参考横截面A-A'。图21B、图22B、图23B、图24B、图25B、图26B、图27B及图28B例示图1中所示的参考横截面B-B'。图21C、图22C、图23C、图24C、图25C、图26C、图27C及图28C图例示图1中所示的参考横截面C-C'。图21A至图28C中描述的制程步骤可应用于n型区50N及p型区50P两者。如上所提及,背侧导电特征(例如,背侧通孔或如下文更详细地描述的电源轨)可连接至磊晶源极/漏极区92及/或栅极结构103中的一或多者。因此,源极/漏极触点112可视情况自磊晶源极/漏极区92省略。

[0175] 在图21A至图21C中,前侧互连结构120形成于第二层间介电质106上。前侧互连结构120可被称为前侧互连结构,这是因为该前侧互连结构形成于晶体管结构109的前侧(例如,晶体管结构109的形成有主动设备的一侧)上。

[0176] 前侧互连结构120可包含形成于一或多个堆叠的第一介电层124中的一或多层第一导电特征122。堆叠的第一介电层124中的每一者可包含诸如低k介电材料、超低k(extra low-k; ELK)介电材料或类似者的介电材料。可使用诸如化学气相沉积、原子层沉积、物理气相沉积、电浆增强化学气相沉积或类似者的适当制程来沉积第一介电层124。

[0177] 第一导电特征122可包含导电接线及使导电接线层互连的导电通孔。导电通孔可延伸穿过第一介电层124中的各别第一介电层以在导电接线层之间提供垂直连接。可通过诸如镶嵌制程、双重镶嵌制程或类似者的任何可接受制程来形成第一导电特征122。

[0178] 在一些实施例中,可使用镶嵌制程来形成第一导电特征122,在镶嵌制程中利用光微影及蚀刻技术的组合来对各别第一介电层124进行图案化以形成对应于第一导电特

征122的所要图案的沟槽。可沉积可选扩散阻挡层及/或可选粘合层且接着可用导电材料填充沟槽。用于阻挡层的合适材料包括钛、氮化钛、氧化钛、钽、氮化钽、其组合或类似者，且用于导电材料的合适材料包括铜、银、金、钨、铝、其组合或类似者。在一实施例中，可通过沉积铜或铜合金的晶种层且通过电镀填充沟槽来形成第一导电特征122。化学机械平坦化(chemical mechanical planarization;CMP)制程或类似者可用于自各别第一介电层124的表面移除过多导电材料且平坦化第一介电层124及第一导电特征122的表面以供后续处理。

[0179] 图21A至图21C例示前侧互连结构120中五个第一导电特征122层及五个第一介电层124。然而，应了解，前侧互连结构120可包含设置在任意数目个第一介电层124中的任意数目个第一导电特征122。前侧互连结构120可电连接至栅极触点114及源极/漏极触点112以形成功能电路。在一些实施例中，由前侧互连结构120形成的功能电路可包含逻辑电路、记忆电路、影像感测电路或类似者。

[0180] 在图22A至图22C中，通过第一接合层152A及第二接合层152B(统称为接合层152)将载体基板150接合至前侧互连结构120的顶表面。载体基板150可是玻璃载体基板、陶瓷载体基板、晶圆(例如，硅晶圆)或类似者。载体基板150可在后续处理步骤期间以及在完成的设备中提供结构支撑。

[0181] 在各种实施例中，可使用诸如介电质对介电质接合或类似者的合适技术将载体基板150接合到前侧互连结构120。介电质对介电质接合可包含使第一接合层152A沉积在前侧互连结构120上。在一些实施例中，第一接合层152A包含通过化学气相沉积、原子层沉积、物理气相沉积或类似者沉积的氧化硅(例如，高密度电浆(high density plasma;HDP)氧化物或类似者)。第二接合层152B同样可是在使用例如化学气相沉积、原子层沉积、物理气相沉积、热氧化或类似者进行接合之前形成于载体基板150的表面上的氧化物层。其他合适的材料可用于第一接合层152A及第二接合层152B。

[0182] 介电质对介电质接合制程可进一步包括对第一接合层152A及第二接合层152B中的一或多者应用表面处理。表面处理可包括电浆处理。电浆处理可在真空环境中执行。在电浆处理之后，表面处理可进一步包括可应用至接合层152中的一或多者的清洗制程(例如，用去离子水或类似者冲洗)。接着，将载体基板150与前侧互连结构120对准，且将两者彼此压靠以起始载体基板150至前侧互连结构120的预接合。可在室温(例如，在大约21°C与大约25°C之间)下执行预接合。在预接合之后，可通过例如将前侧互连结构120及载体基板150加热至例如大约170°C至大约400°C的温度来应用退火制程。

[0183] 进一步地，在图22A至图22C中，在将载体基板150接合到前侧互连结构120之后，可翻转设备，使得晶体管结构109的背侧面向上。晶体管结构109的背侧可指与晶体管结构109的在其上形成主动设备的前侧相对的一侧。

[0184] 在图23A至图23C中，可将薄化制程应用于基板50的背侧。薄化制程可包含平坦化制程(例如，机械磨削、化学机械平坦化或类似者)、回蚀制程、其组合，或类似者。薄化制程可暴露第一磊晶材料91的与前侧互连结构120相背对的表面。另外，基板50的一部分在薄化制程之后可保持于栅极结构103(例如，栅极电极102及栅极介电层100)以及纳米结构55上方。如图23A至图23C中所示，基板50的背侧表面、第一磊晶材料91、浅沟槽隔离区68及鳍片66在薄化制程之后彼此平齐。

[0185] 在图24A至图24C中,鳍片66及基板50的剩余部分经移除且用第二介电层125替代。鳍片66及基板50可使用合适蚀刻制程,诸如各向同性蚀刻制程(例如,湿式蚀刻制程)、各向异性蚀刻制程(例如,干式蚀刻制程)或类似者来蚀刻。蚀刻制程可为对于鳍片66及基板50的材料是选择性(例如,相较于浅沟槽隔离区68、栅极介电层100、磊晶源极/漏极区92及第一磊晶材料91以较快速率蚀刻鳍片66及基板50的材料)的蚀刻制程。在蚀刻鳍片66及基板50之后,浅沟槽隔离区68、栅极介电层100、磊晶源极/漏极区92及第一磊晶材料91的表面可被暴露。

[0186] 第二介电层125接着于凹部中沉积于晶体管结构109的背侧上,这些凹部通过移除鳍片66及基板50来形成。第二介电层125可沉积于浅沟槽隔离区68、栅极介电层100及磊晶源极/漏极区92上方。第二介电层125可与浅沟槽隔离区68、栅极介电层100、磊晶源极/漏极区92及第一磊晶材料91的表面实体接触。第二介电层125可大体上类似于上文关于图18A至图18C描述的第二层间介电质106。举例而言,第二介电层125可由与第二层间介电质106类似的材料且使用类似制程来形成。如图24A至图24C中所示,化学机械平坦化制程或类似者可用以移除第二介电层125的材料,使得第二介电层125的顶表面与浅沟槽隔离区68及第一磊晶材料91的顶表面平齐。

[0187] 在图25A至图25C中,第一磊晶材料91经移除以形成第五凹部128,且第二硅化物区129形成于第五凹部128中。第一磊晶材料91可通过合适蚀刻制程来移除,该蚀刻制程可为各向同性蚀刻制程,诸如湿式蚀刻制程。蚀刻制程对于第一磊晶材料91的材料可具有高蚀刻选择性。因此,第一磊晶材料91可经移除而不显著地移除第二介电层125、浅沟槽隔离区68或磊晶源极/漏极区92的材料。第五凹部128可暴露浅沟槽隔离区68的侧壁、磊晶源极/漏极区92的背侧表面,及第二介电层125的侧壁。

[0188] 第二硅化物区129可接着于磊晶源极/漏极区92的背侧上的第五凹部128中形成。第二硅化物区129可类似于上文关于图19A至图19C所描述的第一硅化物区110。举例而言,第二硅化物区129可由类似于第一硅化物区110的材料且使用类似制程来形成。

[0189] 在图26A至图26C中,背侧通孔130形成于第五凹部128中。背侧通孔130可延伸穿过第二介电层125及浅沟槽隔离区68,且可经由第二硅化物区129电连接至磊晶源极/漏极区92。背侧通孔130可类似于上文关于图20A至图20C描述的源极/漏极触点112。举例而言,背侧通孔130可由类似于源极/漏极触点112的材料且使用类似制程来形成。平坦化制程(例如,化学机械平坦化、磨削、回蚀或类似者)可经执行以移除背侧通孔130的形成于浅沟槽隔离区68及/或第二介电层125上方的过多部分。

[0190] 在图27A至图27C中,背侧互连结构140形成于第二介电层125及浅沟槽隔离区68上。背侧互连结构140可被称为背侧互连结构,这是因为该背侧互连结构形成于晶体管结构109的背侧(例如,基板50及/或晶体管结构109的主动设备形成于上面的相对侧)上。

[0191] 背侧互连结构140可包含形成于一或多个堆叠的第二介电层(例如,第二介电层132A至132C,统称为第二介电层132)中的第二导电特征(例如,导电接线133、导电通孔134、导电接线135、导电通孔136,及导电接线137)的一或多个层。堆叠的第二介电层132中的每一者可包含介电材料,诸如低k介电材料、超低k(extra low-k;ELK)介电材料,或类似者。第二介电层132可使用适当制程,诸如化学气相沉积、原子层沉积、物理气相沉积、电浆增强化学气相沉积或类似者来形成。

[0192] 背侧互连结构140包含互连导电接线133、135及137的数个层的导电通孔134及136。导电通孔134/136可延伸穿过第二介电层132中的各别介电层以提供导电接线133/135/137的数个层之间的垂直连接。举例而言,导电通孔134可将导电接线133耦接至导电接线135,且导电通孔136可将导电接线135耦接至导电接线137。导电接线133/135/137及导电通孔134/136可使用如上文结合第一导电特征122描述的类似制程及类似材料,包括单一或双重镶嵌制程、经由任何可接受的制程或类似者来形成。

[0193] 导电接线133形成于第二介电层132A中。形成导电接线133可包括使用例如光微影制程及蚀刻制程的组合图案化第二介电层132A中的凹部。第二介电层132A中凹部的图案可对应于导电接线133的图案。接着通过在凹部中沉积导电材料来形成导电接线133。在一些实施例中,导电接线133包含金属层,该金属层可是单层或包含由不同材料形成的多个子层的复合层。在一些实施例中,导电接线133包含铜、铝、钴、钨、钛、钽、钿或类似者。可沉积可选扩散阻挡层及/或可选粘合层,之后用导电材料填充凹部。用于阻挡层/粘合层的合适的材料包括钛、氮化钛、氧化钛、钽、氮化钽或类似者。导电接线133可使用例如化学气相沉积、原子层沉积、物理气相沉积、电镀或类似者来形成。导电接线133穿过背侧通孔130及第二硅化物区129电连接至磊晶源极/漏极区92。平坦化制程(例如,化学机械平坦化、磨削、回蚀或类似者)可被执行以移除导电接线133的形成于第二介电层132A上方的过多部分。

[0194] 导电接线135及137以及导电通孔134及136可使用类似材料以类似方式形成。在一些实施例中,导电接线133穿过第二介电层132A以单一镶嵌制程形成,而导电接线135及导电通孔134穿过第二介电层132B以双重镶嵌制程形成,且第二接线137及导电通孔136亦穿过第二介电层132C以双重镶嵌制程形成。

[0195] 图27A至图27C例示背侧互连结构140中第二导电接线133/135/137的三个层及第二介电层132A/132B/132C的三个层。然而,应了解,背侧互连结构140可包含设置于任何数目个第二介电层132中的任何数目个导电接线及导电通孔。背侧互连结构140可电连接至背侧通孔130以形成功能电路。在一些实施例中,通过背侧互连结构140结合前侧互连结构120形成的功能电路可包含逻辑电路、记忆电路、影像感测器电路或类似者。

[0196] 下文更详细地所论述,第二介电层132B中的导电接线135可包含电源轨及信号接线(结合图27A至图27C且其后分离地识别并标记)。电源轨可用以提供电压源至集成电路,且信号接线可用以在集成电路的元件之间传输信号。

[0197] 在图28A至图28C中,钝化层144、焊球下金属(under bump metallurgies;UBM)146及外部连接器148形成于背侧互连结构140上方。钝化层144可包含诸如聚苯并咪唑(polybenzoxazole;PBO)、聚亚酰胺、苯并环丁烯(benzocyclobutene;BCB)或类似者的聚合物。替代地,钝化层144可包括非有机介电材料,诸如氧化硅、氮化硅、碳化硅、氮氧化硅或类似者。钝化层144可通过例如化学气相沉积、物理气相沉积、原子层沉积或类似者沉积。

[0198] 焊球下金属146在背侧互连结构140中于导电接线137及第二介电层132C上方穿过钝化层144形成,且外部连接器148形成于焊球下金属146上。在不形成导电接线137的一些实施例中,钝化层144直接形成于导电接线135及第二介电层132B上方。焊球下金属146可包含通过电镀制程或类似者形成的一或多层铜、镍、金或类似者。外部连接器148(例如,

焊球)形成于焊球下金属 146上。外部连接器148的形成可包括将焊球放置在焊球下金属 146的暴露部分上且使焊球回流。在一些实施例中,外部连接器148的形成包括执行电镀步骤以在最上层导电接线137上方形成焊料区且接着使焊料区回流。焊球下金属 146及外部连接器148可用于提供与其他电组件的输入/输出连接,该其他电组件是诸如其他设备晶粒、再分配结构、印刷电路板(printed circuit board;PCB)、母板或类似者。焊球下金属 146及外部连接器148亦可被称为背侧输入/输出垫,该背侧输入/输出垫可向上述纳米场效应晶体管提供信号、电源电压及/或电源接地连接。

[0199] 图29A至图29B例示背侧布线,包括背侧互连结构140的例示性布局。背侧互连结构140可包含用于对应布线的电源区140P及信号区140S以是大体上彼此分离的。信号区140S包括晶体管结构109(例如,磊晶源极/漏极区92及/或栅极结构103,诸如栅极电极102)及背侧通孔130至导电接线135的布线。电源区140P包括自晶体管结构109及背侧通孔130至电源轨135P的布线。

[0200] 图29A至图29B例示自晶体管结构109至信号接线135S及电源轨135P的包括背侧互连结构140的背侧布线的例示性布局。根据一些实施例,信号接线135S及电源轨135P为导电接线135的数个部分。然而,熟悉此项技术者应理解,信号接线及/或电源轨替代而言可形成为其他导电接线,诸如导电接线133及导电接线137的部分。通过在导电接线135之间,诸如在导电接线的同一阶层内形成信号接线135S及电源轨135P,导电接线133可更大复杂性及密度自晶体管结构109布线至信号接线135S及电源轨135P。

[0201] 如进一步例示,背侧互连结构140可分离成多个信号区140S及电源区140P。信号区140S大体上或整个含有自一些晶体管结构109至信号接线135S的布线。电源区140P大体上或整个含有自其他晶体管结构109至电源轨135P的布线。分离信号区140S与电源区140P之间的背侧布线达成益处,诸如减小电源区140P的更宽布线对信号区140S的更狭窄布线可具有的寄生电容的效应。根据一些实施例,电源区140P的布线大体上直接形成于对应晶体管结构109上方,以便使电源区140P的侧向宽度最小化。此设计布局经由信号区140S提供可用于布线中的密度的更多侧向空间及复杂性。

[0202] 参看图29A,第一磊晶源极/漏极区92A、第二磊晶源极/漏极区92B、第三磊晶源极/漏极区92C及第四磊晶源极/漏极区92D中的每一者可电连接至背侧互连结构140。为了简单,磊晶源极/漏极区92A/92B/92C/92D例示为相邻于彼此且是在同一B-B'横截面中。然而,熟悉此项技术者应理解,磊晶源极/漏极区92A/92B/92C/92D中的一些或全部可并非相邻于彼此及/或定位于不同B-B'横截面图中。

[0203] 在相邻的磊晶源极/漏极区92A/92B/92C/92D的状况下,磊晶源极/漏极区92A/92B/92C/92D可通过一或多个混合式鳍片161分离。混合式鳍片161可通过在多层堆叠64中蚀刻出凹部在形成鳍片66(参见图4)之后且在形成虚设栅极76(参见图5)之前来形成。混合式鳍片161可接着通过使用保形沉积制程,诸如化学气相沉积、原子层沉积、电浆增强化学气相沉积或类似者在鳍片66的侧壁上沉积牺牲层(未独立例示)来形成。在一些实施例中,牺牲材料为具有与第一半导体材料或第二半导体材料相同的材料成份的半导体材料(例如,硅锗、硅或类似者)。牺牲材料可界定牺牲材料上方在鳍片66之间且牺牲材料的侧壁之间的凹部。一或多个绝缘材料沉积于凹部中以形成混合式鳍片161。举例而言,衬里及填充材料(未独立例示)可通过化学气相沉积、原子层沉积、电浆增强化学气相沉积或类似

者沉积于凹部中。衬里可包含低k材料,诸如氧化物、碳氧化硅(SiOC)、硅氧碳氮化物(SiOCN)、氮氧化硅(SiON)或类似者,且填充材料可包含氧化物,诸如可流动化学气相沉积或类似者(未具体说明的分离组份)。在一些实施例中,衬里及填充材料的一部分可经部分蚀刻,且高k材料,诸如氧化铪(HfO)、氧化锆(ZrO)或类似者可于衬里及填充材料上方沉积于该凹部中。

[0204] 混合式鳍片161提供相邻磊晶源极/漏极区92之间的绝缘边界,这些源极/漏极区可具有不同导电类型。在形成了混合式鳍片161之后,牺牲材料可与移除第一半导体材料及/或第二半导体材料同时被移除以界定纳米结构55。在一些实施例中,磊晶源极/漏极区92可接触混合式鳍片161的侧壁,且第一层间介电质96的一部分可沉积于混合式鳍片161与浅沟槽隔离区68之间。

[0205] 如所例示,第一磊晶源极/漏极区92A及第四磊晶源极/漏极区92D可经由背侧互连结构140的不同电源区140P耦接至电源轨135P。第一磊晶源极/漏极区92A及第四磊晶源极/漏极区92D因此可不需要至前侧互连结构120的源极/漏极触点112。此外,第二磊晶源极/漏极区92B及第三磊晶源极/漏极区92C可经由背侧互连结构140的同一信号区140S耦接至信号接线135S。如上文所述,电源区140P的大体上垂直的布局提供更多可用侧向空间用于信号区140S。尽管仅第二磊晶源极/漏极区92B及第三磊晶源极/漏极区92C例示为进一步耦接至前侧互连结构120,但磊晶源极/漏极区92A/92B/92C/92D中的任一者或全部可耦接至前侧互连结构120及背侧互连结构140中的一或两者。类似地,磊晶源极/漏极区92A/92B/92C/92D中的任一者或全部可经由背侧互连结构140耦接至信号接线135S或电源轨135P。请注意,单一集成电路晶粒可包含多个上述组态。

[0206] 参看图29B,如上文结合图27A至图27C所述,额外第二介电层132(例如,第二介电层132C)及额外导电接线(例如,导电接线137)可形成于导电接线135上方以完成背侧互连结构140。此外,如上文结合图28A至图28C所述,钝化层144、焊球下金属146及外部连接器148可形成于背侧互连结构140上方。在一些实施例中,信号区140S限于信号接线135S,此情形意谓,额外介电层132的全部可用于导电接线137以将电源接线135P电耦接至外部连接器148。在并未分离地例示的一些实施例中,额外介电层132的数个部分可用于导电接线137以将信号接线135S中的一些电耦接至外部连接器148中的一些。如所例示,导电接线137、焊球下金属146及外部连接器148具有空间自由度以在必要时在信号区140S的数个部分上方延伸。然而,在一些实施例中,通过电源区140中的一些或全部的布线可保持在对应磊晶源极/漏极区(例如,第一磊晶源极/漏极区92A及第四磊晶源极/漏极区92B)上方大体上垂直地对准。

[0207] 在图30A至图30E中,背侧互连结构140可包含第一晶体管结构109A的第一磊晶源极/漏极区92A(参见图30A)与第二晶体管结构109B的第二磊晶源极/漏极区92B(参见图30B)之间的漏极至漏极信号连接。晶体管结构109A及109B可为晶体管的阵列的部分,且可相邻于彼此或自彼此移位。如所例示,第一磊晶源极/漏极区92A及第二磊晶源极/漏极区92B可经由背侧互连结构140的信号接线135S中的一者电连接至彼此。在并未分离地例示的一些实施例中,信号接线135S可经由焊球下金属145中的一者及外部连接器148中的一者进一步电连接至外部信号源。

[0208] 图30C至图30E例示来自图30A及图30B的第一磊晶源极/漏极区92A及第二磊晶源

极/漏极区92B可如何经由背侧互连结构140电连接至彼此的示意性平面图。举例而言,第一磊晶源极/漏极区92A可耦接至第一背侧通孔130A,且第二磊晶源极/漏极区可耦接至第二背侧通孔130B。此外,第一背侧通孔130A可耦接至第一导电接线133A,且第二背侧通孔130B可耦接至第二导电接线133B。第一导电接线133A及第二导电接线133B中的每一者可分别耦接至第一导电通孔134A及第二导电通孔134B,且彼等导电通孔134A及134B可耦接至信号接线135S。信号接线135S可设置于与其他信号接线135S及电源轨135P相同的介电层(例如,第二介电层132B)中,此情形有利地减小背侧互连结构140中层的数目。此外,如上文所提及,电插入于背侧通孔130与导电接线之间的导电接线133及导电通孔134(例如,信号接线135S及电源轨135P)的额外层允许背侧互连结构140中的更大复杂性及密度。请注意,例示于图30C至图30E中的布局中的一些或全部可形成于同一集成电路晶粒内。

[0209] 图30C、图30D及图30E例示根据一些实施例的用于连接第一磊晶源极/漏极区92A及第二磊晶源极/漏极区与信号接线135S的不同布局。如图30C中所例示,第一磊晶源极/漏极区92A及第二磊晶源极/漏极区92B可为单元,诸如记忆体单元的部分。第一磊晶源极/漏极区92A及第二磊晶源极/漏极区92B可是在彼此附近,但不必相邻。如图30D及图30E中所例示,第一磊晶源极/漏极区92A及第二磊晶源极/漏极区92B可为相同或不同单元的部分,如通过分隔器160所指示。另外,在图30C及图30D中,导电接线133A及导电接线133B可是在信号接线135S的同一侧上,而在图30E中,导电接线133A及导电接线133B可是在信号接线135S的相对侧上。

[0210] 图31A至图31D例示背侧互连结构140的形成,该背侧互连结构包含自第一晶体管结构109A的磊晶源极/漏极区92A至第二晶体管结构109B的栅极结构103B(例如,栅极电极102B)的漏极至栅极信号连接。类似地,如上文关于图24A至图26C所论述,在将载体基板150接合至前侧互连结构120且翻转结构向上使得晶体管结构109面向上之后,基板50的所有或部分可经移除以形成第二介电层125,且第一磊晶材料91可经移除以形成背侧通孔130。图31A例示第一晶体管结构109A的磊晶源极/漏极区92A的B-B'横截面,其中背侧通孔130形成于磊晶源极/漏极区92A上方且延伸穿过第二介电层125。图31B例示沿着第二晶体管结构109B的栅极电极102B的A-A'横截面。

[0211] 参看图31C及图31D,类似地,如上文关于图27A至图27C所论述,背侧互连结构140的数个部分形成于晶体管结构109A及109B上方。举例而言,导电接线133可形成于背侧通孔130(例如,背侧通孔130A)上方且电连接至该背侧通孔。此外,导电通孔134及导电接线135可使用单一镶嵌制程或双重镶嵌制程形成于导电接线133上方且电连接至这些导电接线。

[0212] 形成背侧栅极通孔164可在形成导电通孔134之前、之后或同时形成。类似地,如上文所论述,导电通孔134可例如通过使用光微影与蚀刻制程的组合在第二介电层132B中图案化凹部而形成于第二介电层132B中。类似地,背侧栅极通孔164可包括在第二介电层132B中图案化凹部,该些凹部进一步延伸穿过第二介电层132A、浅沟槽隔离区68及栅极介电质100。此外,用于导电接线135的凹部可经图案化至第二介电层132B中。导电通孔134、背侧栅极通孔164及导电接线135接着通过将导电材料沉积于如上文所论述的凹部中来形成。因此,背侧栅极通孔164耦接栅极电极102至导电接线135。根据其 他实施例,单一镶嵌制程经执行,使得导电通孔134及背侧栅极通孔164在第二介电层132B经图案化以形成

导电接线135之前形成。在导电通孔及背侧栅极通孔164在导电接线135之前形成的一些实施例中,第二介电层132C可沉积于第二介电层132B上方且经图案化以形成导电接线135。

[0213] 如上文所论述,背侧互连结构140的导电接线135包含信号接线135S,该信号接线为导电接线135的可使第一晶体管结构109A的磊晶源极/漏极区92A与第二晶体管结构109B的栅极电极102B之间的漏极至栅极信号连接完整的一部分。因此,磊晶源极/漏极区92A及栅极电极102B经由背侧通孔130、导电接线133、导电通孔134、信号接线135S及背侧栅极通孔164电连接至彼此。如所例示,导电通孔134及背侧栅极通孔164可各自直接耦接至信号接线135S。尽管未具体例示,但背侧互连结构140、焊球下金属146及外部连接器148的剩余部分可如上文所描述而形成以使用于其他布线及其他设备的集成电路完整。

[0214] 图32A至图32H例示经由磊晶源极/漏极区92电连接至前侧互连结构120及背侧互连结构140的晶体管结构109的阵列的示意性横截面图及平面图。请注意,一些细节已自横截面图及平面图省略以强调其他特征且为了易于例示。此外,为了强调,图32A至图32H中例示的一些特征的大小及形状可不同于其他图中彼等类似特征的大小及形状。然而,类似参考数字指示,类似元件使用如上文所论述的类似制程来形成。

[0215] 图32A例示第一磊晶源极/漏极区92A及第二磊晶源极/漏极区92B的是上文论述的横截面B-B'的版本的横截面X-X',且图32B例示第三磊晶源极/漏极区92C及第四磊晶源极/漏极区92D的是上文论述的横截面B-B'的另一版本的横截面Y-Y'。图32C至图32H例示磊晶源极/漏极区92的来自不同阶层(例如,分别为阶层 L_0 、阶层 L_1 、阶层 L_N 、阶层 L_{-1} 、阶层 L_{-2} 及阶层 L_{-N})的平面图。对应横截面X-X'及Y-Y'为了参考在图32C至图32H中标记出。

[0216] 图32C至图32E例示晶体管结构109上方的前侧互连结构120分别在阶层 L_0 、 L_1 及 L_N 处的平面图。参看例示阶层 L_0 处的平面图的图32C,磊晶源极/漏极区92(例如,磊晶源极/漏极区92A/92B/92C/92D)形成于栅极电极102的相对侧处以形成晶体管结构109的数个部分。举例而言,第一磊晶源极/漏极区92A及第三磊晶源极/漏极区92C可设置于第一栅极电极102的相对侧处,且第二磊晶源极/漏极区92B及第四源极/漏极区92D亦可设置于第一栅极电极102的相对侧处。

[0217] 图32D例示阶层 L_0 及 L_1 处的平面图,其中阶层 L_1 包括将磊晶源极/漏极区92电连接至前侧互连结构120的源极/漏极触点112及将栅极电极102电连接至前侧互连结构120的栅极触点114。构成阶层 L_1 的其他特征,诸如第二层间介电质106已被省略以提供阶层 L_0 的更清楚视图。

[0218] 图32E例示阶层 L_0 、 L_1 及 L_N 处的平面图,其中阶层 L_N 表示前侧互连结构120的一或多个层同时省略特定布线的一些细节。第一导电特征122可直接耦接至下伏源极/漏极触点112,或经由电插入于之间的其他特征间接耦接至下伏源极/漏极触点。第一导电特征122可进一步包含虚设第一导电特征122₀。尽管三个功能第一导电特征122予以例示,但熟悉此项技术者应理解,磊晶源极/漏极区92可经由源极/漏极触点112电连接至前侧互连结构120中多于或少于彼等三个功能第一导电特征122的功能第一导电特征。三个第一导电特征122中的每一者可经电连接以递送信号至磊晶源极/漏极区92。

[0219] 图32F至图32H例示晶体管结构109上方背侧互连结构140分别在阶层 L_{-1} 、 L_{-2} 及 L_{-N} 处的平面图。图32F例示处于阶层 L_0 及 L_{-1} 的平面图,其中阶层 L_{-1} 包括电连接至磊晶源极/漏极区92中的每一者的背侧通孔130。可构成阶层 L_{-1} 的其他特征,诸如浅沟槽隔离区68已

被省略以提供阶层 L_0 的更清楚视图。

[0220] 图32G例示处于阶层 L_0 、 L_{-1} 及 L_{-2} 的平面图,其中阶层 L_{-2} 包括电连接至背侧通孔130的导电接线133。构成阶层 L_{-2} 的其他特征,诸如第二介电层132A已被省略以便提供阶层 L_{-1} 及 L_0 的更清楚视图。

[0221] 图32H例示阶层 L_0 、 L_{-1} 、 L_{-2} 及 L_{-N} 处的平面图,其中阶层 L_{-N} 包括导电接线(例如,导电接线135)的一或多个额外层,诸如信号接线135S及电源轨135P,该一或多个额外层经由导电通孔134电连接至导电接线133(未独立例示)。构成阶层 L_{-N} 的其他特征,诸如第二介电层132B已被省略以提供阶层 L_{-2} 、 L_{-1} 及 L_0 的更清楚视图。如图32A及图32H中所例示,第一磊晶源极/漏极区92A及第二磊晶源极/漏极区92B可经由背侧互连结构140耦接至电源轨135P,该电源轨可经由例如外部连接器148(未独立例示)耦接至 V_{DD} 或 V_{SS} 电压。此外,第三磊晶源极/漏极区92C及第四磊晶源极/漏极区92D可经由背侧互连结构140耦接至信号接线135S,该些信号接线可经由背侧互连结构140耦接至集成电路晶粒的其他设备,如上文所论述。

[0222] 图33A至图34C例示用于经由背侧互连结构140将晶体管结构109的阵列电连接至信号接线及电源轨的额外实例。举例而言,图33A至图33C例示通过将具有同一导电类型的设备(例如,p型金氧半导体装置或n型金氧半导体装置)耦接至彼此经由背侧互连结构140的漏极至漏极至漏极信号连接,且图34A至图34C例示通过耦接具有相对导电类型的设备(例如,p型金氧半导体装置至n型金氧半导体装置)经由背侧互连结构140的漏极至漏极信号连接。请注意,例示于图33A至图34C中的布局中的一些或全部可形成于同一集成电路晶粒内。

[0223] 图33A例示晶体管结构109的阵列及前侧互连结构120的平面图,且图33B例示晶体管结构109的阵列及背侧互连结构140的平面图。在各种导电特征中,前侧互连结构120包含耦接具有相对导电类型的两个晶体管结构109以形成p-n接面(例如,n型及p型)的齐纳二极管(zener diode)170。图33C例示针对描绘于图33A及图33B中的晶体管结构109的电路布局图,包括经由前侧互连结构120及背侧互连结构140的电源轨135P/VDD及135P/VSS以及信号接线(例如,第一导电特征122及信号接线135S)。

[0224] 如图33B及图33C中所例示,第一磊晶源极/漏极区92A、第二磊晶源极/漏极区92B及第三磊晶源极/漏极区92C(运用箭头指示为通过本文中描述的其他特征覆盖的区)可经由背侧互连结构140耦接至彼此。详言之,背侧通孔130将磊晶源极/漏极区92A/92B/92C耦接至导电接线133,且导电通孔134将彼等导电接线133耦接至信号接线135S。如进一步例示,经由背侧互连结构140,第四磊晶源极/漏极区92X、第五磊晶源极/漏极区92Y及第六磊晶源极/漏极区92Z耦接至导电接线135的电源轨135P。详言之,第四磊晶源极/漏极区92X耦接至正电压电源轨135P/VDD,而第五磊晶源极/漏极区92Y及第六磊晶源极/漏极区92Z耦接至接地电压电源轨135P/VSS。

[0225] 图34A亦例示晶体管结构109的阵列及前侧互连结构120的平面图,且图34B例示晶体管结构109的阵列及背侧互连结构140的平面图。在各种导电接线中,背侧互连结构140包含耦接具有相对导电类型的两个晶体管结构109以形成p-n接面的齐纳二极管170。图34C例示针对描绘于图34A及图34B中的晶体管结构109的电路布局图,包括经由前侧互连结构120及背侧互连结构140的电源轨135P/VDD及135P/VSS以及信号接线(例如,第一导

电特征 122及信号接线135S)。

[0226] 如图34B及图34C中所例示,第一磊晶源极/漏极区92A及第二磊晶源极/漏极区92B(运用箭头指示为通过本文中描述的其他特征覆盖的区)可经由背侧互连结构140耦接至彼此。详言之,背侧通孔130将彼等磊晶源极/漏极区92A/92B耦接至导电接线133,且导电通孔134将彼等导电接线133耦接至信号接线135S(例如,齐纳二极管170)。如进一步所例示,经由背侧互连结构140,第四磊晶源极/漏极区92X、第五磊晶源极/漏极区92Y及第六磊晶源极/漏极区92Z耦接至导电接线135的电源轨135P。详言之,第四磊晶源极/漏极区92X耦接至正电压电源轨135P/VDD,而第五磊晶源极/漏极区92Y及第六磊晶源极/漏极区92Z耦接至接地电压电源轨135P/VSS。

[0227] 在电连接至前侧互连结构120及背侧互连结构140的晶体管阵列中,晶体管结构109(例如,磊晶源极/漏极区92及/或栅极电极102)可在本文中并未具体描述或例示的多种路径中进行布线。熟悉此项技术者将认识到用于耦接前侧互连结构120及背侧互连结构140以协调至晶体管结构109的电源接线及信号接线的许多变化。

[0228] 实施例可达成优势。举例而言,在背侧互连结构中包括信号接线及电源接线允许经由前侧互连结构及背侧互连结构两者的集成电路连接中的更大多功能性,此情形改良设备效能。详言之,更宽导电接线及导电特征可增大电信号的可靠性及产量。此外,如上文所描述,经由信号区布线背侧互连结构至信号接线且经由电源区布线背侧互连结构至电源轨通过使区之间的寄生电容最小化来改良设备的效能。此外,在形成信号接线及电源轨之前形成导电接线的一或多个阶层增大背侧互连结构的布线的复杂性及电路密度。由于此等益处,半导体装置可在较小区中且以增大的密度形成。

[0229] 在一实施例中,一种形成一结构的方法包括:在一第一基板上方形形成一第一晶体管及一第二晶体管;在该第一晶体管及该第二晶体管上方形成一前侧互连结构;蚀刻该第一基板的至少一背侧以暴露该第一晶体管及该第二晶体管;形成一第一背侧通孔,该第一背侧通孔电连接至该第一晶体管;形成一第二背侧通孔,该第二背侧通孔电连接至该第二晶体管;在该第一背侧通孔及该第二背侧通孔上方沉积一介电层;在该介电层中形成一第一导电接线,该第一导电接线为经由该第一背侧通孔电连接至该第一晶体管的一电源轨;及于该介电层中形成一第二导电接线,该第二导电接线为经由该第二背侧通孔电连接至该第二晶体管的一信号接线。在另一实施例中,该方法进一步包括在该第一背侧通孔上方形成一第三导电接线,该第三导电接线电连接该第一背侧通孔及该第一导电接线;及在该第二背侧通孔上方形成一第四导电接线,该第四导电接线电连接该第二背侧通孔及该第二导电接线。在另一实施例中,该第一导电接线电连接至该第一晶体管的一源极/漏极区,且其中该第二导电接线电连接至该第二晶体管的一源极/漏极区。在另一实施例中,该方法进一步包括在该第一基板上方形形成一第三晶体管的步骤,该第三晶体管的一栅极结构电连接至该第二导电接线。在另一实施例中,该方法进一步包括在该第一基板上方形形成一第三晶体管的步骤,该第三晶体管的一源极/漏极区电连接至该第二导电接线。在另一实施例中,该方法进一步包括在该第一背侧通孔上方形成一第三导电接线的步骤,该第三导电接线电插入于该第一背侧通孔与该第二导电接线之间。在另一实施例中,该方法进一步包括在该第一导电接线上方形成一第四导电接线的步骤,该第四导电接线电连接至该第一晶体管。在另一实施例中,该方法进一步包括在该第四导电接线上方形成一焊球下金

属的步骤;及在该焊球下金属上方形成一外部连接器的步骤。

[0230] 在一些实施例中,此方法进一步包含以下步骤:在第一背侧通孔上方形成第三导电接线,第三导电接线电连接第一背侧通孔及第一导电接线;及在第二背侧通孔上方形成第四导电接线,第四导电接线电连接第二背侧通孔及第二导电接线。

[0231] 在一些实施例中,此方法其中第一导电接线电连接至第一晶体管的源极/漏极区,且其中第二导电接线电连接至第二晶体管的源极/漏极区。

[0232] 在一些实施例中,此方法进一步包含以下步骤:在第一基板上方形形成第三晶体管,第三晶体管的栅极结构电连接至第二导电接线。

[0233] 在一些实施例中,此方法进一步包含以下步骤:在第一基板上方形形成第三晶体管,第三晶体管的源极/漏极区电连接至第二导电接线。

[0234] 在一些实施例中,此方法进一步包含以下步骤:在第一背侧通孔上方形成第三导电接线,第三导电接线电插入于第一背侧通孔与第二导电接线之间。

[0235] 在一些实施例中,此方法进一步包含以下步骤:在第一导电接线上方形成第四导电接线,第四导电接线电连接至第一晶体管。

[0236] 在一些实施例中,此方法进一步包含以下步骤:在第四导电接线上方形成焊球下金属;及在焊球下金属上方形成外部连接器。

[0237] 在一实施例中,一种半导体装置包括:嵌入于一第一介电层中的一电源轨;嵌入于该第一介电层中的一导电信号接线;一第二介电层,该第二介电层设置于该第一介电层上方;一第一背侧通孔,该第一背侧通孔设置于该电源轨上方且电连接至该电源轨;一第一晶体管,该第一晶体管设置于该第一背侧通孔上方且电连接至该第一背侧通孔;一第一栅极触点,该第一栅极触点设置于该第一晶体管的一第一栅极电极上方且电连接至该第一栅极电极;一第二背侧通孔,该第二背侧通孔设置于该导电信号接线上方且电连接至该导电信号接线;及一第二晶体管,该第二晶体管设置于该第二背侧通孔上方且电连接至该第二背侧通孔。在另一实施例中,该第一背侧通孔电连接至该第一晶体管的一第一源极/漏极区。在另一实施例中,该第二背侧通孔电连接至该第二晶体管的一第二源极/漏极区。在另一实施例中,该半导体装置进一步包括:一第三背侧通孔,该第三背侧通孔设置于该导电信号接线上方且电连接至该导电信号接线;及一第三晶体管,该第三晶体管设置于该第三背侧通孔上方且电连接至该第三背侧通孔。在另一实施例中,该半导体装置进一步包括:嵌入于该第二介电层中的一第三通孔,该第三通孔设置于该导电信号接线上方且电连接至该导电信号接线;及一第三导电接线,该第三导电接线电连接该第三通孔及该第三背侧通孔。在另一实施例中,该第一晶体管的一源极/漏极区电连接至该第三晶体管的一栅极电极。在另一实施例中,该第一晶体管的一源极/漏极区电连接至该第三晶体管的一源极/漏极区。在另一实施例中,该第一晶体管的该源极/漏极区及该第三晶体管的该源极/漏极区是在该导电信号接线的相对侧上。

[0238] 在一些实施例中,半导体装置,其中该第一背侧通孔电连接至该第一晶体管的一第一源极/漏极区。

[0239] 在一些实施例中,半导体装置,其中该第二背侧通孔电连接至该第二晶体管的一第二源极/漏极区。

[0240] 在一些实施例中,半导体装置,进一步包含:一第三背侧通孔,该第三背侧通孔设

置于该导电信号接线上方且电连接至该导电信号接线；及一第三晶体管，该第三晶体管设置于该第三背侧通孔上方且电连接至该第三背侧通孔。

[0241] 在一些实施例中，半导体装置，进一步包含：嵌入于该第二介电层中的一第三通孔，该第三通孔设置于该导电信号接线上方且电连接至该导电信号接线；及一第三导电接线，该第三导电接线电连接该第三通孔及该第三背侧通孔。

[0242] 在一些实施例中，半导体装置，其中该第一晶体管的一源极/漏极区电连接至该第三晶体管的一栅极电极。

[0243] 在一些实施例中，半导体装置，其中该第一晶体管的一源极/漏极区电连接至该第三晶体管的一源极/漏极区。

[0244] 在一些实施例中，半导体装置，其中该第一晶体管的该源极/漏极区及该第三晶体管的该源极/漏极区是在该导电信号接线的相对侧上。

[0245] 在一实施例中，一种半导体装置包括：一第一晶体管及一第二晶体管，该第一晶体管及该第二晶体管设置于一第一互连结构上方；一第一通孔，该第一通孔设置于该第一晶体管上方且电连接至该第一晶体管；一第二通孔，该第二通孔设置于该第二晶体管上方且电连接至该第二晶体管；及一第二互连结构，该第二互连结构设置于该第一晶体管及该第二晶体管上方，该第二互连结构包括：嵌入于一第一介电层中的一第一导电接线，该第一导电接线电连接至该第一通孔；一第二导电接线，该第二导电接线嵌入于该第一介电层中，该第二导电接线电连接至该第二通孔；一第二介电层，该第二介电层设置于该第一介电层上方；一电源轨，该电源轨嵌入于该第二介电层中，该电源轨电连接至该第一导电接线；及一导电信号接线，该导电信号接线嵌入于该第二介电层中，该导电信号接线电连接至该第二导电接线。在另一实施例中，该半导体装置进一步包括：一第三晶体管；一第三通孔，该第三通孔设置于该第三晶体管上方且电连接至该第三晶体管；及一第四导电接线，该第四导电接线嵌入于该第一介电层中，该第四导电接线电连接至该导电信号接线。在另一实施例中，该半导体装置进一步包括：一第四晶体管；一第四通孔，该第四通孔设置于该第四晶体管上方且电连接至该第四晶体管；及一第五导电接线，该第五导电接线嵌入于该第一介电层中，该第五导电接线电连接至该导电信号接线。在另一实施例中，该第一晶体管的一源极/漏极区、该第三晶体管的一源极/漏极区及该第四晶体管的一源极/漏极区经电连接。

[0246] 在一些实施例中，半导体装置，进一步包含：一第三晶体管；一第三通孔，该第三通孔设置于该第三晶体管上方且电连接至该第三晶体管；及一第四导电接线，该第四导电接线嵌入于该第一介电层中，该第四导电接线电连接至该导电信号接线。

[0247] 在一些实施例中，半导体装置，进一步包含：一第四晶体管；一第四通孔，该第四通孔设置于该第四晶体管上方且电连接至该第四晶体管；及一第五导电接线，该第五导电接线嵌入于该第一介电层中，该第五导电接线电连接至该导电信号接线。

[0248] 在一些实施例中，半导体装置，其中该第一晶体管的一源极/漏极区、该第三晶体管的一源极/漏极区及该第四晶体管的一源极/漏极区经电连接。

[0249] 前述内容概述若干实施例的特征，使得熟悉此项技术者可更佳地理解本揭露的态样。熟悉此项技术者应了解，其可易于使用本揭露作为用于设计或修改用于实施本文中引入的实施例的相同目的及/或达成相同优势的其他制程及结构的基础。熟悉此项技术者

亦应认识到,此类等效构造并不偏离本揭露的精神及范畴,且此类等效构造可在本文中进行各种改变、取代及替代而不偏离本揭露的精神及范畴。

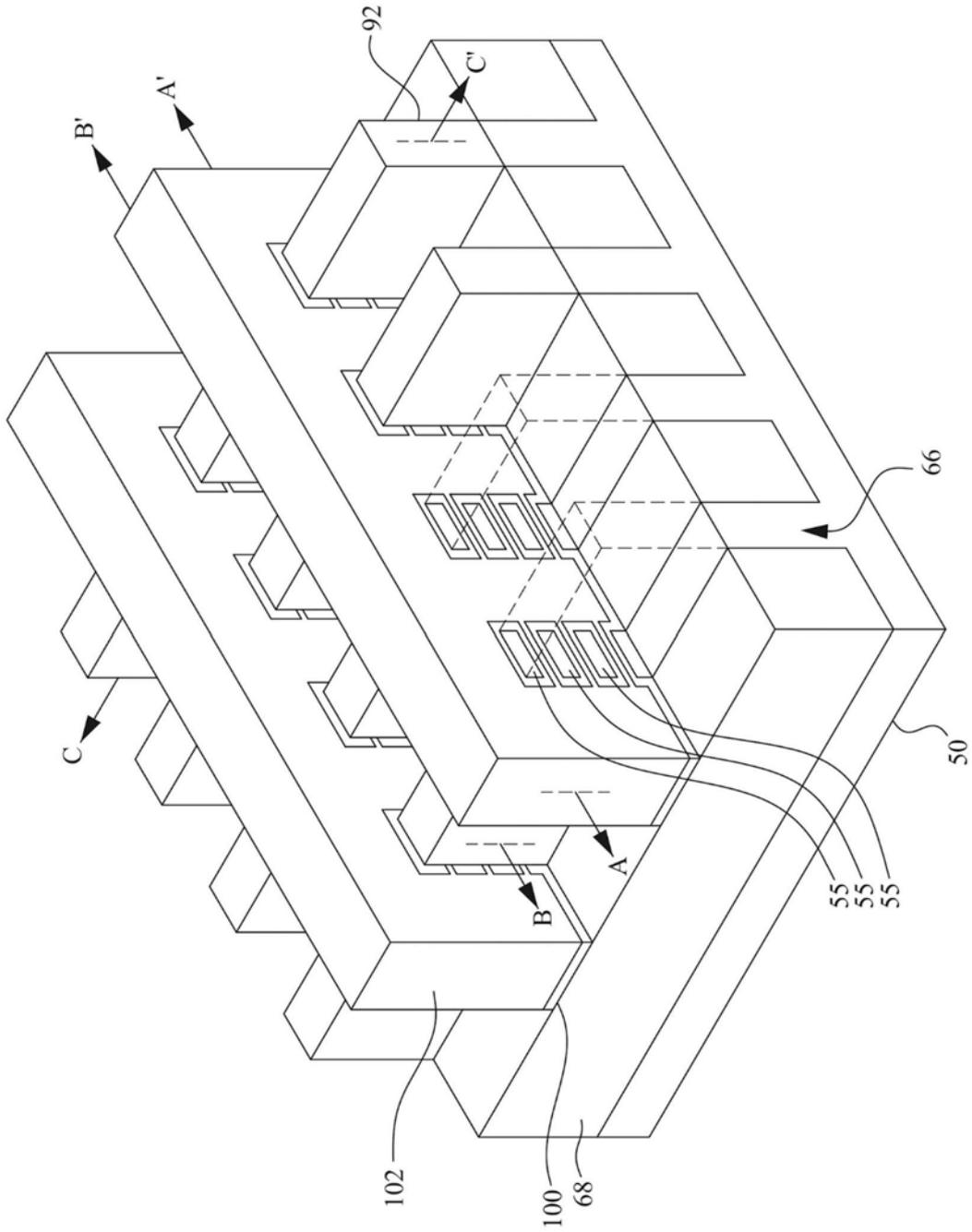


图1

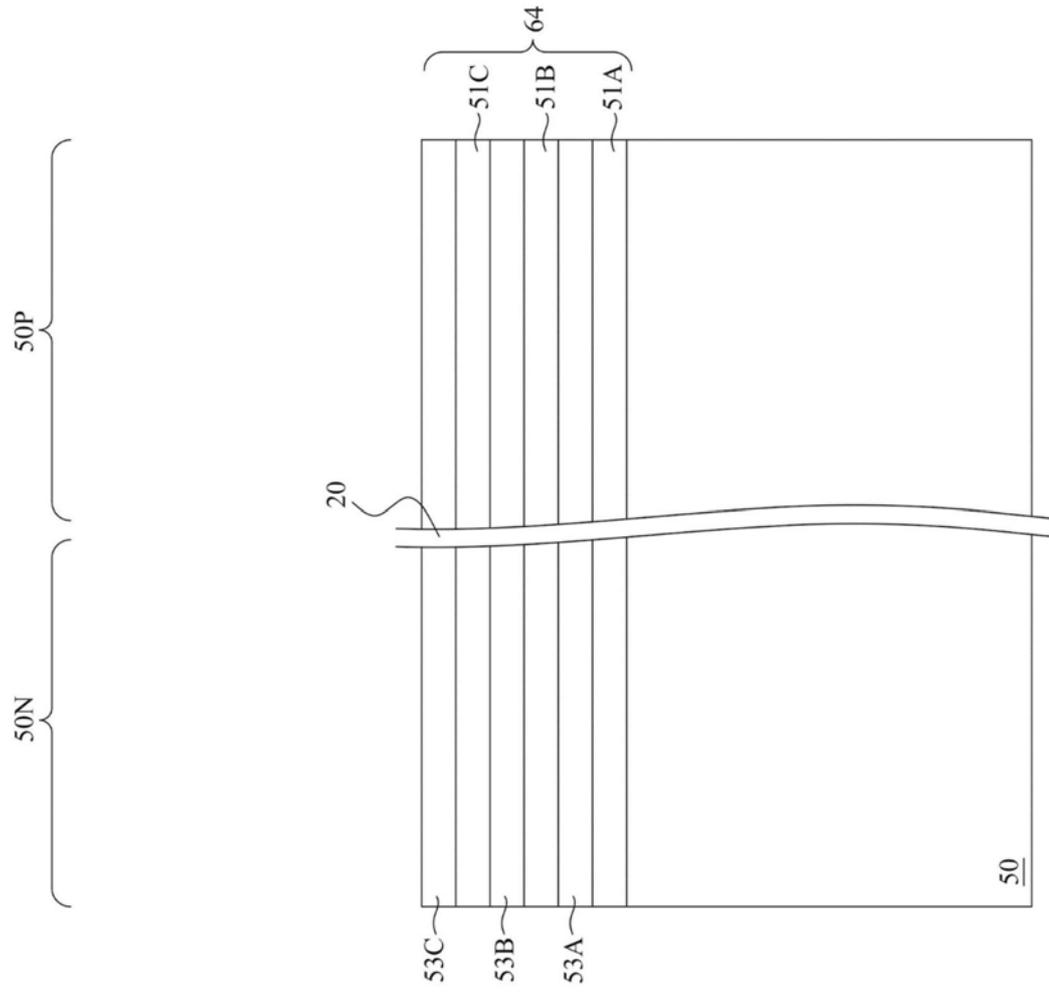


图2

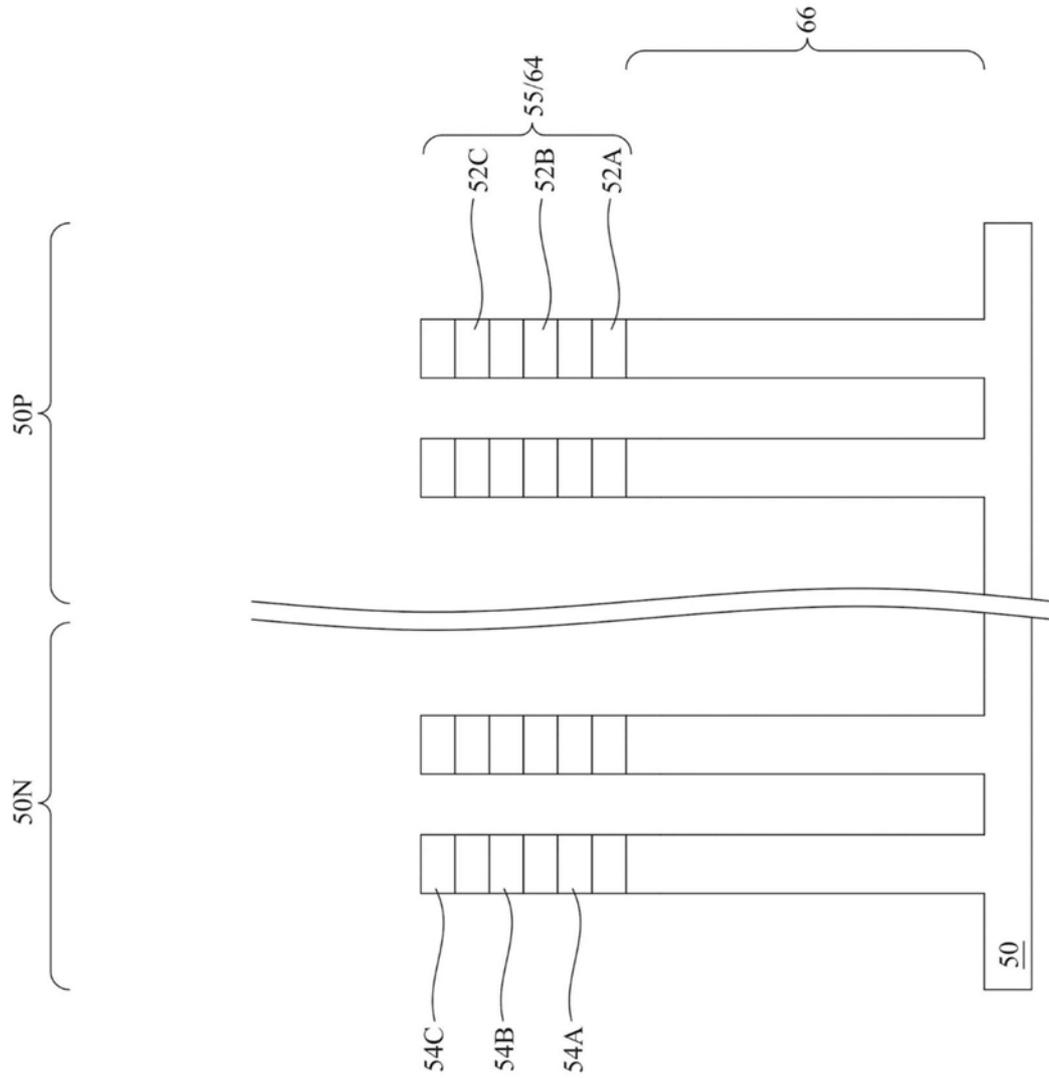


图3

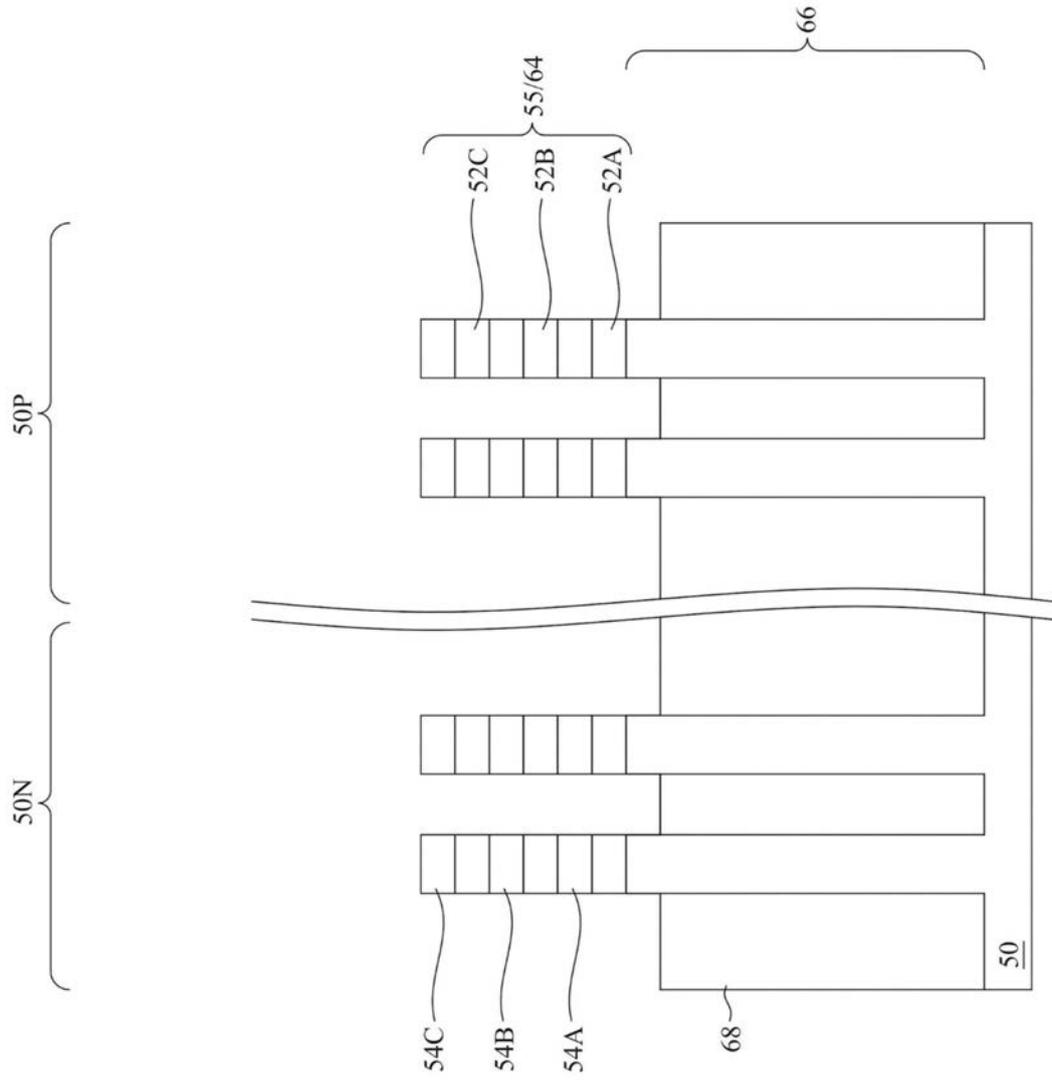


图4

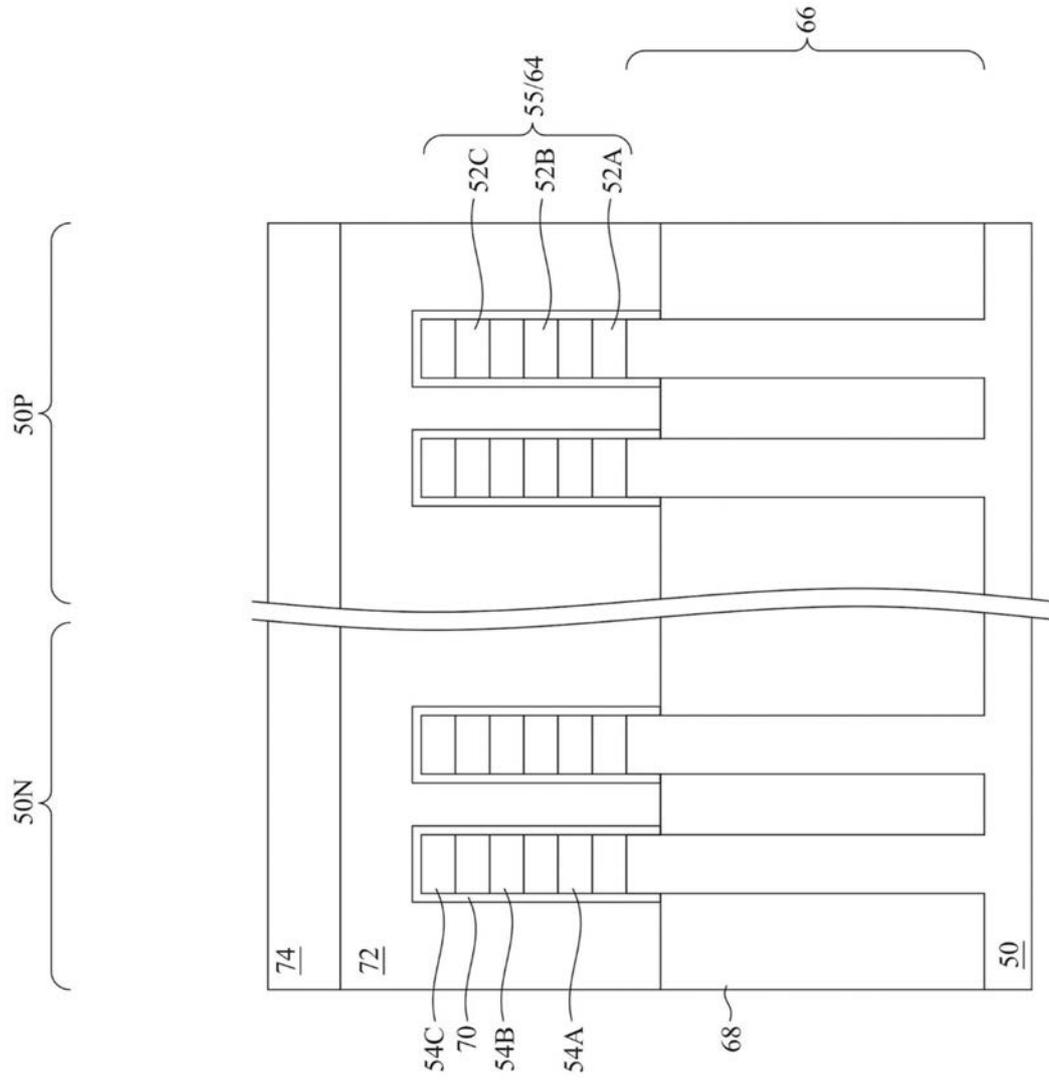


图5

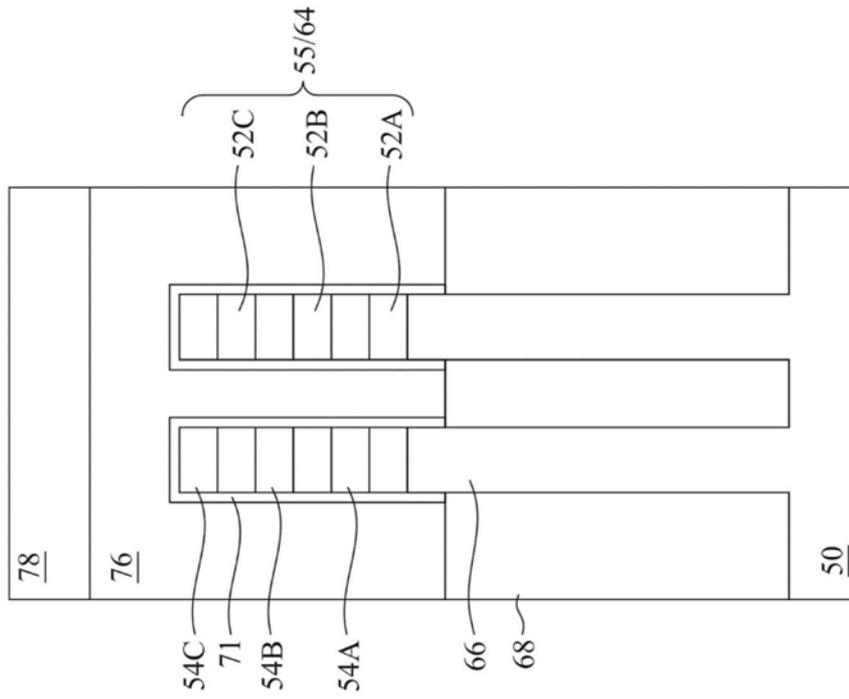


图6A

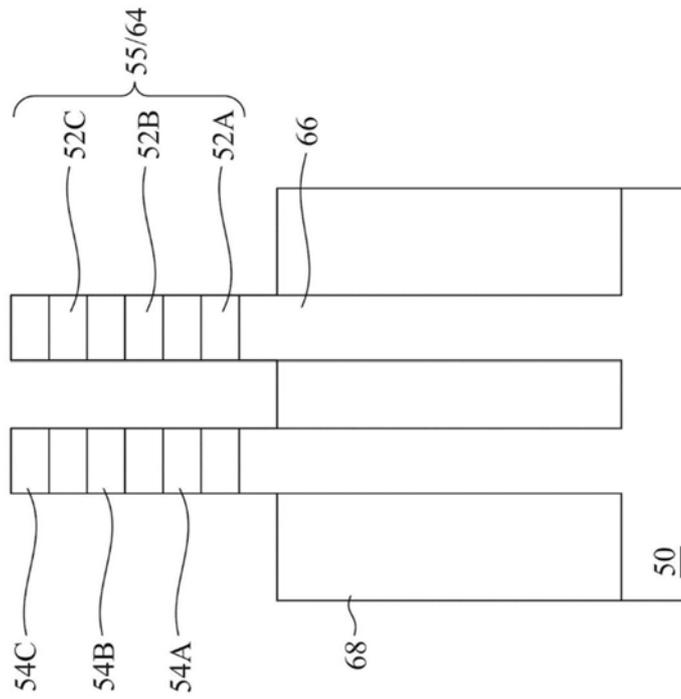


图6B

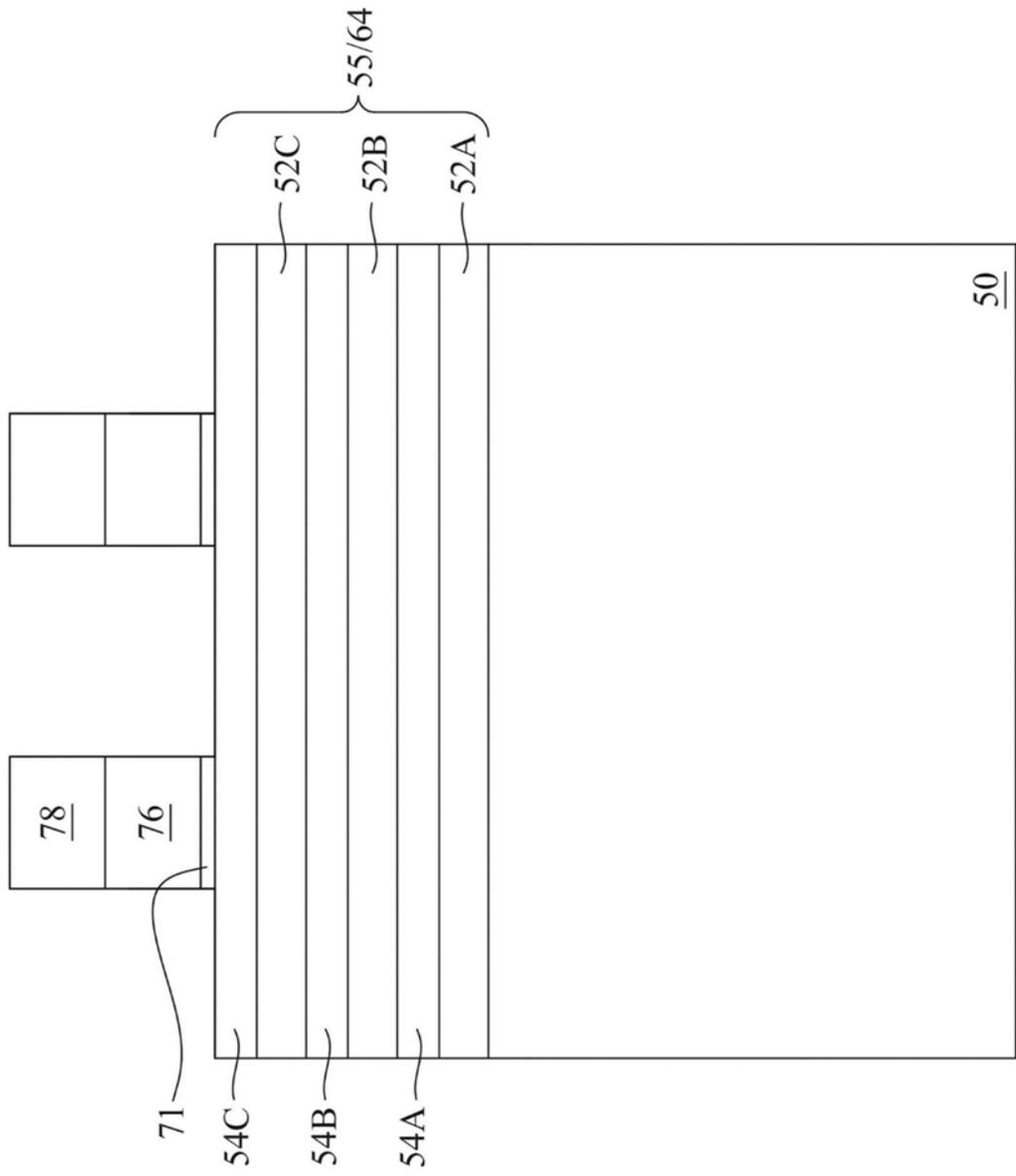


图6C

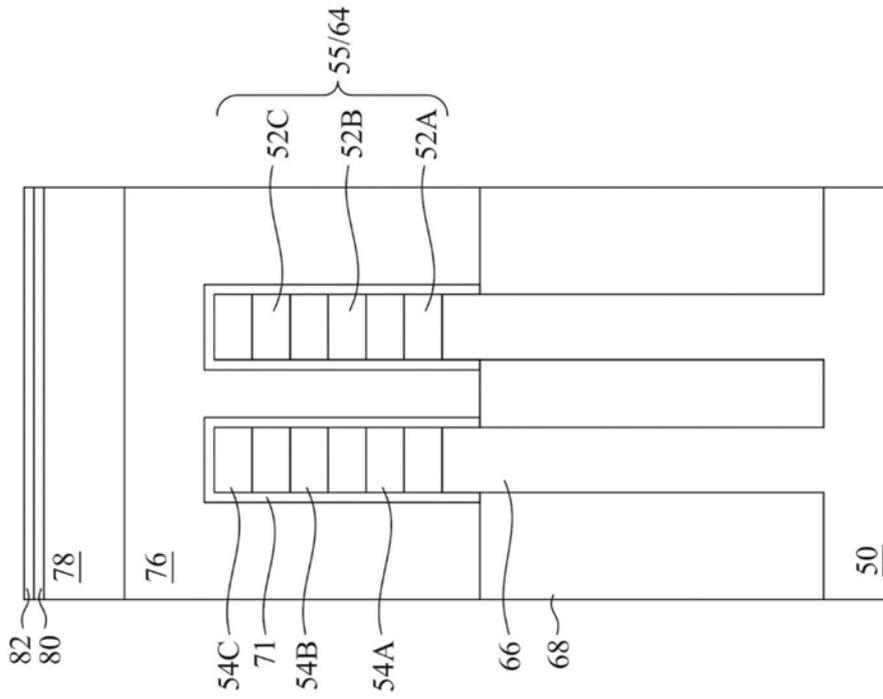


图7A

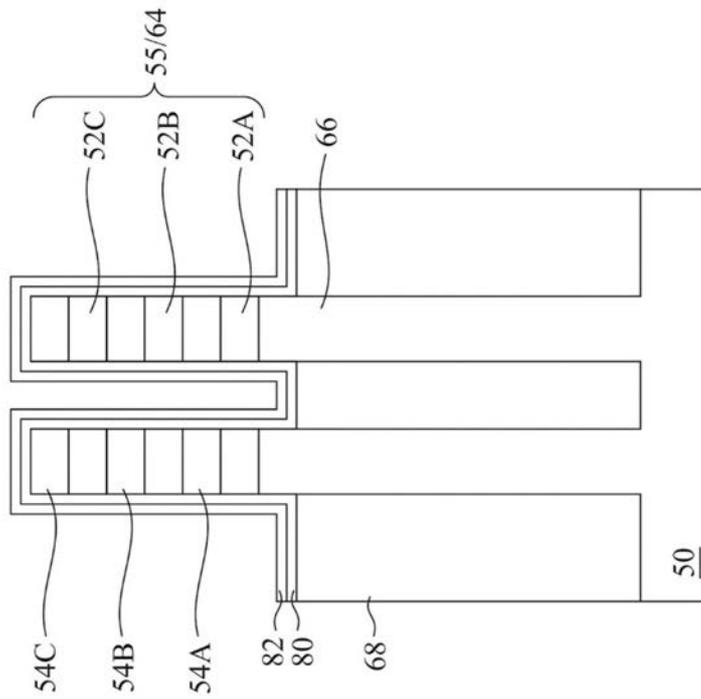


图7B

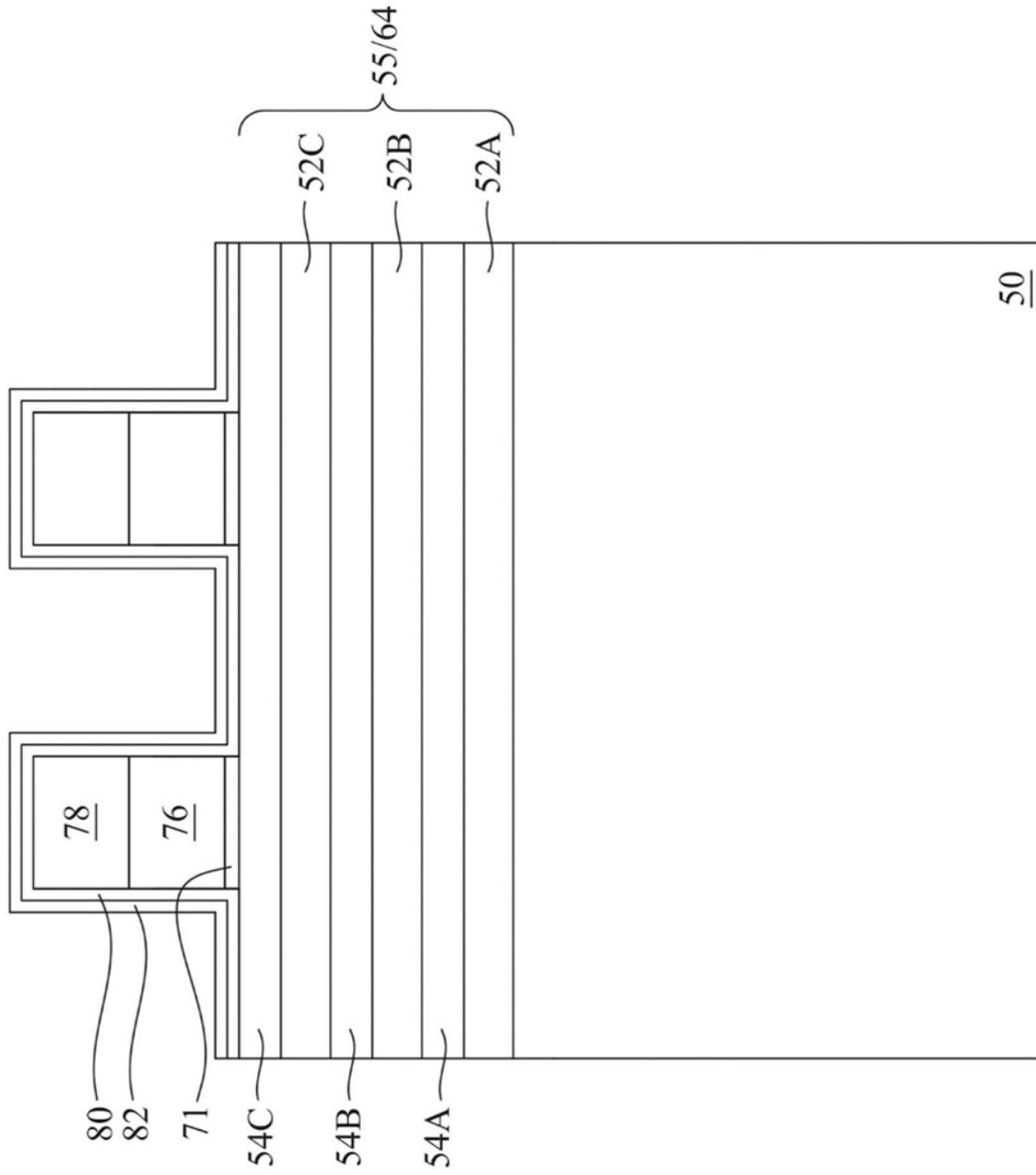


图7C

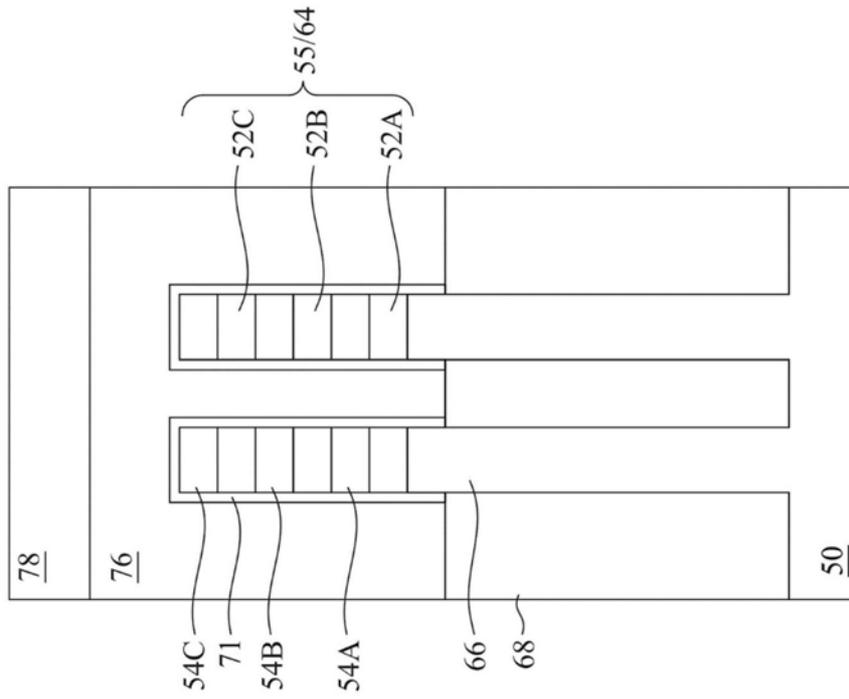


图8A

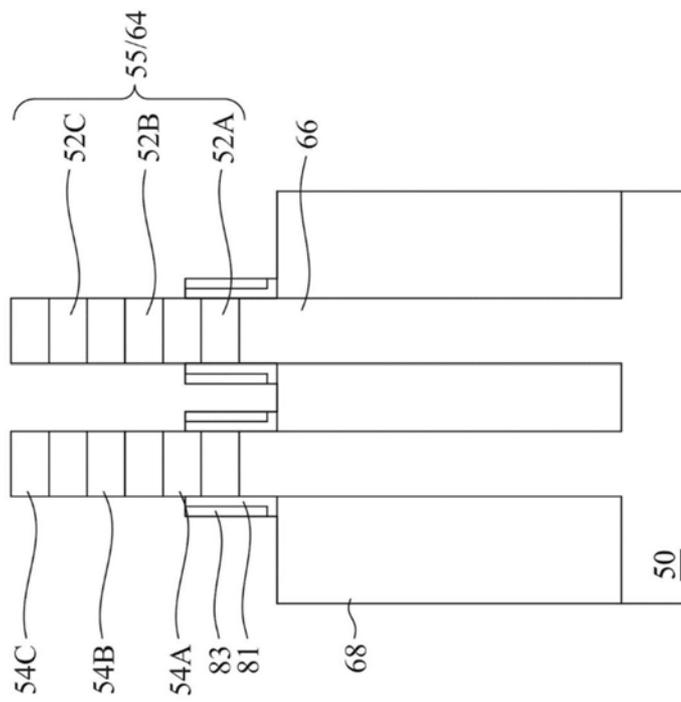


图8B

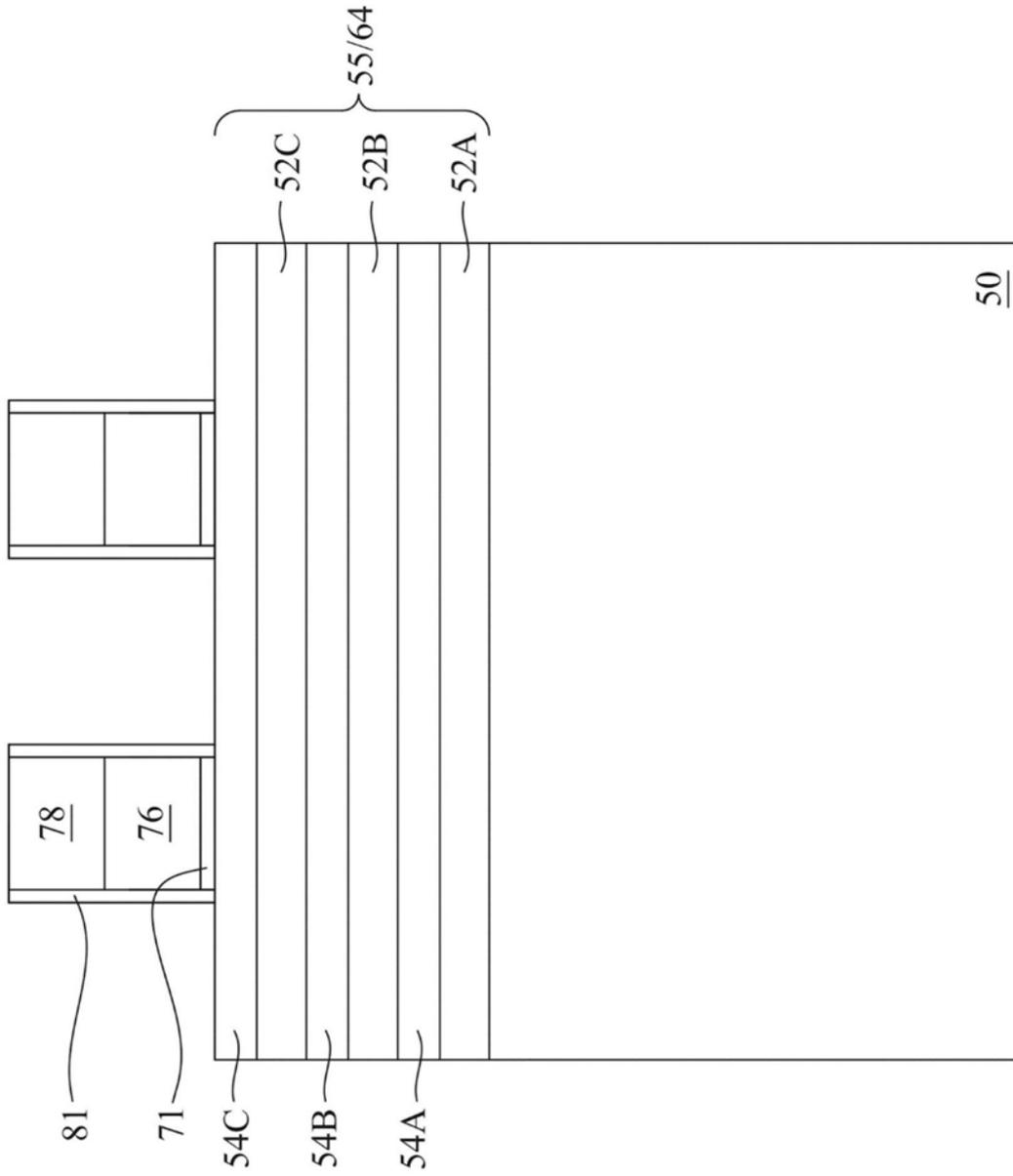


图8C

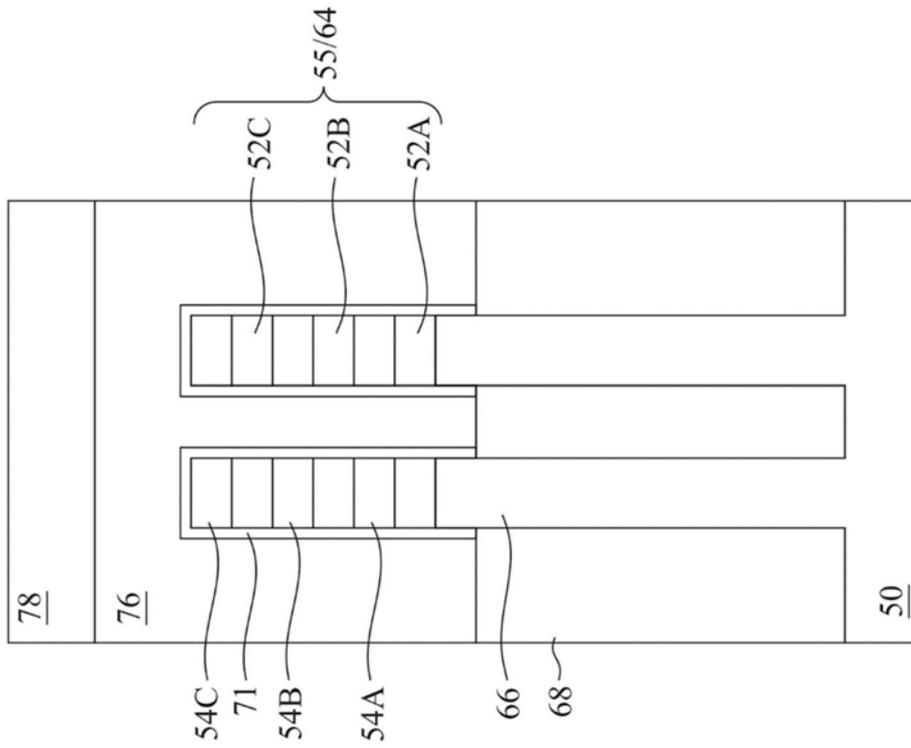


图9A

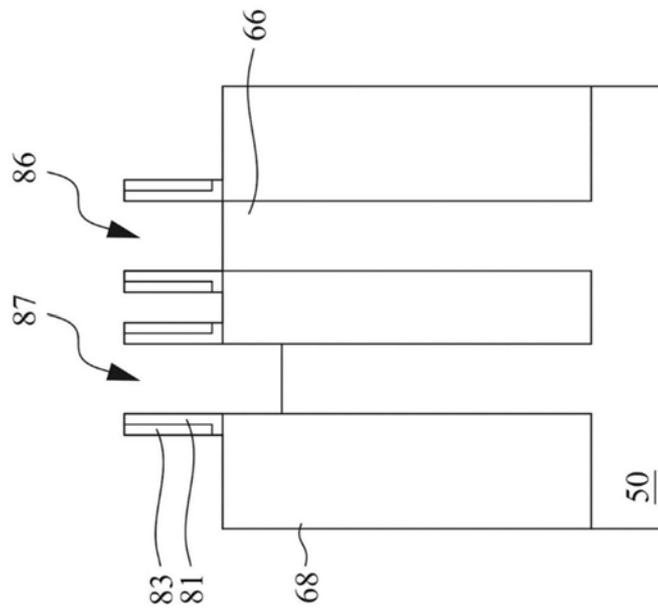


图9B

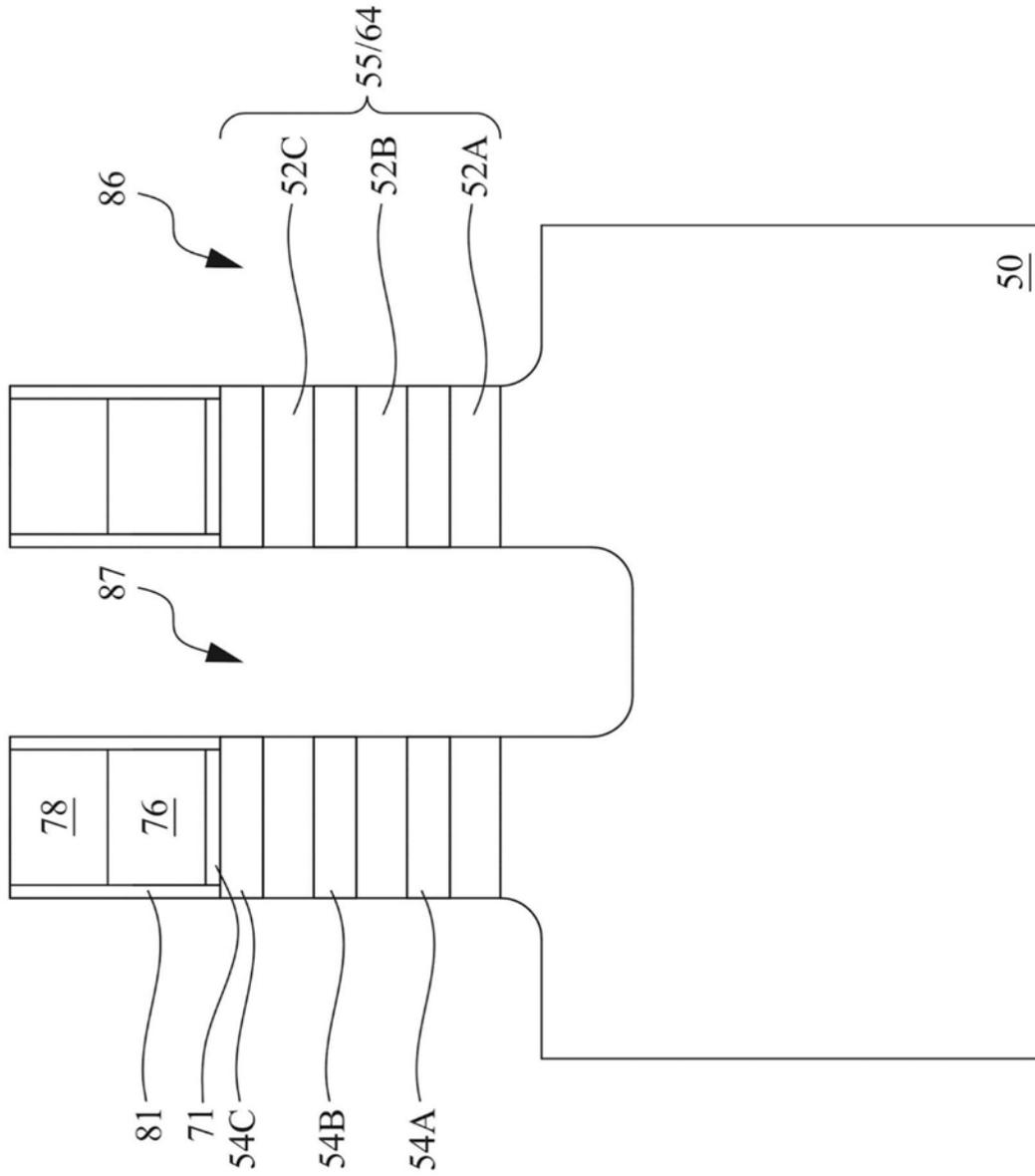


图9C

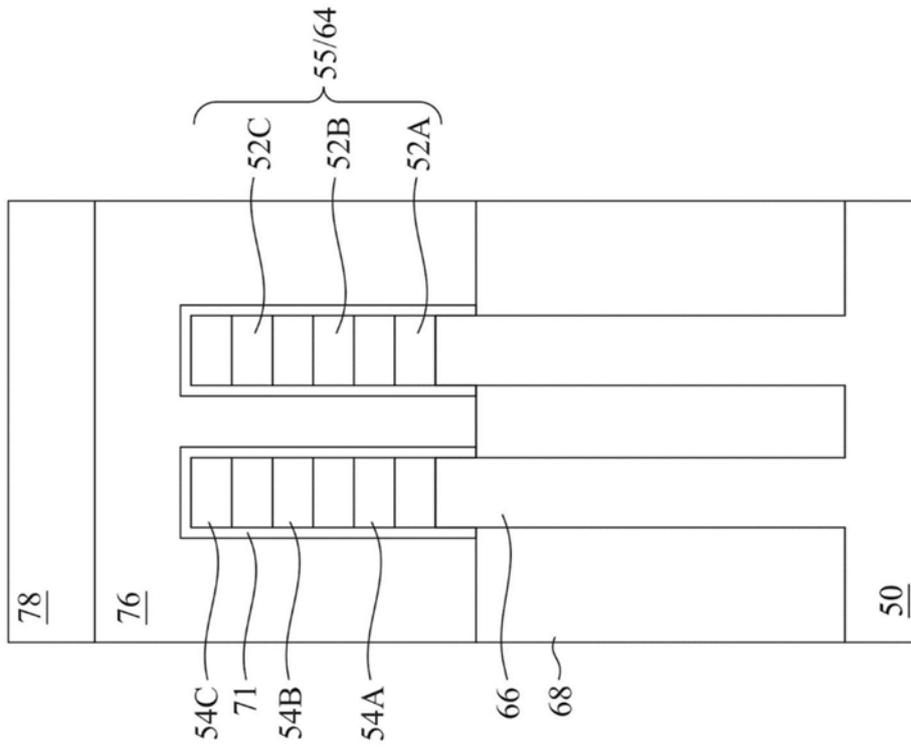


图10A

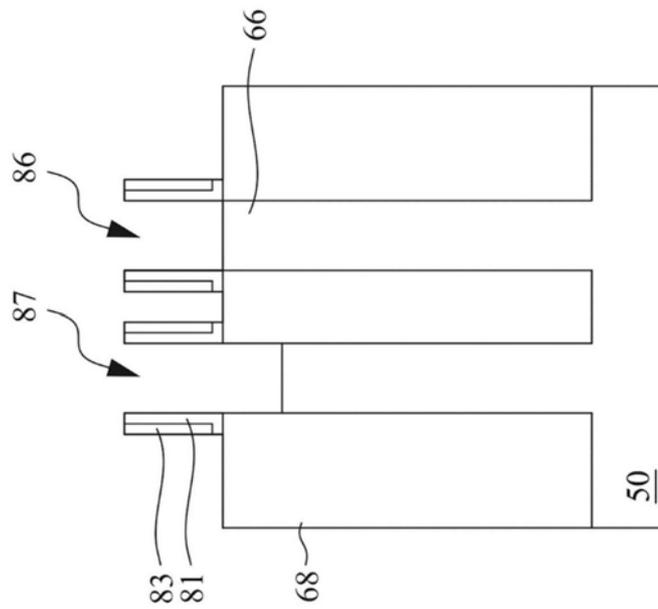


图10B

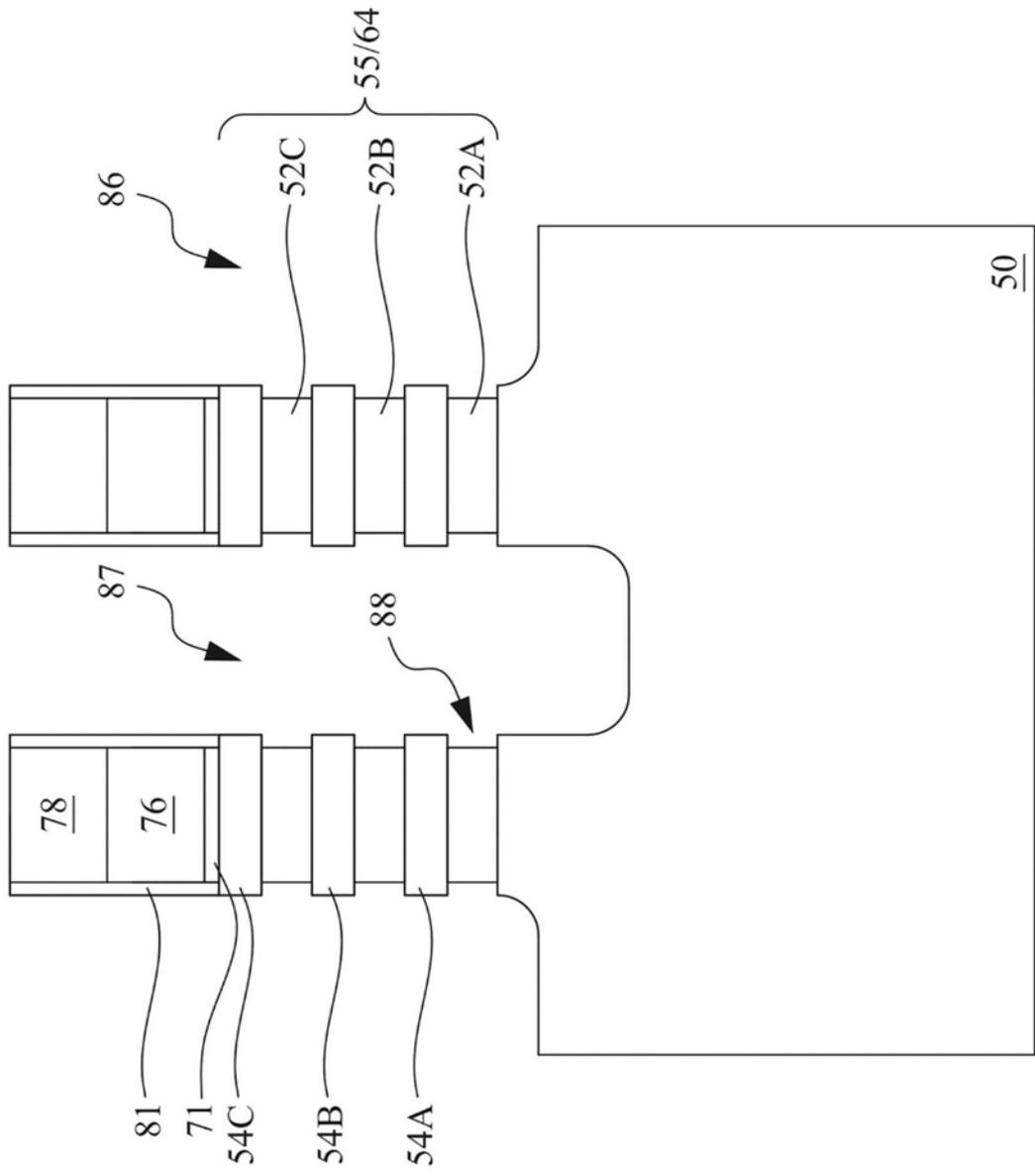


图10C

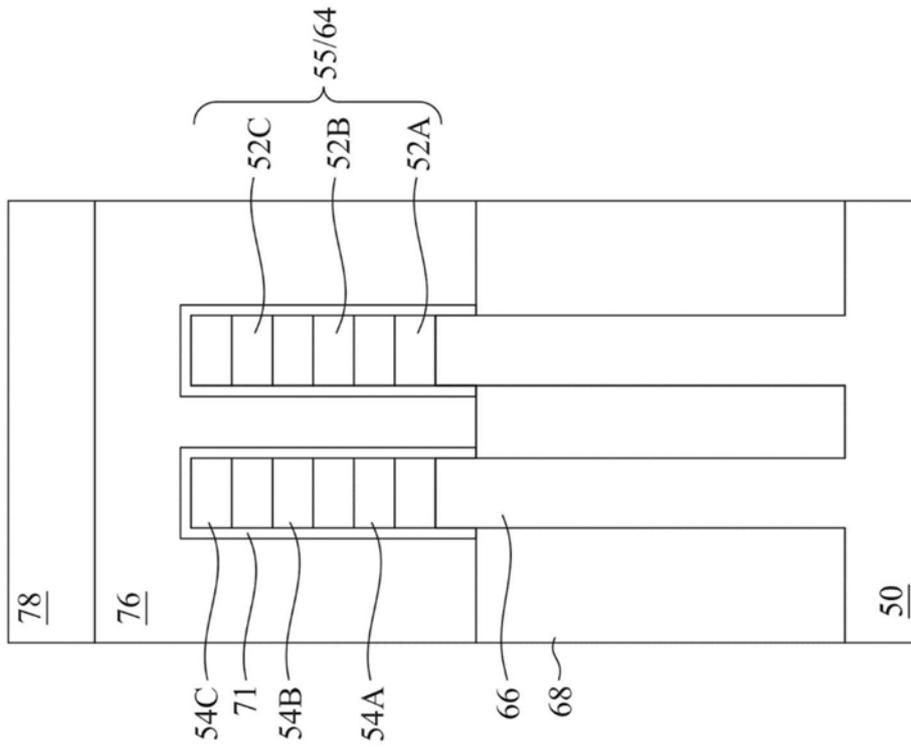


图11A

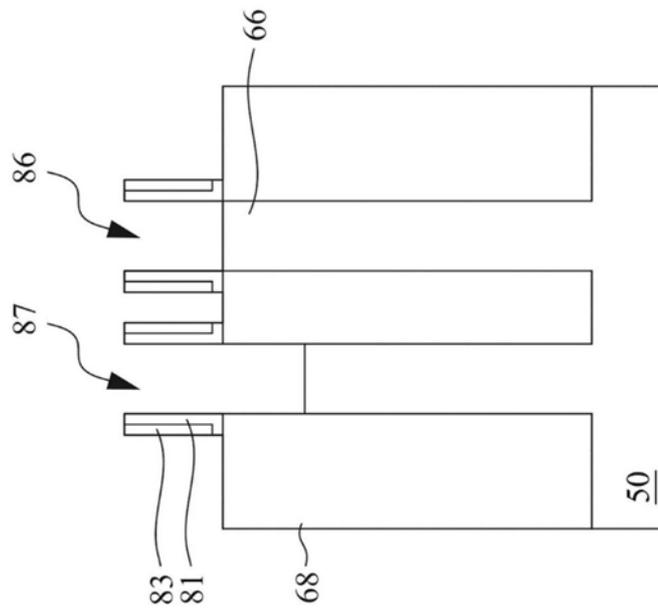


图11B

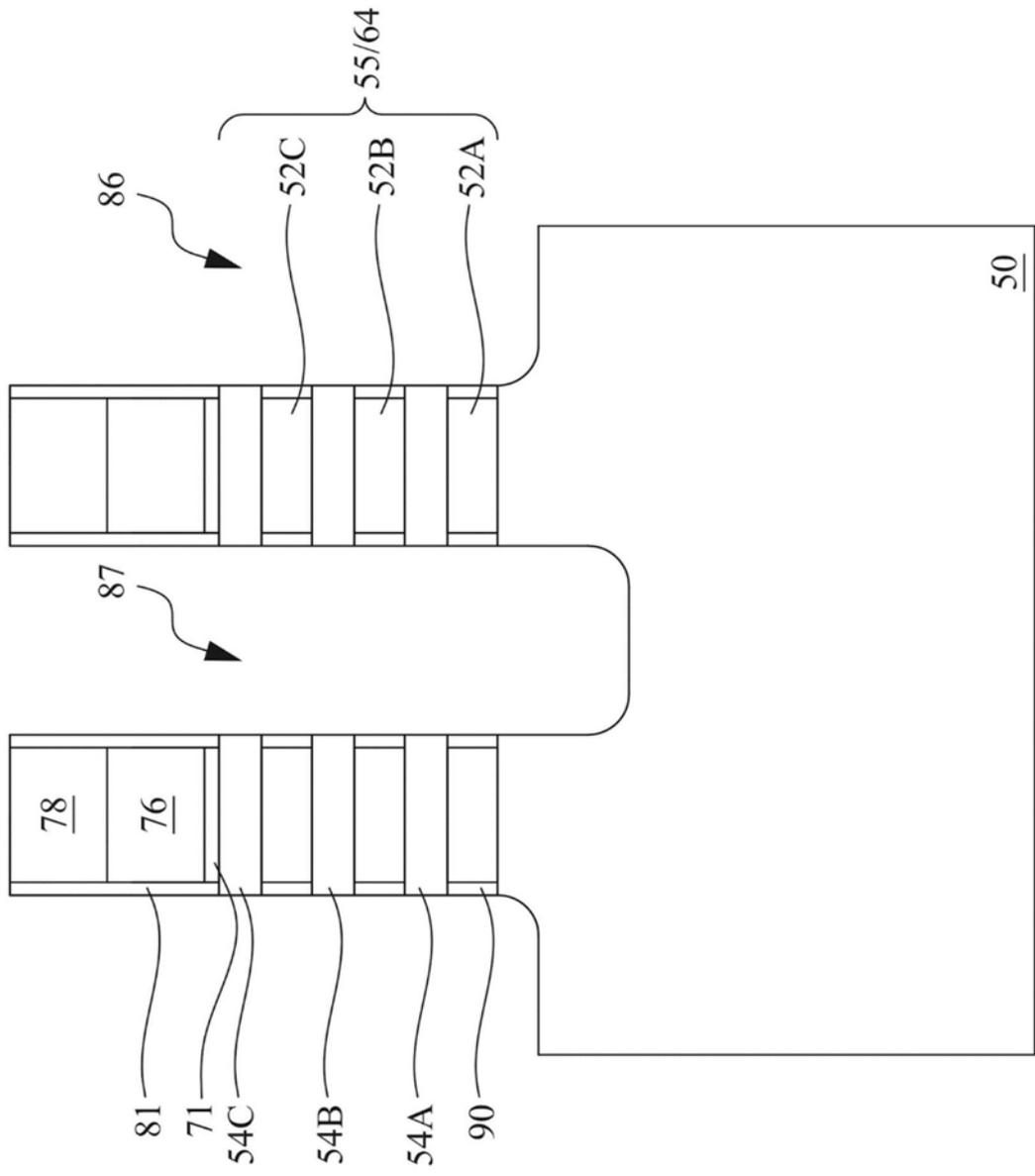


图11C

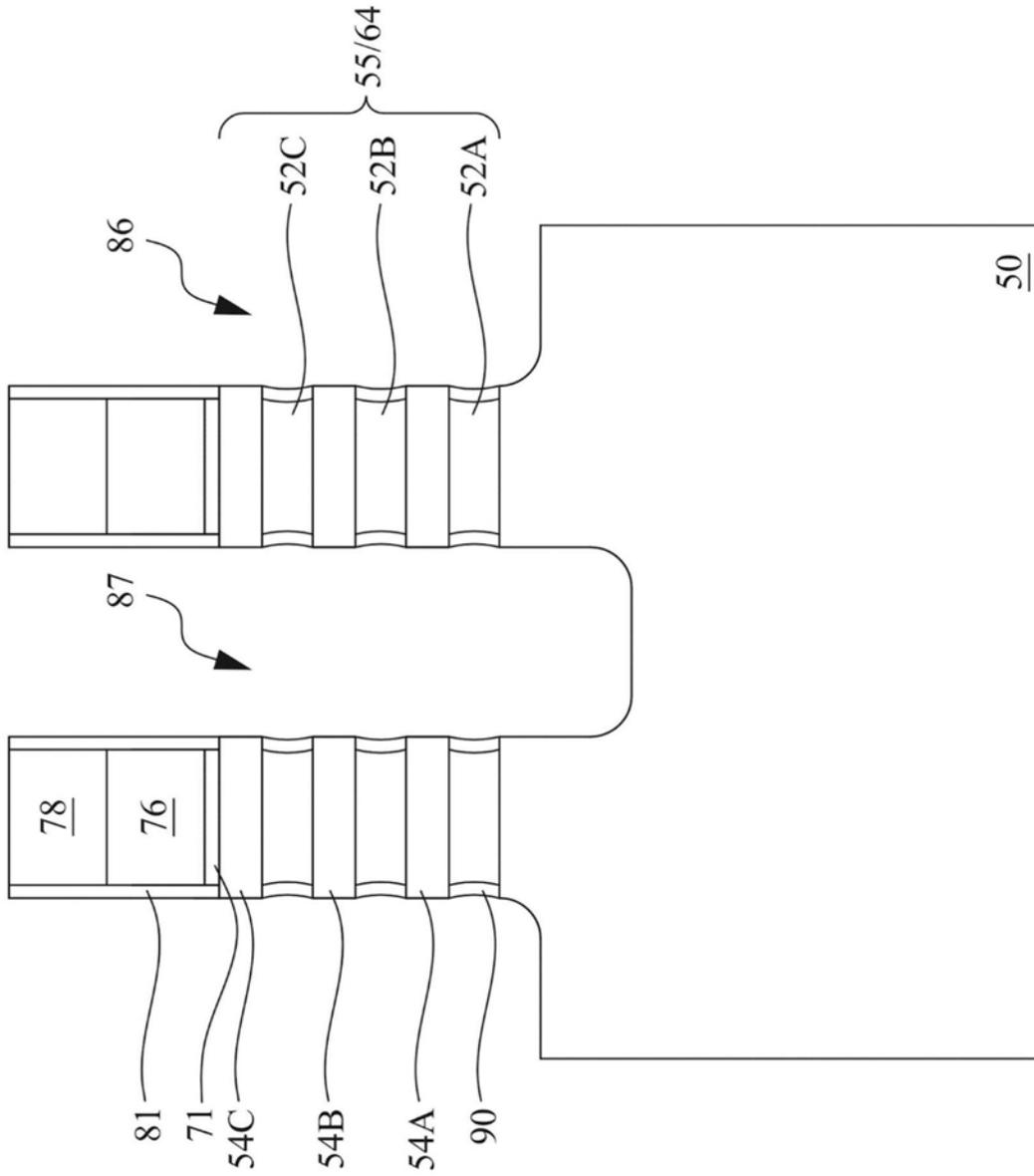


图11D

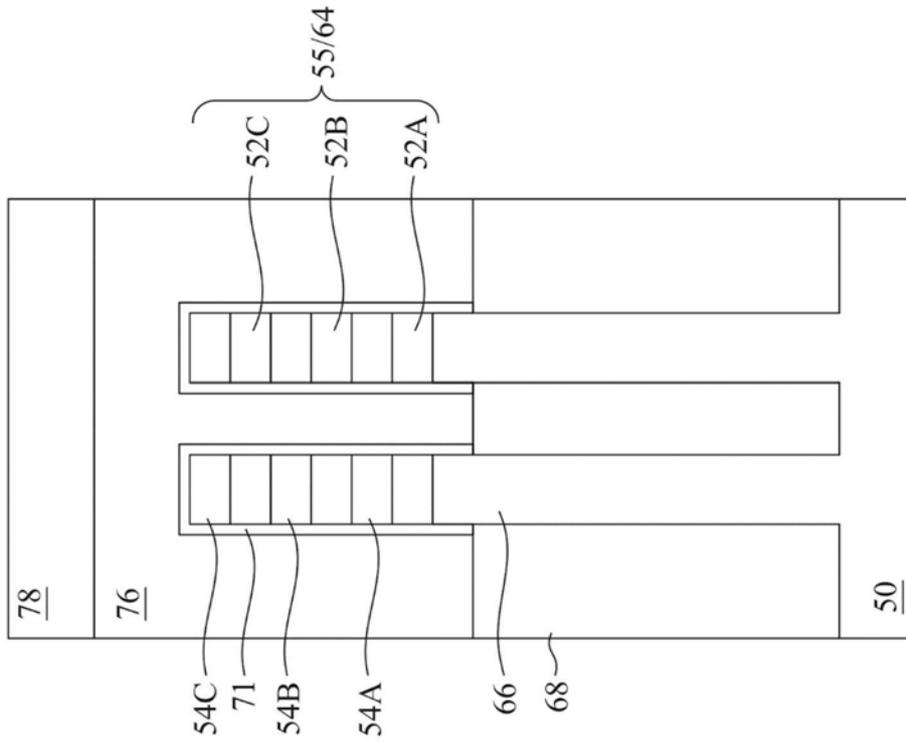


图12A

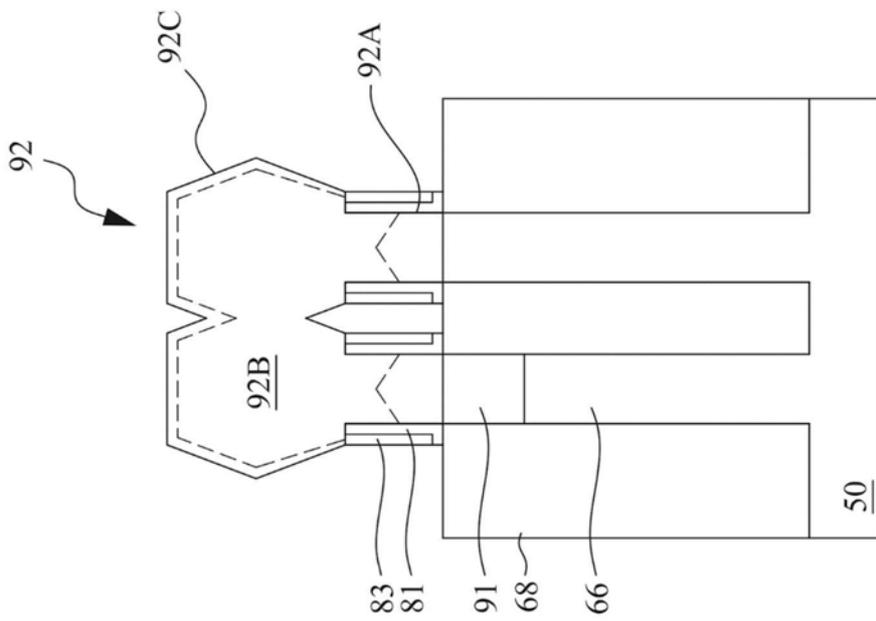


图12B

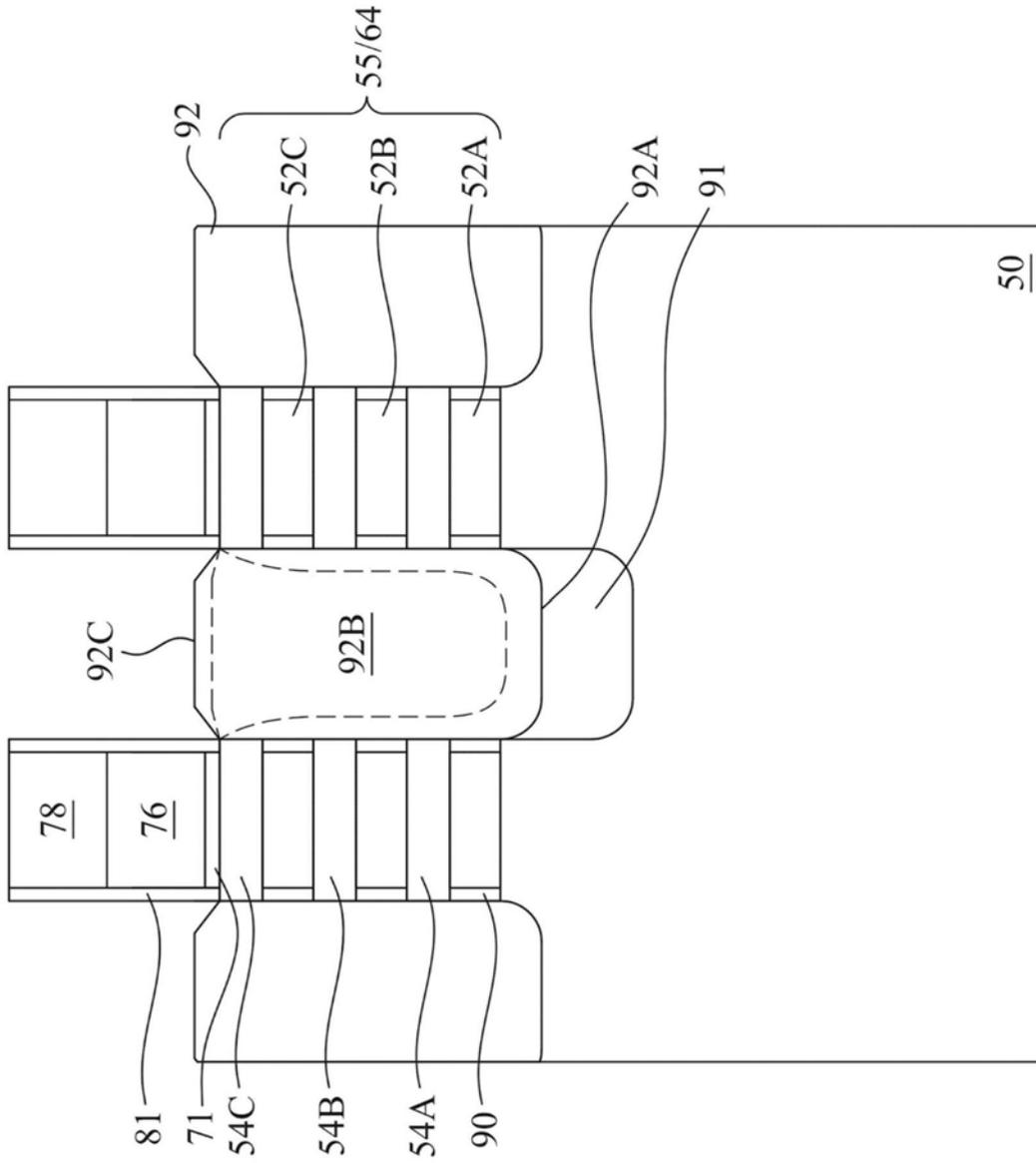


图12C

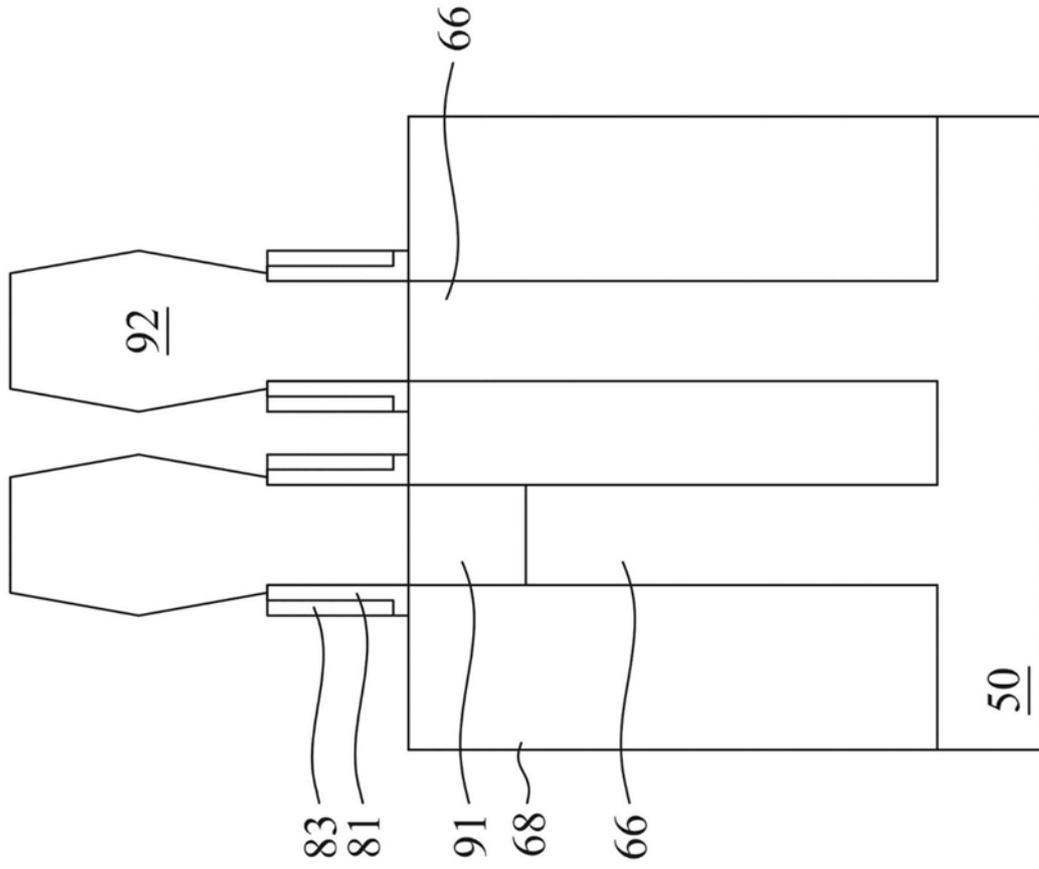


图12D

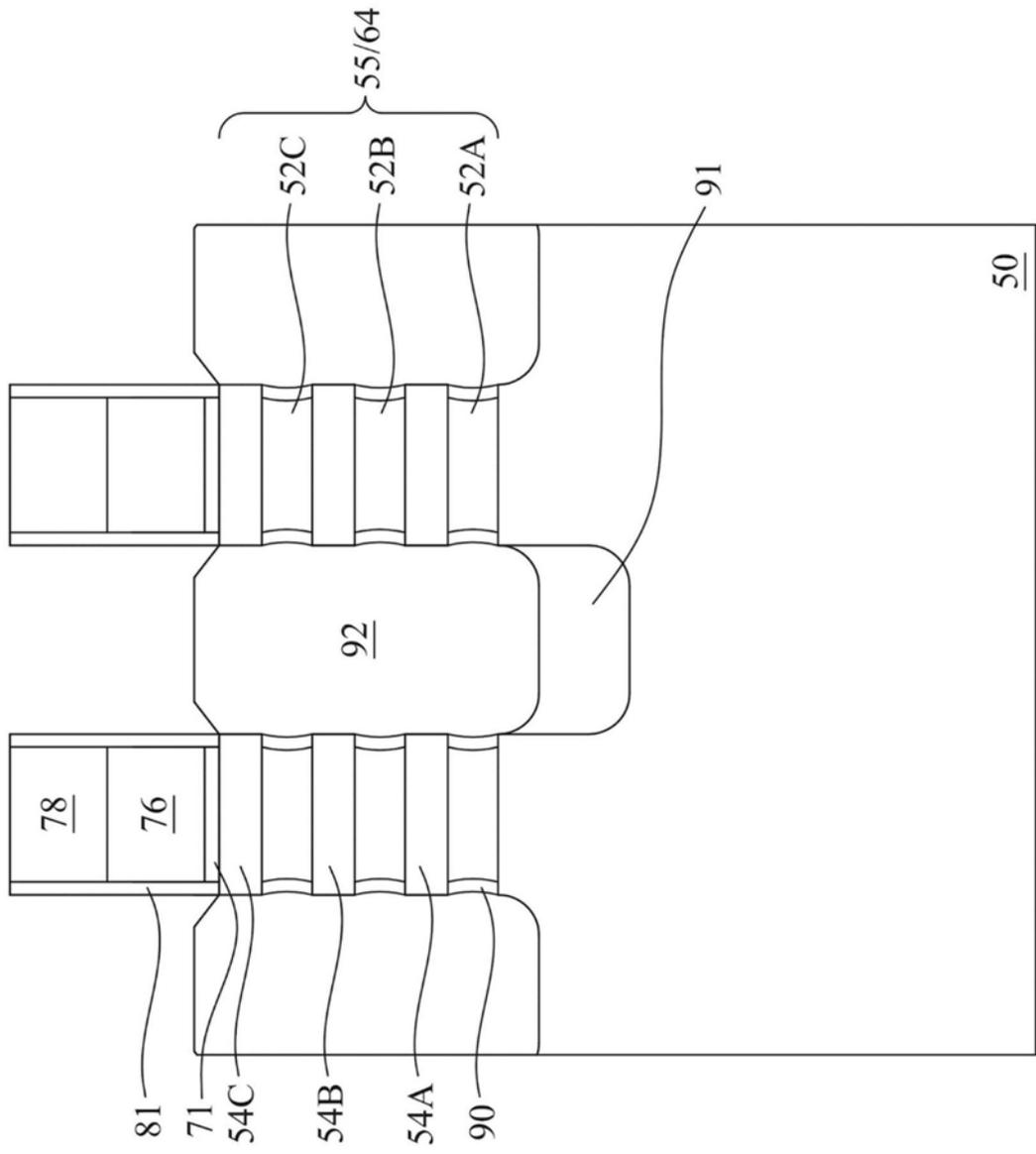


图12E

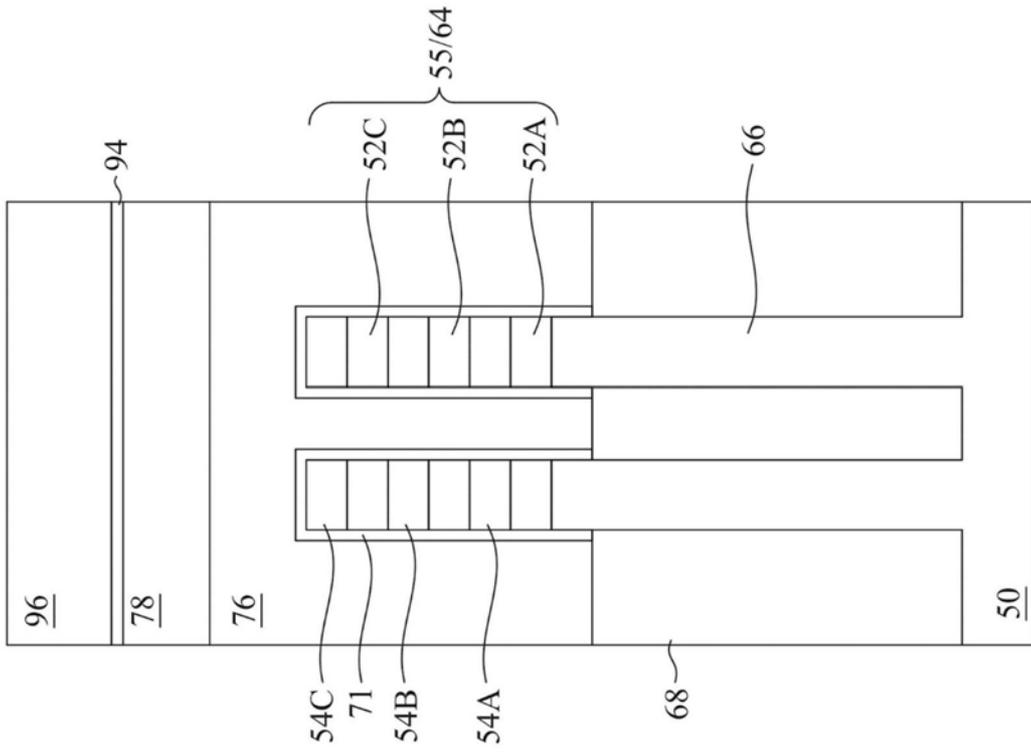


图13A

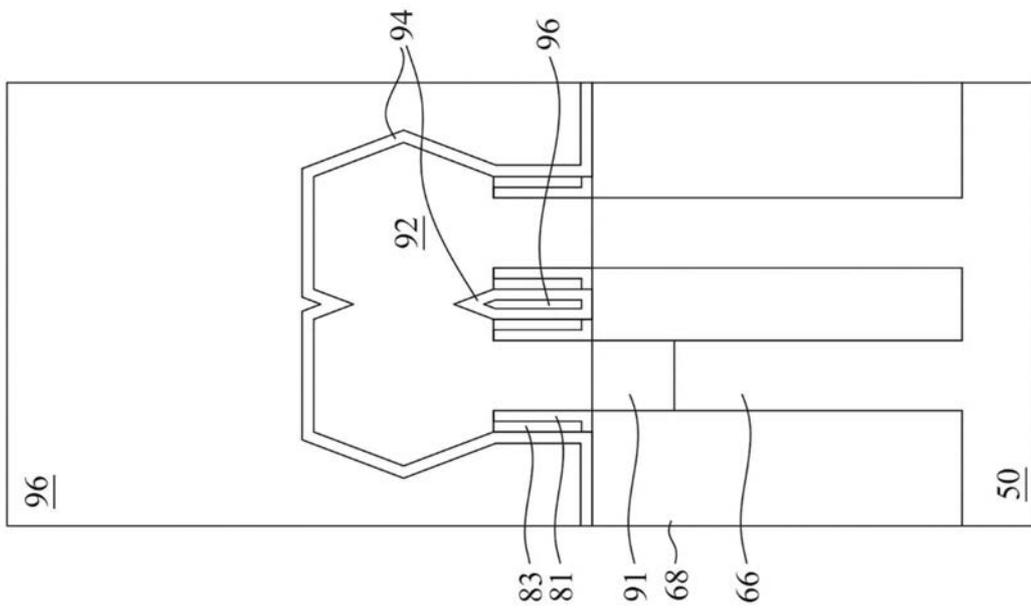


图13B

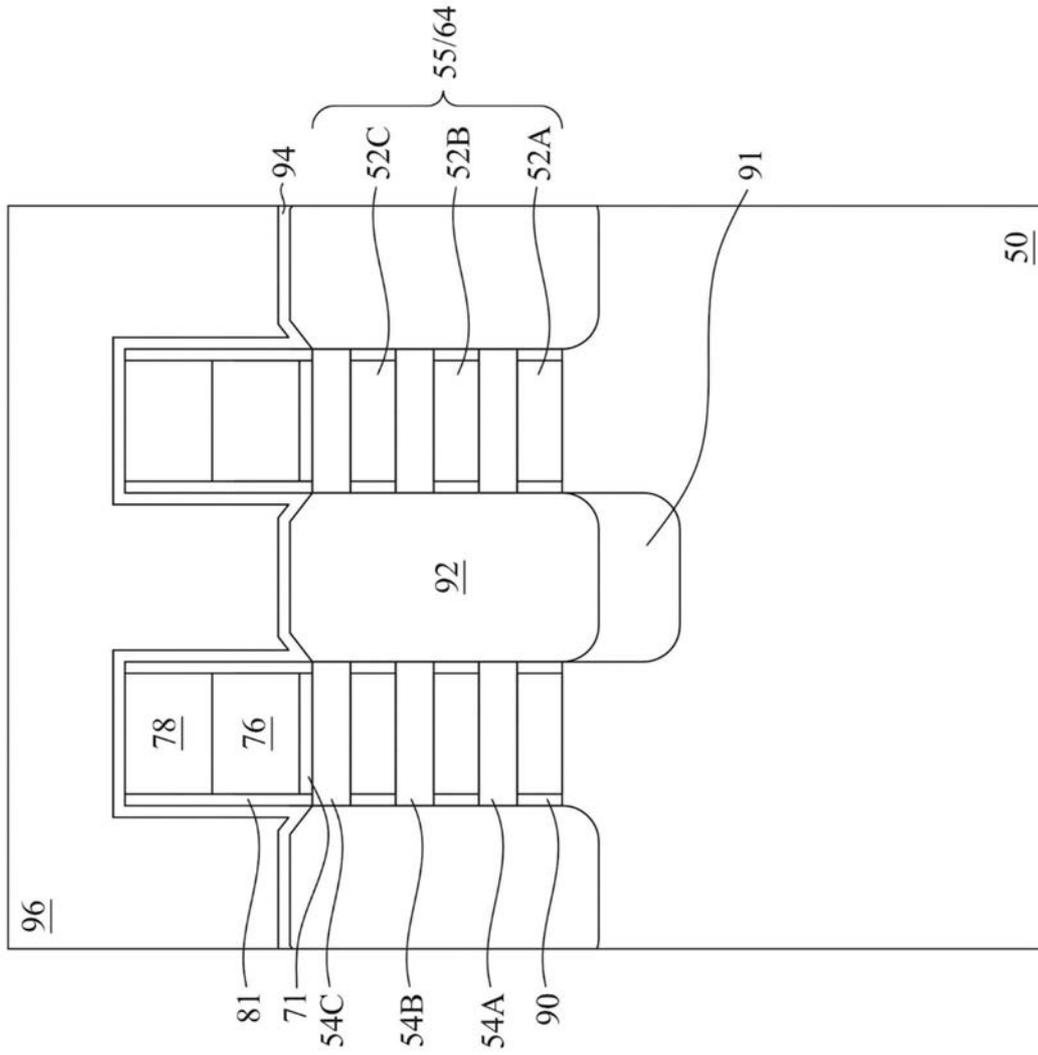


图13C

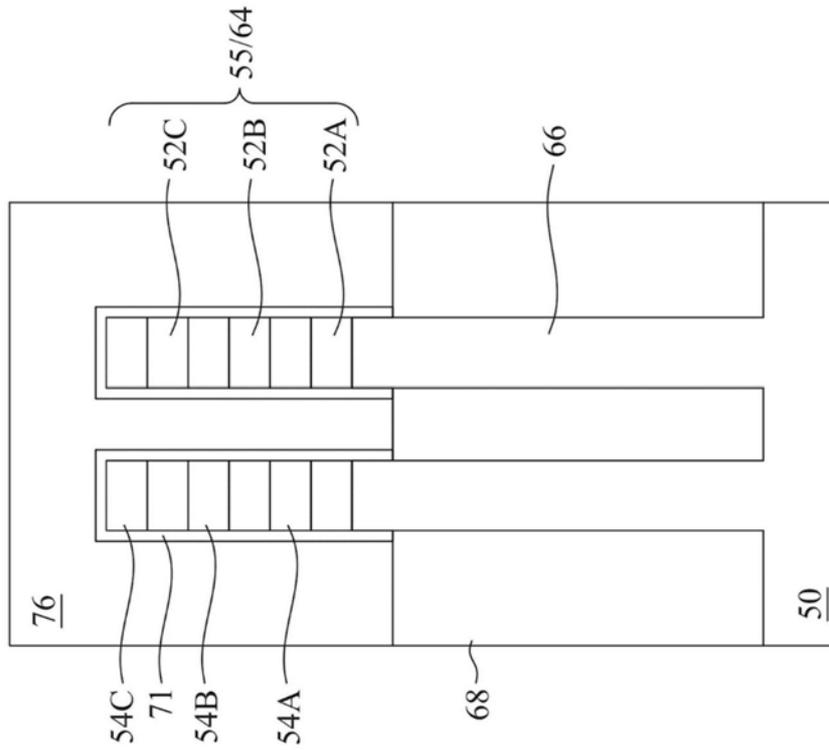


图14A

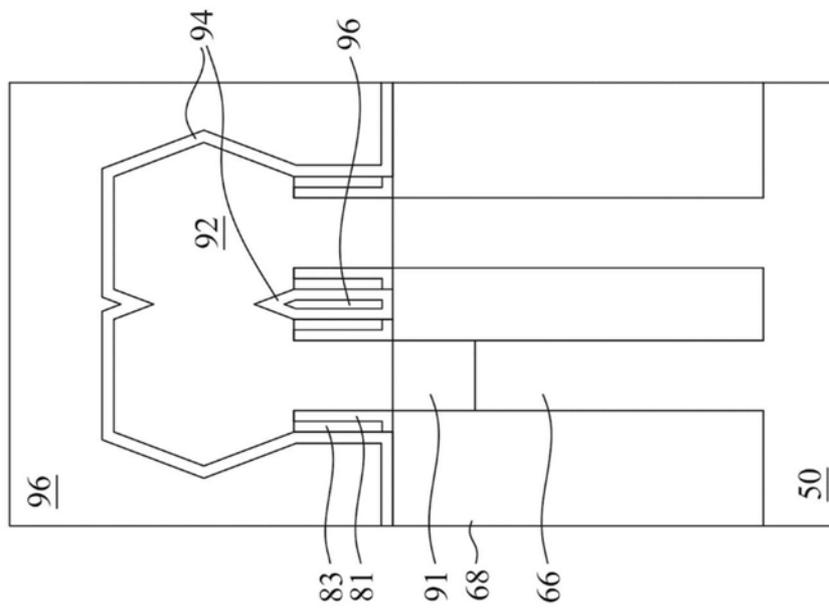


图14B

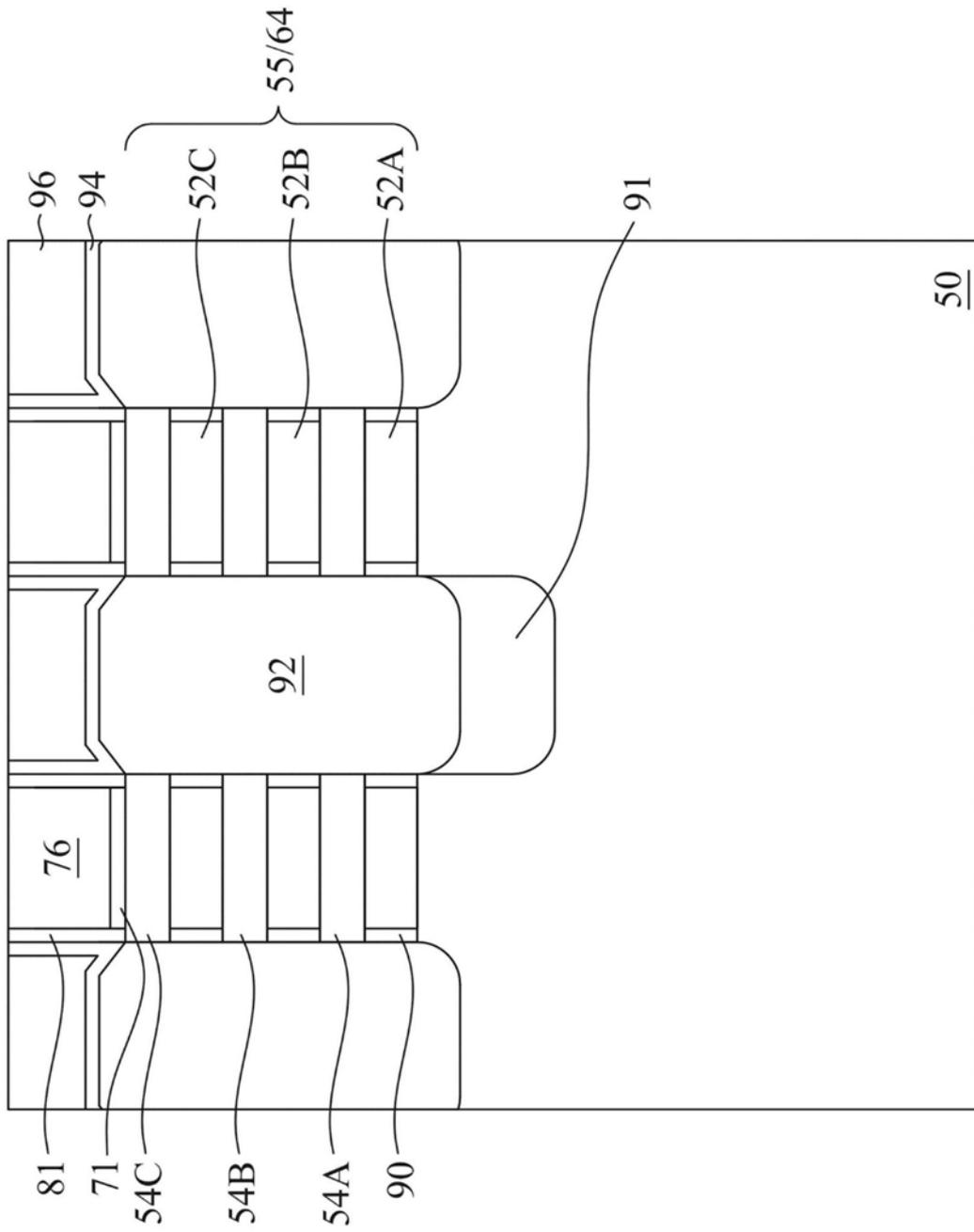


图14C

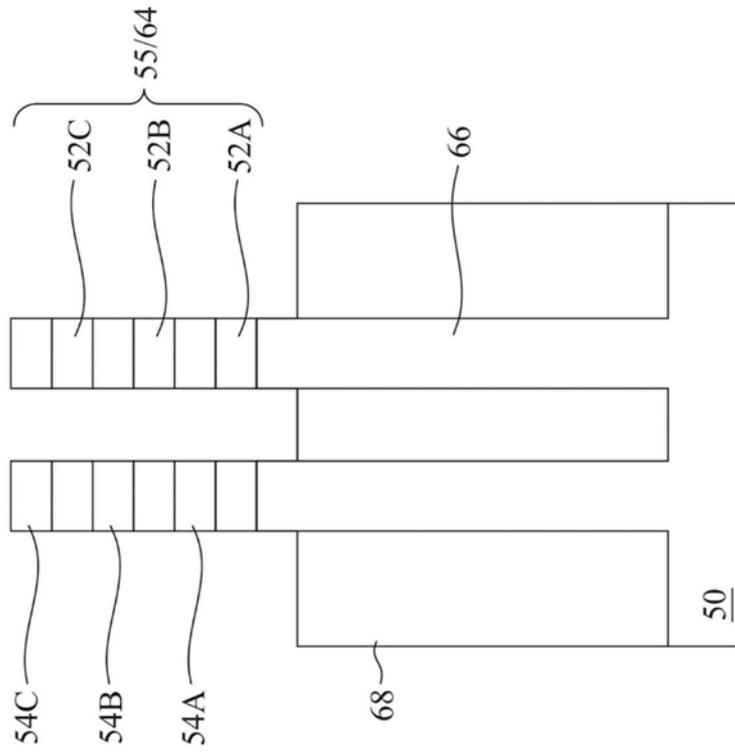


图15A

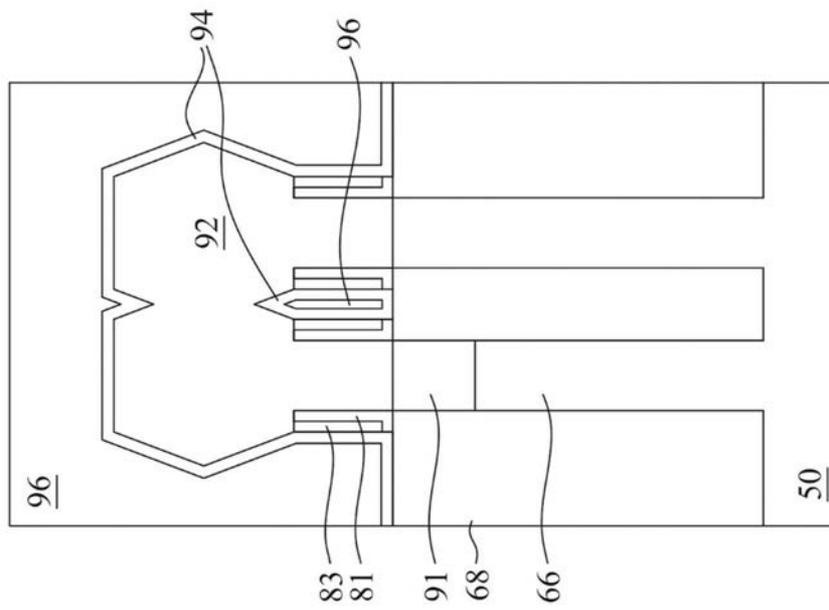


图15B

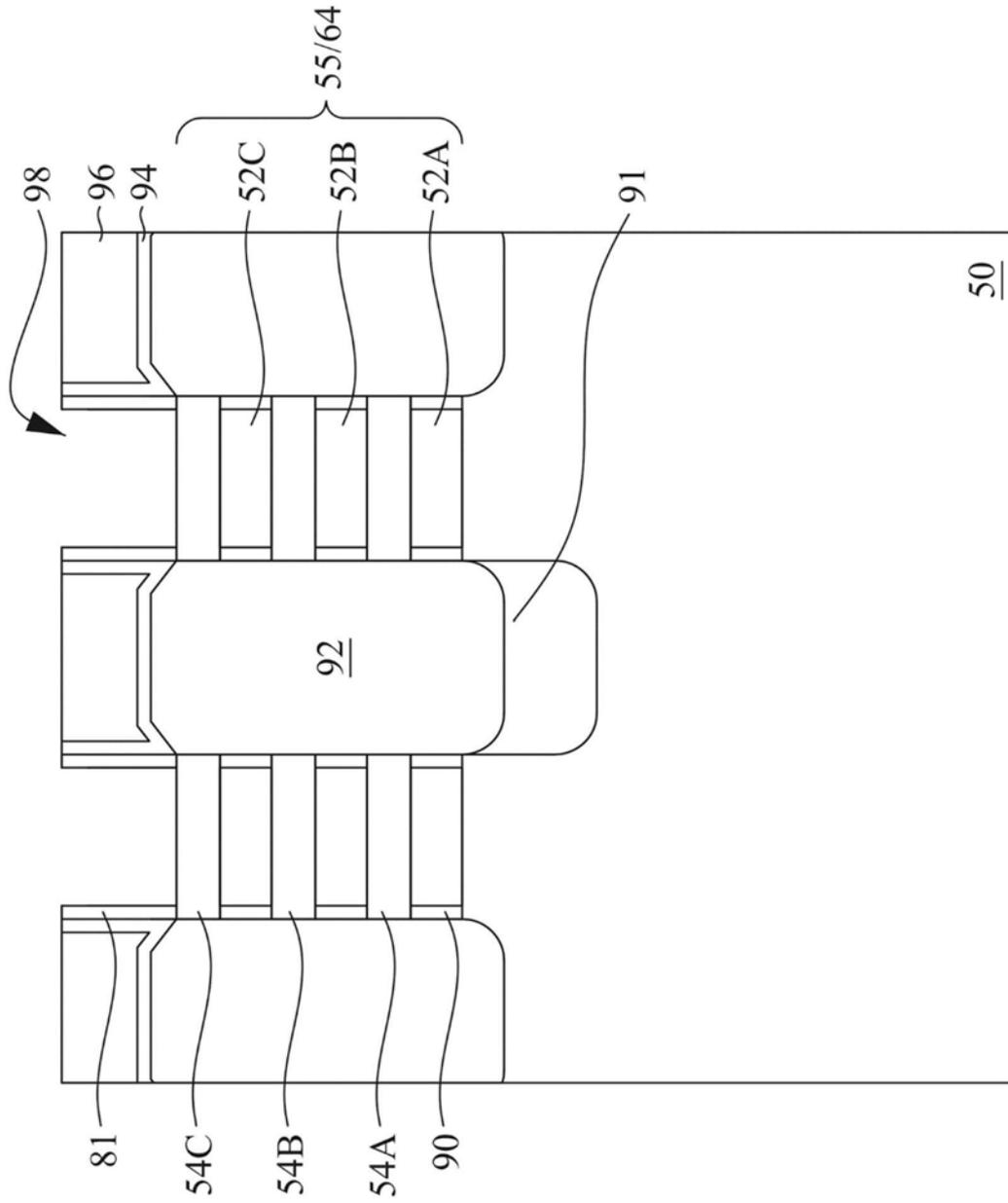


图15C

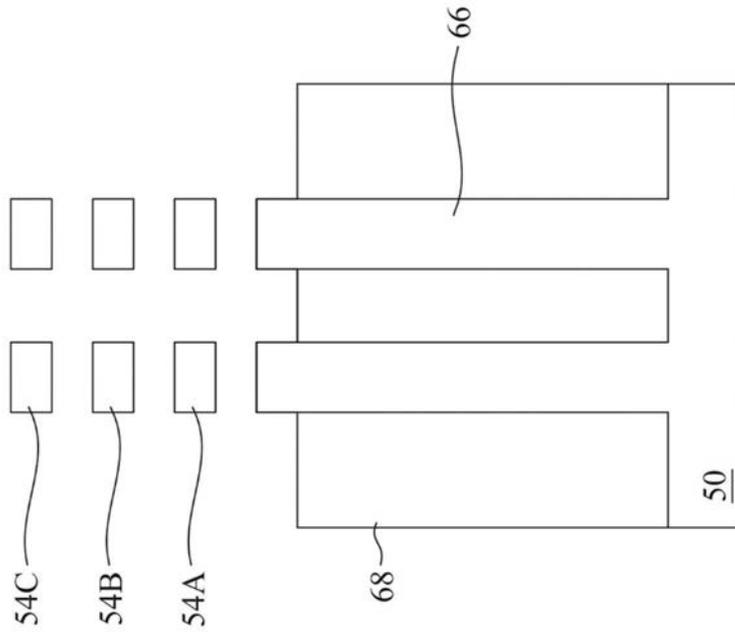


图16A

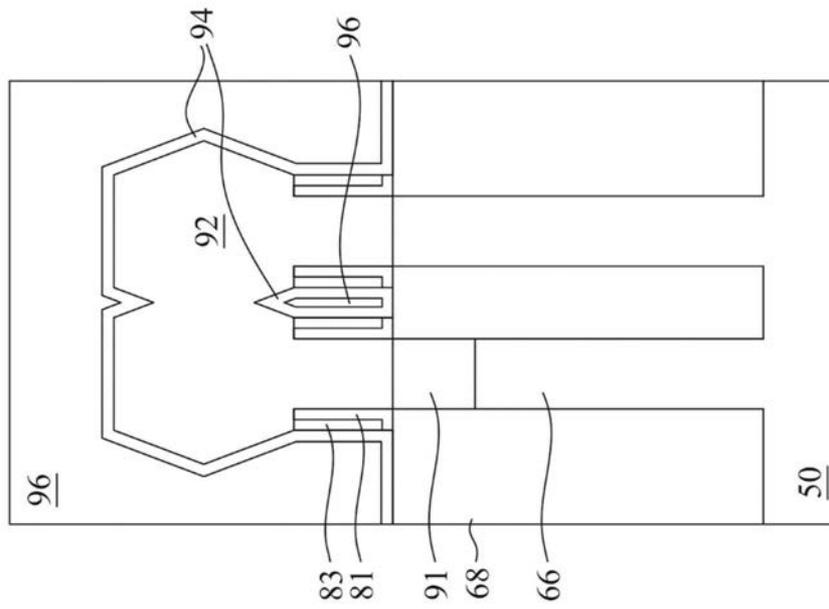


图16B

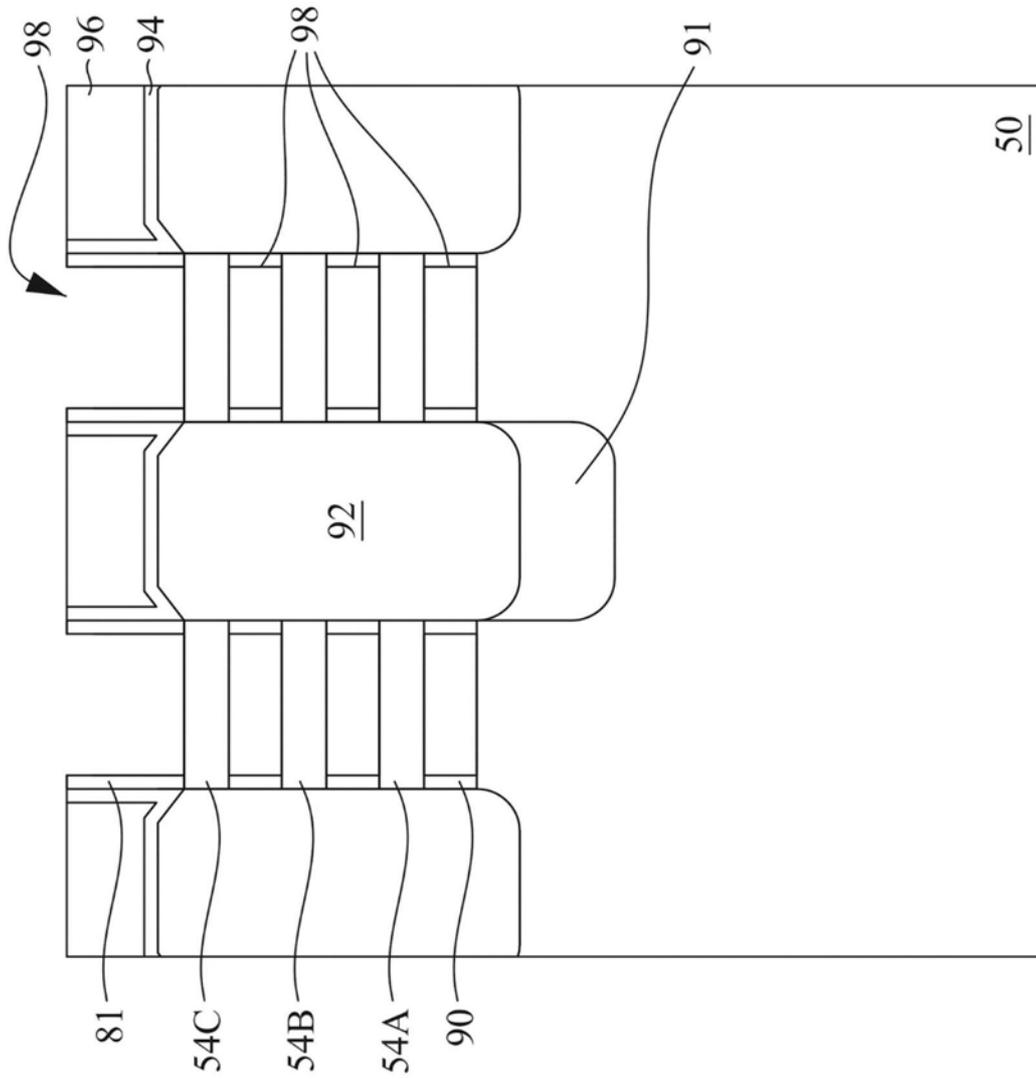


图16C

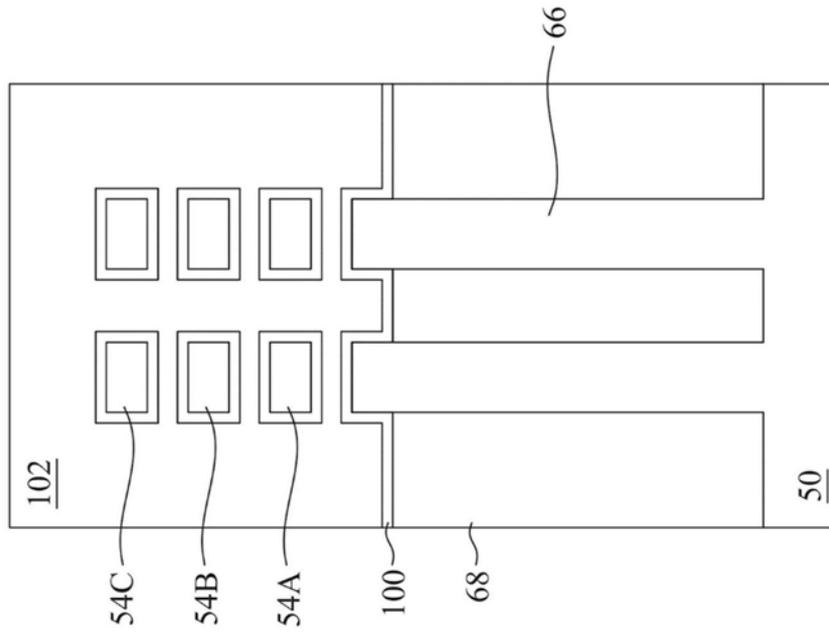


图17A

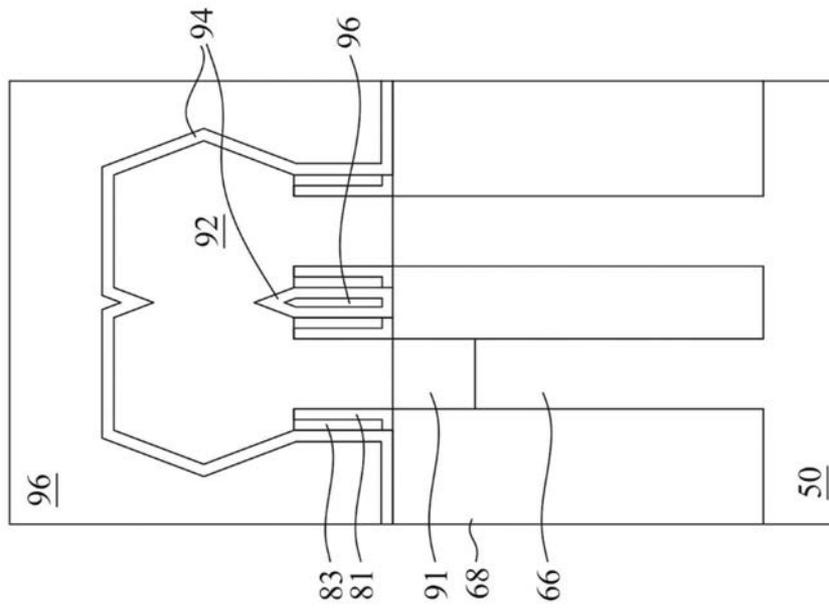


图17B

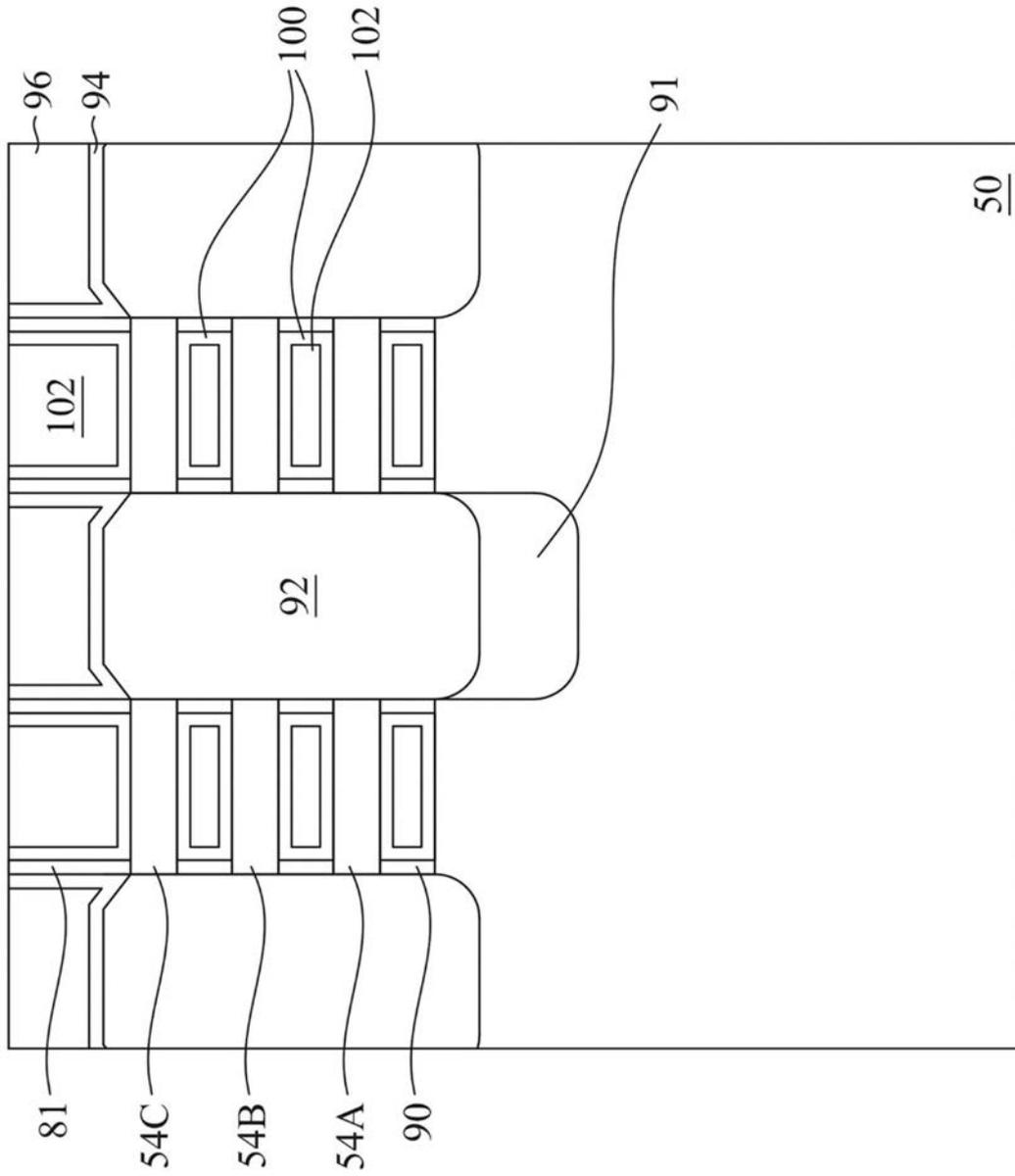


图17C

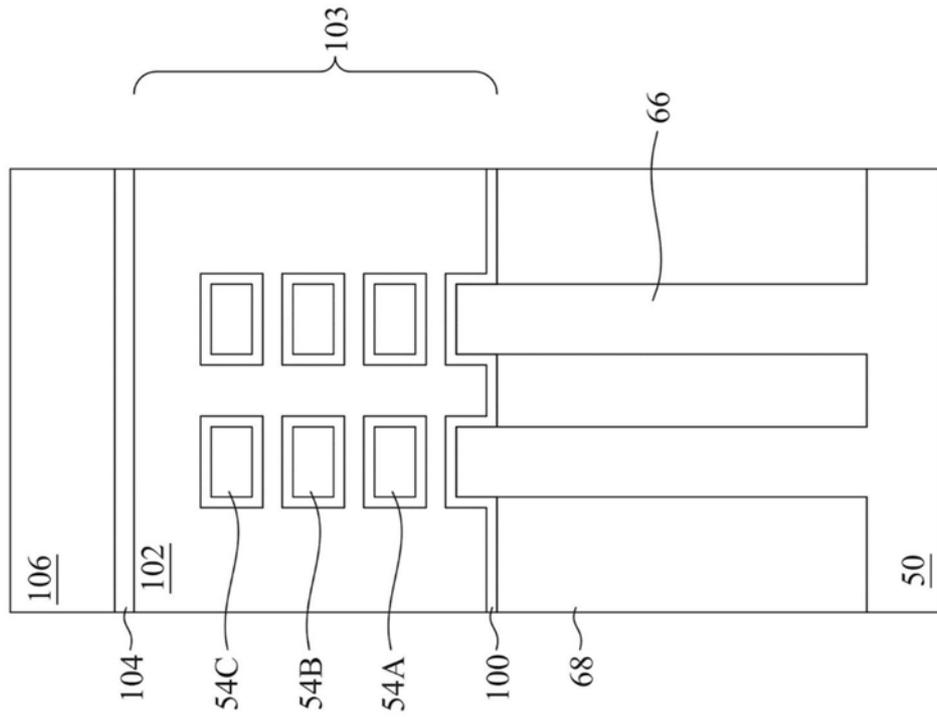


图18A

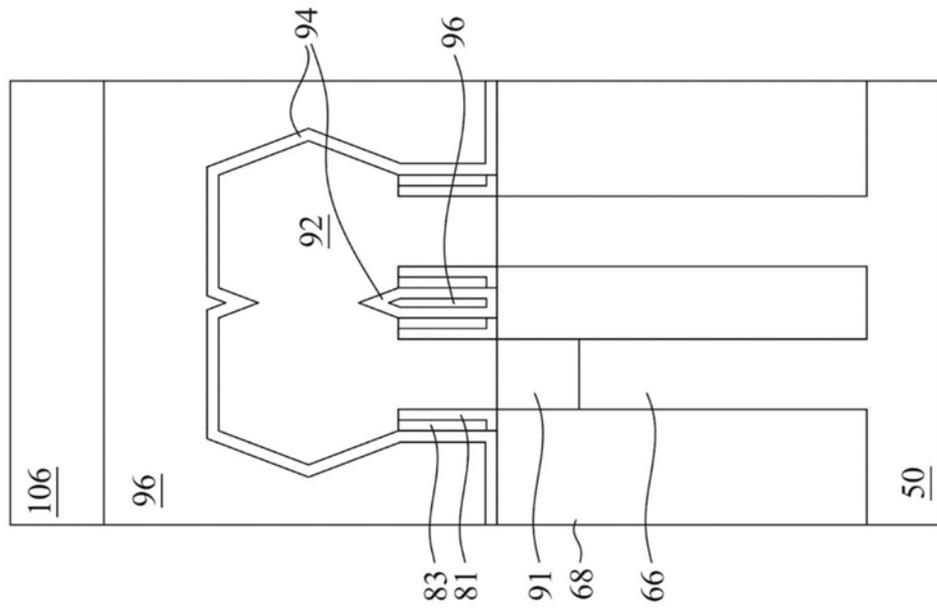


图18B

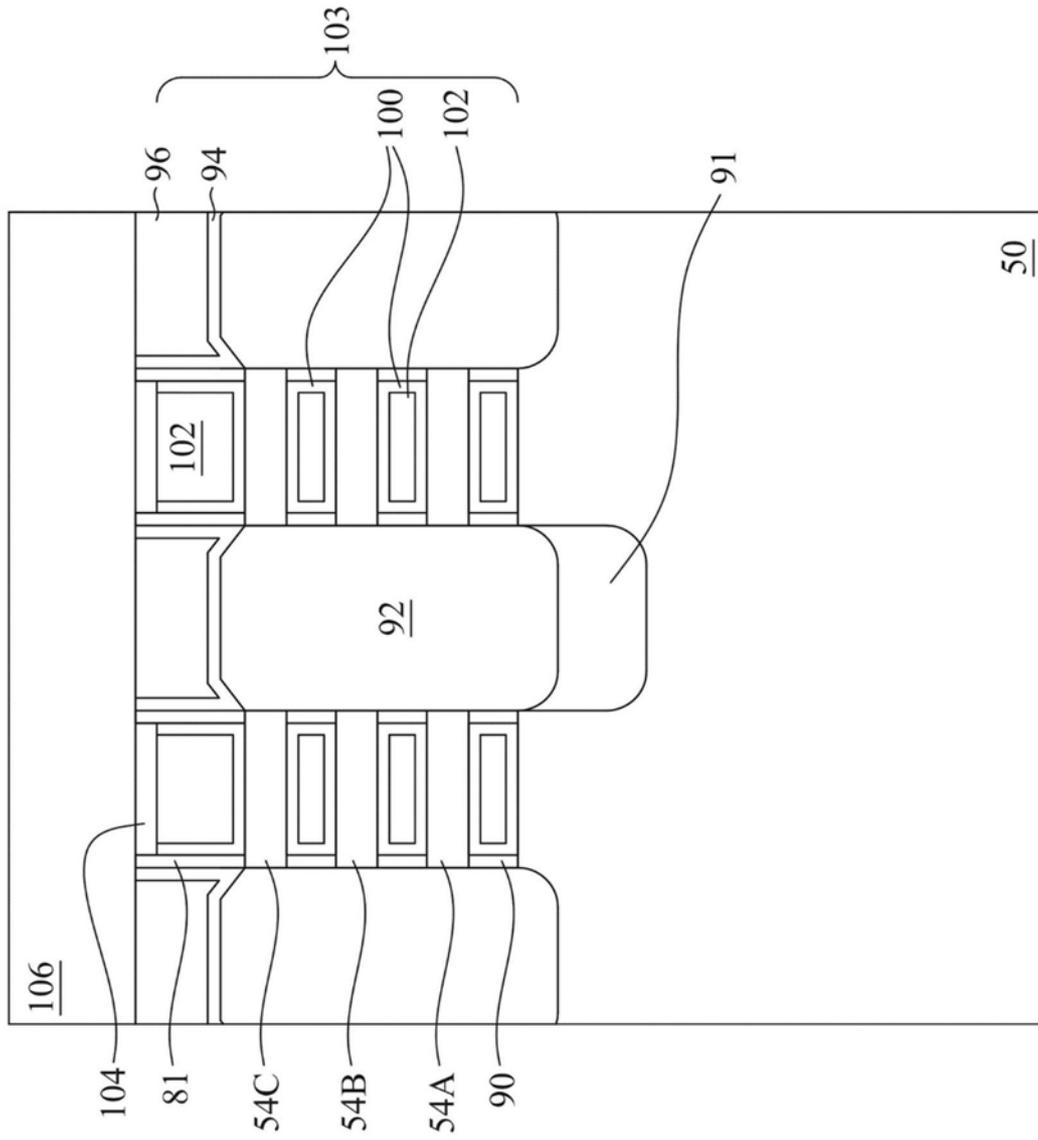


图18C

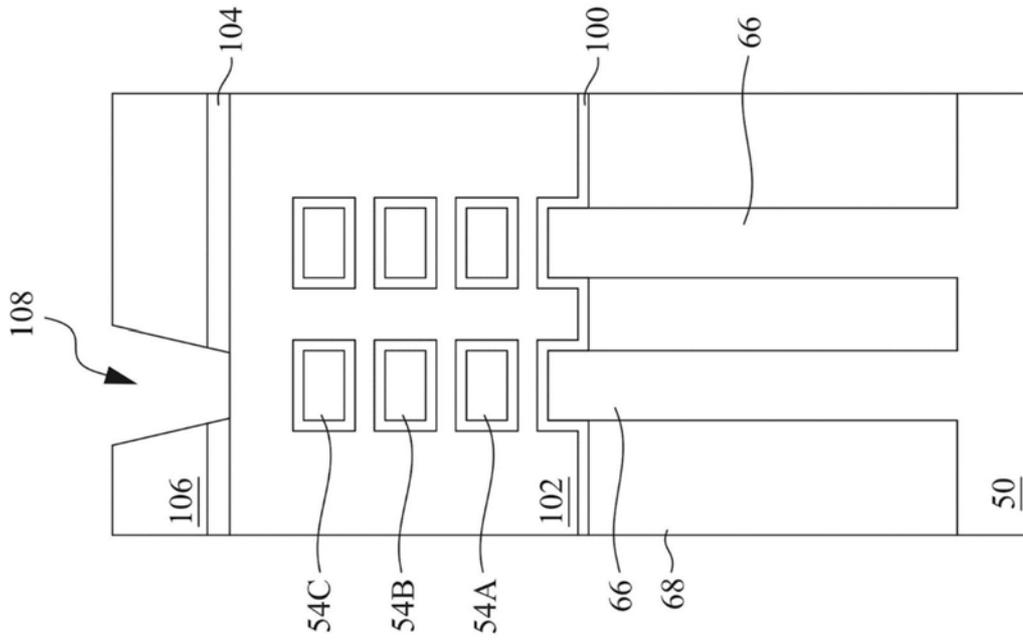


图19A

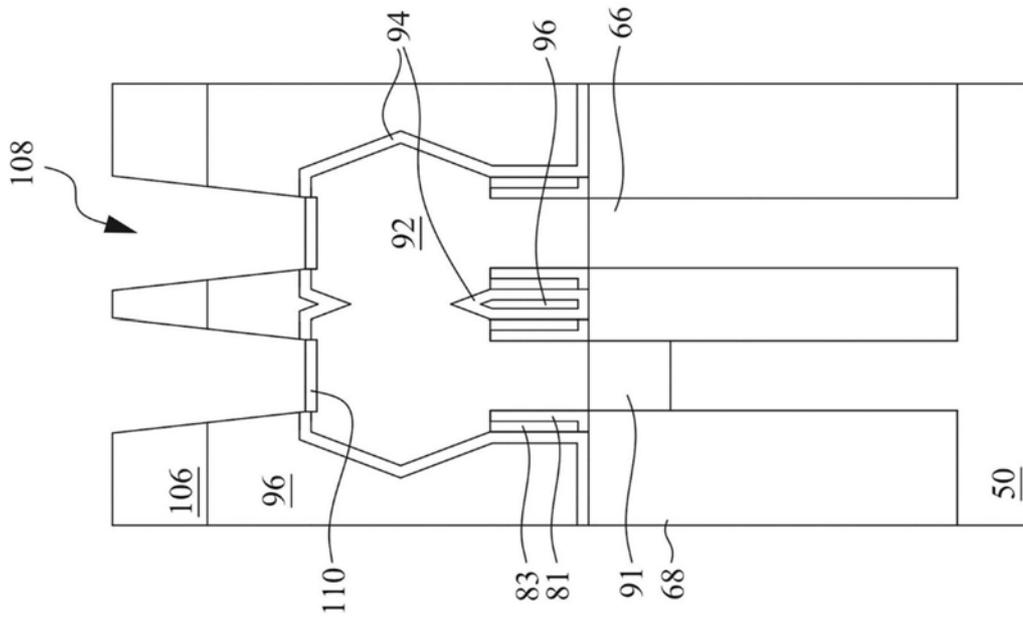


图19B

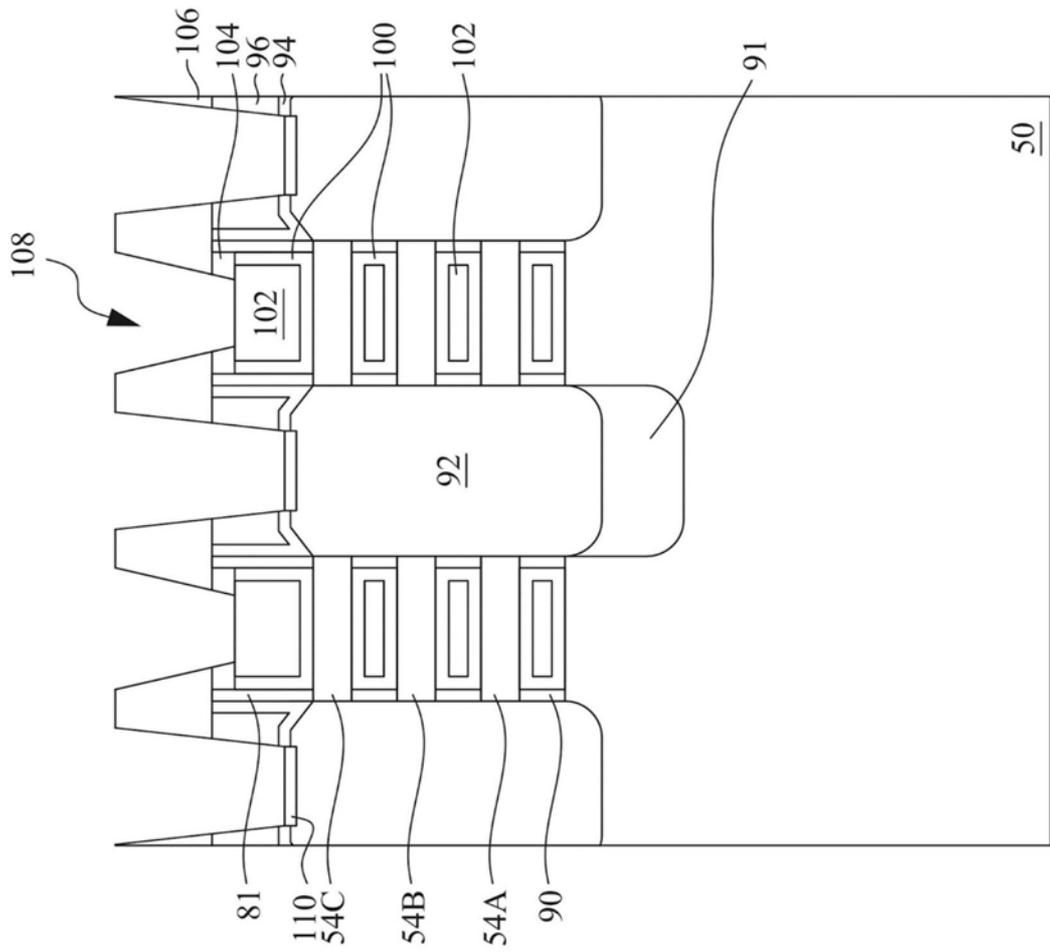


图19C

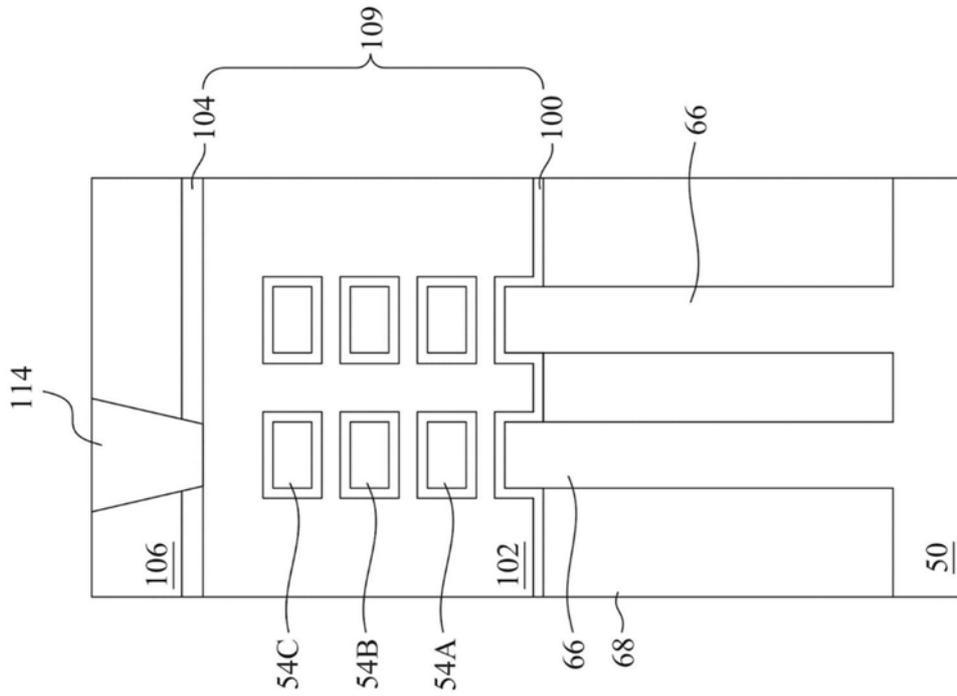


图20A

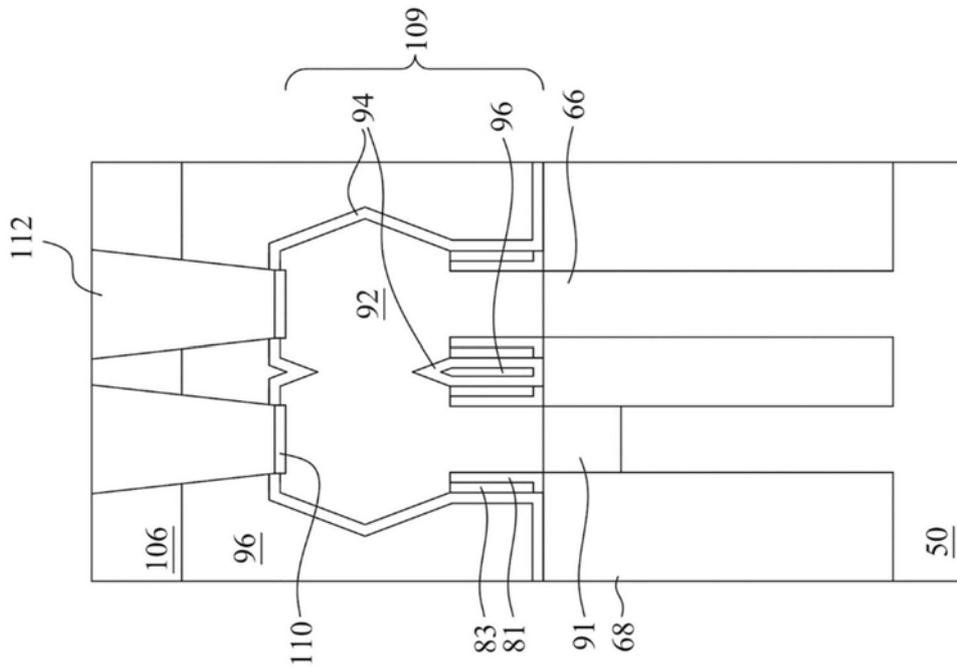


图20B

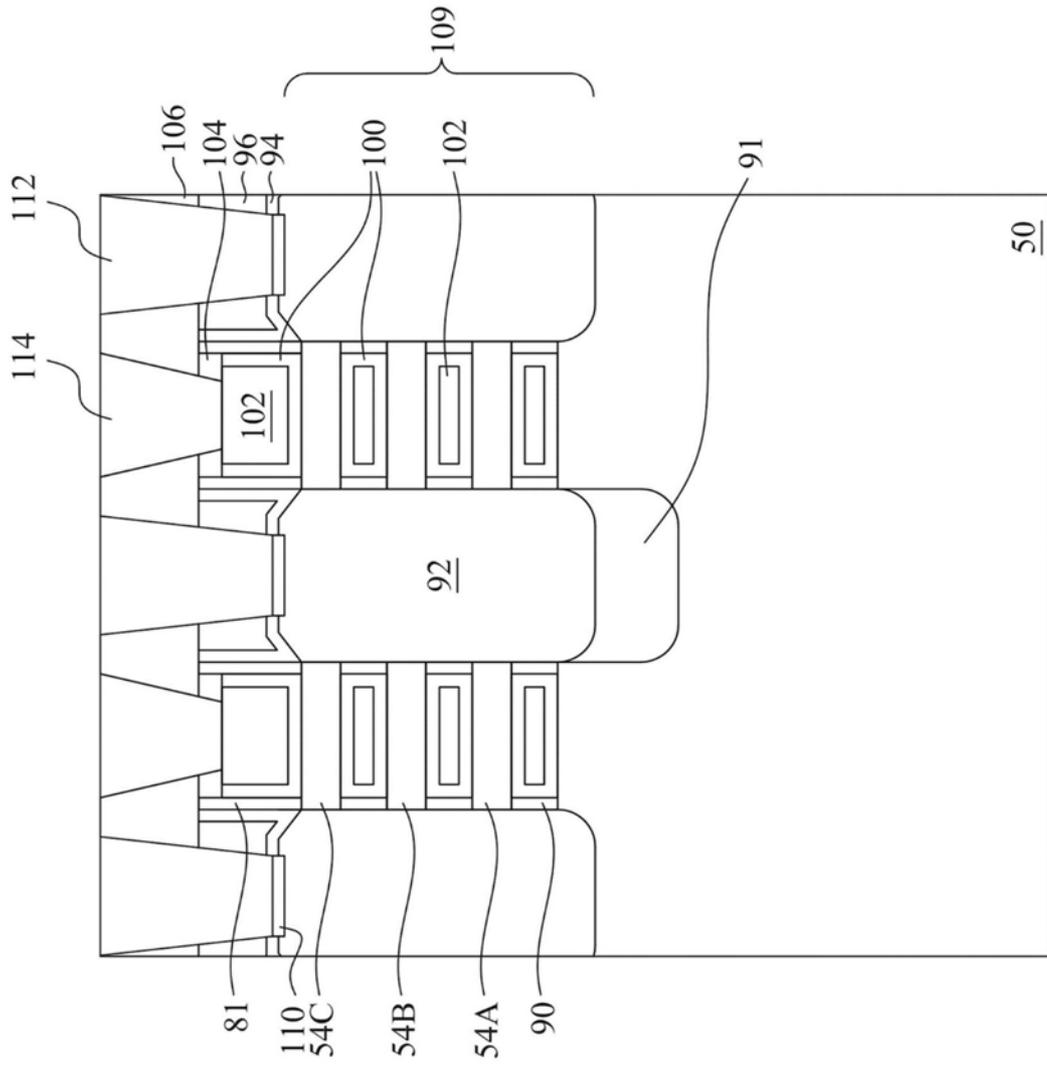


图20C

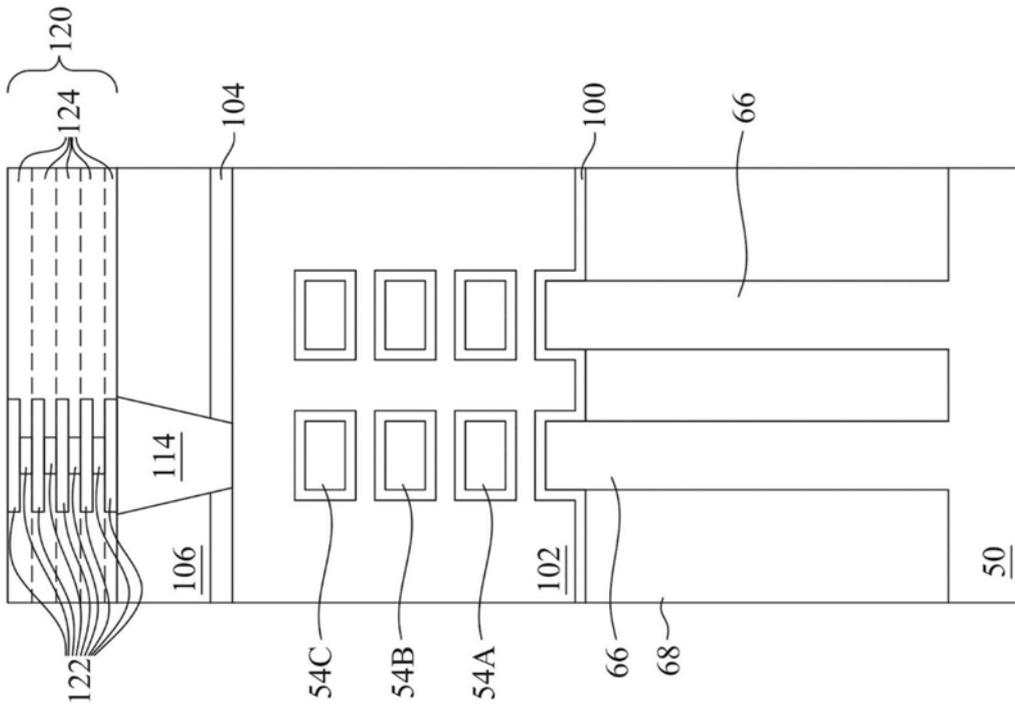


图21A

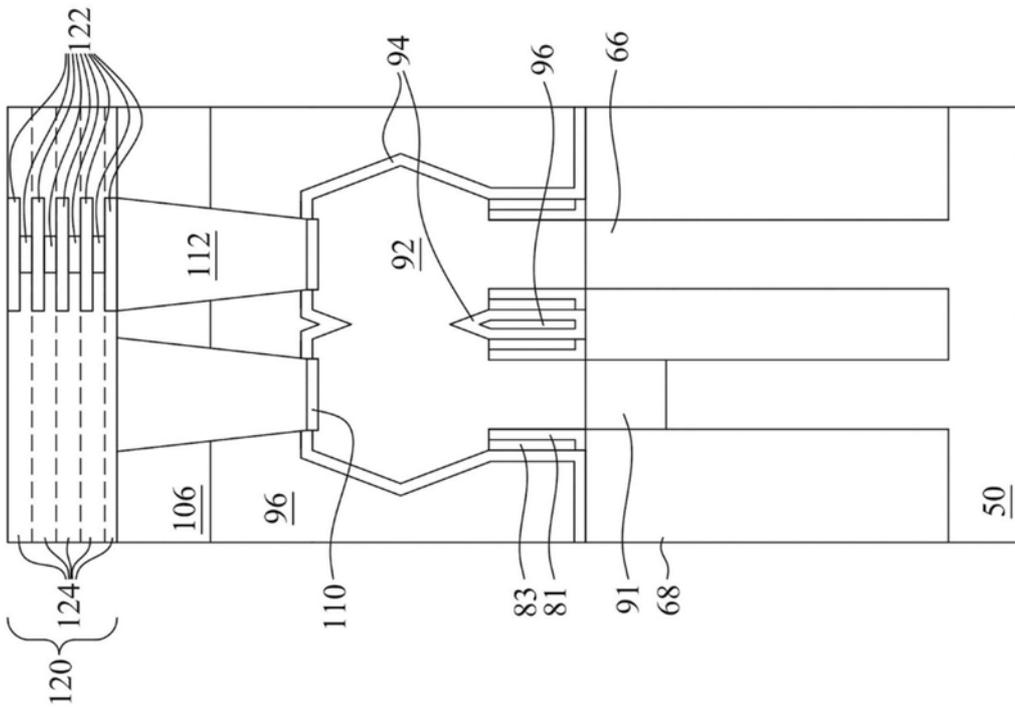


图21B

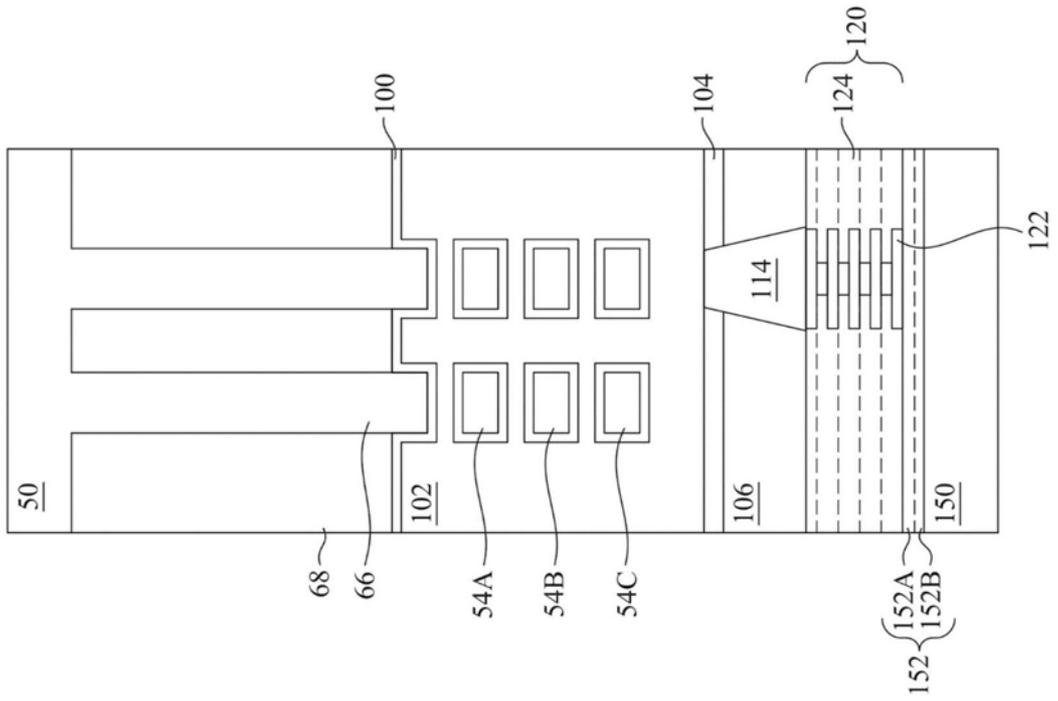


图22A

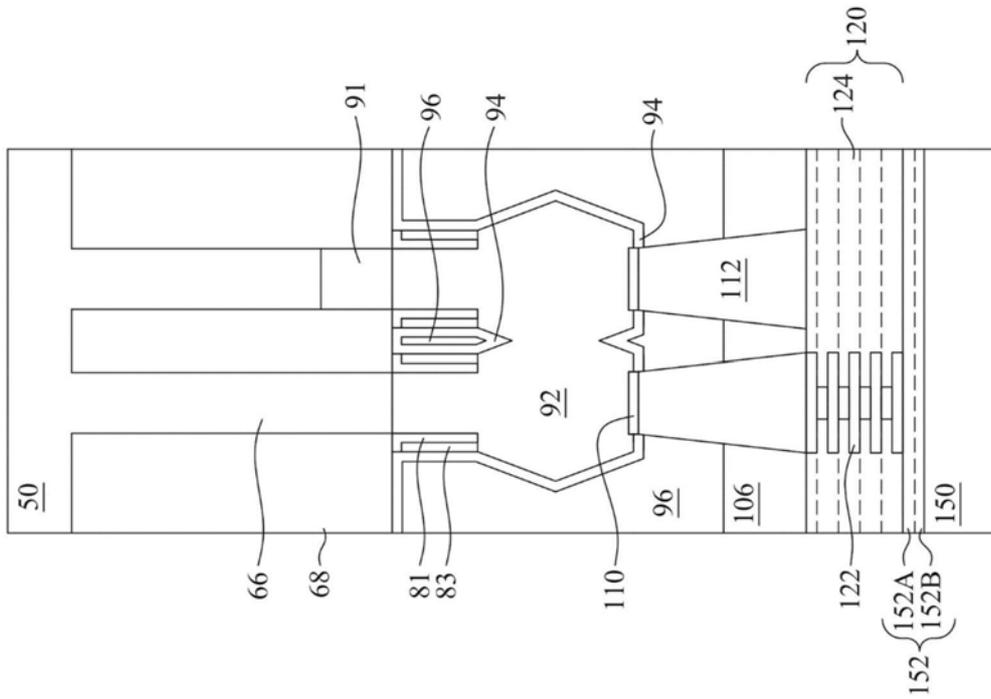


图22B

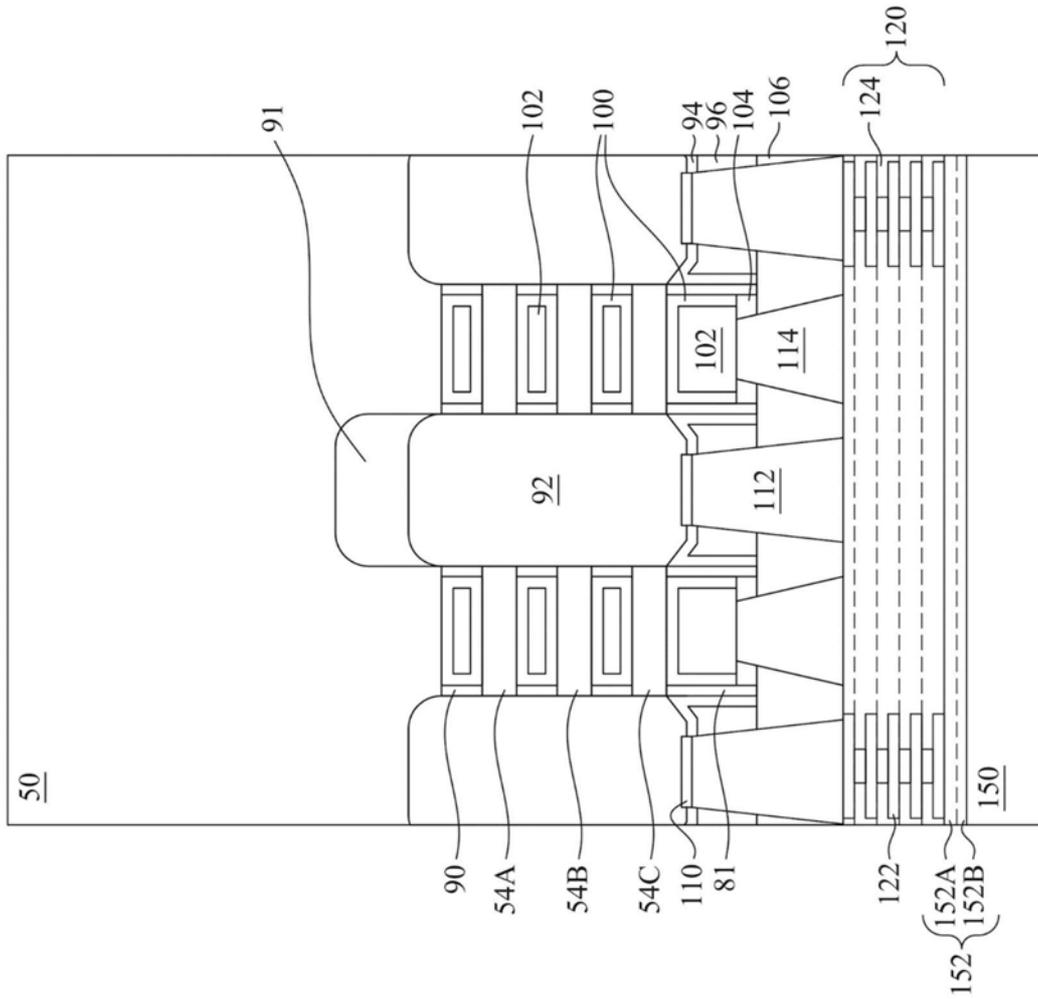


图22C

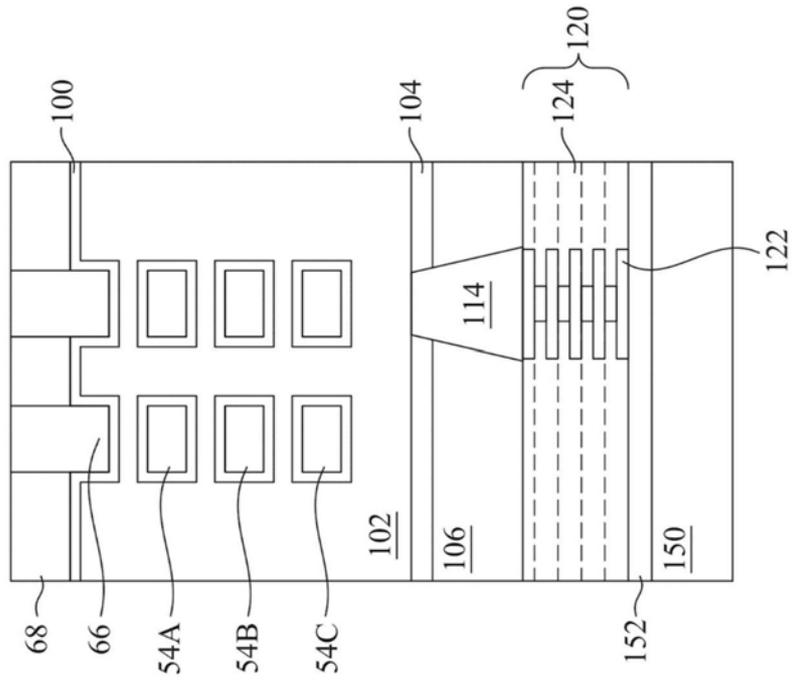


图23A

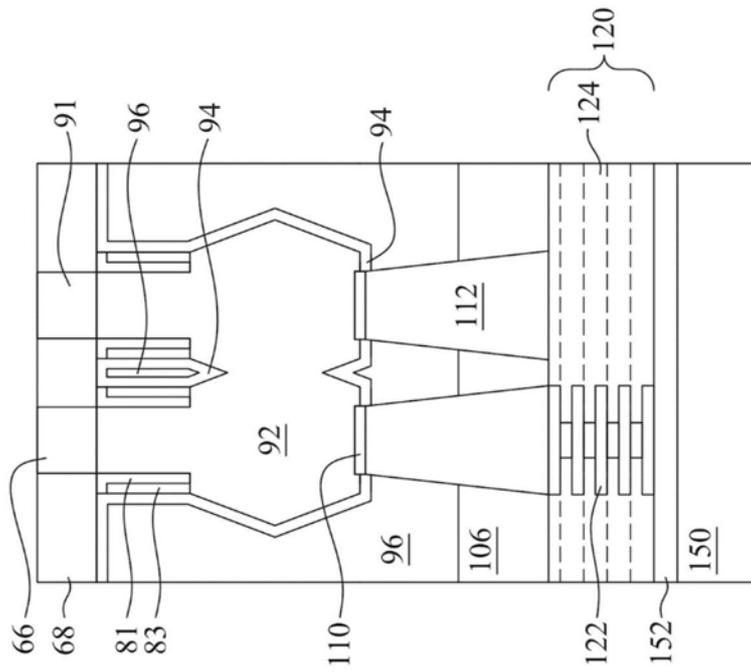


图23B

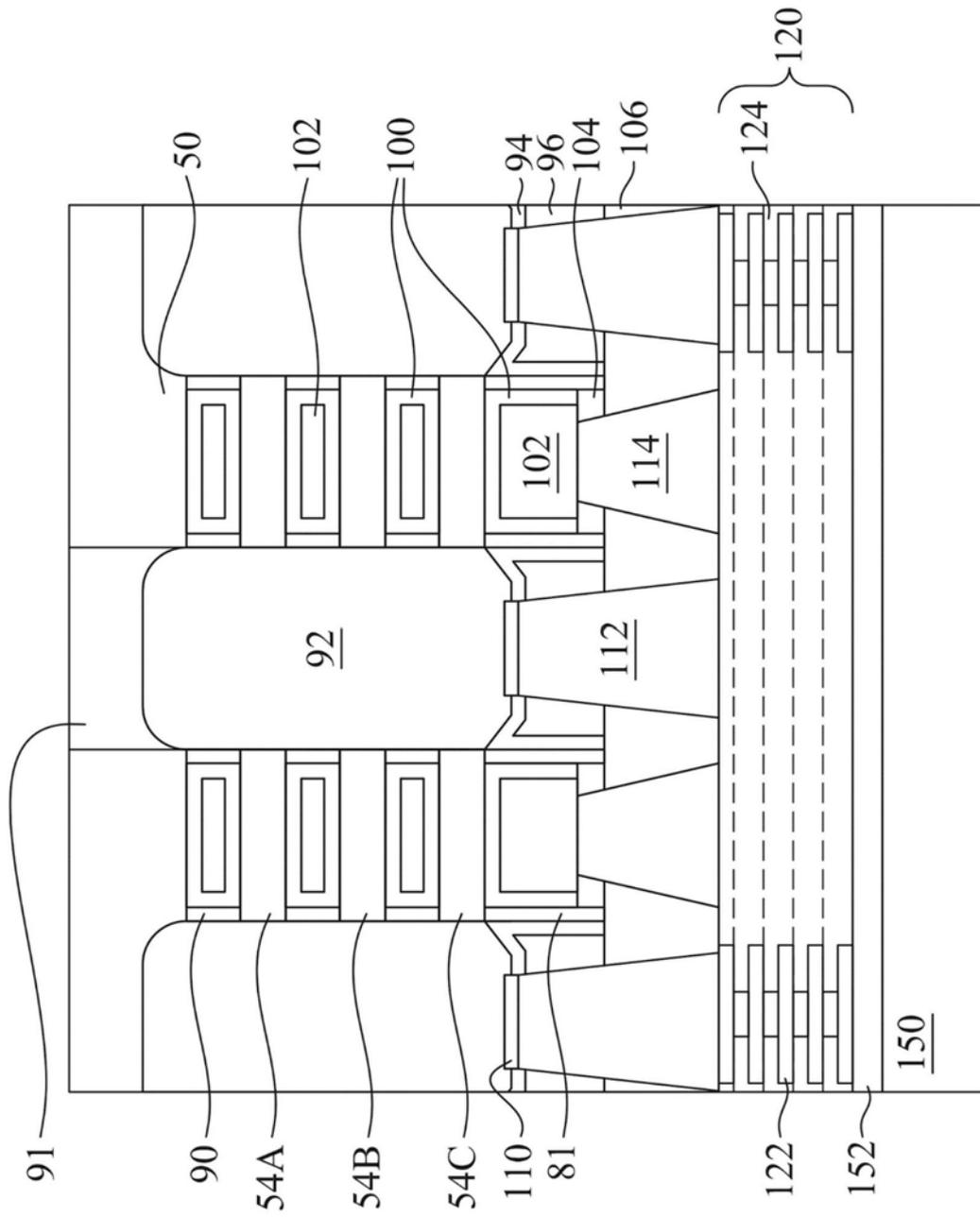


图23C

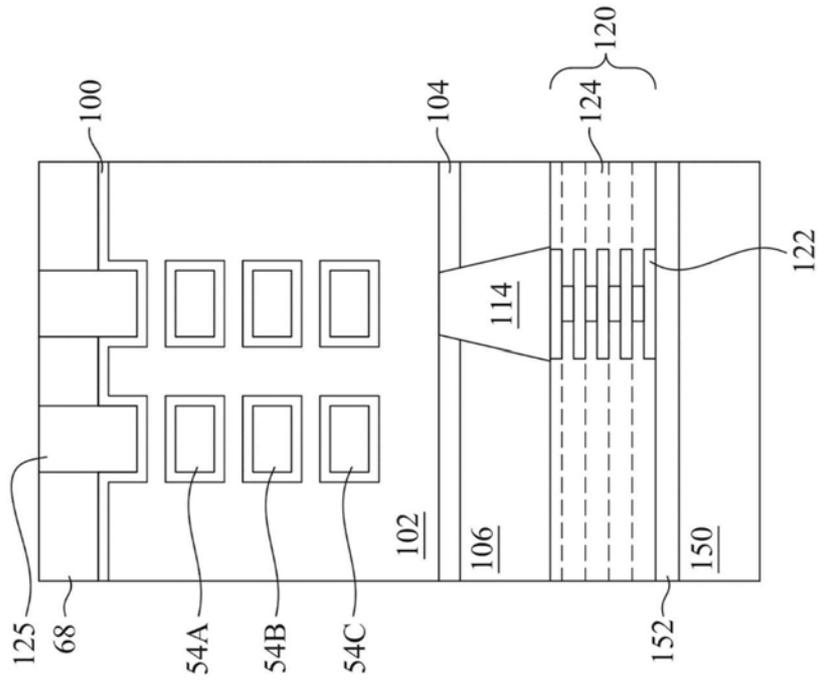


图24A

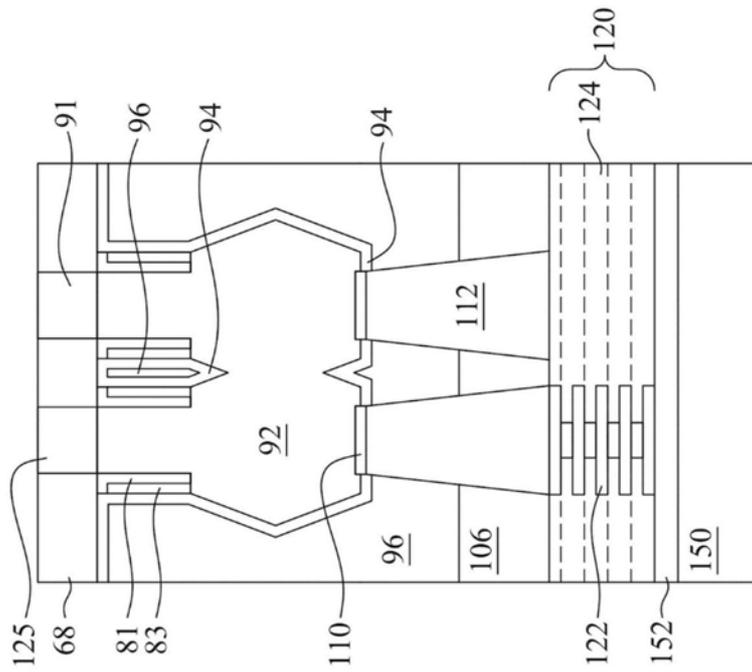


图24B

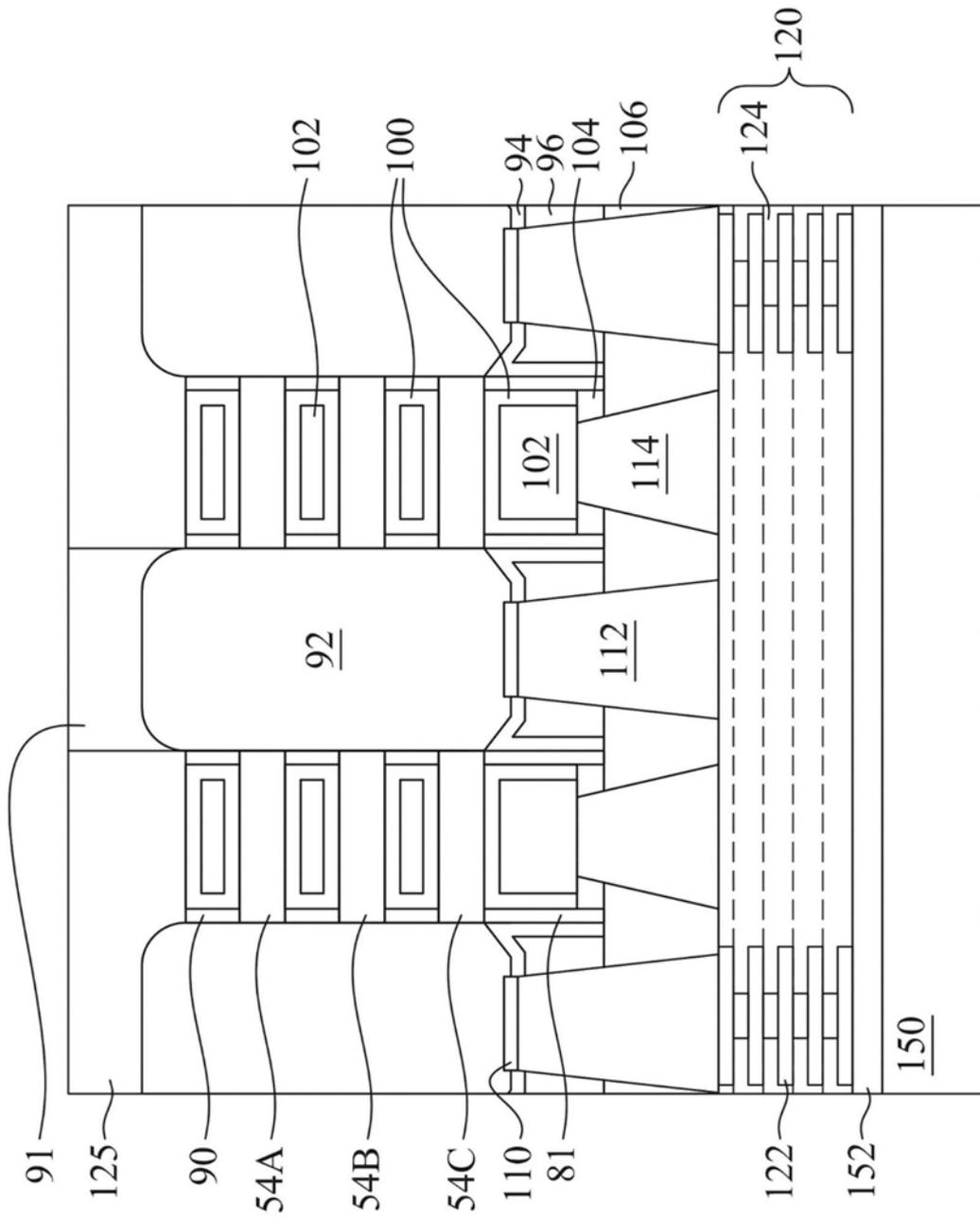


图24C

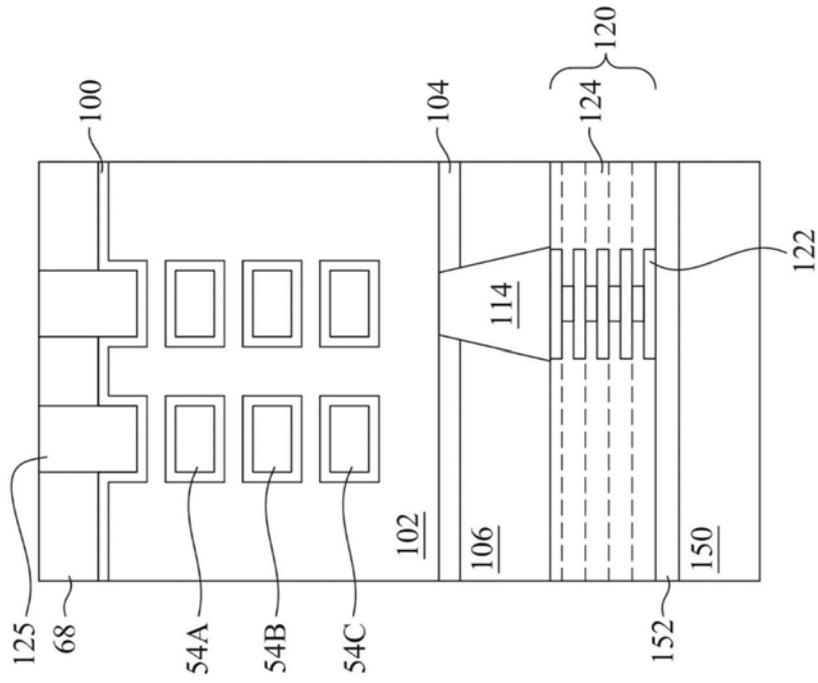


图25A

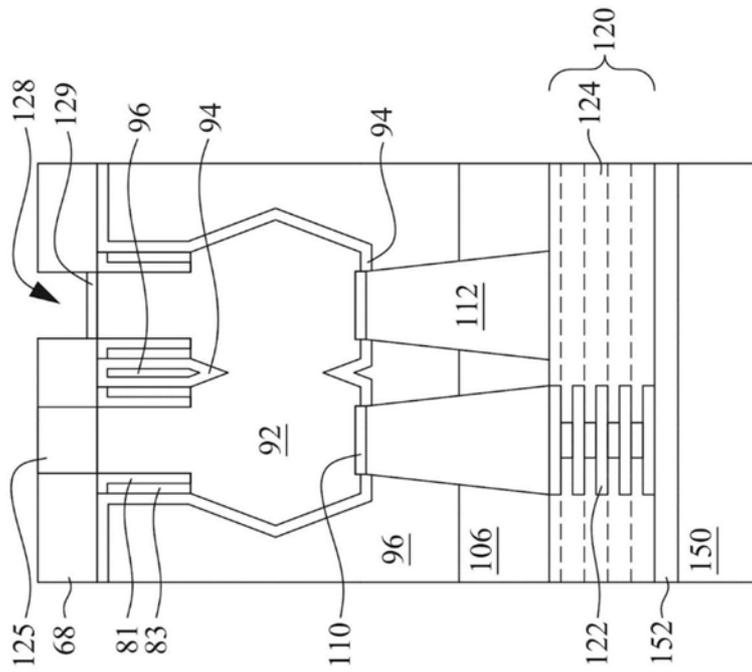


图25B

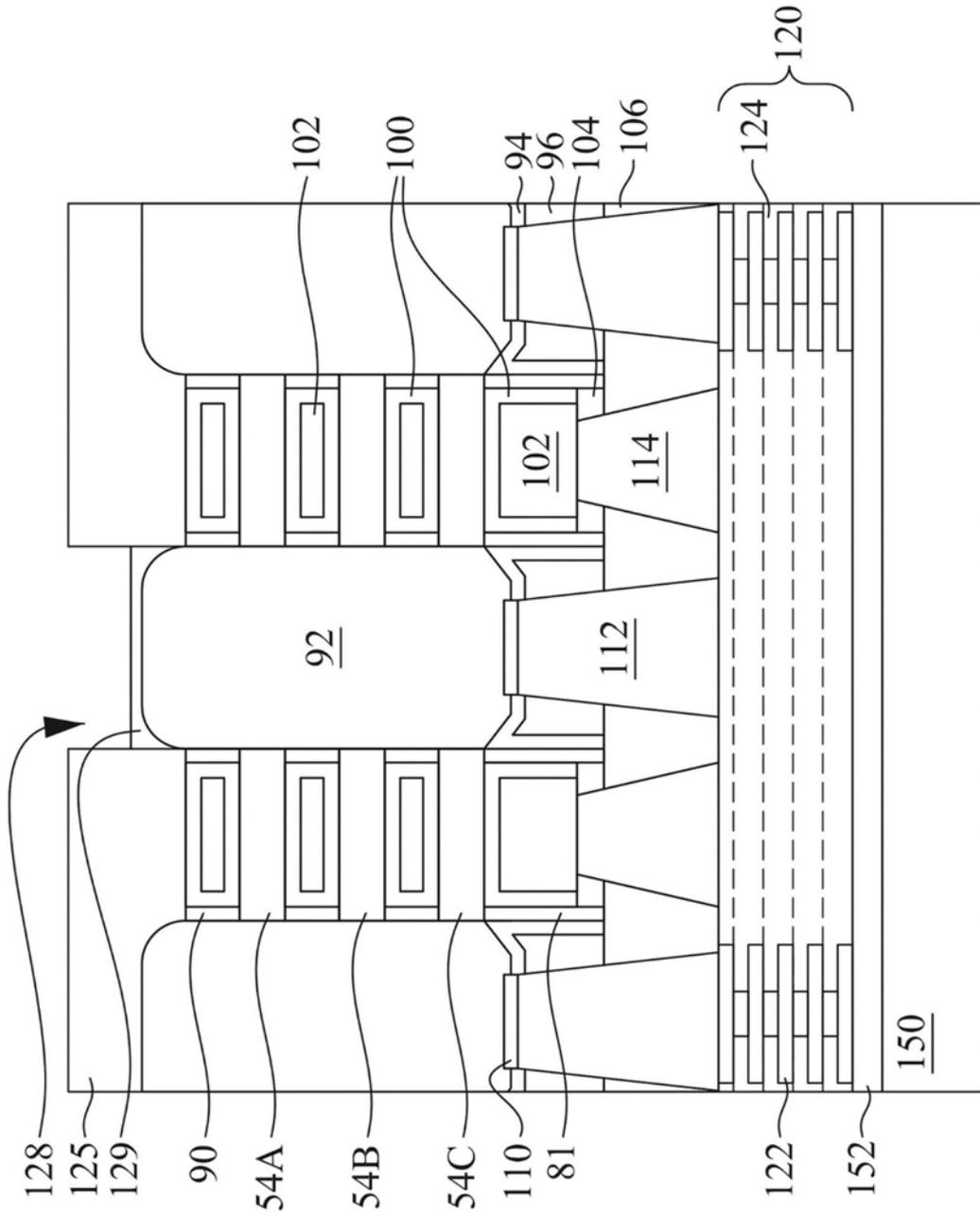


图25C

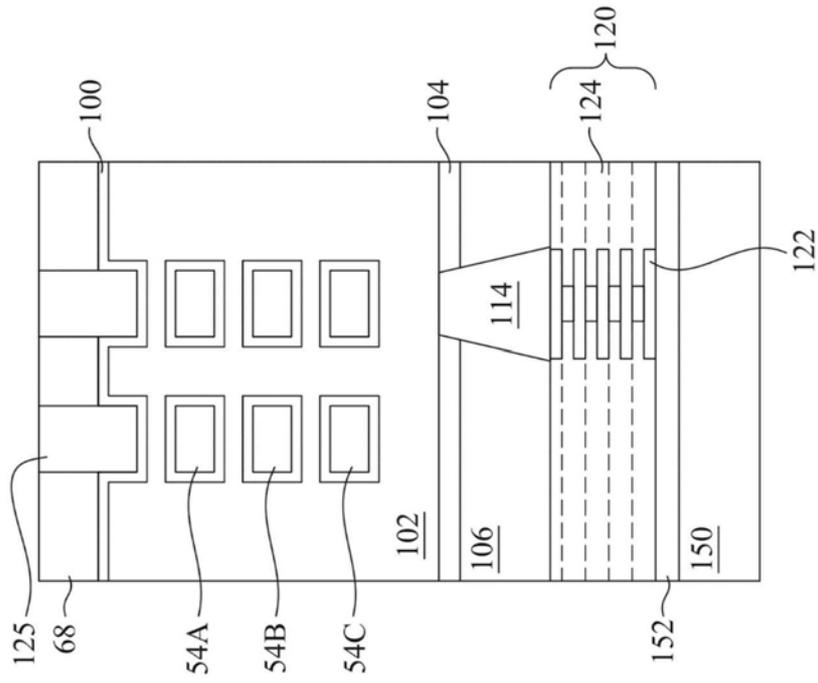


图26A

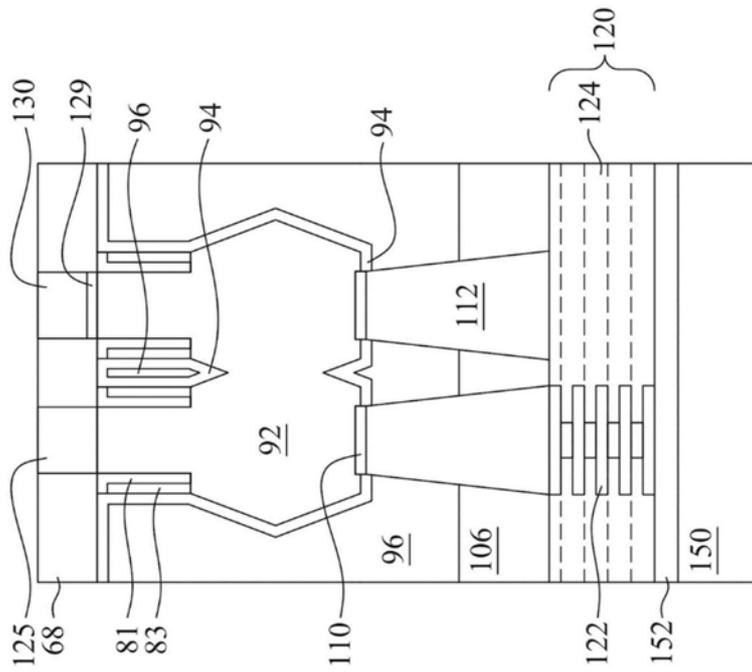


图26B

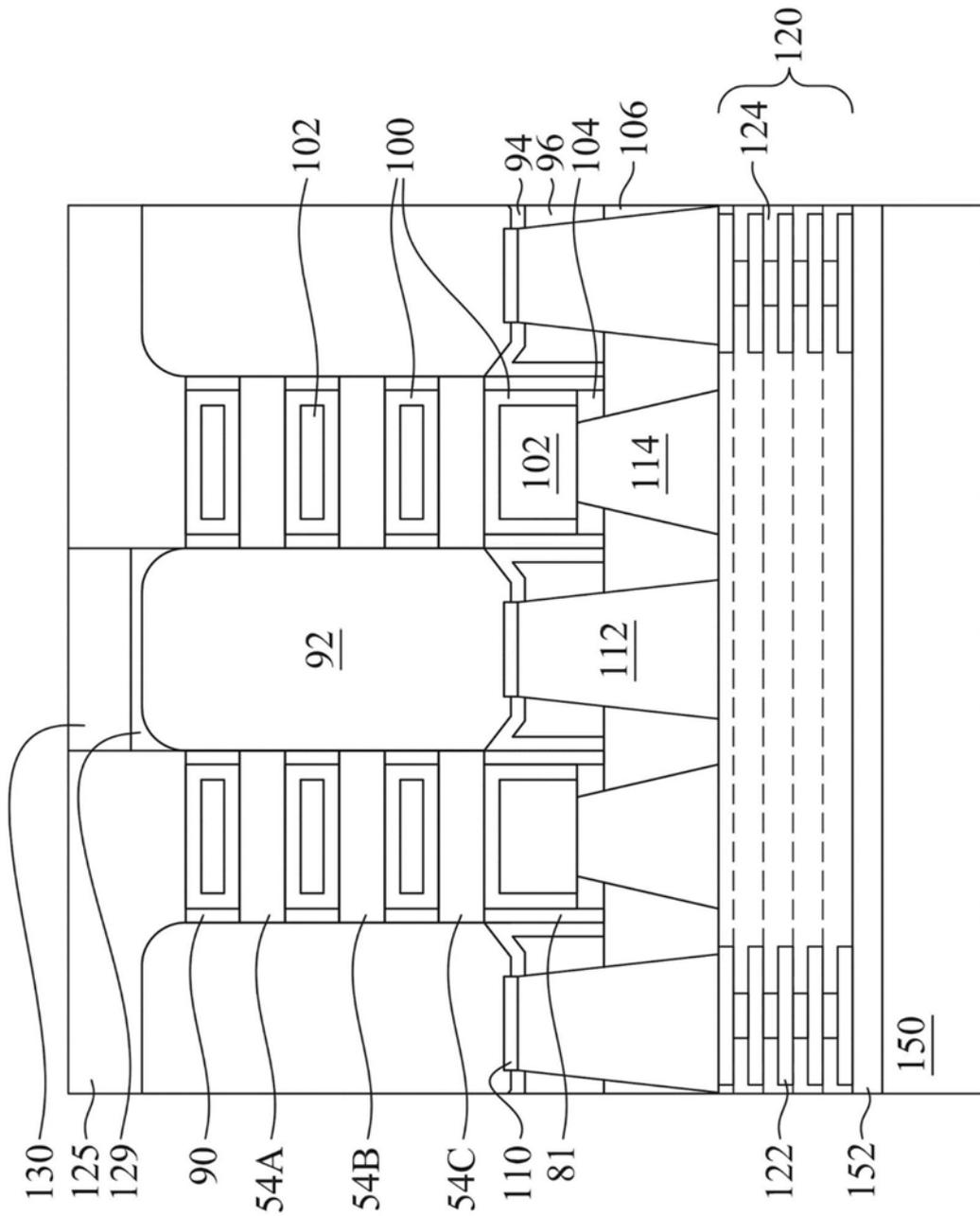


图26C

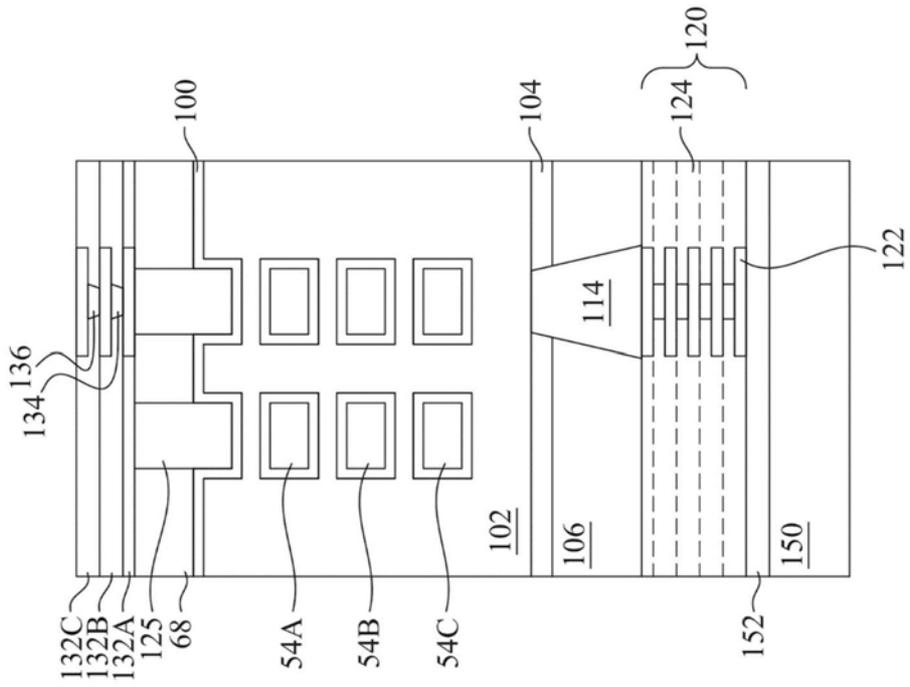


图27A

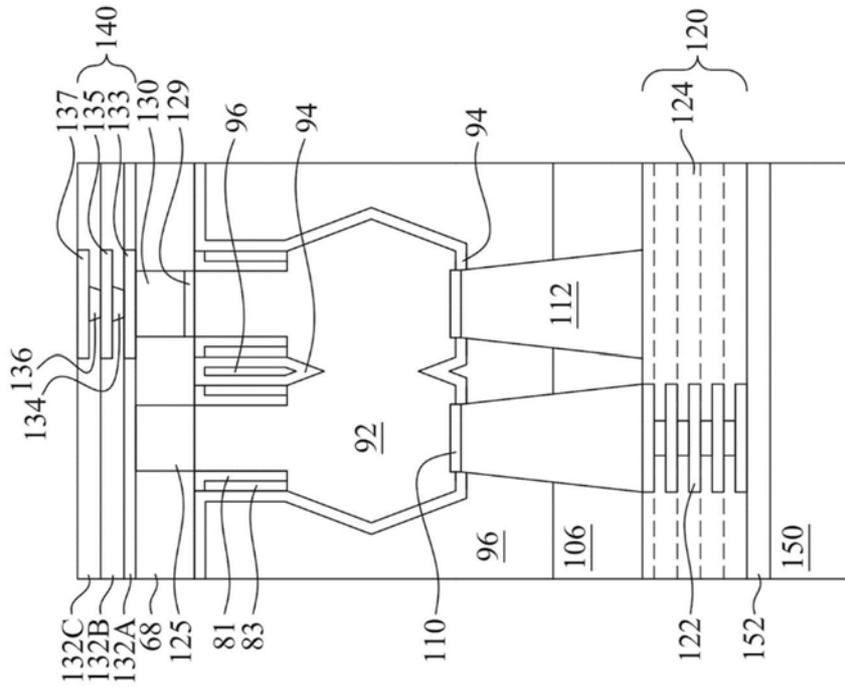


图27B

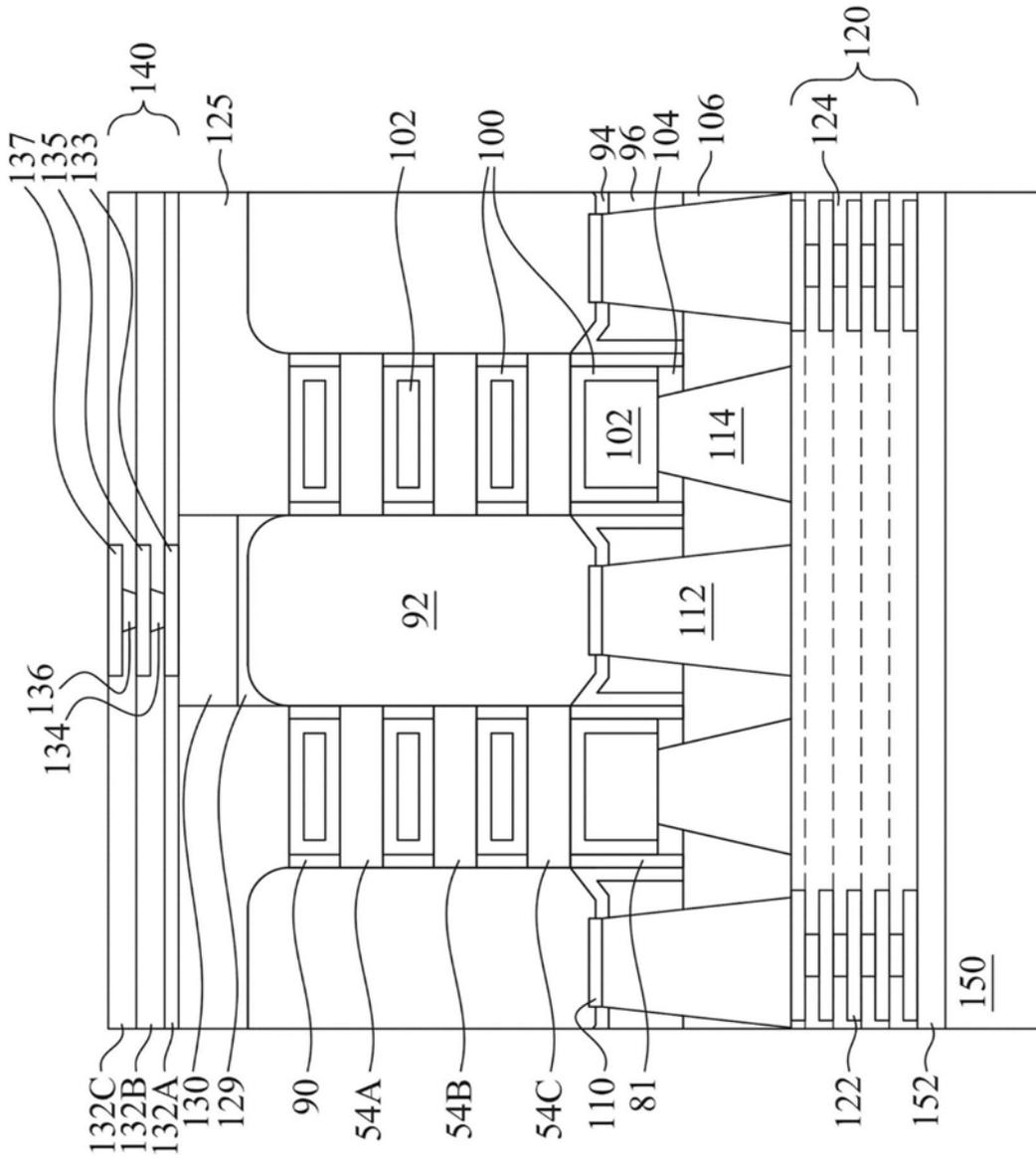


图27C

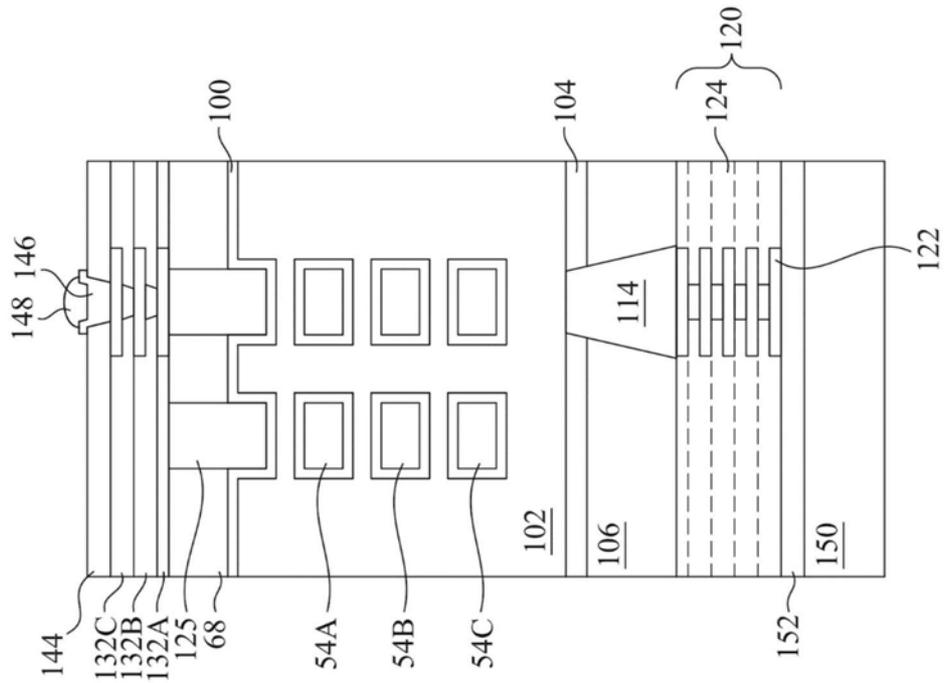


图28A

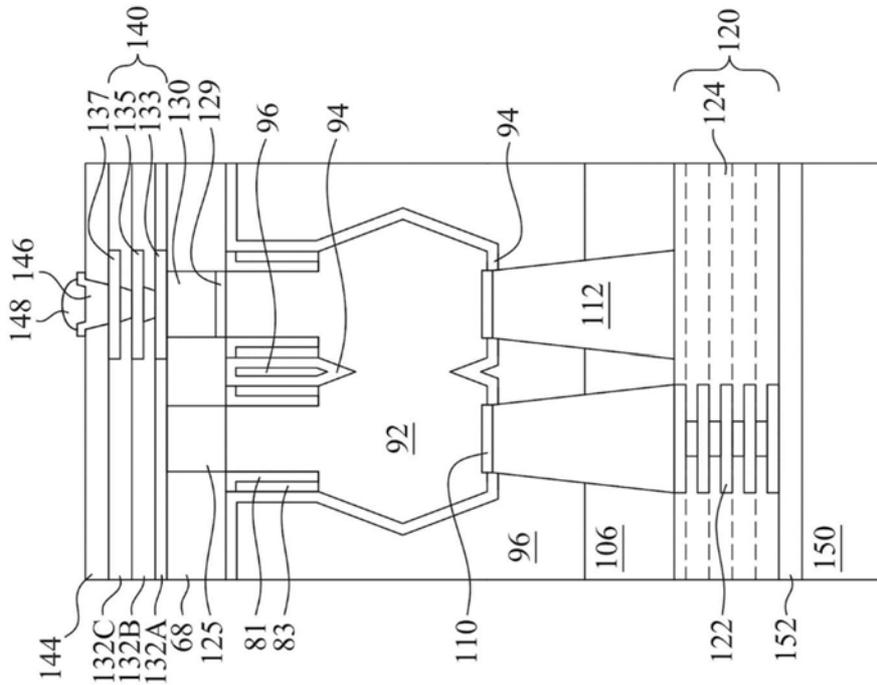


图28B

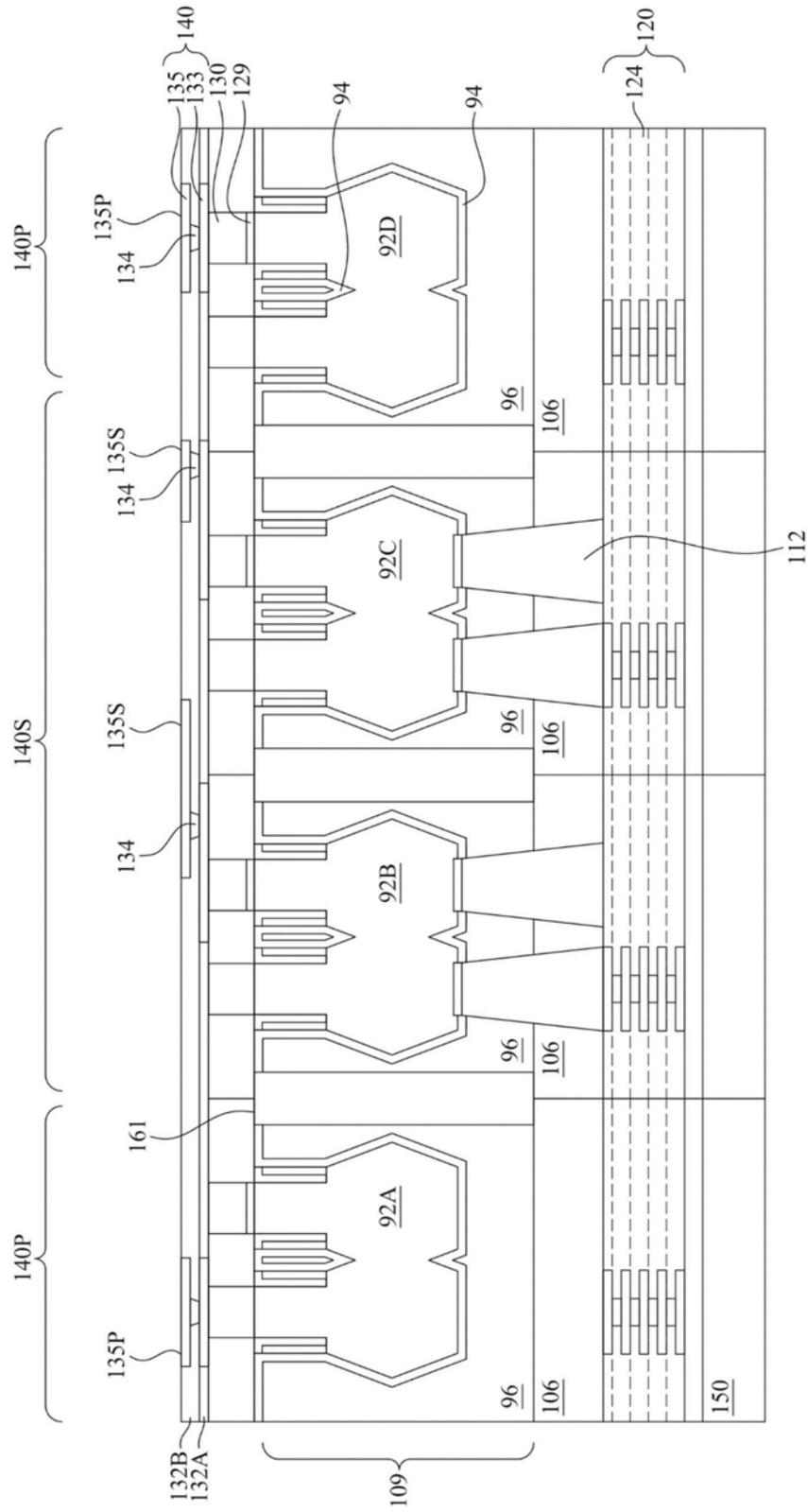


图29A

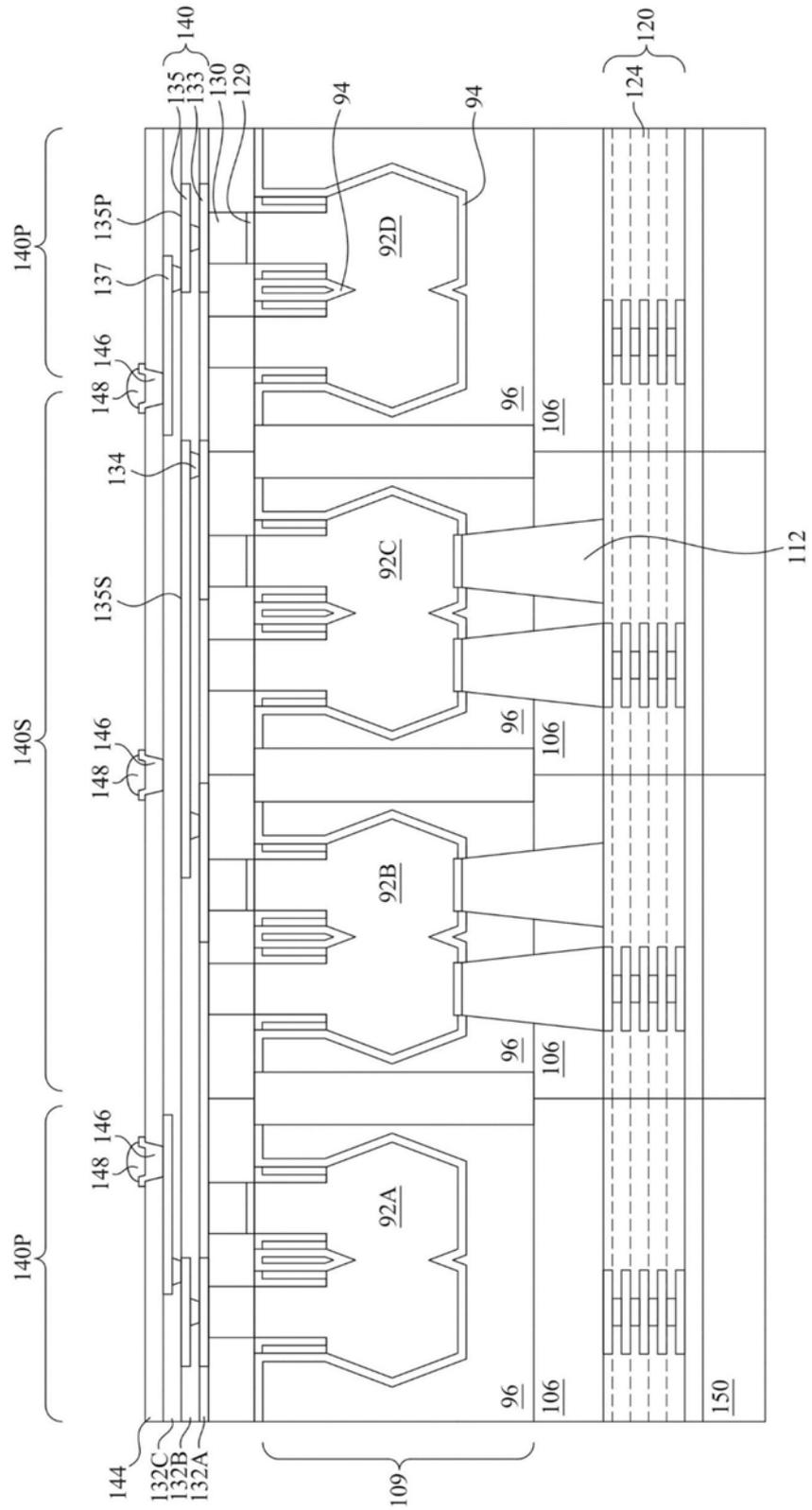


图29B

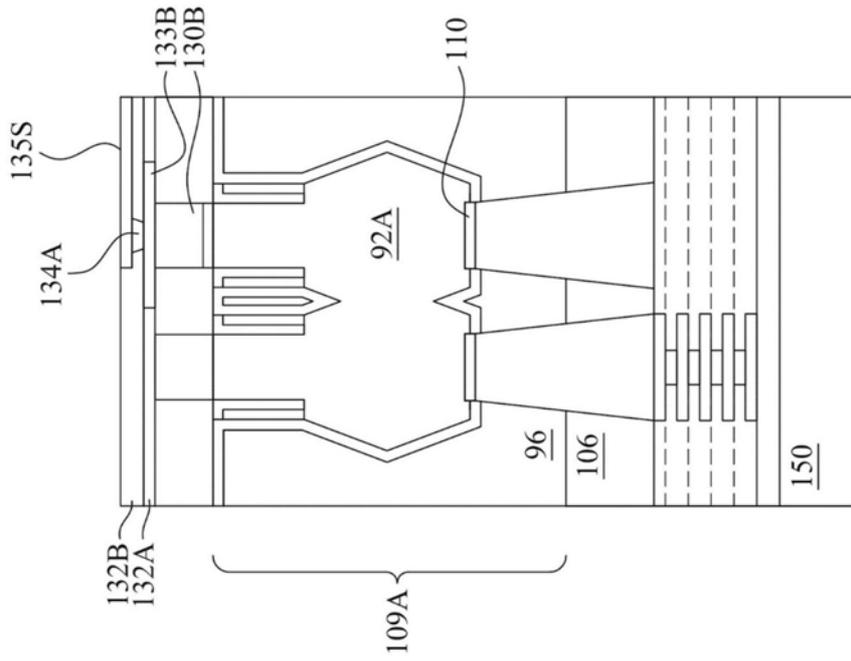


图30A

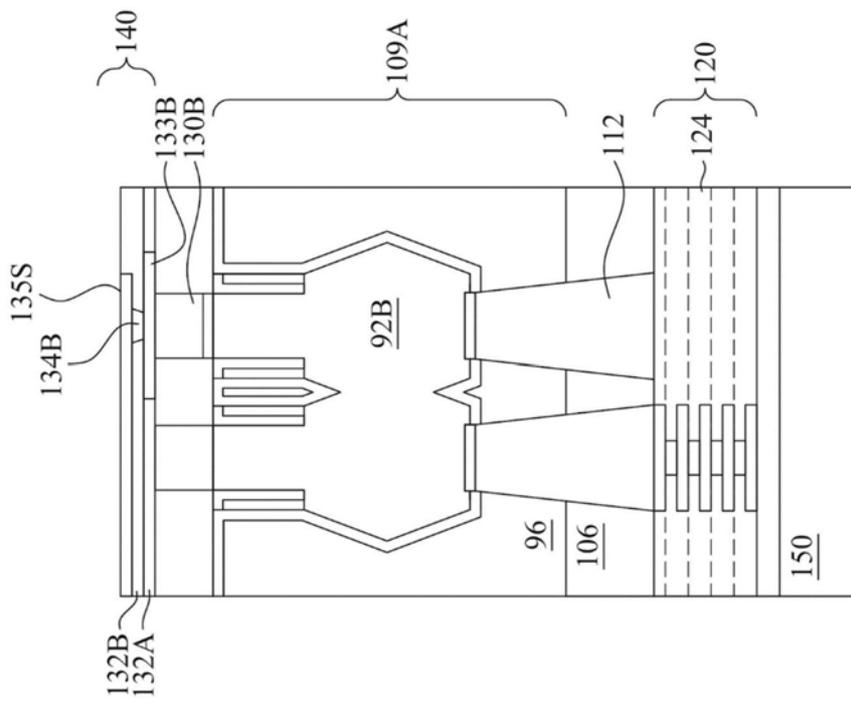


图30B

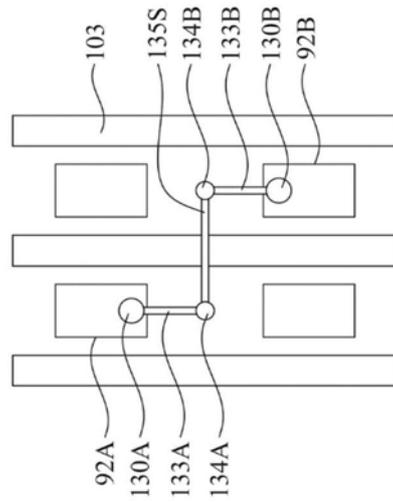


图30C

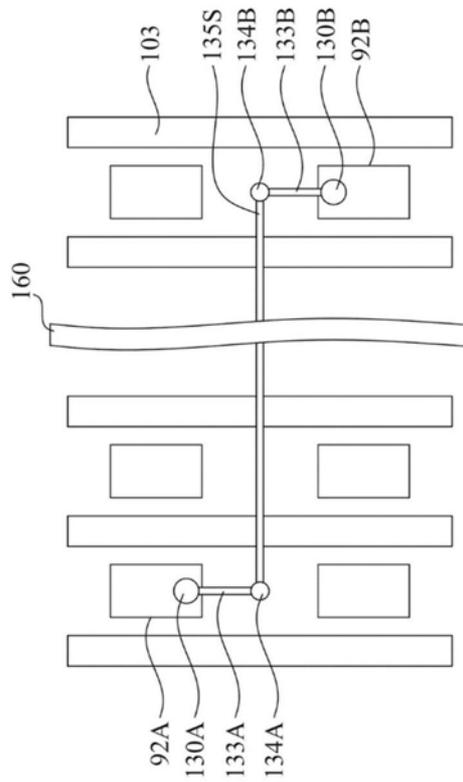


图30D

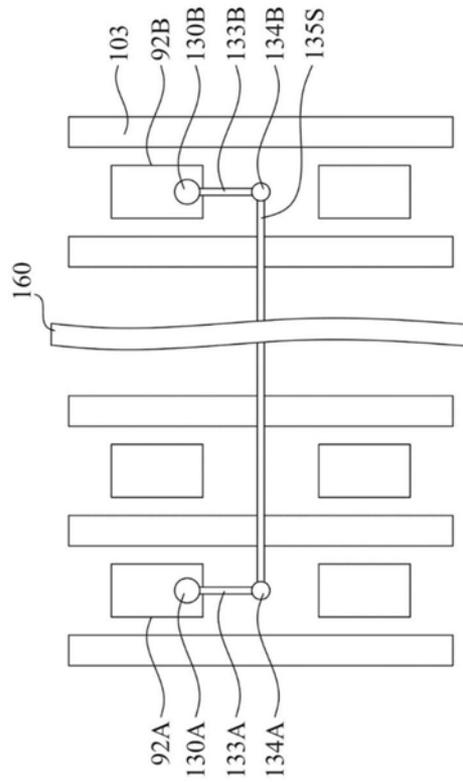


图30E

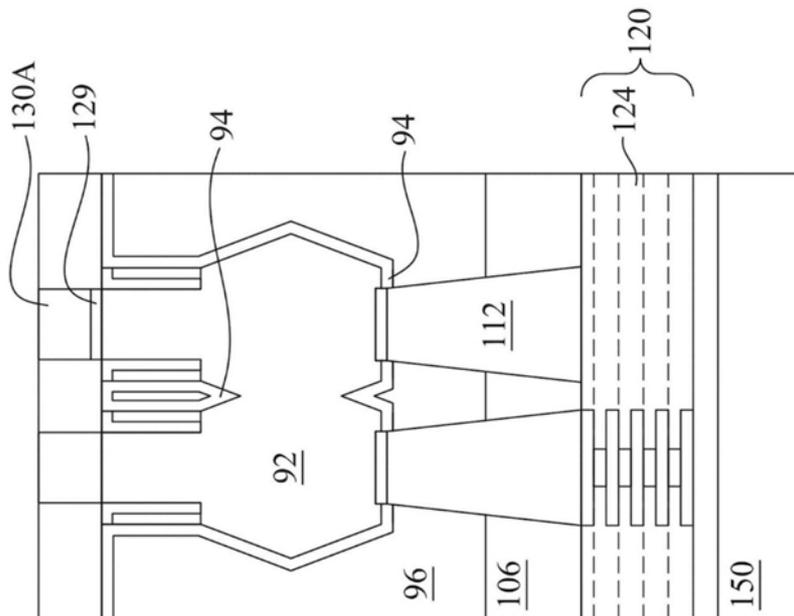


图31A

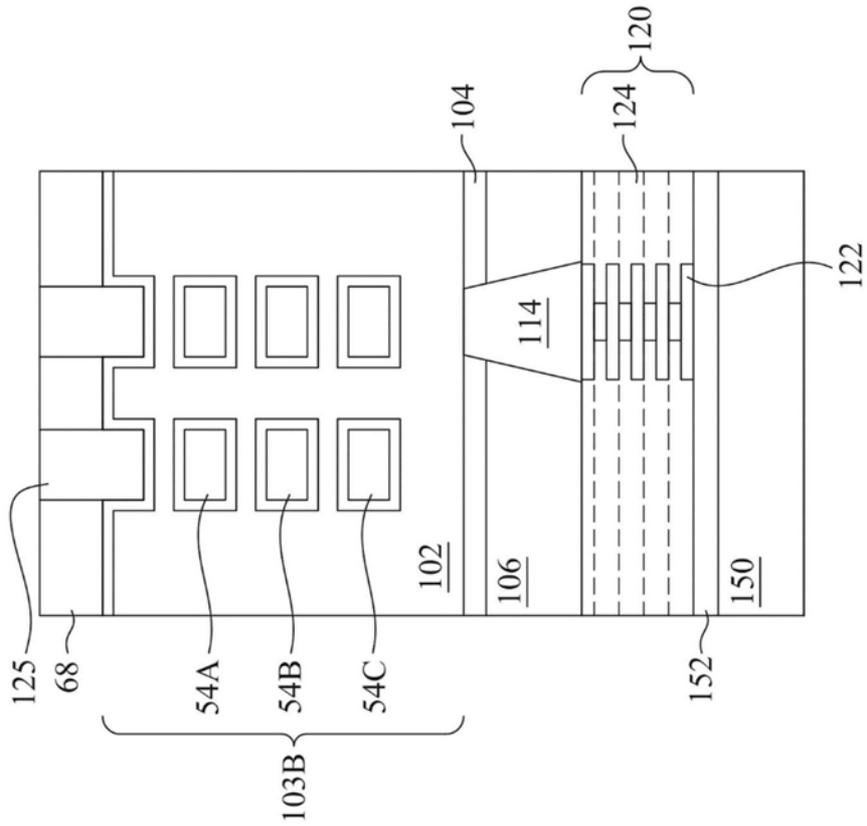


图31B

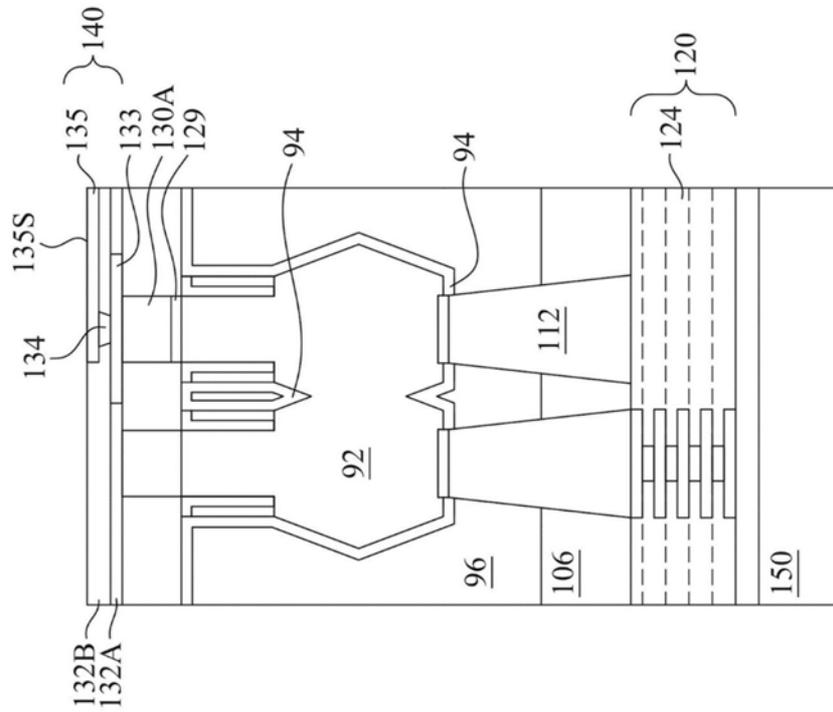


图31C

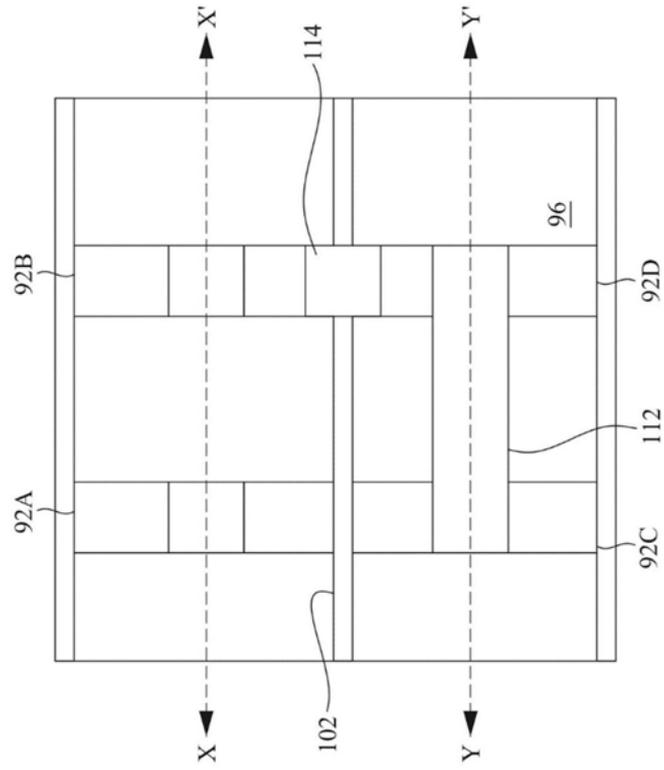


图32D

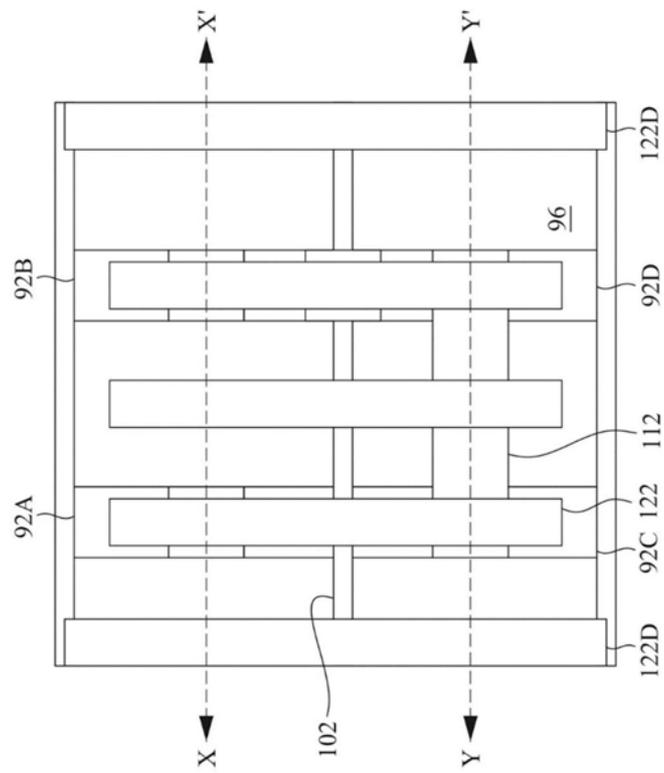


图32E

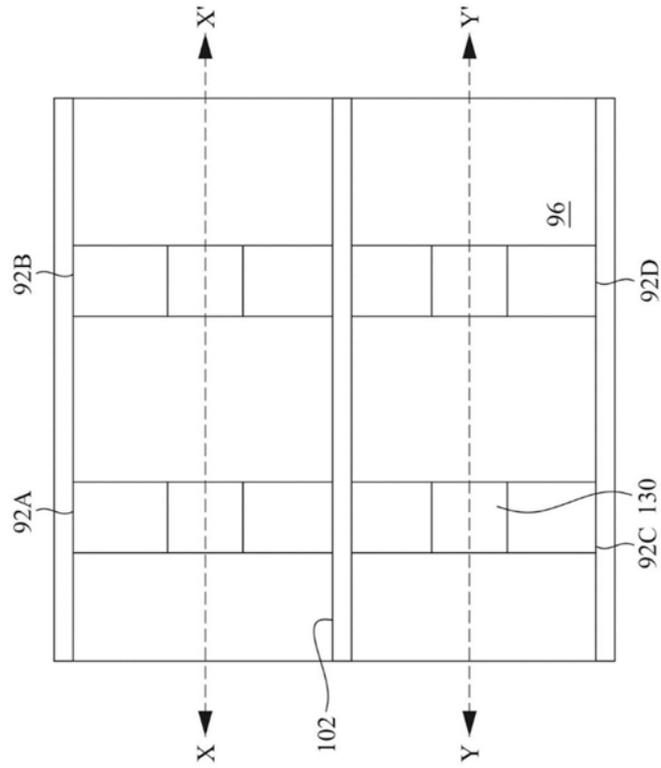


图32F

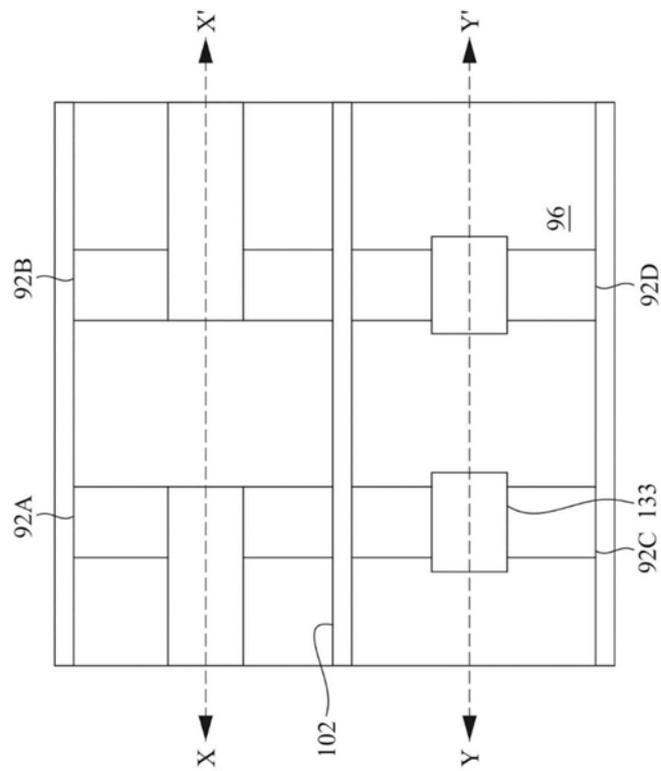


图32G

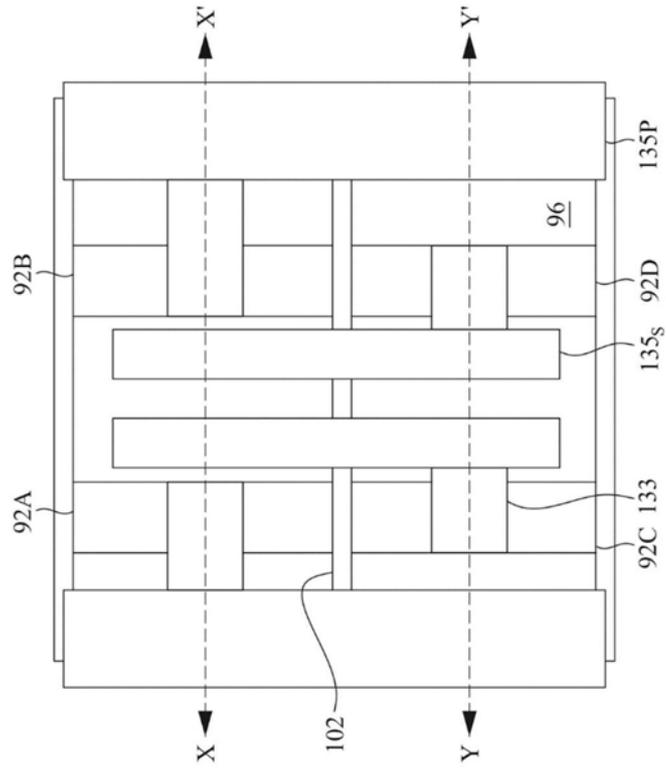


图32H

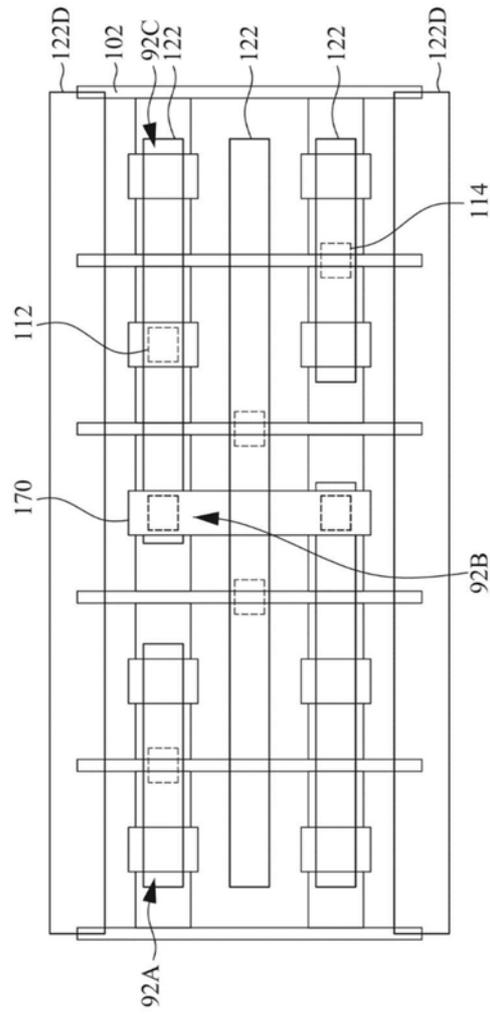


图33A

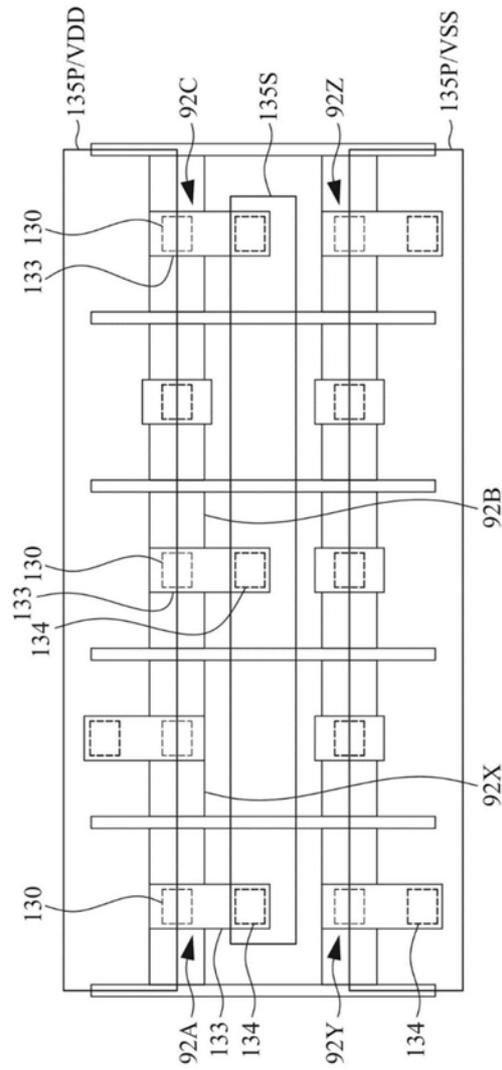


图33B

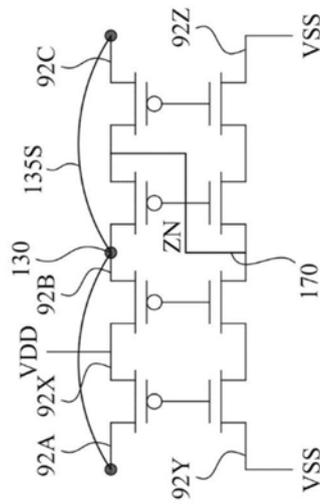


图33C

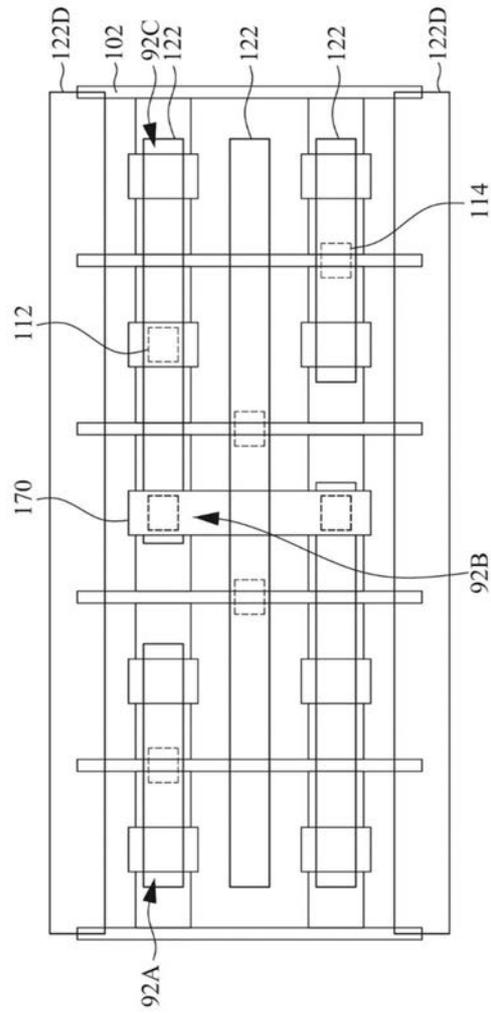


图34A

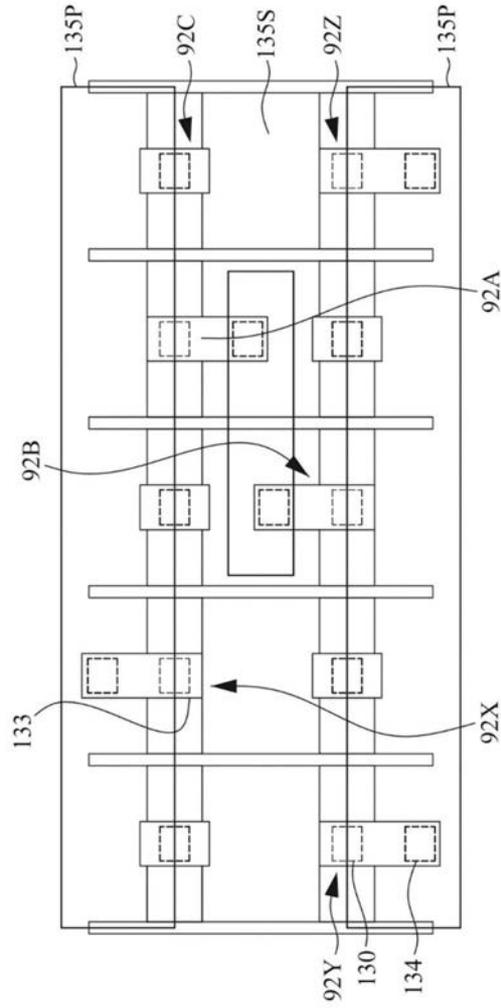


图34B

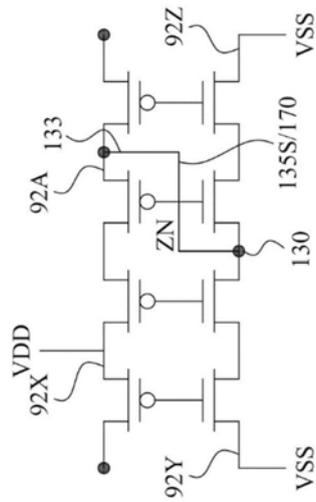


图34C