(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.^{7}
H01L 21/76

(11) 공개번호 **특2003-0050096**
(43) 공개일자 **2003년06월25일**

(21) 출원번호 10-2001-0080488
(22) 출원일자 2001년12월18일

(71) 출원인 삼성전자주식회사
경기도 수원시 팔달구 매탄3동 416번지

(72) 발명자 정희근
서울특별시강남구개포동12번지대치아파트219동206호

(74) 대리인 임창현

심사청구 : 없음

(54) 트랜치형 소자 분리 방법

요약

트렌치형 소자 분리 방법이 개시된다. 이 방법에서는 통상의 트랜치형 소자 분리 방법에서 트렌치 식각에 이은 어닐링 및 실리콘 질화막 라이너 형성 전에 기판 습식 식각을 통해 식각 저지막 패턴 하부의 패드 산화막 일부를 측방으로 리세스 시키는 단계가 더 구비되는 것을 특징으로 한다. 따르서, 패드막을 리세스시키는 비교적 간단한 부가 공정을 통해 트렌치형 소자 분리 방법에서 고질적인 문제가 되는 덴트 현상을 방지할 수 있게 된다.

대표도

도 9

명세서

도면의 간단한 설명

도1 내지 도5는 종래의 트랜치형 소자 분리 방법의 각 단계를 나타내는 공정 단면도들,

도6 내지 도12는 종래의 트랜치형 소자 분리 방법의 각 단계를 나타내는 공정 단면도들이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 형성 방법에 관한 것으로, 보다 상세하게는 기판에 대한 트랜치형 소자 분리 방법에 관한 것이다.

반도체 장치는 한정된 면적의 기판에 많은 전자 소자를 형성하고, 이들을 연관시키는 배선을 형성함으로써 이루어진다. 기판 상의 각 전자 소자가 정상적으로 운영되기 위해 인근 소자의 작동시 영향을 받지 않도록 소자 사이의 분리가 필요하다.

소자 분리를 위해서는 기판의 소자 사이 영역에 필드 산화막을 형성하는 방법을 주로 사용하게 된다. 종래에는 필드 산화막 형성을 위해 기판 일부를 습식 산화하는 LOCOS(Local Oxidation of Silicon) 방법을 주로 사용하였다. 그러나, LOCOS 방법은 필드 산화막 주변 활성 영역으로 산화막이 얇게 침투하는 버즈 빅(bird' beak) 현상이 발생하는 약점이 있다. 따라서, 반도체 장치의 소자 고집적화가 진행되면서 필드 산화막 영역을 좁히고 활성 영역을 상대적으로 확장시킬 필요가 증대됨에 따라 트렌치형 소자 분리 방법이 많이 사용된다.

도1 내지 도5는 종래의 트랜치형 소자 분리 방법의 각 단계를 나타내는 공정 단면도들이다.

이상 도면을 참조하여 종래의 트랜치형 소자 분리 방법을 설명하면, 먼저, 기판(10)에 패드 산화막(20)과 식각 저지막으로서 실리콘 질화막을 형성한다. 통상의 패터닝 공정을 통해 트렌치 영역에서 식각 저지막을 제거하여 식각 저지막 패턴(30)을 형성하고, 이어서 식각 저지막 패턴(30)을 식각 마스크로 기판(10)을 식각하여 도1과 같은 형태의 트랜치(40)를 형성한다.

트랜치(40) 측벽에 대한 식각 손상을 치유시키기 위한 어닐링을 실시한다. 이때, 트랜치 내벽을 포함하는 기판 표면에 열산화막(50)이 형성된다. 이어서, 기판 전면에 실리콘 질화막 라이너(60)를 형성하여 도2의 상태를 이룬다. 여기서 라이너(60)는 후속 공정들에서 트랜치(40)를 채우는 소자 분리용 산화막(도3의 70)에 의해 산소가 확산되어 인근 기판(10)이 산화되는 것을 방지한다. 따라서, 라이너(60)는 기판(10) 산화에 의한 스트레스로 인해 주변 기판(10) 결정이 손상되고 결정 손상에 의해 전류 누설이 발생하는 것을 방지하는 역할을 하게 된다.

기판(10) 전면에 CVD를 통해 실리콘 산화막(70)이 적층되면서 도3과 같이 트렌치를 채우게 된다. 이어서, 기판 전면에 식각 저지막 패턴(30)이 드러날 때까지 CMP를 실시한다. 결과, 도4와 같이 트랜치에만 실리콘 산화막이 잔류하여 소자 분리막(71)을 이루게 된다.

소자 형성을 위해 활성 영역을 노출시키는 단계에서 식각 저지막 패턴(30)은 인산 습식 식각 등의 방법으로 제거된다. 그러나, 이때, 식각 저지막 패턴(30)과 동일한 재질로 이루어지는 라이너(60) 상단이 노출되어 있으므로 열산화막(50)과 트랜치를 채운 CVD 산화막(70) 사이의 라이너(60) 상단도 함께 제거되어 좁은 틈을 만든다. 또한, 후속 세정 과정 등에서 실리콘 산화막에 대해 식각력을 가진 세정액이 좁은 틈을 통해 주변 산화막을 제거할 수 있다. 결과, 도5와 같이 소자 분리막(71')과 활성 영역 경계부에 제거된 라이너를 중심으로 오목한 틈(80)을 형성하는 덴트 현상이 발생한다.

덴트 현상이 발생되면, 오목한 틈(80) 주위의 게이트 절연막이 얇게 형성되는 문제가 있고, 가령, 활성 영역에 트랜지스터가 형성될 때 이 틈에 게이트막이 채워지면 게이트 패터닝 과정에서 이 틈새의 게이트막은 쉽게 제거되지 않고 잔류할 수 있다. 이 잔류막은 길게 소오스 영역과 드레인 영역을 연결하는 바이 패스를 이루어 전류 누설을 일으킬 수도 있다. 한편, 얇게 형성된 게이트 절연막의 영향과 함께 게이트 전극과 이어진 잔류막이 채널의 양 모서리 부분에 작용하면 이 부분에 높은 전압이 인가되는 효과를 가져온다. 즉, 스레숄드 전압이 인가되기 전에 이미 채널 양단을 통해 전류가 일부 흐르게 함으로써 트랜지스터 특성을 불명확하게 하는 험프 현상도 일으킬 수 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상술한 종래의 트렌치형 소자 분리 방법에서 덴트 현상이 발생하고, 험프 등의 소자 불량이 발생하는 것을 방지하기 위한 것으로, 덴트를 방지할 수 있는 트렌치형 소자 분리 방법을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명은, 통상의 트랜치형 소자 분리 방법에서 트렌치 식각에 이은 어닐링 및 실리콘 질화막 라이너 형성 전에 기판 습식 식각을 통해 식각 저지막 패턴 하부의 패드 산화막 일부를 측방으로 리세스 시키는 단계가 더 구비되는 것을 특징으로 한다.

즉, 본 발명은, 기판에 패드막을 형성하고, 식각 저지막을 형성하는 단계, 패터닝 공정을 이용하여 트렌치 영역에서 식각 저지막, 패드막, 기판을 차례로 제거하여 식각 저지막 패턴, 패드막 패턴, 기판 트랜치를 형성하는 단계, 패드막 패턴에 대한 등방성 식각을 실시하여 패드막 패턴 단부를 측방으로 리세스시키는 단계, 트랜치 내벽을 포함하는 기판 전면에 라이너를 형성하는 단계, 기판 전면에 실리콘 산화막을 적층하여 트렌치를 채우는 단계, 기판 전면에 식각 저

지막 패턴이 드러날 때까지 CMP를 실시하는 단계, 활성 영역이 노출되도록 식각 저지막 패턴을 식각으로 제거하는 단계를 구비하여 이루어진다.

본 발명에서 통상, 라이너 형성 전에 트랜치 측벽이 트렌치 식각 과정에서 입은 결정 손상을 치유하기 위한 어닐링을 실시하는 단계, 즉, 트랜치 내벽에 열산화막을 형성하는 단계가 더 이루어진다.

본 발명에서 패드막은 대개 실리콘 기판의 열산화를 통한 실리콘 산화막으로 이루어지나 실리콘 질화막 및 기판과 식각선택비를 가지는 다른 물질로 이루어질 수 있다. 이 경우, 패드막을 측방으로 리세스시키는 단계에서 등방성 식각 물질로는 패드막에 선택성을 가지는 것을 사용해야 한다.

본 발명에서 라이너나 식각 방지막은 실리콘 질화막을 사용하지만 패드막 및 기판과 식각 선택비를 가지는 다른 물질로 이루어지는 경우도 상정할 수 있다. 단, 라이너의 기능을 위해 산소 확산을 막는 베리어막으로 역할을 할 수 있는 물질로 형성되어야 한다.

이하 도면을 참조하면서 실시예를 통해 본 발명을 보다 상세히 설명한다.

도6을 참조하면, 기판(100) 표면에 식각 방지막 형성 전에 스트레스 완화를 목적으로 패드막(120)을 형성한다. 패드막(120) 혹은 버퍼막(buffer layer)은 대개 기판 열산화를 통해 실리콘 산화막으로 100 옹스트롬 정도 두께로 형성한다. 패드막(120) 위에 식각 방지막(130)을 형성한다. 식각 방지막(130)은 기판(100)에 트렌치 형성을 위한 식각시 식각 마스크의 역할을 할 수 있는 물질이며, 소자 분리막 형성하는 과정에서 CMP에 대한 식각 저지막으로 작용할 수 있는 물질이다. 통상, 식각 방지막(130)은 실리콘 질화막을 두께 1000 옹스트롬 내외로 하여 형성할 수 있다. 도시되지 않으나 식각 방지막(130) 위에 하드 마스크용 실리콘 산화막이 더 적층될 수 있다.

도7을 참조하면, 패터닝 과정을 통해 트렌치 영역에서 식각 방지막, 패드막, 기판을 차례로 제거하여 기판(100)에 트렌치(140)를 형성한다. 패터닝을 위해서는 먼저, 포토레지스트막 도포와 마스크 노광 및 현상으로 트렌치 영역을 드러내는 포 토레지스트 패턴(미도시)을 형성한다. 포토레지스트 패턴을 식각 마스크로 식각 방지막을 식각하여 식각 방지막 패턴(130)을 형성한다. 이때 패드막도 함께 제거되어 패드막 패턴(120)을 형성하게 된다. 포토레지스트 패턴을 애싱 등의 공정으로 제거하고, 식각 방지막 패턴(130)을 식각 마스크로 기판에 수천 옹스트롬 깊이의 트랜치(140)를 형성한다.

도7 및 도8을 참조하면, 트렌치(140)가 형성된 기판(100)에 습식 식각을 적용하여 패드막 패턴(120)의 일부를 제거하여 리세스된 패드막 패턴(131)을 형성한다. 패드막 패턴(120)은 기판(100)과 식각 저지막 패턴(130) 사이에 얇게 존재한다. 그러므로, 습식 식각을 통해 리세스된 패드막 패턴(131)은 트렌치 주변에서 활성 영역쪽으로 측방으로 주변부가 제거되어 줄어든 형태를 가지게 된다. 이때, 패드막 패턴(120)만 리세스되어야 하므로 패드막은 특정 식각물질에 대해 기판 및 식각 저지막과 선택비를 가져야 한다.

도9를 참조하면, 열처리를 통해 기판 전면에 혹은 기판 실리콘이 드러난 트렌치 내벽에 열산화막(150)이 형성된다. 열처리를 통해 트렌치 식각 과정에서 결정 구조에 손상을 입은 기판면이 치유되는 효과를 가질 수 있다. 이어서, 실리콘 질화막 라이너(160)가 CVD를 통해 기판 전면에 50 내지 100 옹스트롬 정도 적층된다. 기판 표면 질화를 통해 질화막 형성하는 방법도 생각될 수 있으나, 조절이 용이하지 않다. 리세스된 패드막 패턴(131) 측방으로 오목하게 형성된 부분(165)에도 실리콘 질화막 라이너(160)가 오목한 형태로 적층된다. 이 부분에서 라이너(160)가 이루는 길이는 패드막 패턴이 리세스되지 않은 경우와 비교할 때 상당량 증가된다.

도10을 참조하면, 실리콘 산화막(170)이 적층된다. 이때, 적층 두께를 충분히 하여 기판에 형성된 트렌치가 모두 채워지도록 하며, 리세스된 패드막 패턴(131)의 측방으로 오목하게 들어간 부분(165)도 완전히 채우게 된다. 이때 적층되는 실리콘 산화막(170)은 CMP를 통해 소자 분리막을 형성하게 되며, 통상 CVD로 형성되나, SOG 도포 등의 방법도 가능하다.

도11을 참조하면, 트렌치가 실리콘 산화막(170)으로 채워진 기판에 전면 CMP를 실시한다. CMP는 식각 저지막 패턴(130)이 드러나도록 실시한다. 따라서, 기판 전면에 적층된 실리콘 산화막(170)은 식각 저지막 패턴(130) 상면에서 제거되고, 트렌치에만 잔존하여 소자 분리막(171)이 된다. 이때, 라이너(160)가 오목하게 형성된 부분(165), 즉, 리세스된 패드막 패턴(131) 말단 부분은 식각 저지막 패턴(130) 아래에 있으므로 실리콘 산화막(170)으로 채워진 상태, 즉, 소자 분리막(171)으로 보호된 상태를 유지한다.

도11 및 도12를 참조하면, 식각 저지막 패턴(130)에 대한 식각 제거가 이루어진다. 통상 식각 효율이 높은 습식 식각을 이용하며, 실리콘 질화막에 대해서는 인산 습식 식각이 이루어진다. 이때, 노출된 라이너(160) 상단부도 함께 식각된다. 그러나, 패드막 리세스를 이용하여 종래의 경우에 비해 단면상 그 경로가 길어져 있으므로 라이너(160) 상단부가 기판면(180) 아래까지 식각되기 어렵다. 그러므로, 리세스된 패드막 패턴(131) 제거가 이루어지고 활성 영역의 기

판면(180)이 노출된 시점에서 최종 소자 분리막(172)에 포함된 라이너(160) 상단은 실리콘 기판면(180) 위에 존재하게 되고, 덴트 현상은 일어나지 않게 된다.

발명의 효과

본 발명에 따르면, 패드막을 리세스시키는 비교적 간단한 부가 공정을 통해 트렌치형 소자 분리 방법에서 고질적인 문제가 되는 덴트 현상을 방지할 수 있게 된다.

(57) 청구의 범위

청구항 1.

기판에 패드막을 형성하고, 상기 패드막 위에 식각 저지막을 형성하는 단계,

패터닝 공정을 이용하여 트렌치 영역에서 상기 식각 저지막, 상기 패드막, 상기 기판을 차례로 제거하여 식각 저지막 패턴, 패드막 패턴 및 기판 트렌치를 형성하는 단계,

상기 패드막 패턴에 대한 등방성 식각을 실시하여 상기 패드막 패턴을 측방으로 리세스시키는 단계,

상기 트랜치의 내벽을 포함하는 상기 기판 전면에 실리콘 질화막 라이너를 형성하는 단계,

상기 기판 전면에 실리콘 산화막을 적층하여 상기 트렌치를 채우는 단계,

상기 기판 전면에 상기 식각 저지막 패턴이 드러날 때까지 CMP(Chemical Mechanical Polishing)를 실시하는 단계,

활성 영역이 노출되도록 상기 식각 저지막 패턴을 식각으로 제거하는 단계를 구비하는 트렌치형 소자 분리 방법.

청구항 2.

제 1 항에 있어서,

상기 실리콘 질화막 라이너를 형성하는 단계 전에 상기 트랜치의 측벽이 트렌치 식각 과정에서 입은 결정 손상을 치유하기 위한 어닐링을 실시하는 단계가 더 구비됨을 특징으로 하는 트렌치형 소자 분리 방법.

청구항 3.

제 1 항에 있어서,

상기 패드막은 실리콘 기판의 열산화를 통한 실리콘 산화막으로 이루어지는 것을 특징으로 하는 트렌치형 소자 분리 방법.

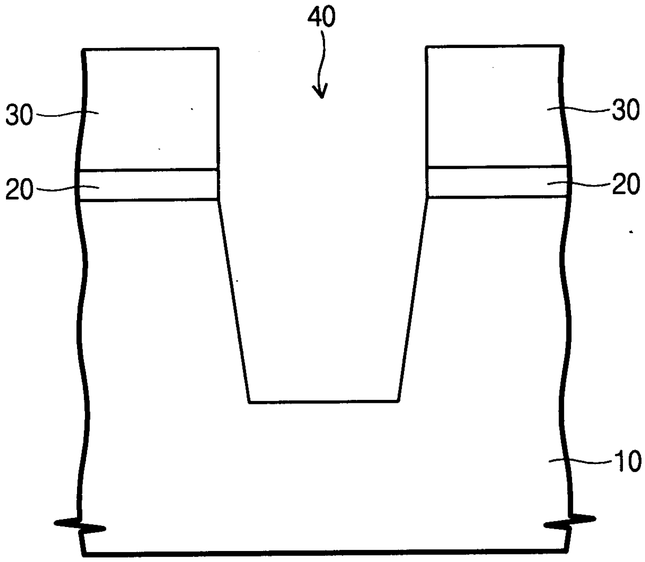
청구항 4.

제 1 항에 있어서,

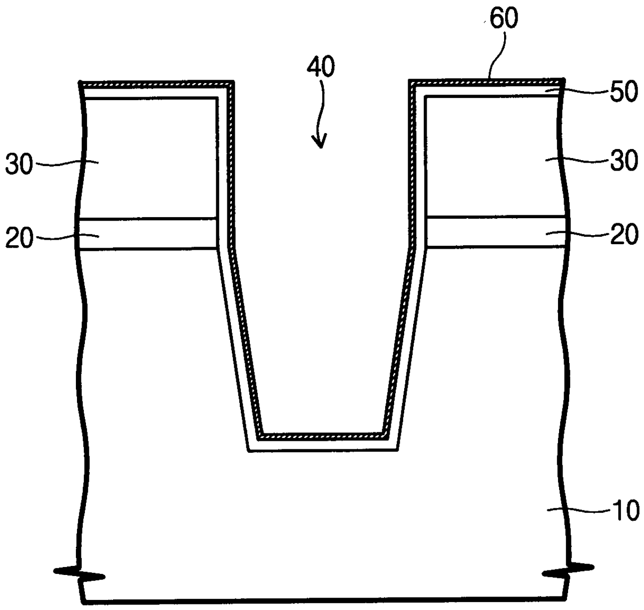
상기 라이너 및 식각 방지막은 실리콘 질화막으로 형성하는 것을 특징으로 하는 트렌치형 소자 분리 방법.

도면

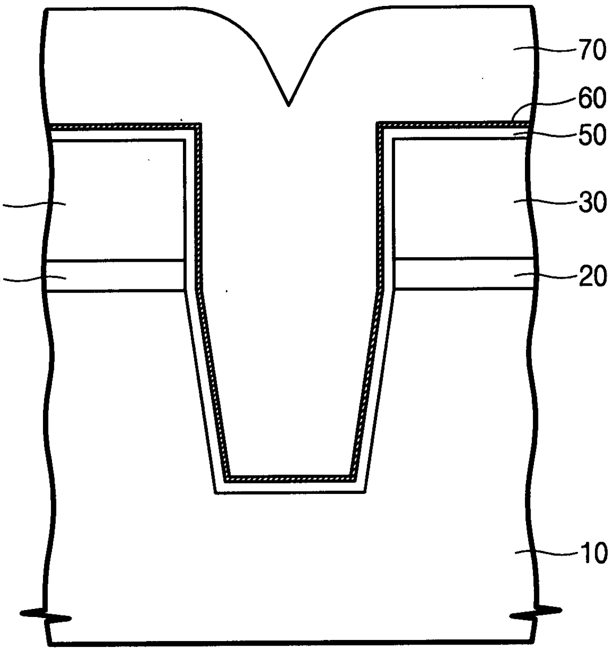
도면1



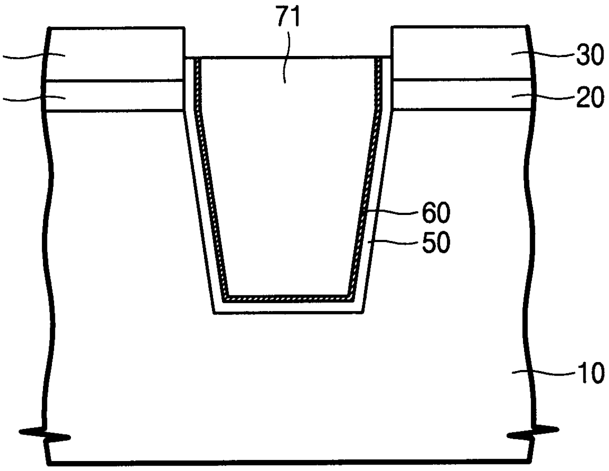
도면2



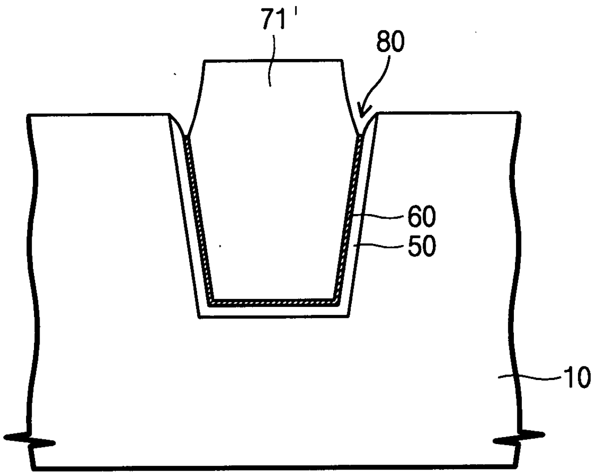
도면3



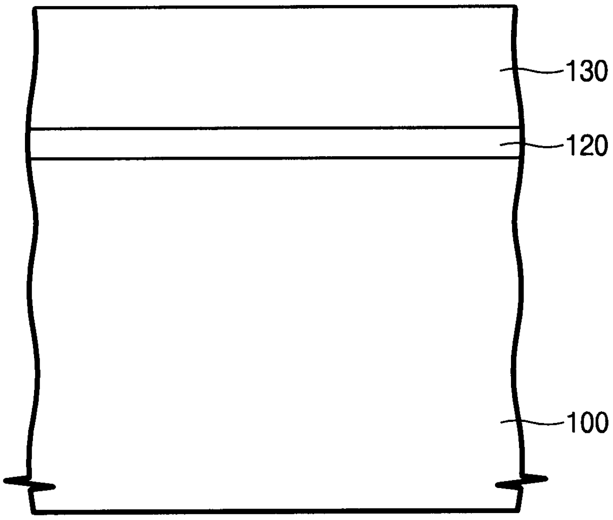
도면4



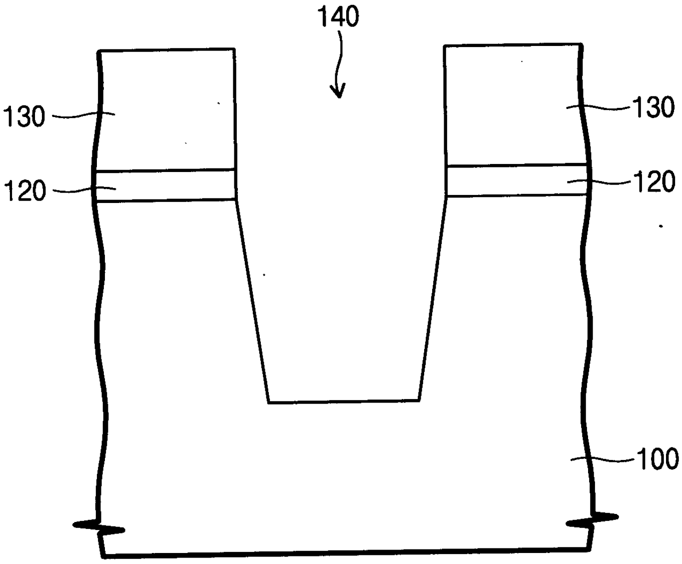
도면5



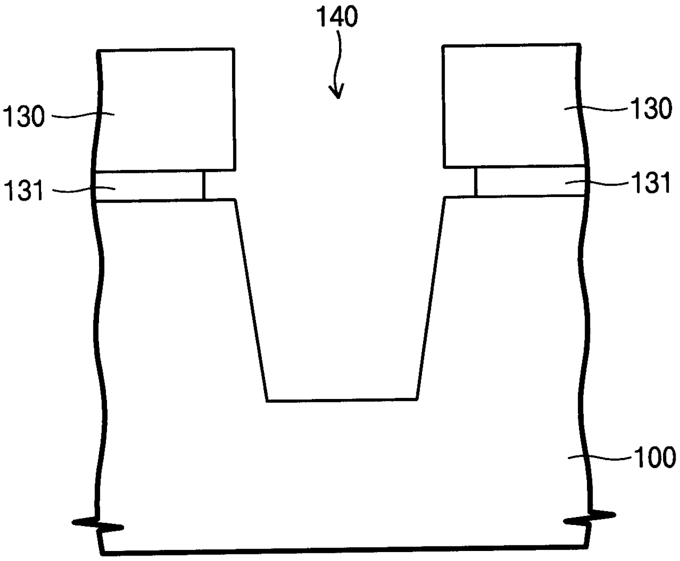
도면6



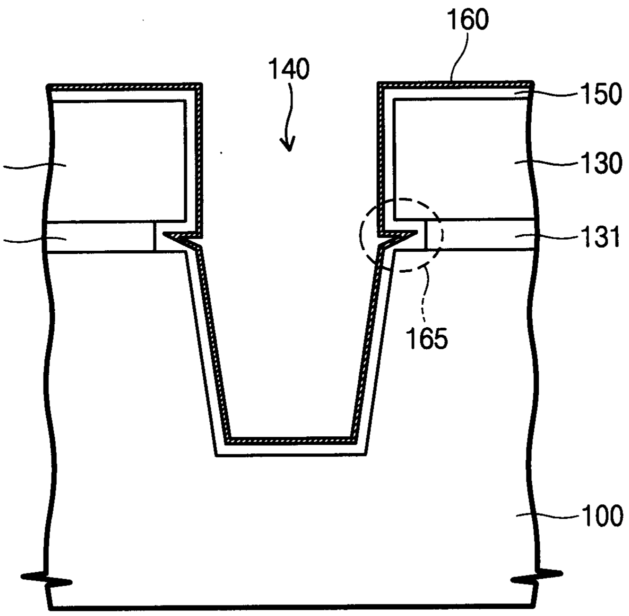
도면7



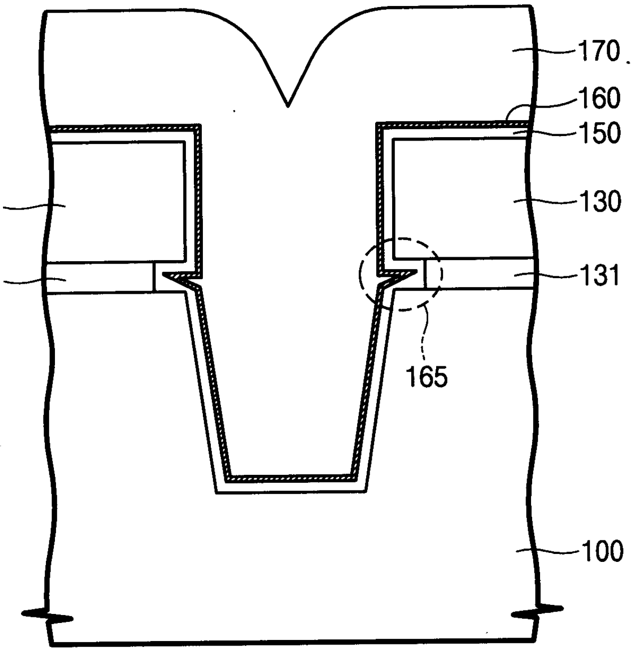
도면8



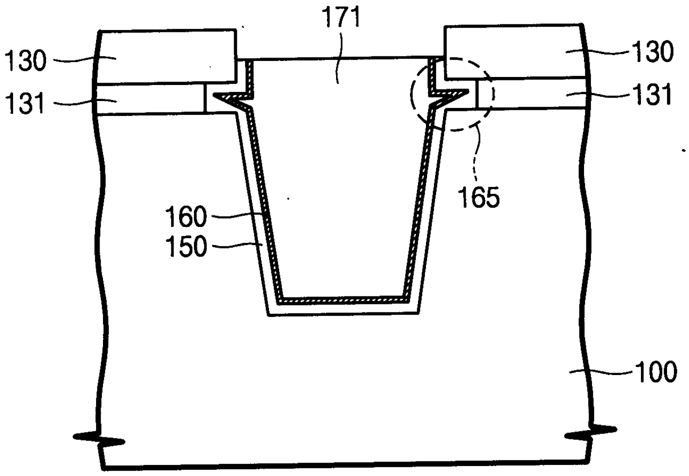
도면9


160
140
150
130
130
131
131
165
100

도면10


170
160
150
130
130
131
131
165
100

도면11



도면12