

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5843323号
(P5843323)

(45) 発行日 平成28年1月13日(2016.1.13)

(24) 登録日 平成27年11月27日(2015.11.27)

(51) Int.Cl.		F I			
HO 1 L 21/331	(2006.01)	HO 1 L	29/72		P
HO 1 L 29/732	(2006.01)	HO 1 L	27/06		I O 1 P
HO 1 L 27/06	(2006.01)	HO 1 L	27/04		H
HO 1 L 21/822	(2006.01)				
HO 1 L 27/04	(2006.01)				

請求項の数 6 (全 18 頁)

(21) 出願番号	特願2012-550023 (P2012-550023)	(73) 特許権者	504199127
(86) (22) 出願日	平成23年1月6日(2011.1.6)		フリースケール セミコンダクター イン
(65) 公表番号	特表2013-517633 (P2013-517633A)		コーポレイテッド
(43) 公表日	平成25年5月16日(2013.5.16)		アメリカ合衆国 テキサス州 78735
(86) 国際出願番号	PCT/US2011/020358		オースティン ウィリアム キャノン
(87) 国際公開番号	W02011/090827		ドライブ ウェスト 6501
(87) 国際公開日	平成23年7月28日(2011.7.28)	(74) 代理人	100142907
審査請求日	平成25年12月25日(2013.12.25)		弁理士 本田 淳
(31) 優先権主張番号	12/690,771	(72) 発明者	ジェンドロン、アモーリー
(32) 優先日	平成22年1月20日(2010.1.20)		アメリカ合衆国 85257 アリゾナ州
(33) 優先権主張国	米国 (US)		スコッツデール エヌ.ヘイデン ロー
			ド 2700 ユニット 2012

最終頁に続く

(54) 【発明の名称】 ESD保護デバイスおよび方法

(57) 【特許請求の範囲】

【請求項1】

第1外部端子および第2外部端子と、
前記第1および第2外部端子の間に接続されるコア回路と、
前記第1および第2外部端子との間に接続されるバイポーラトランジスタ静電気放電(ESD)クランプとを備える電子組立体において、
前記バイポーラトランジスタ静電気放電(ESD)クランプは、
前記第1外部端子に電氣的に接続される第1ドーパント濃度のエミッタ領域と、前記第2外部端子に電氣的に接続される第2ドーパント濃度のコレクタ領域と、前記エミッタ領域と前記コレクタ領域の間に配置される第3ドーパント濃度のベース領域と、前記ベース領域と前記コレクタ領域の間に配置され、かつ前記ベース領域と前記コレクタ領域の間のアバランシェ領域の少なくとも一部を含んでなる第4ドーパント濃度のさらなる領域と、
前記アバランシェ領域よりも上方にあり、かつ前記エミッタ領域を超える深さまで延伸する誘電体領域とを備え、前記さらなる領域は前記誘電体領域まで延伸し、
前記ベース領域は前記さらなる領域との間に第1ドーパント境界を有し、前記コレクタ領域は前記さらなる領域との間に第2ドーパント境界を有し、前記第1および前記第2ドーパント境界の少なくとも1つが、前記誘電体と前記さらなる領域の界面から距離Y(Y>0)をもって離間した下方において最大ドーパント濃度を有する、電子組立体。

【請求項2】

前記ベース領域および前記コレクタ領域は前記さらなる領域より高濃度にドーブされる

、請求項 1 に記載の組立体。

【請求項 3】

前記ベース領域のピークドーパント濃度および前記コレクタ領域の前記ピークドーパント濃度は、少なくとも 5 倍だけ、前記さらなる領域の平均ドーパント濃度を超える、請求項 2 に記載の組立体。

【請求項 4】

前記ベース領域のピークドーパント濃度および前記コレクタ領域の前記ピークドーパント濃度が、少なくとも 10 倍だけ、前記さらなる領域の平均ドーパント濃度を超える、請求項 3 に記載の組立体。

【請求項 5】

第 1 表面を有する基板に形成され、第 1 および第 2 端子に接続されるバイポーラトランジスタ静電気放電 (ESD) クランプにおいて、

前記第 1 端子に接続されるエミッタ、前記第 2 端子に接続されるコレクタ、前記エミッタとコレクタの間に配置されるベース、および、前記ベースおよび前記コレクタより低濃度にドーパされ、前記ベースと前記コレクタの間に接続され、前記ベースと前記コレクタの間のアバランシェ領域の少なくとも一部を含んでなる中間半導体部分と、

前記アバランシェ領域よりも上方にあり、かつ前記エミッタ領域を超える深さまで延伸する誘電体領域とを備え、

少なくとも前記中間半導体部分が前記誘電体領域と前記中間半導体部分の界面まで延伸し、

前記中間半導体部分が、前記ベースとの間に第 1 界面および前記コレクタとの間に第 2 界面を有し、前記第 1 界面および前記第 2 界面が、前記誘電体領域と前記中間半導体部分の界面よりも下方の距離 $Y > 0$ において最小離間距離 D を有する、バイポーラトランジスタ静電気放電 (ESD) クランプ。

【請求項 6】

前記ベースおよび前記コレクタのドーパント濃度は、少なくとも 5 倍だけ前記中間半導体部分のドーパント濃度を超える、請求項 5 に記載の ESD クランプ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体デバイスおよび半導体デバイスの製造方法一般に関する。より詳細には集積回路および他の回路および電子組立体の静電気放電に使用される半導体デバイスに関する。

【背景技術】

【0002】

現在の集積回路 (IC)、電子組立体およびそのデバイスは、静電気放電 (ESD) の発生によって損傷を受ける可能性がある。これは当技術分野で周知である。したがって、このようなデバイス、IC および電子回路または組立体の端子の全体に ESD クランプ (電圧制限デバイス) を備えることは一般的である。本明細書に記載されるように、集積回路という用語および IC との略語は、一体化基板または個別素子またはその組み合わせに形成される、あらゆるタイプの回路または電子組立体を指すことを意図する。

【図面の簡単な説明】

【0003】

【図 1】回路または電子組立体を簡略に示す回路図 (IC の他のデバイス、すなわち、I/O 端子に接続される「回路コア」を保護するために、静電気放電 (ESD) クランプは、入力・出力 (I/O) 端子と接地または IC の共通端子との間に配置される)。

【図 2】図 1 の ESD クランプの内部部品を簡略に示す回路図。

【図 3】典型的な ESD 保護デバイスの電流対電圧を示すグラフ。

【図 4】半導体基板に実装され、本発明の一実施形態による図 1 ~ 2 の回路の使用に適する、ESD クランプトランジスタの概略を示す断面図。

10

20

30

40

50

【図5】半導体基板に実装される両極性ESDクランプの概略を示し、図4と同様であるが本発明のさらなる実施形態により双方向ESDクランプ機能が備えられるESDクランプを示す断面図。

【図6】ダイ上の4つの異なる方位におけるESDクランプトランジスタのトリガ電圧の最大値 V_{t1} と、同一の4つの方位におけるトリガ電圧の最小値の間の差異(V_{t1})_{MAX}(ボルト)を、横方向ベース・コレクタ間隔(マイクロメートル)の関数としてプロットしたグラフ。

【図7】さらなる実施形態によって、図4に示したタイプのESDクランプトランジスタを製造するための様々な工程における概略を示す断面図。

【図8】さらなる実施形態によって、図4に示したタイプのESDクランプトランジスタを製造するための様々な工程における概略を示す断面図。

10

【図9】さらなる実施形態によって、図4に示したタイプのESDクランプトランジスタを製造するための様々な工程における概略を示す断面図。

【図10】さらなる実施形態によって、図4に示したタイプのESDクランプトランジスタを製造するための様々な工程における概略を示す断面図。

【図11】さらなる実施形態によって、図4に示したタイプのESDクランプトランジスタを製造するための様々な工程における概略を示す断面図。

【図12】さらなる実施形態によって、図4に示したタイプのESDクランプトランジスタを製造するための様々な工程における概略を示す断面図。

【図13】さらなる実施形態によって、図4に示したタイプのESDクランプトランジスタを製造するための様々な工程における概略を示す断面図。

20

【図14】さらなる実施形態によって、図4に示したタイプのESDクランプトランジスタを製造するための様々な工程における概略を示す断面図。

【図15】さらなる実施形態によって、図4に示したタイプのESDクランプトランジスタを製造するための様々な工程における概略を示す断面図。

【図16】さらなる実施形態によって、図4に示したタイプのESDクランプトランジスタを製造するための様々な工程における概略を示す断面図。

【図17】さらなる実施形態によって、図4に示したタイプのESDクランプトランジスタを製造するための様々な工程における概略を示す断面図。

【図18】図4, 18のESDトランジスタ内のアバランシェ降伏領域として囲まれる領域の概略を示す断面図。

30

【発明を実施するための形態】

【0004】

本発明を添付の図面を参照して説明する。図において同様な数字は同様な要素を示す。

以下の詳細な説明は、例示的なものに過ぎず、本発明または本発明の用途および利用を限定することを意図したものではない。更に、上記の技術分野、背景技術、発明の開示、あるいは以下の詳細な説明に明示または暗示した理論により拘束されることを意図するものではない。

【0005】

説明を簡潔かつ明確にするために、図面は構造の一般的態様を示しており、周知の特徴や製造技術の詳細は、発明の外延を不要に不明りょうとしないために省略されている。さらに、図中の各要素は必ずしも縮尺通りに描かれていないこともある。例えば、図中のいくつかの要素や領域の大きさは他の要素や領域と比較して誇張されていることもある。発明の実施形態の理解を促進するためである。

40

【0006】

明細書および特許請求の範囲内の「第1の」、「第2の」、「第3の」、「第4の」などの用語があるとすれば、必ずしも特定の連続または時系列を説明するためではなく、同様の要素を区別するために使用されていることがある。このように使用された用語は、本明細書に記載された本発明の実施形態が例えば、本明細書で図示あるいは記載されたものの以外の順序の動作または使用が可能であるように、適当な状況で交換可能であることを

50

理解されたい。さらに、「備える」、「含む」、「有する」という用語およびあらゆるその変形は、要素のリストを備えた工程、方法、物体、または装置が必ずしもこれらの要素に限られるわけでないが、明示的には挙げられていない、またはこのような工程、方法、物体、または装置に固有である他の要素を含むことができるように、非排他的包含を含むことを意図している。明細書および特許請求の範囲内の「左」、「右」、「中」、「外」、「前」、「後」、「上側に」、「下側に」、「上部」、「底部」、「上に」、「下に」、「上」、「下」などの用語は、もしあれば、必ずしも空間における永久的な位置を説明するためではなく、相対位置を説明するために使用されている。本明細書に記載された本発明の実施形態は、例えば、本明細書に図示あるいは記載されたもの以外の配向で使用することもできることを理解されたい。本明細書で使用する「結合された」という用語は、電氣的または非電氣的に、直接または間接的に接続されていると定義される。「結合パッド」という用語は単数でも複数でも、デバイス上のあらゆるタイプの電気接続位置のことを言うことを意図しており、ワイヤまたは他のリード上の溶接またはハンダ付けによる電気接続に適切なものに単に限るものではない。

【0007】

本明細書に記載される「半導体」という用語には、単一結晶、多結晶または非晶質半導体のいずれをも含み、I V族半導体、非I V族半導体、有機および無機半導体などの合成半導体を含むことを意図する。さらに、「基板」および「半導体基板」は、これらのものを含み、単一結晶構造、多結晶構造、非晶質構造、薄膜構造、積層構造、セミコンダクタ・オン・インシュレータ(SOI)構造、およびこれらのものの組み合わせに限定されない。「半導体」という用語は「SC」と省略される。説明のために、限定するものを意図しなく、半導体デバイスおよび作成方法はシリコン半導体に対して記載されるが、当業者が他の半導体材料を使用され得ることを理解される。また、様々なデバイスタイプおよび/またはドーブされるSC領域はN型またはP型と識別され得るが、これは説明のためであり、制限することを意図するものではなく、このような識別は「第1導電型」または「反対の第2導電型」の一般的な説明によって交換され、ここで、第1導電型はN型またはP型であり、第2導電型はP型またはN型である。

【0008】

図1は、回路20の簡略的概略図を示している。ESPクランプ21はICの例えば、入力/出力(I/O)端子22と接地または共通端子23との間に配置されて、ICの他のデバイス、すなわち、I/Oおよび共通端子22、23に接続される「回路コア」24を保護する。当業者が、ESDクランプ21はICのいかなる端子にわたって配置される可能であり、I/O端子が、入力または出力端子以外のいかなる端子を含むことを意図することを理解される。さらに、図1のブロック21に示されるツェナーダイオードはESDブロック21の電圧制限機能を識別するために設けられており、必ずしもツェナーダイオードが存在することを意図しない。ESD保護に使用される構造または素子に対して、デバイス、クランプおよびトランジスタは同義的に使用される。

【0009】

図2はI/O端子22、23の間にて、エミッタ26、コレクタ27、ベース28および内部抵抗29を有するバイポーラトランジスタ25を採用するESDクランプ21の内部部品を示す簡略的概略図である。端子22、23の間の電圧が所定制限值を超える時、バイポーラトランジスタ25がオンになり、端子22、23の間の電圧を、回路コア24を損傷し得るレベルより好適に低く制限する。

【0010】

図3は、図2のデバイス21のような通常な静電気放電(ESD)保護デバイスの搬送線パルス電流(I)対電圧(V)の簡略的プロット30を示す。印加される電圧が増加されるほど、トリガ電圧31が電圧 V_{t1} になるまでに非常に少ない電流が流れる。動作状態にトリガされた後、ESDデバイスは導通状態になり、電流は、電流 I_h および電圧 V_h を有する保持点32まで増加する。電圧ソースの内部インピーダンスに依存して、電流および電圧が電流 I_{t2} および電圧 V_{t2} での点33までさらに増加することが可能であ

10

20

30

40

50

り、これを超える場合、損傷を与える故障が起こることが可能であり、電圧減少に伴い、電流がさらに増加する。

【0011】

関連する半導体（SC）デバイスまたは非SCデバイスまたは集積回路（IC）（すなわち、保護される素子または回路コア24）が通常動作電圧 V_o を有する通常動作の間には、静電気放電（ESD）保護デバイスは、静止状態のままであり、過度の電圧にまで上昇する時、オンになることによって、保護される素子の損傷を防止することが意図される。ESDデバイスのトリガ電圧 V_{t1} は、保護される素子の通常DC動作電圧の最大値 V_o （MAX）を超える値となるべきであり、そうでなければESDデバイスが保護される素子の通常動作に干渉することとなる。さらに、 V_{t1} は、例えば、保護される素子に損傷を与えるために十分大きな電圧であって、本明細書において保護される素子の降伏電圧 V_{TR} （PEBD）と呼ぶ、電圧 V_{TR} （通常は過渡的な電圧）より小さくあるべきである。よって、ESDデバイスは、 V_o （MAX） $<$ V_{t1} $<$ V_{TR} （PEBD）となるように設計されるべきである。ICまたは電子組立体の様々な端子が保護されるように、SCダイには多数のESDクランプ21を設けることが一般的である。いくつかESDクランプの V_{t1} 値は同一であるか、あるいは狭い所定範囲内にあるようにすることが一般的には重要である。

10

【0012】

図2のバイポーラトランジスタ25がESDクランプ21に使用される時、トリガ電圧 V_{t1} はトランジスタ24のベース・コレクタ間隔によって大きく影響される。あいにく、同一マスク形状および寸法を使用して同一SCウェハまたはダイにいくつかのクランプトランジスタ25が同時に製造されたとしても、例えば、ウェハまたはダイ上におけるトランジスタ25の位置や方向によって、SCウェハおよび/またはダイの異なる部分のベース・コレクタ間隔は有意に異なっていることがある。例えば、ICウェハまたはダイ上でのクランプデバイスの相対位置に依存して、これが、公称では同一のクランプデバイスの V_{t1} が同一ICの異なる領域によって異なっている可能性がある。この V_{t1} の多様性（以降において V_{t1} と呼ぶ）が製造歩留まりを有害的に影響し、望ましくない。従来技術においても、 V_{t1} を最小化するために様々な工程の変更が使用されたが、このような変更はしばしば、製造コストの望ましくない増加または他の困難を伴う。

20

【0013】

したがって、特定のICダイまたはウェハ上におけるESDクランプの相対位置または方向に関わらず、より一貫したトリガ電圧 V_{t1} で動作する改良されるESDクランプを提供する必要、すなわち、 V_{t1} を最小化することに対する必要が引き続きある。さらに、ESDクランプおよびICの関連される回路コアを形成する製造工程を有意に変更すること、改良されたESDクランプを得られることが望ましい。さらに、本発明の所望特徴は、添付される図および本発明の背景技術に関連して本発明の詳細説明および請求項から明確になる。

30

【0014】

図4は、本発明の一実施形態にしたがって、半導体基板に実装されるESDクランプトランジスタ70の簡略的断面図を示す。トランジスタ70は、埋込層領域73（例えばN型、NBL73として省略される）を有する基板72（例えばP型）に形成される。NBL73の上方には、NBL73から上部表面71まで広がる領域74がある。使用可能な工程および同時に作成される所望デバイスによって、領域74は、N型またはP型のいずれであってもよい。よって、領域74は複数の図において「N/P」と示され、いずれの導電型を使用してもよいことを指示する。望ましい実施形態において、P型が使用される。領域74内部には、下方の半導体と、領域762内のコンタクト領域80（例えば、N+）を備えたウェル領域761、762（例えばN型、全体的に76と呼ばれる）と、横方向界面すなわち境界751を有するウェル領域75（例えばP型）との界面791を有する浅溝誘電体分離（STI）領域79がある。さらに、N領域86がNウェル領域762と電気接続するように設けられ、その横方向界面すなわち境界861がPウェル領域7

40

50

5の界面751に対向して距離Dをもって離間している。Pウェル領域75とオーミックコンタクトを取るために、ドーピングされるコンタクト領域77(例えば、P+)がPウェル領域75に設けられる。Pウェル領域75のドーピング領域78(例えばN+)がトランジスタ70のエミッタとして機能する。Pウェル領域75がトランジスタ70のベースとして機能する。N+コンタクト領域80を有するNウェル領域86,762がトランジスタ70のコレクタとして機能する。領域74の中間部分85は、距離Dをもって離間している界面または境界751、861との間に設けられる。以下に説明されるように、領域74の中間部分85は隣接する領域75,86より低濃度にドーピングされる。トランジスタ70の端子22,23の間に印加される電圧がアバランシェ条件に接近するほど、N型であるかP型であるかに関わらず、より低濃度にドーピングされる中間部分85がフリーキャリアで実質的に空乏化され、ベース・コレクタ間隔を有効に画成する。よって、説明を簡潔するために、部分85がN型かP型かに関わらず、境界751,861の間の中間部分85を横切る距離Dは本明細書において、ベース・コレクタ間隔という。誘電体層81は表面(例えば、界面)71に便宜的に備えられ、誘電体層81の開口がベースコンタクト領域77、エミッタ領域78およびコレクタコンタクト領域80まで延伸する。導体82がコレクタコンタクト領域80とオーミックコンタクトし、導体83がベースコンタクト領域77およびエミッタ領域78とオーミックコンタクトし、コンタクト領域77,78を互いに接続する。トランジスタ70の導体72はESDクランプ21(図2を参照)の端子22および回路20(図1を参照)に便宜的に接続され、トランジスタ70の導体83はESDクランプ21の端子23および回路20に便宜的に接続される。

10

20

【0015】

Pウェルベース領域75およびコレクタ領域86は一般に、距離Dをもって離隔している境界または界面751,861の間に配置される領域74の中間部分85よりも、少なくとも5倍、より好適には10倍、好適は50~400倍の濃度でドーピングされる。様々な領域の相対的ドーピングは図7~18に関連してより詳細に説明される。

【0016】

端子22,23の間に十分大きな電圧が印加される時、ベース領域75,86の中間部分85がフリーキャリアで空乏化され、距離Dがベース・コレクタ間隔を示す。印加電圧が V_{t1} まで増加されると、アバランシェ降伏が、Pウェル75の境界または界面751とさらなるN領域86の境界または界面861との間の領域84の中間部分85の距離Dにわたって生じる。よって、トランジスタ70にアバランシェ降伏を生じさせる電圧 V_{t1} はコレクタN領域86の境界または境界861とベースPウェル領域75の境界または境界751との間の間隔寸法Dに依存し、境界または界面751,861との間の間隔寸法Dは V_{t1} を調整するために使用される可能である。間隔寸法Dが大きいほど、 V_{t1} はより高く、間隔寸法Dが小さいほど、 V_{t1} は小さい。Pウェルベース領域75およびさらなるN領域86のドーピングプロファイル(例えば、界面または境界751,861の形状および/またはドーピング濃度)を調整することによって、アバランシェ降伏領域84は、STI領域79の半導体/誘電体界面791下の特定深さ $Y > 0$ で起こるように制限されることが可能であり、間隔寸法Dの制御されない変化Dによるトリガ電圧 V_{t1} の V_{t1} が有意に減少され得る。これは、図6および図7~18を参照して、より詳細に説明される。

30

40

【0017】

図5は、図4の単極性(単方向)ESDクランプ70と同様に半導体基板72(例えばP型)に実装される、本発明のさらなる実施形態による両極性(双方向)ESDクランプ700の簡略的断面図を示す。両極性ESDクランプ700は図1のESDクランプ21'として設けられてもよい。ESDクランプ700は、図4に関連して説明されるESDトランジスタ70と、中心平面701によって水平方向にミラーリングまたは投影される図4のESDトランジスタ70と同一タイプのESDトランジスタ70R(例えば、図5の右)とを組み合わせる。図4のESDトランジスタ70の様々な領域の説明は図5に適用される。図5の左側のESDトランジスタ70に関連して同一符号が使用され、

50

トランジスタ70の等しい領域と比較して平面701によって水平方向に投影またはミラーリングされることを指示するために、図5の右のトランジスタ70Rに関連して同様な符号は「R」の追加をもって変更されている。よって、図5のESDトランジスタ70(図4のESDトランジスタ70と同様に)は、境界または界面751を有するPウェル領域75、Nウェル領域761, 762(総括して76と呼ぶ)、P+領域77、N+領域78、N/P領域74の中間部分85のアバランシェ領域84、境界または界面861を備えたさらなるN領域86、界面791を有するSTI領域79、誘電体層81、導電性ベース・エミッタコンタクト導体83および界面751, 861との間のベース・コレクタ間隔寸法Dを有する。コンタクト導体83はGNDまたは共通端子23(図1を参照)に便宜的要件に応じてコンタクトする。ESDトランジスタ70Rは、対応する領域75R、751R, 761R, 762R, 76R, 77R, 78R, 84R, 85R, 74R, 86R, 861R, 79R, 81R, 83Rおよびトランジスタ70の相当する領域とミラー構成の界面751R, 861Rの間のベース・コレクタ間隔寸法DRを有する。基板72およびNBL73は共通である。トランジスタ70のNウェルコレクタ領域762およびトランジスタ70RのNウェルコレクタ領域762Rは中心平面701の周りで結合される。ベース・エミッタコンタクト導体83Rは図1のI/O端子22に接続される。コレクタ領域762および762Rが結合されるので、図4のデバイス70の導体82は図5のデバイス700の構成に必要とされないが、他の実施形態に含んでもよい。同じ理由のために、図4のデバイス70のN+コレクタコンタクト領域80(および80R)は便宜的に省くが、他の実施形態では含んでもよい。互いに背面を接するESDクランプトランジスタ70, 70Rは、図1の回路20のESDクランプ21'(双方向)に両極性を与える。端子23に対してI/O端子22に正電圧が印加される場合、トランジスタ70Rは順方向にバイアスされ、トランジスタ70は逆バイアスされ、間隔寸法Dがトリガ電圧Vt1を実質的に決定する。負電圧は端子23に対してI/O端子22に印加される時、トランジスタ70は順方向にバイアスされ、トランジスタ70Rは逆バイアスされ、間隔寸法DRがトリガ電圧Vt1Rを実質的に決定する。DおよびDRが同一であるか、または異なるかによって、順方向または逆方向トリガ電圧Vt1およびVT1Rは同一であるか、または異なる。どちらの構造も有用である。寸法Dの回避できない変化によるVt1の変化が減少され得ることの説明は図4に示されるタイプの単極性(単方向)ESDクランプ21に関連して説明されるが、当業者が説明に基づいてこのような改良は図5の両極性(双方向)ESDクランプ21'に適用することができる。深さYの説明は図5も同様な深さY, YRに適用される。

【0018】

図6は、ベース・コレクタの水平方向間隔寸法D(マイクロメートル)の関数として、ダイの4つの異なる位置における、ESDクランプトランジスタのトリガ電圧の最大値Vt1および同一の4つの位置のうちのトリガ電圧Vt1の最小値との間の差(Vt1)MAX(ボルト)の簡略的プロット64を示す。トレース65, 66, 67, 68の各々が異なる工程条件に相当し、アバランシェ領域84の異なる深さYに寄与する。プロット64のトレース65, 66は、図4のアバランシェ降伏領域84の深さYが相対的に浅く、よって、上にあるSTI領域79の界面791に近い実施形態に相当する。プロット64のトレース67, 68は、アバランシェ降伏領域84がSTI領域79の界面791より低い半導体領域74の中間部分85のバルク領域内にあることを保障するためにアバランシェ降伏領域84の深さYが調整されている実施形態に相当する。アバランシェ降伏領域84が、バルク領域74内で、上にあるSTI領域79の界面791に近くなく配置することを保障するために備えられた境界または界面751, 861に関連するドーピングプロファイルは、トランジスタ70が製造される工程を示す図7~17および界面791下の領域74の中間部分85のドーピングされる領域75, 86界面の境界751, 861の詳細を示す図18に関連して説明される。

【0019】

図7~17は、本発明のさらなる実施形態による、製造の様々な工程108~118の

10

20

30

40

50

間における、図4 ESDクランプ70および得られる構造208~218の追加の構造の詳細を含めて示す、簡略的断面図である。ドーピングレベルおよび/またはドーピング量は、発明を限定するものではなく望ましい実施形態によって図8~18の説明に含まれる。イオン注入はデバイス70以内の様々な領域の望ましい方法であるが、これに限定されるべきものではなく、当技術分野に周知のドーピング方法も使用されてもよい。フォトレジストは、イオン注入ドーピングとともに適切なマスクング材料であり、特に記載される限り、発明を限定することを意図しない。当業者であれば、ドーパントおよび所望ドーピング方法に依存して当技術分野の他のタイプのマスクング層または材料を使用され得ることを理解することができる。同様に、シリコン半導体を用いた製造工程は発明を限定するものではなく例示の目的で示される。当業者であれば、デバイス70(およびデバイス700)内の様々な領域の半導体材料、ドーパント、ドーピング方法、ドーピングレベルおよび/またはドーピング量、ならびに寸法の選択のバリエーションは、特定デバイスに所望の特徴に依存して実行されること理解される。様々な領域を把握するためには図4を参照されたい。

【0020】

図7の製造工程108を参照する。半導体基板72i(例えばP型)が設けられる。下部721は好適には $5 \times 10^{18} \text{ cm}^{-3}$ にボロンがドーピングされ、上部表面724を有する上部(例えば、EPI-1)は好適には $2 \times 10^{15} \text{ cm}^{-3}$ にボロンがドーピングされる。EPI-Iと呼ばれる上部722は好適にはエピタキシャル成長によって形成される。EPI-I層722の厚さ723は約7~8マイクロメートルの範囲に便宜に応じて設定されるが、より厚い、あるいは薄い厚も使用され得る。他の実施形態において、初期SC基板72iは他の方法によって形成され得る。いずれの構成も有用である。構造208が得られる。

【0021】

図8の製造工程109を参照する。閉鎖部分901および開口部分902を有するマスク90が構造208の表面724上に付着される。基板72iにNBL領域73を形成するために、注入Aは開口部分902を通して設けられる。シリコンSCに関しては、アンチモンがNBL層73の適切なドーパントである。約 $1 \times 10^{19} \text{ cm}^{-3}$ のピークドーパント濃度および表面724の下方、約1~2マイクロメートルの範囲の厚さ731を好適に用いることができるが、他のドーパント、濃度および深さも使用されてもよい。構造209が得られる。図9の製造工程110を参照する。マスク90が除去され、約3~4マイクロメートルの厚さ741の第2エピタキシャル層740はNBL73を備えた基板72iの上方の表面724に好適に形成される。EPI-2層740は上述に記載されるようにN型またはP型にドーピングされ、約 $2 \times 10^{15} \text{ cm}^{-3}$ のドーパント濃度となるように便宜的に成長されるが、より大きいまたは小さなドーピングレベルおよび厚さが使用されてもよい。好適な実施形態において、P型ドーピングのためにボロンが使用されるが、他のドーパントも使用され得る。EPI-2層740は上面71およびデバイス70のN/P領域74を備える。誘電体を実質的に充填する深溝分離(DTI)領域は当技術分野で周知である方法の使用によって、表面71からP型下部721へ記載の位置において実質的に延伸するように設けられる。DTI領域792は、DTI792との間のEPI-2領域740に後で形成されるESDトランジスタ70と、同一基板のDTI領域792の外側に横方向に配置される他のデバイスまたは素子との間の横方向電気分離を与える。基板72と呼ばれる構造210が生じる。当業者であれば、構造210として示される基板72は他の方法および他の手順で形成され得ることを理解する。例えば、これを制限するものではなく、DTI領域792は、図示される工程の前または後の製造工程の他の工程で形成され得る。

【0022】

図10の製造工程111を参照する。閉鎖部分911および開口912、913を有するマスク91は基板72のEPI-2層740の表面71の上方に付着される。境界927-1とともにNウェル領域926、927を形成するために、Nタイプ注入Bが開口9

10

20

30

40

50

12、913を通して与えられる。リンおよびヒ素はこのようなNウェル領域に対して適切なドーパントである。約 $1 \times 10^{18} \text{ cm}^{-3}$ の範囲のピークヒ素濃度は表面71、またはその近傍において望ましい。約 $1 \sim 2 \times 10^{17} \text{ cm}^{-3}$ のピーク濃度が表面71の下方約0.5マイクロメートルに配置され、EPI-2層740の厚さ741の25%~75%の合計の深さ928を有することは望ましいが、他のドーパントおよびドーピング濃度および深さも使用され得る。構造211が得られる。図11の製造工程112を参照する。深さ792、および下方の誘電体/半導体界面791を有する、従来の浅溝誘電体分離(STI)領域79は、従来技術の周知手段を用いて構造211の表面71の指示される位置に望ましく形成される。深さ792は通常、約0.05~2マイクロメートルの範囲にあり、より好適には約0.2~0.5マイクロメートル、最適には約0.36マイクロメートルであるが、より厚いまたは薄いSTI領域も使用され得る。SC基板72の表面71を再び露出するためにSTI形成の後、表面は便宜に応じて平坦化される。構造212が得られる。STI領域79は望ましいが、他の実施形態において、それは省いてもよく、界面791は、上にある表面誘電体との界面と考えられる。

【0023】

図12の製造工程113を参照する。マスク92は、閉鎖部分921および開口922を有する表面71の上に付着される。Nウェル領域927の境界927-1に対向して水平方向の境界または界面751で指示される位置でPウェル75を形成するために、例えば、ボロンのP型チェーン注入Cはマスク92の開口922を通して与えられる。後に説明するように、図10~13の界面または境界927-1が図4および図14~18の境界または界面861に相当する。Pウェル75は好適には、表面71からEPI-2厚さ741の約30~70%の深さ752を有する。ピークドーパント濃度として、約 $1 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ の範囲、好適には約 $4 \times 10^{17} \text{ cm}^{-3} \sim 8 \times 10^{17} \text{ cm}^{-3}$ の範囲が有用であり、表面71から約0.5~0.9マイクロメートルの深さが有用であるが、より深いまたは浅い深さ、より大きいまたは小さなドーパント濃度および他のドーパントも使用され得る。つまり、Pウェル75の界面または境界751のピークドーピング濃度は、深さ $Y > 0$ マイクロメートルで配置されることは有用であり、深さ $Y = 0.1$ マイクロメートルは便利であり、深さ $Y = 0.2$ マイクロメートルはより好ましく、界面791の界面791の下(例えば、STI領域79)から深さ $Y = 0.3$ マイクロメートルで望ましい。STI領域79の代わりに、および/または省いて、表面誘電体(例えば、図4または18の誘電体81)によって交換される実施形態において、界面791は、表面誘電体またはパッシベーション層と幅Dの下にある半導体を囲まれる中間部分85との間の界面を意味することが把握される。

【0024】

注入BおよびCの望ましいチェーン注入の詳細は後に記載する表1, 2に示される。表1, 2および図18の説明を参照して上記に説明したように、注入BおよびCの組み合わせが、アバランシェ領域84を界面791の下方にて距離791をもって領域74(図4を参照して)の中間部分85のバルク内に配置されるように、ドーピングプロファイルまたは境界751, 861を生じる。表1, 2で識別されるチェーン注入は望ましいが、上述に記載されるように得られるドーピングプロファイルがアバランシェ領域84を深さY

【0025】

図13の製造工程114を参照する。マスク92を除去し、閉鎖部分831および開口932, 933を有するマスク93で交換される。トランジスタ70に関連するNウェル領域936, 937を形成するために、Nタイプ注入Dは開口932, 933を通して与えられる。望ましい実施形態において、マスク93の開口932はマスク91の開口912と実質的に一致する。また、望ましい実施形態において、マスク93の開口933はより狭く、マスク91の開口913内に配置されるが、さらなる実施形態において、他の幅

を有してもよい。開口 9 3 2 , 9 3 3 を有するマスク 9 3 および注入 D の目的は製造工程 1 1 の N ウェル領域 9 2 6 , 9 2 7 を広がって N ウェル領域 9 3 6 , 9 3 7 を形成し、N B L 7 3 と電氣的オーミックコンタクトを形成する。リンは、N ウェル領域 9 3 6 , 9 3 7 を形成するための注入 D の適切なドーパントである。表面 7 1 下の第 1 深さにおける約 $5 E 1 7 c m^{-3} \sim 2 E 1 8 c m^{-3}$ の範囲の第 1 ピーク濃度は、約 0 . 3 ~ 1 マイクロメートルの範囲で有用であり、約 0 . 7 5 マイクロメートルで望ましく、第 2 ピーク濃度は、約 $4 E 1 7 c m^{-3} \sim 1 E 1 8 c m^{-3}$ の範囲で有用である。表面 7 1 の下の第 2 深さにおけるドーピングは約 1 . 5 ~ 2 マイクロメートルの範囲であり、約 1 . 8 マイクロメートルは望ましく、上述に記載される総合深さは、N ウェル領域 9 3 6 , 9 3 7 を N B L 7 3 に電氣的に接続するように十分である。しかしながら、他の実施形態において、他のドーパントおよびドーパント濃度および深さも使用され得る。構造 2 1 4 が得られる。N ウェル 9 3 6 , 9 3 7 が図 4 のデバイス 7 0 の N ウェル 7 6 1 , 7 6 2 (全体的に 7 6 と呼ばれる) に相当し、以下に識別される。図 1 3 に形成される N ウェル 9 3 7 を横方向に超えて広がる図 1 2 に形成される横方向境界または界面 9 2 7 - 1 を有する N ウェル 9 2 7 の部分が、横方向境界 8 6 1 を有する図 4 のさらなる N 領域 8 6 に相当し、以下に識別される。製造工程 1 1 3 , 1 1 4 は順序的に実行されてもよく、製造工程 1 1 1 , 1 1 2 の前または後に実行されてもよい。

【 0 0 2 6 】

図 1 4 の製造工程 1 1 5 を参照する。マスク層 9 3 は除去され、シリサイド形成される半導体 (後で堆積される) と半導体表面 7 1 の露出される部分との間および S C 表面 7 1 1 0 の下にある部分と優れたオーミックコンタクトを保障するシリサイドを形成するために、後に堆積される半導体が望ましいシリサイドブロック領域 9 4 1 との間の開口 9 4 2 の反応を防止するための望ましい位置にシリサイドブロック領域 9 4 1 を備えるために、「シリサイドブロック」層 9 4 は表面 7 1 の上方に形成およびパターン化される。望ましい実施形態において、シリサイドブロック 9 4 が望ましく、表面 7 1 上にある約 1 0 ~ 2 0 ナノメートルのシリコン酸化物の第 1 層、第 1 層上に約 4 0 ~ 8 0 ナノメートルの窒化シリコンの第 2 層を備えるが、他の材料および厚は他の実施形態に使用され得る。構造 2 1 5 が得られる。シリサイドブロック領域 9 4 1 の備えることは望ましいが、さらなる実施形態に除いてもよい。したがって、後の図 1 5 ~ 1 7 において、シリサイドブロック領域 9 4 1 は製造工程 1 1 8 で表面誘電体層 8 1 に含まれるので、シリサイドブロック領域 9 4 1 は図 4 に示されず鎖線によって指示される。

【 0 0 2 7 】

図 1 5 の製造工程 1 1 6 を参照する。マスク 9 5 は表面 7 1 およびシリサイドブロック領域 9 4 1 の上方に付着される。マスク 9 5 は、注入 E を用いて形成されるオーミックコンタクト領域の所望位置 (例えば、N +) に相当する閉鎖部分 9 5 1 および開口 9 5 2 , 9 5 3 を有する。N タイプ注入 E は開口 9 5 2 , 9 5 3 を通して与えられ、ここで、N + ドープされるオームエミッタ領域 7 8 は開口 9 5 2 を通して形成され、N + ドープされるオームコレクタコンタクト領域 8 0 は開口 9 5 3 を通して形成される。例えば、約 $1 E 2 0 c m^{-3}$ またはそれより高いピーク濃度、約 0 . 3 マイクロメートルの深さを有する相対的に浅い高くにドープされる N + 領域を備えるように注入 E のドーパント、エネルギーおよびドーズ量が選択されるが、他のドーパント、濃度および深さも使用され得る。構造 2 1 6 が得られる。

【 0 0 2 8 】

図 1 6 の製造工程 1 1 7 を参照する。マスク 9 5 が除去され、閉鎖部分 8 6 1 および、注入 F を用いて (例えば、P +) ドープされるオーミックコンタクト領域 7 7 の所望位置に相当する開口 9 6 2 を備えて形成されるマスク 9 6 が形成される。P タイプ注入 F が備えられ、ここで、P + ドープされるオーミックコンタクト領域 7 7 は開口 9 6 2 を通して形成される。例えば、 $1 E 2 0 c m^{-3}$ またはそれより高くのピーク濃度、約 0 . 2 マイクロメートルの深さを有するホウ素ドーパントを採用するように注入 F のドーパント、エネルギーおよび量を選擇されるが、他のドーパント、濃度および深さも使用され得る。構

10

20

30

40

50

造 2 1 7 が得られる。

【 0 0 2 9 】

図 1 7 の製造工程 1 8 を参照する。マスク 9 6 が除去され、従来技術に周知な手段および方法を用いてオーム電氣的コンタクトの実行は望ましく、端子 2 3、2 2 に接続され、導体 8 2、8 3 がそれに印加される位置でドーブされるコンタクト領域 7 7、7 8、8 0 の部分を露出するために、誘電体層 8 1 が印加およびパターン化される。構造 2 1 8 が得られる。ESD クランプ 7 0 は実質的に完成される。製造工程 1 0 8 から 1 1 8 が、図 4 の単極性（単方向）クランプトランジスタ 7 0 の形成が示されるが、当業者が本明細書に基づいて、図 5 に示される相対的距離および相互接続されるクランプトランジスタ 7 0 とクランプトランジスタ 7 0 R と同時に形成されるように適切な変化されるマスク開口と図 8 ~ 1 8 を関連して説明される同一製造工程と同様に図 5 の両極性（双方向）クランプ 7 0 0 を作成され得ることを理解される。

10

【 0 0 3 0 】

図 1 8 は、図 4 の ESD トランジスタ 7 0 以内アバランシェ降伏領域 8 4 を囲む領域 9 0 をより詳細に示す、簡略的断面図である。縦軸（深さ）および横線（横方向の距離）は任意単位で示される。なぜならば、図 1 8 の目的は特定デバイスの断面図を示すことを意図しないが、本明細書に記載される構造および方法が、誘電体・半導体界面 7 9 1 の下の距離 Y にアバランシェ領域 8 4 を生じる最小有効距離 D' （距離 D と同様に）によって離隔される有効境界 7 5 1'、8 6 1'（境界 7 5 1、8 6 1 と同様に）を有したドーブ領域 7 5、8 5、8 6 を備えることを概念的に示す。図 1 8 の有効境界 7 5 1'、8 6 1' および有効距離 D' は、図 4 ~ 5、1 4 ~ 1 7 の幾何学的境界 7 5 1、8 6 1 および距離 D と異なり、ここで、以下に説明するように、有効境界 7 5 1'、8 6 1' および有効距離 D' は領域 7 5、8 5、8 6 の相対的ドーピングレベルの影響を考える。トレース 9 1 がアバランシェ領域 8 4 の付近の P ウェル 7 5 の有効境界または界面 7 5 1' の概略を示し、トレース 9 2 が、最小有効距離 D' によって離隔されるアバランシェ領域 8 4 の付近のさらなる領域 8 6 の有効境界または界面 8 6 1' の概略を示す。アバランシェ領域 8 4 は、有効境界 7 5 1'、8 6 1' が最小有効分離距離 D' を有する位置で有効境界 7 5 1'、8 6 1' との間に実質的に配置されるより軽くドーブされる領域 8 5 に生じる。所与の印加電圧において、アバランシェ条件を寄与する電界は D' がより小さいほど、大きい。隣接する領域 7 5、8 6 の一方または両方の相対的ドーピングがベース・コレクタ間隔のドーピングより大きいか、またはその両方の時、 D' はより小さい。他の事は同一である限り、領域 7 5、8 6 の相対的ドーピングは領域 8 5 に近い場合、空乏化される領域が隣接領域 7 5、8 6 に伸長して有効距離 D' （および V_{t1} ）が増加され、一方、隣接する領域 7 5、8 6 のドーピング対ベース・コレクタ領域 8 5 が増加するほど、有効距離 D' （および V_{t1} ）が減少される。シミュレーションが、有効ドーピングプロファイルまたは領域 7 5 および 8 6 の境界 7 5 1'、8 6 1' がこのような深さで大体向いているピークドーパント濃度を備えるまたは少なくとも 1 つのピークドーパント濃度が、最小有効距離 D' によって分離される統一または他のドーパント濃度を向く時、説明される実施形態のアバランシェ領域 8 4 が距離 Y によって界面 7 9 1 の下に起こることを指示する。

20

30

【 0 0 3 1 】

以下の表 1、2 は、図 1 8 に示される好ましい構造を生じる注入ドーピング条件を指示し、図 6 のトレース 6 7、6 8 を備える。表 1 に示されるより望ましくないドーピング条件が、最適より下の構造を備え、図 6 のトレース 6 5、6 6 を生じる。図 6 および表 1 の両方を参照して、高注入エネルギーを有する注入条件が、図 1 8 に示される好ましい有効境界または界面曲線 7 5 1'、8 6 1' を備え、 $(V_{t1})_{MAX}$ のより小さな値を示す図 6 のトレース 6 7 および 6 8 を生じる。一方、より低い注入エネルギーおよびより浅いドーブされる領域を用いる構造および作成方法が、 $(V_{t1})_{MAX}$ のより高い値を有する図 6 のトレース 6 5、6 6 を生じる。

40

【 0 0 3 2 】

【表 1】

表 1 : 図 6 のトレース 6 5 ~ 6 8 に寄与する注入 B の条件

1	2	3	4	5	6
図 7 の	100 keV	100 keV	300 keV	400 keV	720 keV
トレース	での As cm^{-2}	での P31 cm^{-2}	での P31 cm^{-2}	での P31 cm^{-2}	での P31 cm^{-2}
6 5		3.8E14@7°	3.8E14@7°		
6 6		3.8E14@0°	3.8E14@0°		
6 7	3E13@0°	4E12@7°		3E12@0°	3E13@0°
6 8	8E13@0°	4E12@7°		3E12@0°	3E13@0°

表 1 は 6 列および 6 行を有する。行 1 がコラム 1 ~ 6 を識別する。列 1 が、列 2 ~ 6 で代表されるデータに相当する図 6 のトレースを識別する。行 2 が、ドーパントが注入される注入ドーパント（ヒ素またはリン 3 1）およびエネルギーの列 2 ~ 6 の各々を識別する。列 2 ~ 6 の行 3 ~ 6 が、平方センチメートル当たりイオンの量および通常表面に対してイオンビームの角度を識別する。例えば、行 3 の列 3 において、エントリ 3 . 8 E 1 4 @ 7 ° が、列 3 の行 2 に示されるエネルギー通常表面に対して 7 度に印加される列 3 の行 2 に示されるドーパントイオンの 3 . 8 E 1 4 cm^{-2} の量を示す。

【 0 0 3 3 】

P ウェル 7 5 を形成する注入条件は表 1 のすべてのテストで同一である。注入 C に使用されるチェーン注入は表 2 に示す。他の注入が低エネルギーおよびドーパントを使用して誘電体・半導体界面 7 9 1 上の S T I 領域 7 9 内に残るので、表 2 の注入 1 , 2 のみは、アバランシェ領域 8 4 の所望深さ $Y > 0$ を達成する説明に関連する。他の実施形態において、このような低エネルギー注入は除いてもよい。

【 0 0 3 4 】

【表 2】

表 2 : 図 6 のトレース 6 5 ~ 6 8 に寄与する注入 C の条件

1	2	3	4	5
	化学種	ドーズ量 (cm^{-2})	エネルギー (k e V)	角度 (°)
注入 1	ホウ素	2 . 0 E 1 3	3 0 0	0
注入 2	ホウ素	8 . 0 E 1 2	2 0 0	0
注入 3	ホウ素	2 . 6 E 1 2	8 0	0
注入 4	ホウ素	2 . 0 E 1 2	4 0	0
注入 5	B F ₂	6 . 8 E 1 2	3 5	0

図 6 とともに表 1 , 2 のデータを参照して、多くの情報が得られる。例えば、低注入エネルギーを用いてより浅い注入を得れば、間隔寸法 D の広い範囲にわたって (V t 1) M A X を有したトレース 6 5 , 6 6 (図 6) を生じることは明確である。(V t 1) M A X がより大きい図 6 のトレース 6 6 によって示すように、同一の相対的低エネルギーでは、注入角度をゼロに減少すると (例えば、テーブル 1 の行 3) 状況がより悪くなる。また、より低いエネルギー量で同様の注入条件の結果と比較すると、低いエネルギー量を増加させること (テーブル I の行 6 、列 2) は、同様な優れた結果を生じず、例えば、行 5

に相当する図6のトレース67の条件で最も好ましい結果が得られる。誘電体・半導体界面791下の深さ $Y > 0$ 、好適には深さ $Y = 0.1$ マイクロメートル、さらに好適には深さ $Y = 0.2$ マイクロメートル、最適には深さ $Y = 0.3$ マイクロメートルに設けられる図4~5の構造を、最小有効分離距離 D' (よって、アバランシェ領域84)を備えるドーピング条件と組み合わせることによって(V_{t1})MAXの減少が得られる。これは当技術分野の飛躍的な進歩、重大な進歩である。

【0035】

第1実施形態は、第1外部端子(23)および第2外部端子(22)と、前記第1および第2外部端子(23, 22)の間に接続されるコア回路(24)と、前記第1および第2外部端子との間に接続されるバイポーラトランジスタ静電気放電(ESD)クランプ(21, 21', 70, 700)とを備える電子組立体(20)において、前記バイポーラトランジスタ静電気放電(ESD)クランプ(21, 21', 70, 700)は、

前記第1外部端子(23)に電氣的に接続される第1ドーパント濃度のエミッタ領域(78)と、前記第2外部端子(22)に電氣的に接続される第2ドーパント濃度のコレクタ領域(86)と、前記エミッタ領域と前記コレクタ領域の間に配置される第3ドーパント濃度のベース領域(75)と、前記ベース領域(75)と前記コレクタ領域(86)の間に配置される第4ドーパント濃度のさらなる領域(85)であって、上方の誘電体・半導体界面まで延伸している、さらなる領域とを備え、前記ベース領域(75)は前記さらなる領域(85)との間に第1ドーパント境界(751)を有し、前記コレクタ領域(85)は前記さらなる領域(86)との間に第2ドーパント境界(861)を有し、前記第1および前記第2ドーパント境界の少なくとも1つが、前記誘電体・半導体界面下の距離 Y ($Y > 0$)において最大ドーパント濃度を有する、電子組立体(20)を要旨とする。さらなる実施形態によると、 Y は、 $Y = 0.1$ マイクロメートルである。またさらなる実施形態にしたがって、第1ドーパント境界751および第2ドーパント境界861が、誘電体・半導体界面791下のそれぞれの距離 Y_1 および Y_2 で最大ドーパント濃度を有し、ここで、 $Y_1 > 0$ および $Y_2 > 0$ 。またさらなる実施形態にしたがって、ベース領域75およびコレクタ領域86はさらなる領域85よりドーピングされる。またさらなる実施形態にしたがって、ベース領域75のピークドーパント濃度およびコレクタ領域86のピークドーパント濃度が、少なくとも5倍によってさらなる領域85の平均ドーパント濃度を超える。またさらなる実施形態にしたがって、ベース領域75のピークドーパント濃度およびコレクタ領域86のピークドーパント濃度が、少なくとも10倍によってさらなる領域85の平均ドーパント濃度を超える。またさらなる実施形態にしたがって、エミッタ領域78およびベースコンタクト領域77は互いに実質的に短絡される。別の実施形態にしたがって、第1ドーパント境界751および第2ドーパント境界861はさらなる領域85を通して最小距離 D によって分離され、ここで、最小距離 D が、誘電体・半導体界面791下の深さ $Y > 0$ で起こる。また別のさらなる実施形態にしたがって、バイポーラトランジスタ静電気放電(ESD)クランプ(21, 21', 70, 700)は、 D によって実質的に決定されるアバランシェトリガ電圧 V_{t1} を有するように適している。

【0036】

第2実施形態は、バイポーラトランジスタ静電気放電(ESD)クランプ(21, 21', 70, 700)を製造するための方法において、第1表面(71)までそれぞれ延伸している、第1および第2ドーパント濃度の、第1導電型または第2導電型の第1領域(74)を有する半導体基板(72)を設けるステップと、前記第1表面から前記第1領域(74)に延伸し第1横方向境界(927-1, 861)を有する、第3導電型の第3ドーパント濃度の第1ウェル領域(762, 86)を形成するステップと、前記第3導電型とは反対の第4導電型を第4ドーパント濃度で有し、前記第1ウェル領域まで延伸し前記第1横方向境界から第5ドーパント濃度の前記第1領域の中間部分(85)を横切る最小距離 D をもって離隔した第2横方向境界(751)を有する、第2ウェル領域(75)を形成するステップと、少なくとも前記中間部分(85)の上方に誘電体・半導体界面(791)を形成するステップとを備え、(i)前記最小距離 D は距離 $Y > 0$ をもって前記誘

10

20

30

40

50

電体・半導体界面下に配置され、または、(i i) 前記第 3 および前記第 4 ドーパント濃度が少なくとも 5 倍だけ前記誘電体・半導体界面下の距離 $Y > 0$ における第 5 ドーパント濃度を超える、または、(i i i) (i) および (i i) の両方である、方法を要旨とする。またさらなる実施形態によると、 $Y = 0.1$ マイクロメートルである。またさらなる実施形態によると、 $Y = 0.2$ マイクロメートルである。また別のさらなる実施形態によると、第 3 および第 4 ドーパント濃度が、少なくとも 10 倍によって誘電体・半導体界面 791 下の距離 Y で第 5 ドーパント濃度を超える。また別のさらなる実施形態によると、前記半導体基板 (72) を設けるステップは、第 1 表面 (71) まで延伸する、互いに水平方向において接する第 1 または第 2 導電型の第 1 (74) および第 2 領域 (74R) を有する半導体基板を備えるステップを含み、

10

前記第 1 ウェル領域 (762 , 86) を形成するステップにおいて、第 3 導電型を第 3 ドーパント濃度で有する前記第 1 ウェル領域 (762 , 86 ; 762R , 86R) が、前記第 1 表面から互いに水平方向において接する前記第 1 (74) および第 2 領域 (74R) まで延伸することによって、第 1 ウェル領域は前記第 1 領域 (74) に第 1 横方向境界 (861) を有し、前記第 2 領域 (74R) に第 2 横方向境界 (861R) を有し、前記第 2 ウェル領域を形成するステップにおいて、前記第 3 導電型とは反対の第 4 導電型を有し互いに離間し、それぞれが前記第 1 (74) および第 2 領域 (74R) まで延伸する複数の第 2 ウェル領域 (75 , 75R) を形成し、前記第 1 および第 2 ウェル領域は前記第 1 横方向境界から、前記第 5 ドーパント濃度の前記第 1 領域の前記中間部分 (85) を横切って距離 D をもって離間している第 3 横方向境界 (751) を有し、前記第 2 ウェル領域のうちの第 2 領域 (75R) は前記第 2 横方向境界から前記第 5 ドーパント濃度の前記第 1 領域 (74R) の前記第 2 の中間部分 (85R) を横切って距離 DR をもって離間している第 4 横方向境界 (751R) を有し、誘電体・半導体界面を形成するステップは、前記第 1 中間部分の上方に誘電体・半導体界面 (791) を形成し、前記第 2 中間部分 (85R) の上方に誘電体・半導体界面 (791R) を形成し、前記距離 D および前記 DR はそれぞれ深さ $Y_D > 0$ および $Y_{DR} > 0$ をもって前記誘電体・半導体界面下に配置されることを要旨とする。別の実施形態によると、 D および DR は実質的に等しい。別のさらなる実施形態において、前記の方法は、前記第 2 ウェル領域の互いに離間した前記第 1 (75) および前記第 2 領域 (75R) に第 4 導電型の第 3 (77) および第 4 (77R) コンタクト領域、および前記第 3 導電型の第 1 (78) および第 2 (78R) コンタクト領域を設けるステップであって、前記第 1 (78) および前記第 3 コンタクト領域 (77) は、互いに接続され、前記バイポーラトランジスタ静電気放電 (ESD) クランプの第 1 端子に接続され、前記第 2 および前記第 4 領域は互いに接続され、前記バイポーラトランジスタ静電気放電 (ESD) クランプの第 2 端子に接続される、ステップをさらに備えることを要旨とする。

20

30

【 0037 】

第 3 実施形態は、第 1 表面を有する基板に形成され、第 1 および第 2 端子に接続されるバイポーラトランジスタ静電気放電 (ESD) クランプにおいて、前記第 1 端子に接続されるエミッタ、前記第 2 端子に接続されるコレクタ、前記エミッタとコレクタの間に配置されるベース、および、前記ベースおよび前記コレクタより低濃度にドーパされ、前記ベースと前記コレクタの間に接続される中間半導体部分とを備え、少なくとも前記中間半導体部分が誘電体・半導体界面または前記第 1 表面の近傍まで延伸し、前記中間半導体部分が、前記ベースとの間に第 1 界面および前記誘電体・半導体界面から広がる前記コレクタとの間に第 2 界面を有し、前記第 1 および前記第 2 界面が、前記誘電体・半導体界面よりも下方の距離 $Y > 0$ に配置される最小離間距離 D を有する、バイポーラトランジスタ静電気放電 (ESD) クランプを要旨とする。またさらなる実施形態によると、クランプが、ベース 75 下に埋め込まれ、コレクタにオーム接続される層領域をさらに備える。またさらなる実施形態にしたがって、中間半導体部分 85 は、少なくとも 5 倍だけベースおよびコレクタ 86 より少なくドーパされる。

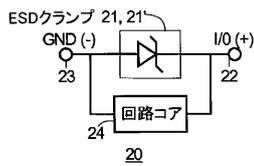
40

【 0038 】

50

少なくとも1つの代表的な実施形態及び製造方法について、本発明を上記詳細な説明において提示したが、多くの種々の変形が存在することを認識し得る。また、代表的な実施形態又は複数の代表的な実施形態は例示であり、本発明の範囲、適用可能性、又は構成を何ら限定するものではないことを認識し得る。むしろ、上記詳細な説明は、本発明の実施形態例を実現するための便利なロードマップを当業者に提供するものであり、添付の特許請求の範囲の記載及びそれらの合法的な等価物である本発明の範囲から逸脱することなく、代表的な一実施形態において述べられた要素の機能及び構成は種々に変更し得ることを理解し得る。

【図1】



【図2】

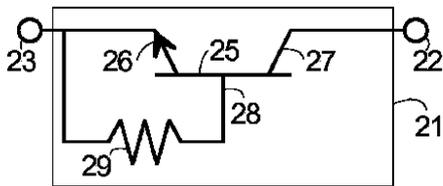
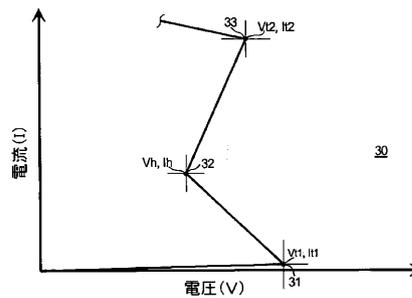
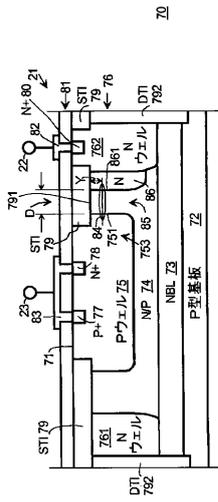


FIG. 2

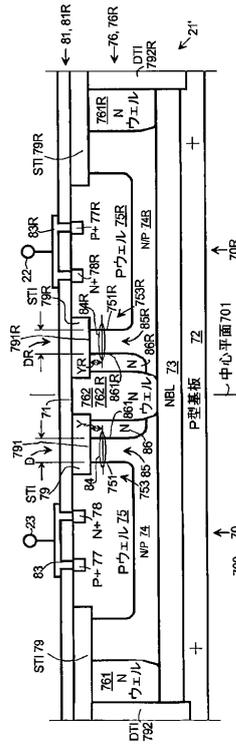
【図3】



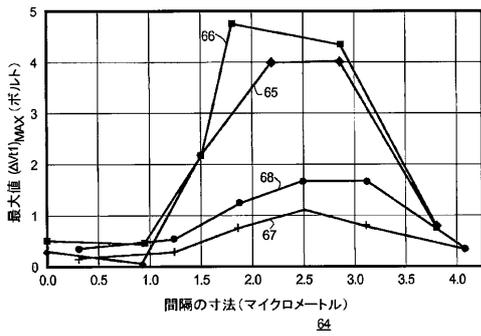
【図4】



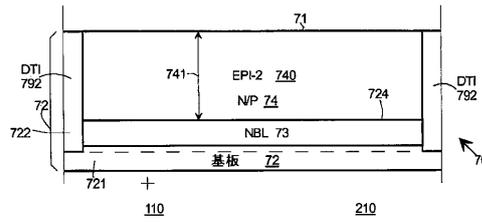
【図5】



【図6】



【図9】



【図7】

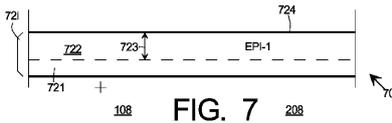
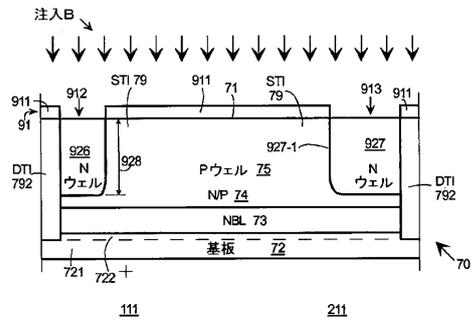
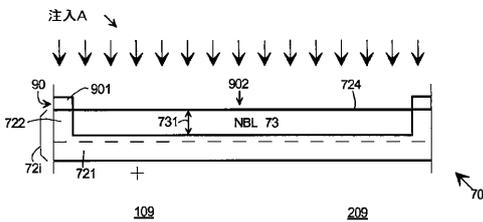


FIG. 7

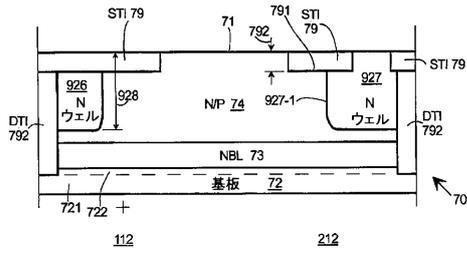
【図10】



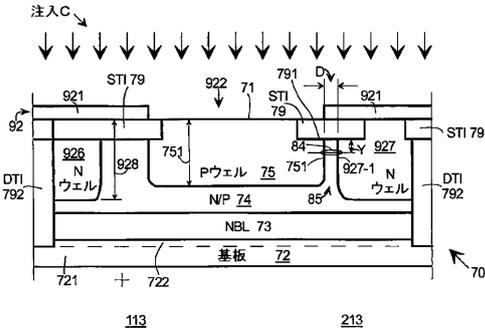
【図8】



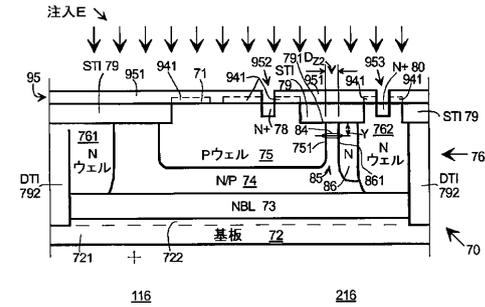
【図11】



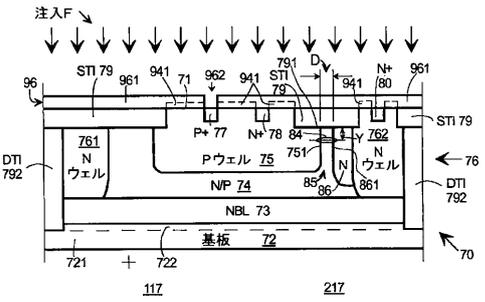
【図12】



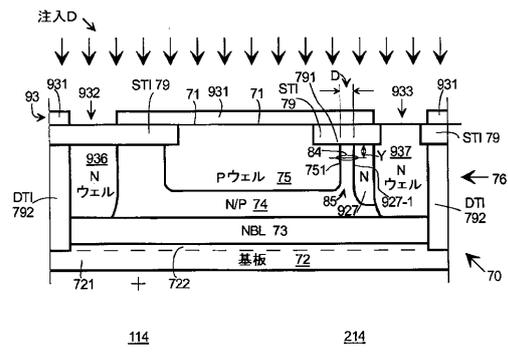
【図15】



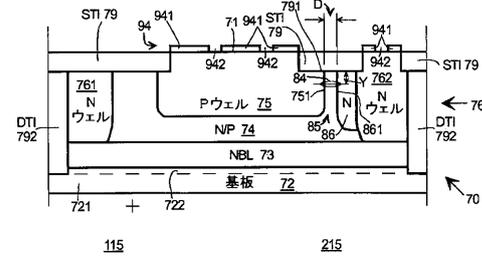
【図16】



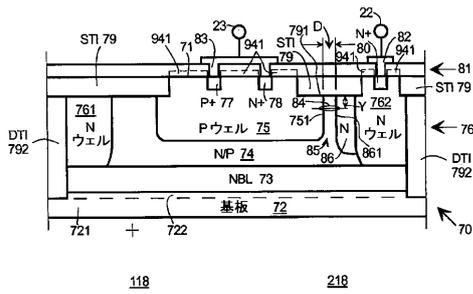
【図13】



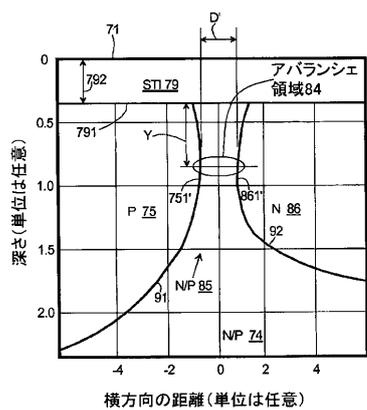
【図14】



【図17】



【図18】



フロントページの続き

- (72)発明者 ギル、チャイ イーアン
アメリカ合衆国 85225 アリゾナ州 チャンドラー ダブリュ・マクネア ストリート 3
16
- (72)発明者 ホン、チャンス
アメリカ合衆国 85048 アリゾナ州 フェニックス イー・ブルックウッド コート 28
01

審査官 儀同 孝信

- (56)参考文献 特開2003-282715(JP,A)
特開平09-191079(JP,A)
特開2007-242923(JP,A)
特開2007-214526(JP,A)
特開2006-186225(JP,A)
米国特許第4705322(US,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/331
H01L 21/822
H01L 27/04
H01L 27/06
H01L 29/732