

(12) 发明专利

(10) 授权公告号 CN 102263104 B

(45) 授权公告日 2013. 04. 17

(21) 申请号 201110162466. 8

(22) 申请日 2011. 06. 16

(73) 专利权人 北京大学

地址 100871 北京市海淀区颐和园路 5 号

(72) 发明人 张鹏 王源 贾嵩 张钢刚 张兴

(74) 专利代理机构 北京路浩知识产权代理有限公司 11002

代理人 王莹

(51) Int. Cl.

H01L 27/02(2006. 01)

H01L 29/78(2006. 01)

H01L 29/423(2006. 01)

审查员 张秀清

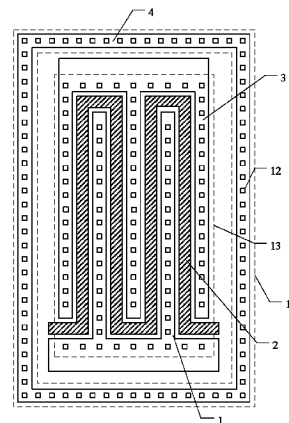
权利要求书 1 页 说明书 4 页 附图 6 页

(54) 发明名称

MOS 结构的 ESD 保护器件

(57) 摘要

本发明涉及半导体集成芯片的静电放电保护电路技术领域, 特别涉及一种 MOS 结构的 ESD 保护器件, 包括: 栅极 (2)、衬底、衬底极 (4), 梳齿状的源极 (3) 和漏极 (1), 所述栅极 (2)、源极 (3) 和漏极 (1) 均设置于所述衬底上表面, 所述源极 (3) 和漏极 (1) 相配合, 所述栅极 (2) 呈锯齿状, 且设置于所述源极 (3) 和漏极 (1) 之间。本发明通过设置锯齿状的栅极, 使得整个器件相当于一个宽度很长的 MOS 管, 提高了泄放能力。



1. 一种 MOS 结构的 ESD 保护器件,其特征在于,所述 ESD 保护器件包括:栅极(2)、衬底(9)、衬底极(4)、梳齿状的源极(3)和漏极(1),所述栅极(2)、源极(3)和漏极(1)均设置于所述衬底(4)上表面,所述源极(3)和漏极(1)相配合,所述漏极(1)为梳齿状,连为一体,所述梳齿状的源极(3)连为一体,所述栅极(2)呈锯齿状,连为一体,且设置于所述源极(3)和漏极(1)之间,所述栅极(2)下方覆盖的沟道区呈锯齿状,连为一体。

2. 如权利要求 1 所述的 ESD 保护器件,其特征在于,所述 ESD 保护器件分为 P 型和 N 型。

3. 如权利要求 1 所述的 ESD 保护器件,其特征在于,所述 ESD 保护器件为多指结构。

4. 如权利要求 3 所述的 ESD 保护器件,其特征在于,所述 ESD 保护器件为 M 指结构, M 大于零且为偶数。

## MOS 结构的 ESD 保护器件

### 技术领域

[0001] 本发明涉及半导体集成芯片的静电放电 (Electrostatic Discharge, ESD) 保护电路技术领域, 特别涉及一种 MOS 结构的 ESD 保护器件。

### 背景技术

[0002] 在集成电路 IC 芯片的制造工艺和最终的系统应用中, 都会出现不同程度的静电放电的事件。静电放电是在集成电路处于浮接的情况下, 大量的电荷从外向内灌入集成电路的瞬时过程, 整个过程大约耗时 100ns ~ 200ns。此外, 在集成电路放电时会产生数百甚至数千伏的等效高压, 这会击穿集成电路中的输入级的栅氧化层。随着集成电路中的 MOS 管的尺寸越来越小, 栅氧化层的厚度越来越薄, 在 0.13um 工艺时仅有 2.6nm。在这种趋势下, 使用高性能的静电防护器件来泄放静电电荷以保护栅极氧化层不受损害是十分必需的。

[0003] 为了达成保护芯片抵御静电袭击的目的, 通常采用普通的 N<sup>+</sup>P 或 P<sup>+</sup>N 二极管 (Diode)、金属氧化物半导体场效应晶体管 (Metal-Oxide-Semiconductor Field Effect Transistor, MOSFET), 或者可控硅管 (Silicon Controlled Rectifier, SCR) 器件作为 ESD 保护器件。在这三种保护器件中, 二极管结构简单, 但单位抗 ESD 能力弱, 且箝位电压范围小, 且没有回滞 (Snapback) 现象, 不利于芯片保护的应用。MOS 结构与集成电路工艺兼容, 具有设计简单, 单位防护能力较好的特点。SCR 器件的特点是设计复杂, 但单位防护能力强。在工业应用中, 主要采用二极管和 MOS 结构。

[0004] MOS 结构的 ESD 保护器件可分为 N 型和 P 型, 当使用 N 型 MOS 结构的 ESD 保护器件时, 以栅接地 N 型 MOS (gate-grounded N-type MOSFET, GGNMOS) 结构为例, 如图 1 所示, 漏极 (Drain) 1 会接入集成电路的接口 7, 所述集成电路的接口可以为: 输入或输出端 (I/O) 用来保护内部器件, 或接入集成电路的电源端 (VDD) 来保护其电源电压的稳定以及形成 ESD 泄放通路, 栅极 (Gate) 与源极 (Source) 3、衬底极 (Body) 4 短接, 且连接点与接地管脚 (VSS) 8 相连, 即通常所说的栅接地 N 型 MOSFET 结构 (gate-grounded N-type MOSFET, GGNMOS)。由于在标准 CMOS 工艺下, GGNMOS 结构的内部会生成一个横向的寄生双极型晶体管 (Bipolar Junction Transistor, BJT) 5 和一个寄生电阻 6。当 ESD 冲击发生时, GGNMOS 主要是利用横向寄生的 NPN 型 BJT 管作为 ESD 电流泄放路径, 这时 BJT 管的集电极基极 (CB) 结反偏, 收集结电压 ( $V_{CB}$ ) 增大至触发电压 ( $V_{t1}$ ) 时, CB 结被雪崩击穿, 产生大量的电子空穴对, 空穴流入衬底形成衬底电流 ( $I_{sub}$ ), 被 VSS 吸收, 造成衬底寄生电阻上产生电压降, 使得 BJT 管的集电极发射极 (BE) 结正偏并大于正向导通电压 ( $V_{on}$ ), BJT 管开启, 形成发射极电流 ( $I_E$ ),  $I_E$  代替  $V_{CB}$  来维持雪崩倍增过程, 从而使器件两端电压 ( $V_{AC}$ ) 开始减小, BJT 管出现外加电压减小, 电流增大的负阻过程, 即回滞特性, 如图 2 所示, 当  $V_{AC}$  降至维持雪崩倍增所需的最小维持电压 ( $V_h$ ) 后, 停止减小, 出现电压基本维持不变, 电流迅速上升的低阻过程, 直至电流过大导致 BJT 管热击穿烧毁。

[0005] 另外, 现有技术中还有一种在绝缘衬底上的硅技术 (Silicon-ON-Insulator, SOI)

技术的应用,如图 3,其结构与现有 GGNMOS 结构的 ESD 保护器件的结构基本相同,仅仅在两侧增加了绝缘层 (STI) 11,底部增加了掩埋氧化层 10。

[0006] 在 N 型 MOS 结构选用栅接地的连接方式时,由于需要泄放的 ESD 电流很大,因此 N 型 MOS 结构需要设计的宽度很大,以保证能通过足够的泄放电流。而由于版图的局限和电流均匀性的要求,常常把 N 型 MOS 结构设计成多指 (multi-finger) 结构,相当于多个 N 型 MOS 结构的指条并联。图 4 是现有的 N 型 MOS 结构的 ESD 保护器件 4 指结构的结构版图;现有 MOS 结构用作 ESD 保护器件时具有以下局限:根据墨菲定律 (Murphy's Law),多指结构的 MOS 通常会出现部分指条先于其他指条开启,由于多指结构的源、漏以及沟道区彼此不连接,电荷无法导通,较早开启的指条的泄放电流会越来越大,而其他指条却不能开启来帮助提高整体的泄放能力。因此较早开启的指条有可能提前发生热击穿烧毁,从而导致整个器件在没有全部开启时就失效了,大大降低 MOS 结构的 ESD 保护器件的 ESD 防护能力。

## 发明内容

[0007] (一) 要解决的技术问题

[0008] 本发明要解决的技术问题是:如何提供一种的高防护能力的 MOS 结构的 ESD 保护器件,提高泄放能力。

[0009] (二) 技术方案

[0010] 为解决上述技术问题,本发明提供了一种 MOS 结构的 ESD 保护器件,所述 ESD 保护器件包括:栅极、衬底、衬底极、梳齿状的源极和漏极,所述栅极、源极和漏极均设置于所述衬底上表面,所述源极和漏极相配合,所述栅极呈锯齿状,且设置于所述源极和漏极之间。

[0011] 优选地,所述 ESD 保护器件分为 P 型和 N 型。

[0012] 优选地,所述 ESD 保护器件为多指结构。

[0013] 优选地,所述 ESD 保护器件为 M 指结构,M 大于零且为偶数。

[0014] (三) 有益效果

[0015] 本发明通过设置锯齿状的栅极,使得整个器件相当于一个宽度很长的 MOS 管,提高了泄放能力。

## 附图说明

[0016] 图 1 是现有 N 型 MOS 结构的 ESD 保护器件选用栅接地的连接方式时的结构示意图;

[0017] 图 2 是现有 N 型 MOS 结构的 ESD 保护器件的原理图;

[0018] 图 3 是现有应用 SOI 技术的 N 型 MOS 结构的 ESD 保护器件选用栅接地的连接方式时的结构示意图;

[0019] 图 4 是现有的 N 型 MOS 结构的 ESD 保护器件 4 指结构的结构版图;

[0020] 图 5 是按照本发明一种实施方式的 N 型 MOS 结构的 ESD 保护器件 4 指结构的结构版图;

[0021] 图 6 是 8 指结构,每指宽度为 20um 时,现有 ESD 保护器件与本实施方式的 ESD 保护器件的性能比较图;

[0022] 图 7 是 8 指结构,每指宽度为 30um 时,现有 ESD 保护器件与本实施方式的 ESD 保

护器件的性能比较图；

[0023] 图 8 是 16 指结构,每指宽度为 30um 时,现有 ESD 保护器件与本实施方式的 ESD 保护器件的性能比较图。

[0024] 其中,1:漏极;2:栅极;3:源极;4:衬底极;5:寄生双极结型晶体管;6:寄生电阻;7:接口;8:接地管脚;9:P 型衬底;10:掩埋氧化层;11:绝缘层;12:金属互连通孔;13:N+ 掺杂区(图 4 和图 5 中最内层的虚线框之内的区域);14:P+ 掺杂区(图 4 和图 5 中最外层的虚线框和中间的虚线框之间的区域)。

### 具体实施方式

[0025] 下面结合附图和实施例,对本发明的具体实施方式作进一步详细描述。以下实施例用于说明本发明,但不用来限制本发明的范围。

[0026] 本发明的 MOS 结构的 ESD 保护器件可分为 P 型和 N 型,下面以 N 型 MOS 结构来说明本发明,图 5 是按照本发明一种实施方式的 N 型 MOS 结构的 ESD 保护器件 4 指结构的结构版图,包括:栅极 2、P 型衬底 9、衬底极 4、梳齿状的源极 3 和漏极 1,所述栅极 2、源极 3 和漏极 1 均设置于所述衬底 4 上表面,所述源极 3 和漏极 1 相配合,即梳齿状的源极 3 和漏极 1 的梳齿间隔排列。所述栅极 2 呈锯齿状,且设置于所述源极 3 和漏极 1 之间,所述 N 型 MOS 结构的 ESD 保护器件可以为多指结构,优选地,所述 ESD 保护器件为 M 指结构,M 大于零且为偶数(M 为偶数时,版图可布设为对称结构,更利于集成电路其他元件的布设)。

[0027] 下面以一个 4 指 N 型 MOS 为例来说明本发明,如图 5 所示,其与图 4 所示的现有 4 指 MOS 结构不同之处在于:栅极为锯齿型,且贯穿整个 MOS 管,该结构意味着所有 N 型 MOS 结构的指条的沟道区连为一体;同时,所有 N 型 MOS 指条的漏掺杂区和源掺杂区呈梳齿性,连为一体。这样,当防护 ESD 冲击时,由于整个器件相当于一个宽度很长的 N 型 MOS 管,所以将大大降低现有 MOS 管的指条开启不一致问题,提高泄放能力。同时,版图结构与现有 N 型 MOS 结构基本一致,仍为一个长宽均匀的方型,有利于 ESD 防护器件在芯片中的整体布局。由于应用至 SOI 技术时,版图结构与图 4 相同,因此在此不再赘述。

[0028] 本实施方式的 MOS 结构的 ESD 保护器件和现有的 MOS 结构的 ESD 保护器件工作原理相同,在此不再赘述。

[0029] 图 6 是 8 指结构,每指宽度为 20um 时,现有 ESD 保护器件与本实施方式的 ESD 保护器件的性能比较图;图 7 是 8 指结构,每指宽度为 30um 时,现有 ESD 保护器件与本实施方式的 ESD 保护器件的性能比较图;图 8 是 16 指结构,每指宽度为 30um 时,现有 ESD 保护器件与本实施方式的 ESD 保护器件的性能比较图。图 6~8 中共六组测试数据,分别为现有的 ESD 保护器件和本实施方式的 ESD 保护器件在三种尺寸下的二次击穿电流( $I_{t2}$ )比较,并将数据整理为表 1。

[0030]

器件类型	指条数	指条宽度 (um)	宽度 (um)	面积 (um <sup>2</sup> )	二次击穿电流 It2 (A)	It2 与宽度的比值 (mA/um)	It2 与面积的比值 (mA/um <sup>2</sup> )	It2 与面积比值的改善程度
现有①	8	20	160	263	0.87	5.44	3.31	—
本实施方式①	8	20	160	289	1.15	7.19	3.98	20.0%
现有②	8	30	240	396	0.925	3.85	2.33	—
本实施方式②	8	30	240	417	1.10	4.58	2.63	12.9%
现有③	16	30	480	783	1.90	3.96	2.42	—
本实施方式③	16	30	480	838	2.10	4.38	2.50	3.3%

[0031] 表 1

[0032] 在表 1 中,详细对比了三组不同栅宽度和栅条个数情况下的 ESD 防护情况。可以看出,在器件具有同样的栅宽度下,本实施方式的 ESD 保护器件具有更高的二次击穿电流,即具有更大的电流泄放能力,但是由于本实施方式的 ESD 保护器件版图结构相对复杂,因此在相同栅宽度下整个版图面积有所增加。

[0033] 在芯片设计中,由于 ESD 防护器件的所占的芯片面积很大,设计者关心的是器件的性能与面积的比值。通过计算,可以看出,对于不同尺寸的 MOS 多指结构的 ESD 防护能力,本实施方式的 MOS 多指结构对于 ESD 防护的性能面积比均有显著的提高。

[0034] 以上实施方式仅用于说明本发明,而并非对本发明的限制,有关技术领域的普通技术人员,在不脱离本发明的精神和范围的情况下,还可以做出各种变化和变型,因此所有等同的技术方案也属于本发明的范畴,本发明的专利保护范围应由权利要求限定。

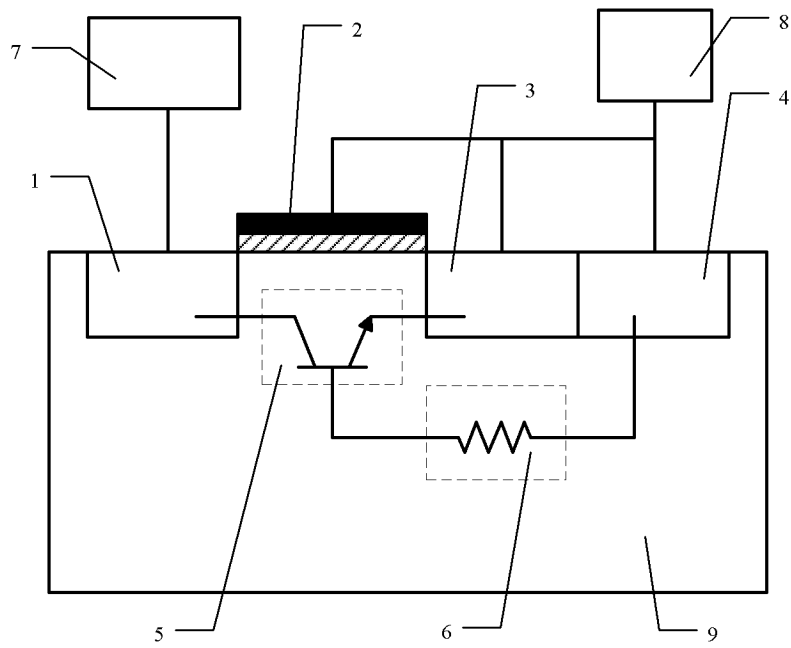


图 1

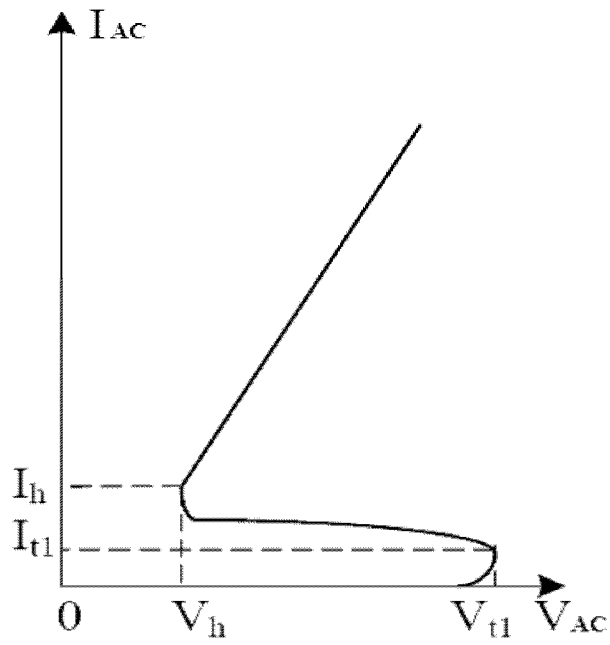


图 2

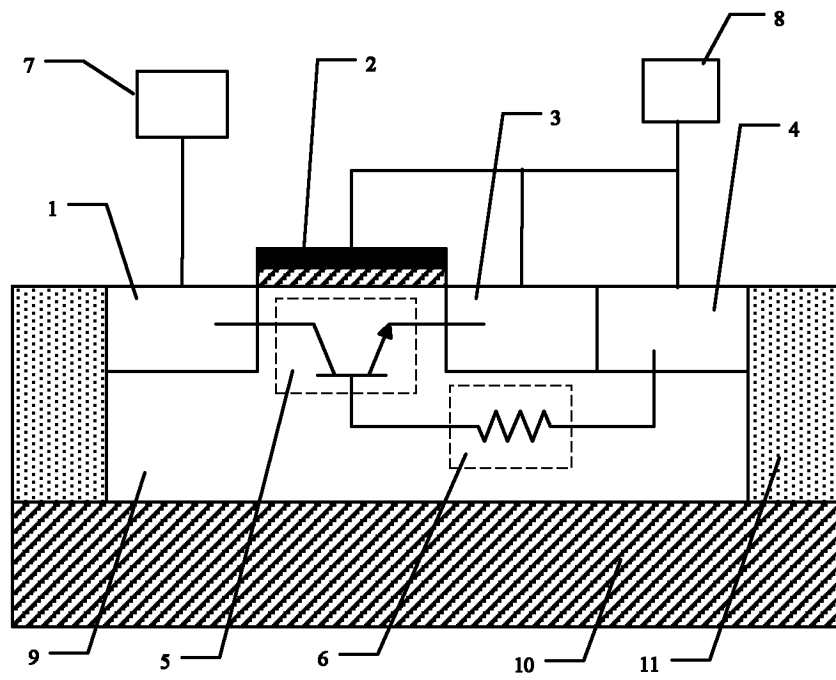


图 3



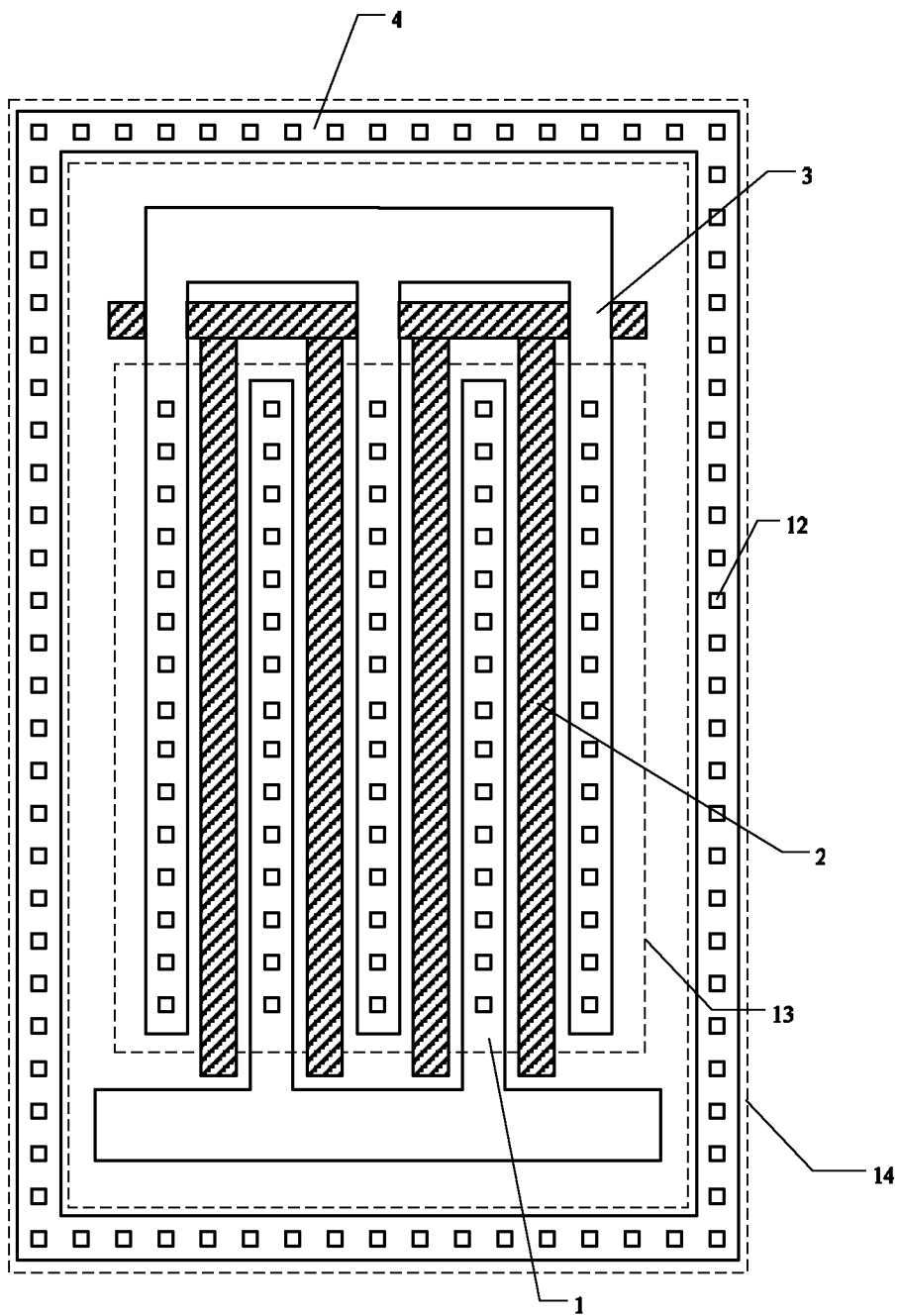


图 4

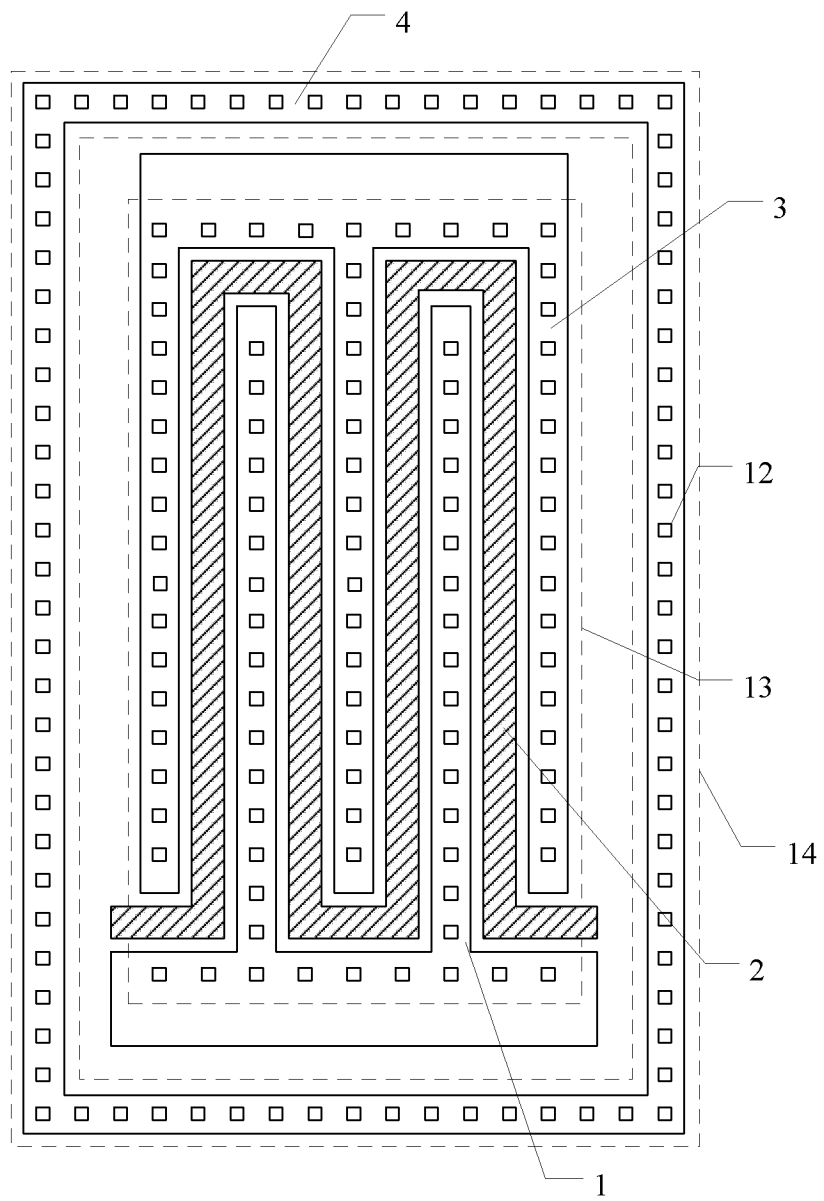


图 5

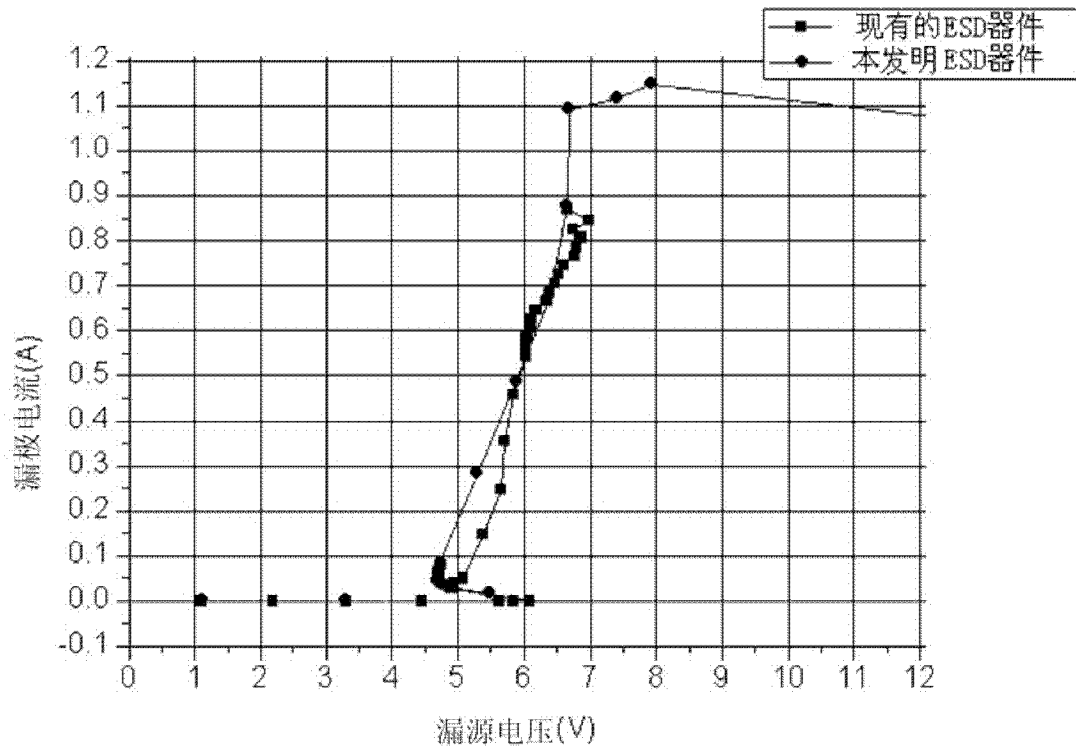


图 6

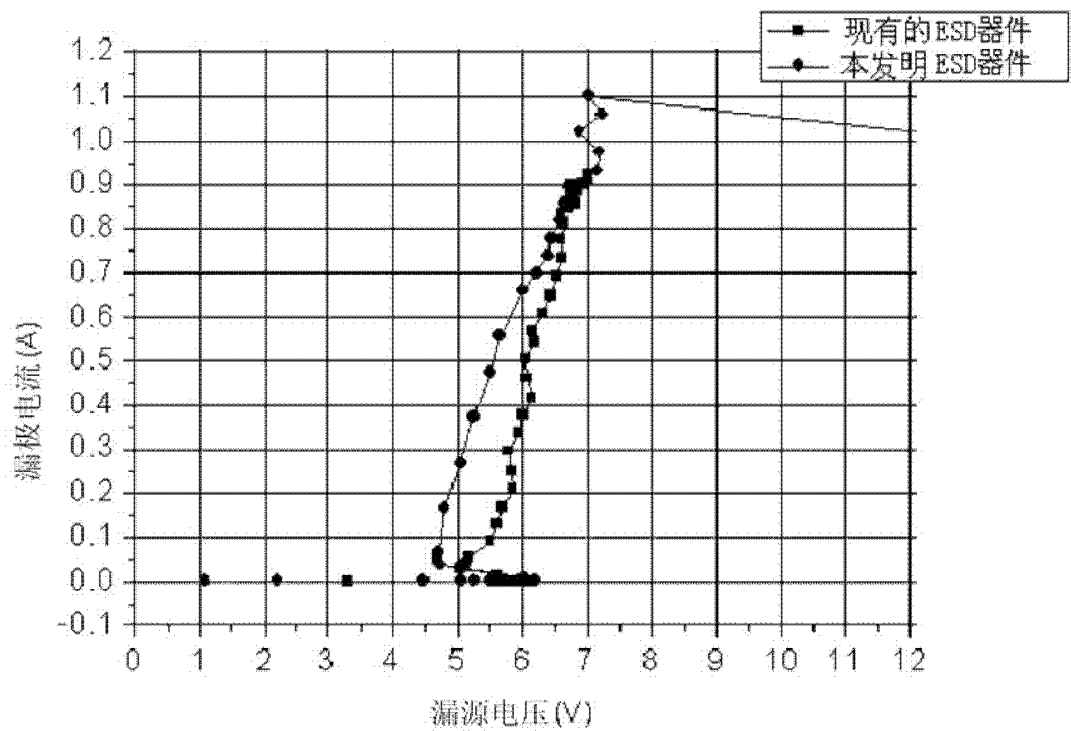


图 7

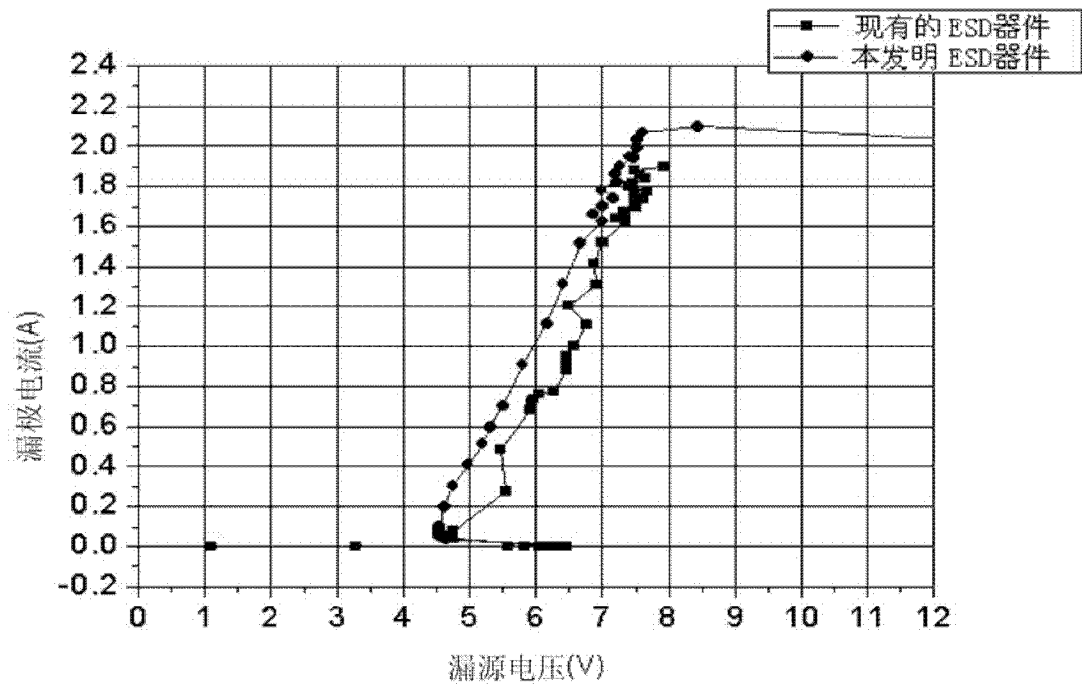


图 8