

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-165527

(P2006-165527A)

(43) 公開日 平成18年6月22日(2006.6.22)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B	4 M 1 0 4
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 7 J	5 F 1 1 0
HO 1 L 21/28 (2006.01)	HO 1 L 29/78 6 1 6 K	
HO 1 L 29/423 (2006.01)	HO 1 L 21/28 3 0 1 R	
HO 1 L 29/49 (2006.01)	HO 1 L 29/58 G	

審査請求 未請求 請求項の数 7 O L (全 37 頁)

(21) 出願番号 特願2005-325364 (P2005-325364)
 (22) 出願日 平成17年11月9日 (2005.11.9)
 (31) 優先権主張番号 特願2004-326688 (P2004-326688)
 (32) 優先日 平成16年11月10日 (2004.11.10)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (71) 出願人 304021417
 国立大学法人東京工業大学
 東京都目黒区大岡山2丁目12番1号
 (74) 代理人 100065385
 弁理士 山下 穰平
 (74) 代理人 100122921
 弁理士 志村 博
 (74) 代理人 100130029
 弁理士 永井 道雄
 (72) 発明者 長田 芳幸
 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

最終頁に続く

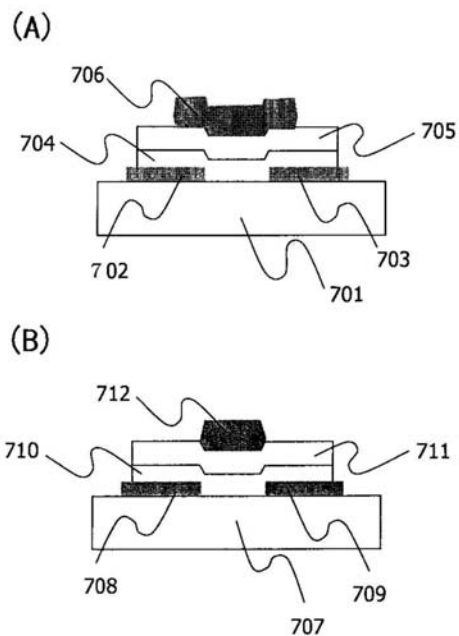
(54) 【発明の名称】 電界効果型トランジスタ

(57) 【要約】

【課題】 新規なトランジスタを提供する。

【解決手段】 ソース電極708、ドレイン電極709、ゲート電極712、及び電子キャリア濃度が $10^{18}/\text{cm}^3$ 未満である非晶質酸化物を含む活性層を備え、且つ該ゲート電極と、該ソース及びドレイン電極が自己整合していることを特徴とする。

【選択図】 図7



【特許請求の範囲】

【請求項 1】

電界効果型トランジスタであって、
ソース電極、ドレイン電極、ゲート電極、及び
電子キャリア濃度が $10^{18} / \text{cm}^3$ 未満である非晶質酸化物を含む活性層を備え、且つ

該ゲート電極と、該ソース及びドレイン電極とが自己整合していることを特徴とする電界効果型トランジスタ。

【請求項 2】

前記非晶質酸化物が、In、Zn、及びSnのいずれかを含む酸化物であることを特徴とする請求項 1 記載の電界効果型トランジスタ。

10

【請求項 3】

前記非晶質酸化物が、InとZnとSnを含む酸化物、InとZnを含む酸化物、InとSnを含む酸化物、及びInを含む酸化物のうちのいずれかである請求項 1 記載の電界効果型トランジスタ。

【請求項 4】

前記電界効果型トランジスタは、透明基板上に形成されている前記ソース及びドレイン電極のパターンをマスクとして、前記ゲート電極のパターンを形成するトップゲート型トランジスタであることを特徴とする請求項 1 から 3 のいずれか 1 項に記載の電界効果型トランジスタ。

20

【請求項 5】

前記電界効果型トランジスタは、透明基板上に形成されているゲート電極のパターンをマスクとして、前記ソース及びドレイン電極のパターンを形成するボトムゲート型トランジスタであることを特徴とする請求項 1 から 3 のいずれか 1 項に記載の電界効果型トランジスタ。

【請求項 6】

電界効果型トランジスタであって、
ソース電極、ドレイン電極、ゲート電極、及び
電子キャリア濃度が増加すると共に、電子移動度が増加する傾向を示す非晶質酸化物を含む活性層を備え、且つ

30

該ゲート電極と、該ソース及びドレイン電極とが自己整合していることを特徴とする電界効果型トランジスタ。

【請求項 7】

電界効果型トランジスタであって、
ソース電極、ドレイン電極、ゲート電極、及び
非晶質酸化物を含む活性層を備え、
該ゲート電極と、該ソース及びドレイン電極とが自己整合しており、且つノーマリーオフ型であることを特徴とする電界効果型トランジスタ。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は、酸化物半導体層を用いた電界効果型トランジスタに関する。

【背景技術】

【0002】

近年、液晶やエレクトロルミネッセンス (Electro Luminescence : EL) 技術等の進歩により、平面薄型画像表示装置 (Flat Panel Display : FPD) が実用化されている。

【0003】

これら FPD は、ガラス基板上に設けた非晶質シリコン薄膜や多結晶シリコン薄膜を活性層に用いる電界効果型薄膜トランジスタ (Thin Film Transistor

50

: TFT)のアクティブマトリクス回路により駆動されている。

【0004】

一方、これらFPDのより一層の薄型化、軽量化、耐破損性の向上を求めて、ガラス基板の代わりに軽量で可撓性のある樹脂基板を用いる試みも行われている。

【0005】

しかし、上述のシリコン薄膜を用いるトランジスタの製造は、比較的高温の熱工程を要し、一般的に耐熱性の低い樹脂基板上に直接形成することは困難である。

【0006】

そこで、低温での成膜が可能な、たとえばZnOを材料とした酸化物半導体薄膜を用いるTFTの開発が活発に行われている(特許文献1)。

10

【特許文献1】特開2003-298062号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかし、ZnOは一般に安定なアモルファス相を形成することができず、殆どのZnOは多結晶相を呈するために、多結晶粒子間の界面でキャリアは散乱され、結果として電子移動度を大きくすることができない。

【0008】

また、ZnOには、酸素欠陥が入りやすく、キャリア電子が多数発生してしまうため、電気伝導度を小さくすることが難しい。

20

【0009】

このために、トランジスタのゲート電圧が無印加時でも、ソース端子とドレイン端子間に大きな電流が流れてしまい、TFTのノーマリーオフ動作を実現できない。

【0010】

また、特開2000-044236号公報に記載されている非晶質酸化物膜 $Zn_xM_yIn_zO_{(x+3y/2+3z/2)}$ (式中、MはAl及びGaのうち少なくとも一つの元素である。)は、電子キャリア濃度が、 $10^{18}/cm^3$ 以上であり、単なる透明電極には好適である。

【0011】

しかし、電子キャリア濃度が $10^{18}/cm^3$ 以上の酸化物をTFTのチャネル層に用いた場合、オン・オフ比が十分にとれず、ノーマリーオフ型のTFTにはふさわしくないことが分かった。

30

【0012】

従来、このような非晶質酸化物膜で、電子キャリア濃度が $10^{18}/cm^3$ 未満の膜を得ることはできていなかった。

【0013】

更に、駆動能力の大きなトランジスタを実現する為に、ゲート電極とソースあるいはドレイン電極の重なり容量を低減することが求められていた。

【0014】

本発明は、ノーマリーオフ型のトランジスタが実現できる活性層材料を用いて、且つ、電極間の重なり容量を低減した電界効果型トランジスタを提供することを目的とする。

40

【課題を解決するための手段】

【0015】

本発明に係る電界効果型トランジスタは、ソース電極、ドレイン電極、ゲート電極、及び電子キャリア濃度が $10^{18}/cm^3$ 未満である非晶質酸化物を含む活性層を備え、且つ該ゲート電極と、該ソース及びドレイン電極とが自己整合していることを特徴とする。

【0016】

前記電界効果型トランジスタは、透明基板上に形成されている前記ソース及びドレイン電極のパターンをマスクとして、前記ゲート電極のパターンを形成しているトップゲート型トランジスタである。

50

【0017】

あるいは、前記電界効果型トランジスタは、透明基板上に形成されているゲート電極のパターンをマスクとして、前記ソース及びドレイン電極のパターンを形成しているボトムゲート型トランジスタである。

【0018】

また、本発明に係る電界効果型トランジスタは、ソース電極、ドレイン電極、ゲート電極、及び電子キャリア濃度が増加すると共に、電子移動度が増加する傾向を示す非晶質酸化物を含む活性層を備え、且つ該ゲート電極と、該ソース及びドレイン電極とが自己整合していることを特徴とする。

10

【0019】

また、本発明に係る電界効果型トランジスタは、ソース電極、ドレイン電極、ゲート電極、及び非晶質酸化物を含む活性層を備え、該ゲート電極と、該ソース及びドレイン電極とが自己整合しており、且つノーマリーオフ型であることを特徴とする。

【0020】

以下、より具体的に本発明について説明する。

【0021】

本発明は、半導体層が電子キャリア濃度 $10^{18} / \text{cm}^3$ 未満であり、露光光源に対して透明であるゲート絶縁層および酸化物半導体からなる薄膜トランジスタにおいて、「ソース・ドレイン電極もしくはゲート電極を露光マスクとして用いてセルフアライン型薄膜トランジスタを製造すること」を特徴とする。

20

【0022】

また、別の本発明は、電子キャリア濃度が増加すると共に、電子移動度が増加することを特徴とするアモルファス酸化物半導体層であって、露光光源に対して透明である酸化物半導体層および露光光源に対して透明であるゲート絶縁層を含み構成され、ソース・ドレイン電極とゲート電極が自己整合しているトランジスタである。

【0023】

本発明者らは、 $\text{InGaO}_3(\text{ZnO})_m$ 、及びこの材料の成膜条件に関する研究開発を精力的に進めた結果、成膜時の酸素雰囲気の状態を制御することで、電子キャリア濃度を $10^{18} / \text{cm}^3$ 未満にできることを見出した。

30

【0024】

そして、その結果、本発明を成すに至った。

【発明の効果】

【0025】

本発明によれば、薄膜トランジスタの寄生容量を低減することで回路動作の高精度化・高速化を実現することができる。

【発明を実施するための最良の形態】

【0026】

本発明は、上記透明アモルファス酸化物薄膜を用いた薄膜トランジスタの構成および製造工程の改良に関する。

40

【0027】

本発明は、駆動能力の大きな薄膜トランジスタを実現するために、電極重なり容量を低減する手段としてセルフアライメント型薄膜トランジスタを実現する技術を提供するものである。

【0028】

前記、ソース、ドレイン電極とゲート電極の電極重なり容量は薄膜トランジスタを動作させる場合に不要な電流を消費する。

【0029】

50

さらに薄膜トランジスタが容量性の負荷を駆動する場合には、スイッチング速度は、半導体層の移動度のみで決定されるものではなく、前記電極重なり容量にも依存しており、この電極重なり容量が大きいほどスイッチング速度は小さくなる。

【0030】

また、薄膜トランジスタに液晶セルのような容量性の負荷が接続される場合には、オン状態で前記薄膜トランジスタから前記容量性負荷に充電した電荷の一部が、オフ状態に戻る際には前記重なり容量に移動してしまうという回路動作上の不都合が生ずる。このため、前記容量性の負荷が必要な電圧に最終的に到達するには、電源側はより大きな電圧が必要となる。さらに、重なり容量あるいは液晶セル容量のどちらか、あるいは両方が画素毎にばらつく場合には、それが表示バラツキとなって現れてしまう。画素サイズが小さくなれば、このバラツキの影響は大きくなるのであり、ディスプレイの高精細化が進む今日、薄膜トランジスタにおける前記重なり容量は可能な限り低減されることが望まれている。

10

【0031】

本発明は、前記薄膜トランジスタの電極重なり容量を低減する手段を提供するものであり、半導体層とゲート絶縁層が透明である事を利用してゲート電極とソース、ドレイン電極とのセルフアラインメント工程を可能とする加工手段を提供するものである。この手段により、ゲート電極とソースおよびドレイン電極の重なり容量を極限まで低減し、駆動能力が改善された薄膜トランジスタを提供できる。

【0032】

以下その手法について説明する。

20

【0033】

本発明における薄膜トランジスタの半導体層は透明膜からなり、その吸収端はおよそ3.0eV(波長;413nm)であり、これより波長の長い光源で露光することで、上記セルフアライン工程を行う事が出来る。また、前記の波長範囲では半導体層での光の吸収が殆んど無いので、光照射による半導体層の劣化を防ぐ事ができる。

【0034】

前記半導体層の吸収端を考慮すると露光光源としては、少なくとも2.8eVの光源(G線)、また半導体層の条件によっては3.4eVの光源(i線)等の手段が適用できる。

【0035】

トップゲート型の薄膜トランジスタを例として本発明のセルフアライン工程を説明する

30

【0036】

この場合は、ソース・ドレイン電極をマスク・パターンとしてゲート電極を形成する。

【0037】

例えば、コプレナー型薄膜トランジスタの場合では、先ず透明基板上に前記パルスレーザー蒸着法等により透明アモルファス酸化物薄膜($\text{InGaO}_3(\text{Zn}_{1-x}\text{Mg}_x\text{O})_m$ 膜; mは6未満の自然数)を堆積しパターンニングする。その上に電気伝導度の大きな $\text{InGaO}_3(\text{ZnO})_4$ 膜を堆積した後、ソース・ドレイン電極となるAu薄膜を堆積し、前記電気伝導度の大きな $\text{InGaO}_3(\text{ZnO})_4$ 膜とともにパターンニングする。

【0038】

次いでその上に Y_2O_3 、 HfO_2 あるいは Al_2O_3 等の酸化物からなるゲート絶縁膜を堆積し、さらにポジレジスト膜を塗布形成する。この段階で、ソース・ドレイン電極をマスクとして基板側から前記ポジレジストを、例えば波長436nmのg線もしくは波長365nmのI線等で露光する。次の現像工程において、前記ポジレジストは前記ソース・ドレイン電極パターンに対応する非露光部分は残り、それ以外の露光部分で除去される。除去されたレジスト・パターンの端部うちゲート電極に対応する端部は、先に形成されている前記のソース、ドレイン電極の端部と一致する。

40

【0039】

次にゲート電極となる金属薄膜を堆積し、リフトオフ法により前記レジストを剥離すると、ゲート電極が形成される露光部分を残して金属薄膜が除去され、所望のセルフアライ

50

メント型の薄膜トランジスタ構成が形成できる。

【0040】

またスタガ型薄膜トランジスタの場合も、前記コプレー型薄膜トランジスタと同様なプロセスでセルフアライメント型の薄膜トランジスタを形成できる。前記コプレー型薄膜トランジスタの場合と異なるのは、先にソース・ドレイン電極を堆積・パターンニングした後、透明アモルファス酸化物薄膜を堆積・パターンニングする点である。

【0041】

ボトムゲート型薄膜トランジスタでは、ゲート電極をマスク・パターンとしてソース・ドレイン電極を形成する。プロセスの設計は基本的にコプレー型薄膜トランジスタと同様である。

【0042】

例えば、スタガ型薄膜トランジスタの場合では、先ずゲート電極となる金属薄膜を堆積しパターンニングする。

【0043】

次いでその上に Y_2O_3 、 HfO_2 あるいは Al_2O_3 等の酸化物からなるゲート絶縁膜を堆積し、さらにパルスレーザー蒸着法等により透明アモルファス酸化物薄膜($InGaO_3(Zn_{1-x}Mg_xO)_m$ 膜； m は6未満の自然数)を堆積する。さらにポジレジスト膜を塗布形成し、この段階でゲート電極をマスクとして基板側から前記ポジレジストを、例えば波長436nmのG線で露光し現像する。また、前記露光は、直進性の強いレーザー光をスキャンすることで行うことも出来る。

【0044】

レジストは、ソース・ドレイン電極が形成される部分を含む露光部分では除去される。除去されたレジスト・パターンのうちソース・ドレイン電極に対応する部分の端部は、先に形成されている前記のゲート電極の端部と一致する。次いでその上に、ソース・ドレイン電極となる金属薄膜を堆積した後、前記レジストを剥離すると、ソース・ドレイン電極が形成される露光部分を残して金属薄膜が除去され、所望のセルフアライメント型の薄膜トランジスタ構成が形成できる。

【0045】

以上の技術によりゲート電極とソースおよびドレイン電極の重なり容量を極限まで低減し、駆動能力が改善され消費電力の少ない薄膜トランジスタを形成する事が出来る。さらに、薄膜トランジスタ作製工程において、ゲート電極あるいはソース・ドレイン電極のマスク数、マスク工程を減らすことが出来る。

【0046】

なお、前記透明酸化物からなる半導体層は、酸素欠損量を制御して所望の電子キャリア濃度を達成できていることが本発明においては重要である。

【0047】

上記記載においては、透明酸化物膜の酸素量(酸素欠損量)の制御を、成膜時に酸素を所定濃度を含む雰囲気中で行うことで制御している。しかし、成膜後、当該酸化物膜を酸素を含む雰囲気中で後処理して酸素欠損量を制御(低減あるいは増加)することも好ましいものである。

【0048】

効果的に酸素欠損量を制御するには、酸素を含む雰囲気中の温度を0以上300以下、好ましくは、25以上、250以下、更に好ましくは100以上200以下で行うのがよい。

【0049】

勿論、成膜時にも酸素を含む雰囲気中で行い、且つ成膜後の後処理でも酸素を含む雰囲気中で後処理してもよい。また、所定の電子キャリア濃度($10^{18}/cm^3$ 未満)を得られるのであれば、成膜時には、酸素分圧制御は行わないで、成膜後の後処理を酸素を含む雰囲気中で行ってもよい。

【0050】

10

20

30

40

50

以下では、本発明に係るトランジスタの活性層に適用できる非晶質酸化物について詳述する。

(非晶質酸化物)

本発明に係る非晶質酸化物の電子キャリア濃度は、室温で測定する場合の値である。室温とは、例えば25であり、具体的には0から40程度の範囲から適宜選択されるある温度である。なお、本発明に係るアモルファス酸化物の電子キャリア濃度は、0から40の範囲全てにおいて、 $10^{18} / \text{cm}^3$ 未満を充足する必要はない。例えば、25において、キャリア電子密度 $10^{18} / \text{cm}^3$ 未満が実現されていればよい。また、電子キャリア濃度を更に下げ、 $10^{17} / \text{cm}^3$ 以下、より好ましくは $10^{16} / \text{cm}^3$ 以下にするとノーマリーオフのTFTが歩留まり良く得られる。

10

【0051】

電子キャリア濃度の測定は、ホール効果測定により求めることができる。

【0052】

なお、本発明において、アモルファス酸化物とは、X線回折スペクトルにおいて、ハローパターンが観測され、特定の回折線を示さない酸化物をいう。

【0053】

本発明のアモルファス酸化物における、電子キャリア濃度の下限値は、TFTのチャンネル層として適用できれば特に限定されるものではない。下限値は、例えば、 $10^{12} / \text{cm}^3$ である。

【0054】

従って、本発明においては、後述する各実施例のようにアモルファス酸化物の材料、組成比、製造条件などを制御して、例えば、電子キャリア濃度を、 $10^{12} / \text{cm}^3$ 以上 $10^{18} / \text{cm}^3$ 未満とする。より好ましくは $10^{13} / \text{cm}^3$ 以上 $10^{17} / \text{cm}^3$ 以下、更には $10^{15} / \text{cm}^3$ 以上 $10^{16} / \text{cm}^3$ 以下の範囲にすることが好ましいものである。

20

【0055】

前記非晶質酸化物としては、InZnGa酸化物のほかにも、In酸化物、 $\text{In}_x\text{Zn}_{1-x}$ 酸化物(0.2 < x < 1)、 $\text{In}_x\text{Sn}_{1-x}$ 酸化物(0.8 < x < 1)、あるいは $\text{In}_x(\text{Zn}, \text{Sn})_{1-x}$ 酸化物(0.15 < x < 1)から適宜選択できる。

【0056】

なお、 $\text{In}_x(\text{Zn}, \text{Sn})_{1-x}$ 酸化物は、 $\text{In}_x(\text{Zn}_y\text{Sn}_{1-y})_{1-x}$ 酸化物と記載することができ、yの範囲は1から0である。

30

【0057】

なお、ZnとSnを含まないIn酸化物の場合は、Inの一部をGaに置換することもできる。即ち、 $\text{In}_x\text{Ga}_{1-x}$ 酸化物(0 < x < 1)の場合である。

【0058】

以下に、本発明者らが作製することに成功した電子キャリア濃度が $10^{18} / \text{cm}^3$ 未満の非晶質酸化物について詳述する。

【0059】

上記酸化物とは、In-Ga-Zn-Oを含み構成され、結晶状態における組成が $\text{InGaO}_3(\text{ZnO})_m$ (mは6未満の自然数)で表され、電子キャリア濃度が $10^{18} / \text{cm}^3$ 未満であることを特徴とする。

40

【0060】

また上記酸化物は、In-Ga-Zn-Mg-Oを含み構成され、結晶状態の組成が $\text{InGaO}_3(\text{Zn}_{1-x}\text{Mg}_x\text{O})_m$ (mは6未満の自然数、0 < x < 1)で表され、電子キャリア濃度が $10^{18} / \text{cm}^3$ 未満であることを特徴とする。

【0061】

なお、これらの酸化物で構成される膜において、電子移動度が $1 \text{ cm}^2 / (\text{V} \cdot \text{秒})$ 超になるように設計することも好ましい。

【0062】

50

上記膜をチャネル層に用いれば、トランジスタオフ時のゲート電流が0.1マイクロアンペア未満のノーマリーオフで、オン・オフ比が 10^3 超のトランジスタ特性を実現できる。そして、可視光に対して、透明あるいは透光性を有し、フレキシブルなTFTが実現される。

【0063】

なお、上記膜は、伝導電子数の増加と共に、電子移動度が大きくなることを特徴とする。透明膜を形成する基板としては、ガラス基板、樹脂製プラスチック基板又はプラスチックフィルムなどを用いることができる。

【0064】

上記非晶質酸化物膜をチャネル層に利用する際には、 Al_2O_3 、 Y_2O_3 、又はHfO₂の1種、又はそれらの化合物を少なくとも二種以上含む混晶化合物をゲート絶縁膜に利用できる。

10

【0065】

また、非晶質酸化物中に、電気抵抗を高めるための不純物イオンを意図的に添加せず、酸素ガスを含む雰囲気中で、成膜することも好ましい形態である。

【0066】

本発明者らは、この半絶縁性酸化物アモルファス薄膜は、伝導電子数の増加と共に、電子移動度が大きくなるという特異な特性を見出した。そして、その膜を用いてTFTを作成し、オン・オフ比、ピンチオフ状態での飽和電流、スイッチ速度などのトランジスタ特性が更に向上することを見出した。即ち、非晶質酸化物を利用して、ノーマリーオフ型のTFTを実現できることを見出した。

20

【0067】

非晶質酸化物薄膜を膜トランジスタのチャネル層として用いると、電子移動度が $1\text{ cm}^2 / (\text{V} \cdot \text{秒})$ 超、好ましくは $5\text{ cm}^2 / (\text{V} \cdot \text{秒})$ 超にすることができる。

【0068】

電子キャリア濃度が、 $10^{18} / \text{cm}^3$ 未満、好ましくは、 $10^{16} / \text{cm}^3$ 未満のときは、オフ時（ゲート電圧無印加時）のドレイン・ソース端子間の電流を、10マイクロアンペア未満、好ましくは0.1マイクロアンペア未満にすることができる。

【0069】

また、該膜を用いれば、電子移動度が $1\text{ cm}^2 / (\text{V} \cdot \text{秒})$ 超、好ましくは $5\text{ cm}^2 / (\text{V} \cdot \text{秒})$ 超の時は、ピンチオフ後の飽和電流を10マイクロアンペア超にでき、オン・オフ比を 10^3 超とすることができる。

30

【0070】

TFTでは、ピンチオフ状態では、ゲート端子に高電圧が印加され、チャネル中には高密度の電子が存在している。

【0071】

したがって、本発明によれば、電子移動度が増加した分だけ、より飽和電流値を大きくすることができる。この結果、オン・オフ比の増大、飽和電流の増大、スイッチング速度の増大など、トランジスタ特性の向上が期待できる。

【0072】

なお、通常の化合物中では、電子数が増大すると、電子間の衝突により、電子移動度は減少する。

40

【0073】

なお、上記TFTの構造としては、半導体チャネル層の上にゲート絶縁膜とゲート端子を順に形成するスタガ（トップゲート）構造や、ゲート端子の上にゲート絶縁膜と半導体チャネル層を順に形成する逆スタガ（ボトムゲート）構造を用いることができる。

（第1の成膜法：PLD法）

結晶状態における組成が $\text{InGaO}_3(\text{ZnO})_m$ （ m は6未満の自然数）で表される非晶質酸化物薄膜は、 m の値が6未満の場合は、800以上の高温まで、非晶質状態が安定に保たれるが、 m の値が大きくなるにつれ、結晶化しやすくなる。すなわち、 InGaO_3 に対するZnOの

50

比が増大して、ZnO組成に近づくにつれ、結晶化しやすくなる。したがって、非晶質TFTのチャンネル層としては、mの値が6未満であることが好ましい。

【0074】

成膜方法は、 $\text{InGaO}_3(\text{ZnO})_m$ 組成を有する多結晶焼結体をターゲットとして、気相成膜法を用いるのが良い。気相成膜法の中でも、スパッタ法、パルスレーザー蒸着法が適している。さらに、量産性の観点から、スパッタ法が最も適している。

【0075】

しかしながら、通常の条件で該非晶質膜を作成すると、主として酸素欠損が生じ、これまで、電子キャリア濃度を $10^{18}/\text{cm}^3$ 未満、電気伝導度にして、 $10\text{S}/\text{cm}$ 以下にすることができなかった。そうした膜を用いた場合、ノーマリーオフのトランジスタを構成することができない。

10

【0076】

本発明者らは、図12で示される装置により、パルスレーザー蒸着法で作製したIn-Ga-Zn-Oを作製した。

【0077】

図12に示すようなPLD成膜装置を用いて、成膜を行った。

【0078】

同図において、701はRP（ロータリーポンプ）、702はTMP（ターボ分子ポンプ）、703は準備室、704はRHEED用電子銃、705は基板を回転、上下移動するための基板保持手段、706はレーザー入射窓である。また、707は基板、708はターゲット、709はラジカル源、710はガス導入口、711はターゲットを回転、上下移動するためのターゲット保持手段、712はバイパスライン、713はメインライン、714はTMP（ターボ分子ポンプ）である。また、715はRP（ロータリーポンプ）、716はチタンゲッターポンプ、717はシャッターである。また、図中718はIG（イオン真空計）、719はPG（ピラニ真空計）、720はBG（バラトロン真空計）、721は成長室（チャンバー）である。

20

【0079】

KrFエキシマレーザーを用いたパルスレーザー蒸着法により、 SiO_2 ガラス基板（コーニング社製1737）上にIn-Ga-Zn-O系アモルファス酸化物半導体薄膜を堆積させた。堆積前の処理として、基板の超音波による脱脂洗浄を、アセトン、エタノール、超純水を用いて、各5分間行った後、空气中100℃で乾燥させた。

30

【0080】

前記多結晶ターゲットには、 $\text{InGaO}_3(\text{ZnO})_4$ 焼結体ターゲット（サイズ20mm×5mm）を用いた。これは、出発原料として、 In_2O_3 ： Ga_2O_3 ： ZnO （各4N試薬）を湿式混合した後（溶媒：エタノール）、仮焼（1000℃：2h）、乾式粉碎、本焼結（1550℃：2h）を経て得られるものである。こうして作製したターゲットの電気伝導度は、90（S/cm）であった。

【0081】

成長室の到達真空を 2×10^{-6} （Pa）にして、成長中の酸素分圧を6.5（Pa）に制御して成膜を行った。

【0082】

チャンバー721内酸素分圧は6.5 Pa、基板温度は25℃である。

40

【0083】

なお、ターゲット708と被成膜基板707間の距離は、30（mm）であり、入射窓716から入射されるKrFエキシマレーザーのパワーは、1.5-3（ $\text{mJ}/\text{cm}^2/\text{pulse}$ ）の範囲である。また、パルス幅は、20（nsec）、繰り返し周波数は10（Hz）、そして照射スポット径は、1×1（mm角）とした。こうして、成膜レート7（nm/min）で成膜を行った。

【0084】

得られた薄膜について、薄膜のすれすれ入射X線回折（薄膜法、入射角0.5度）を行ったところ、明瞭な回折ピークは認められなかったことから、作製したIn-Ga-Zn-O系薄膜はアモルファスであるといえる。

50

【0085】

さらに、X線反射率測定を行い、パターン解析を行った結果、薄膜の平均二乗粗さ (R_{rms}) は約0.5 nmであり、膜厚は約120 nmであることが分かった。蛍光X線 (XRF) 分析の結果、薄膜の金属組成比は $In : Ga : Zn = 0.98 : 1.02 : 4$ であった。

【0086】

電気伝導度は、約 10^{-2} S/cm未満であった。電子キャリア濃度は約 10^{16} / cm^3 以下、電子移動度は約 $5 cm^2 / (V \cdot 秒)$ と推定される。

【0087】

光吸収スペクトルの解析から、作製したアモルファス薄膜の禁制帯エネルギー幅は、約3 eVと求まった。以上のことから、作製した $In-Ga-Zn-O$ 系薄膜は、結晶の $InGaO_3(ZnO)_4$ の組成に近いアモルファス相を呈しており、酸素欠損が少なく、電気伝導度が小さな透明な平坦薄膜であることが分かった。 10

【0088】

具体的に図1を用いて説明する。同図は、 $In-Ga-Zn-O$ から構成され、結晶状態を仮定した時の組成が $InGaO_3(ZnO)_m$ (m は6未満の数) で表される透明アモルファス酸化物薄膜を本実施例と同じ条件下で作成する場合の特性図である。この特性図は、酸素分圧を変化させた場合に、成膜された酸化物の電子キャリア濃度の変化を示したものである。

【0089】

本実施例と同じ条件下で酸素分圧を4.5 Pa超の高い雰囲気中で、成膜することにより、図1に示すように、電子キャリア濃度を 10^{18} / cm^3 未満に低下させることができた。この場合、基板の温度は意図的に加温しない状態で、ほぼ室温に維持されている。フレキシブルなプラスチックフィルムを基板として使用するには、基板温度は100 未満に保つことが好ましい。 20

【0090】

酸素分圧をさらに大きくすると、電子キャリア濃度をさらに低下させることができる。例えば、図1に示す様に、基板温度25、酸素分圧5 Paで成膜した $InGaO_3(ZnO)_4$ 薄膜では、さらに、電子キャリア数を 10^{16} / cm^3 に低下させることができた。

【0091】

得られた薄膜は、図2に示す様に、電子移動度が $1 cm^2 / (V \cdot 秒)$ 超であった。しかし、本実施例のパルスレーザー蒸着法では、酸素分圧を6.5 Pa以上にすると、堆積した膜の表面が凸凹となり、TFTのチャンネル層として用いることが困難となる。 30

【0092】

従って、酸素分圧4.5 Pa超、望ましくは5 Pa超、6.5 Pa未満の雰囲気中で、パルスレーザー蒸着法で、結晶状態における組成 $InGaO_3(ZnO)_m$ (m は6未満の数) で表される透明アモルファス酸化物薄膜を作製した。この透明アモルファス酸化物薄膜を用いれば、ノーマリーオフのトランジスタを構成することができる。

【0093】

また、該薄膜の電子移動度は、 $1 cm^2 / V \cdot 秒$ 超が得られ、オン・オフ比を 10^3 超に大きくすることができた。

【0094】

以上、説明したように、本実施例に示した条件下でPLD法により $InGaZn$ 酸化物の成膜を行う場合は、酸素分圧を4.5 Pa以上6.5 Pa未満になるように制御することが望ましい。 40

【0095】

なお、電子キャリア濃度を 10^{18} / cm^3 未満を実現するためには、酸素分圧の条件、成膜装置の構成や、成膜する材料や組成などに依存する。

【0096】

次に、上記装置における酸素分圧6.5 Paの条件で、アモルファス酸化物を作製し、図5に示すトップゲート型MISFET素子を作製した。具体的には、まず、ガラス基板(1)上に上記のアモルファス $In-Ga-Zn-O$ 薄膜の作製法により、チャンネル層(2)として用い 50

る厚さ120nmの半絶縁性アモルファス $\text{InGaO}_3(\text{ZnO})_4$ 膜を形成した。

【0097】

さらにその上に、チャンパー内酸素分圧を1Pa未満にして、パルスレーザー堆積法により電気伝導度の大きな $\text{InGaO}_3(\text{ZnO})_4$ 及び金膜をそれぞれ30nm積層した。そして、フォトリソグラフィ法とリフトオフ法により、ドレイン端子(5)及びソース端子(6)を形成した。最後にゲート絶縁膜(3)として用いる Y_2O_3 膜を電子ビーム蒸着法により成膜し(厚み:90nm、比誘電率:約15、リーク電流密度:0.5 MV/cm印加時に 10^{-3} A/cm²)、その上に金を成膜した。そして、フォトリソグラフィ法とリフトオフ法により、ゲート端子(4)を形成した。

【0098】

MISFET素子の特性評価

図6に、室温下で測定したMISFET素子の電流-電圧特性を示す。ドレイン電圧 V_{DS} の増加に伴い、ドレイン電流 I_{DS} が増加したことからチャンネルがn型半導体であることが分かる。これは、アモルファスIn-Ga-Zn-O系半導体がn型であるという事実と矛盾しない。 I_{DS} は $V_{DS}=6$ V程度で飽和(ピンチオフ)する典型的な半導体トランジスタの挙動を示した。利得特性を調べたところ、 $V_{DS}=4$ V印加時におけるゲート電圧 V_{GS} の閾値は約-0.5 Vであった。また、 $V_G=10$ V時には、 $I_{DS}=1.0 \times 10^{-5}$ Aの電流が流れた。これはゲートバイアスにより絶縁体のIn-Ga-Zn-O系アモルファス半導体薄膜内にキャリアを誘起できたことに対応する。

【0099】

トランジスタのオン・オフ比は、 10^3 超であった。また、出力特性から電界効果移動度を算出したところ、飽和領域において約 $7\text{cm}^2(\text{Vs})^{-1}$ の電界効果移動度が得られた。作製した素子に可視光を照射して同様の測定を行なったが、トランジスタ特性の変化は認められなかった。

【0100】

本実施例によれば、電子キャリア濃度が小さく、したがって、電気抵抗が高く、かつ電子移動度が大きいチャンネル層を有する薄膜トランジスタを実現できる。

【0101】

なお、上記したアモルファス酸化物は、電子キャリア濃度の増加と共に、電子移動度が増加し、さらに縮退伝導を示すという優れた特性を備えていた。

【0102】

本実施例では、ガラス基板上に薄膜トランジスタを作製したが、成膜自体が室温で行えるので、プラスチック板やフィルムなどの基板が使用可能である。また、本実施例で得られたアモルファス酸化物は、可視光の光吸収が殆どなく、透明なフレキシブルTFETを実現できる。

(第2の成膜法:スパッタ法(SP法))

雰囲気ガスとしてアルゴンガスを用いた高周波SP法により、成膜する場合について説明する。

【0103】

SP法は、図13に示す装置を用いて行った。同図において、807は被成膜基板、808はターゲット、805は冷却機構付き基板保持手段、814は、ターボ分子ポンプ、815はロータリーポンプ、817はシャッターである。また、818はイオン真空計、819はピラニ真空計、821は成長室(チャンパー)、830はゲートバルブである。

【0104】

被成膜基板807としては、 SiO_2 ガラス基板(コーニング社製1737)を用意した。成膜前処理として、この基板の超音波脱脂洗浄を、アセトン、エタノール、超純水により各5分ずつ行った後、空气中100℃で乾燥させた。

【0105】

ターゲット材料としては、 $\text{InGaO}_3(\text{ZnO})_4$ 組成を有する多結晶焼結体(サイズ20mm×5mm)を用いた。

10

20

30

40

50

【0106】

この焼結体は、出発原料として、 In_2O_3 : Ga_2O_3 : ZnO (各4N試薬)を湿式混合(溶媒:エタノール)し、仮焼(1000 : 2h)、乾式粉碎、本焼結(1550 : 2h)を経て作製した。このターゲット808の電気伝導度は90 (S/cm)であり、半絶縁体状態であった。

【0107】

成長室821内の到達真空は、 1×10^{-4} (Pa)であり、成長中の酸素ガスとアルゴンガスの全圧は、 $4 \sim 0.1 \times 10^{-1}$ (Pa)の範囲での一定の値とした。そして、アルゴンガスと酸素との分圧比を変えて、酸素分圧を $10^{-3} \sim 2 \times 10^{-1}$ (Pa)の範囲で変化させた。

【0108】

また、基板温度は、室温とし、ターゲット808と被成膜基板807間の距離は、30 (mm)であった。

【0109】

投入電力は、RF180 Wであり、成膜レートは、10 (nm/min)で行った。

【0110】

得られた膜に関し、膜面にすれすれ入射X線回折(薄膜法、入射角0.5度)を行ったところ、明瞭な回折ピークは検出されず、作製したIn-Zn-Ga-O系膜はアモルファス膜であることが示された。

【0111】

さらに、X線反射率測定を行い、パターン解析を行った結果、薄膜の平均二乗粗さ(R_{rms})は約0.5 nmであり、膜厚は約120 nmであることが分かった。蛍光X線(XRF)分析の結果、薄膜の金属組成比はIn : Ga : Zn = 0.98 : 1.02 : 4であった。

【0112】

成膜時の雰囲気酸素分圧を変化させ、得られたアモルファス酸化物膜の電気伝導度を測定した。その結果を図3に示す。

【0113】

図3に示すように、酸素分圧を 3×10^{-2} Pa超の高い雰囲気中で、成膜することにより、電気伝導度を10 S/cm未満に低下させることができた。

【0114】

酸素分圧をさらに大きくすることにより、電子キャリア数を低下させることができた。

【0115】

例えば、図3に示す様に、基板温度25、酸素分圧 10^{-1} Paで成膜した $\text{InGaO}_3(\text{ZnO})_4$ 薄膜では、さらに、電気伝導度を約 10^{-10} S/cmに低下させることができた。また、酸素分圧 10^{-1} Pa超で成膜した $\text{InGaO}_3(\text{ZnO})_4$ 薄膜は、電気抵抗が高すぎて電気伝導度は測定できなかった。この場合、電子移動度は測定できなかったが、電子キャリア濃度が大きな膜での値から外挿して、電子移動度は、約 $1 \text{ cm}^2 / \text{V} \cdot \text{秒}$ と推定された。

【0116】

よって、酸素分圧 3×10^{-2} Pa超、望ましくは 5×10^{-1} Pa超のアルゴンガス雰囲気で、スパッタ蒸着法で作製したIn-Ga-Zn-Oから構成される透明アモルファス酸化物薄膜を作製した。この透明アモルファス酸化物薄膜は、結晶状態における組成 $\text{InGaO}_3(\text{ZnO})_m$ (mは6未満の自然数)で表される。この透明アモルファス酸化物薄膜を用い、ノーマリーオフで、かつオン・オフ比を 10^3 超のトランジスタを構成することができた。

【0117】

本実施例で示した装置、材料を用いる場合は、スパッタによる成膜の際の酸素分圧としては、例えば、 3×10^{-2} Pa以上、 5×10^{-1} Pa以下の範囲である。なお、パルスレーザー蒸着法およびスパッタ法で作成された薄膜では、図2に示す様に、伝導電子数の増加と共に、電子移動度が増加する。

【0118】

上記のとおり、酸素分圧を制御することにより、酸素欠陥を低減でき、その結果、電子キャリア濃度を減少できる。また、アモルファス状態では、多結晶状態とは異なり、本質

10

20

30

40

50

的に粒子界面が存在しないために、高電子移動度のアモルファス薄膜を得ることができる。

【0119】

なお、ガラス基板の代わりに厚さ200 μ mのポリエチレン・テレフタレート(PET)フィルムを用いた場合にも、得られた $\text{InGaO}_3(\text{ZnO})_4$ アモルファス酸化物膜は、同様の特性を示した。

【0120】

なお、ターゲットとして、多結晶 $\text{InGaO}_3(\text{Zn}_{1-x}\text{Mg}_x\text{O})_m$ (m は6未満の自然数、 $0 < x < 1$)を用いれば、1Pa未満の酸素分圧下でも、高抵抗非晶質 $\text{InGaO}_3(\text{Zn}_{1-x}\text{Mg}_x\text{O})_m$ 膜を得ることができる。

【0121】

例えば、Znを80at%のMgで置換したターゲットを使用した場合、酸素分圧0.8Paの雰囲気、パルスレーザー堆積法で得られた膜の電子キャリア濃度を $10^{16}/\text{cm}^3$ 未満とすることができる(電気抵抗値は、約 $10^{-2}\text{S}/\text{cm}$ である。)

【0122】

こうした膜の電子移動度は、Mg無添加膜に比べて低下するが、その程度は少なく、室温での電子移動度は約 $5\text{cm}^2/(\text{V}\cdot\text{秒})$ で、アモルファスシリコンに比べて、1桁程度大きな値を示す。同じ条件で成膜した場合、Mg含有量の増加に対して、電気伝導度と電子移動度は、共に低下するので、Mgの含有量は、好ましくは、20%超、85%未満(x にして、 $0.2 < x < 0.85$)である。

【0123】

上記した非晶質酸化物膜を用いた薄膜トランジスタにおいて、 Al_2O_3 、 Y_2O_3 、 HfO_2 、又はそれらの化合物を少なくとも二つ以上含む混晶化合物をゲート絶縁膜とすることが好ましい。

【0124】

ゲート絶縁薄膜とチャネル層薄膜との界面に欠陥が存在すると、電子移動度の低下及びトランジスタ特性にヒステリシスが生じる。また、ゲート絶縁膜の種類により、リーク電流が大きく異なる。このために、チャネル層に適合したゲート絶縁膜を選定する必要がある。 Al_2O_3 膜を用いれば、リーク電流を低減できる。また、 Y_2O_3 膜を用いればヒステリシスを小さくできる。さらに、高誘電率の HfO_2 膜を用いれば、電子移動度を大きくすることができる。また、これらの膜の混晶を用いて、リーク電流、ヒステリシスが小さく、電子移動度の大きなTFETを形成できる。また、ゲート絶縁膜形成プロセス及びチャネル層形成プロセスは、室温で行うことができるので、TFET構造として、スタガ構造及び逆スタガ構造いずれをも形成することができる。

【0125】

このように形成したTFETは、ゲート端子、ソース端子、及び、ドレイン端子を備えた3端子素子である。またこのTFETは、セラミックス、ガラス、又はプラスチックなどの絶縁基板上に成膜した半導体薄膜を、電子又はホールが移動するチャネル層として用いたものである。またこのTFETは、ゲート端子に電圧を印加して、チャネル層に流れる電流を制御し、ソース端子とドレイン端子間の電流をスイッチングする機能を有するアクティブ素子である。

【0126】

なお、酸素欠損量を制御して所望の電子キャリア濃度を達成できていることが本発明においては重要である。

【0127】

上記記載においては、非晶質酸化物膜の酸素量(酸素欠損量)の制御を、成膜時に酸素を所定濃度含む雰囲気中で行うことで制御している。しかし、成膜後、当該酸化物膜を酸素を含む雰囲気中で後処理して酸素欠損量を制御(低減あるいは増加)することも好ましいものである。

【0128】

10

20

30

40

50

効果的に酸素欠損量を制御するには、酸素を含む雰囲気中の温度を0以上300以下、好ましくは、25以上、250以下、更に好ましくは100以上200以下で行うのがよい。

【0129】

勿論、成膜時にも酸素を含む雰囲気中で行い、且つ成膜後の後処理でも酸素を含む雰囲気中で後処理してもよい。また、所定の電子キャリア濃度(10¹⁸/cm³未満)を得られるのであれば、成膜時には、酸素分圧制御は行わないで、成膜後の後処理を酸素を含む雰囲気中に行ってもよい。

【0130】

なお、本発明における電子キャリア濃度の下限としては、得られる酸化物膜をどのような素子や回路あるいは装置に用いるかにもよるが、例えば10¹⁴/cm³以上である。

【0131】

(材料系の拡大)

さらに、組成系を拡大して研究を進めた結果、Zn, In及びSnのうち、少なくとも1種類の元素の酸化物からなるアモルファス酸化物で、電子キャリア濃度が小さく、かつ電子移動度が大きいアモルファス酸化物膜を作製できることを見出した。

【0132】

また、このアモルファス酸化物膜は、伝導電子数の増加と共に、電子移動度が大きくなるという特異な特性を有することを見出した。

【0133】

その膜を用いてTFTを作成し、オン・オフ比、ピンチオフ状態での飽和電流、スイッチ速度などのトランジスタ特性に優れたノーマリーオフ型のTFTを作成できる。

【0134】

本発明には、以下(a)から(h)の特徴を有する酸化物を用いることができる。

(a) 室温での電子キャリア濃度が、10¹⁸/cm³未満のアモルファス酸化物。

(b) 電子キャリア濃度が増加すると共に、電子移動度が増加することを特徴とするアモルファス酸化物。

【0135】

なおここで、室温とは0から40程度の温度をいう。アモルファスとは、X線回折スペクトルにおいて、ハローパターンのみが観測され、特定の回折線を示さない化合物をいう。また、ここでの電子移動度は、ホール効果測定で得られる電子移動度をいう。

(c) 室温での電子移動度が、0.1cm²/V・秒超であることを特徴とする上記(a)又は(b)に記載されるアモルファス酸化物。

(d) 縮退伝導を示す上記(b)から(c)のいずれかに記載されるアモルファス酸化物である。なお、ここでの縮退伝導とは、電気抵抗の温度依存性における熱活性化エネルギーが、30meV以下の状態をいう。

(e) Zn, In及びSnのうち、少なくとも1種類の元素を構成成分として含む上記(a)から(d)のいずれかに記載されるアモルファス酸化物。

(f) 上記(e)に記載のアモルファス酸化物に、Znより原子番号の小さい2族元素M2(M2は、Mg, Ca)、Inより原子番号の小さい3属元素M3(M3は、B, Al, Ga, Y), Snより小さい原子番号の小さい4属元素M4(M4は、Si, Ge, Zr)、5属元素M5(M5は、V, Nb, Ta)およびLu, Wのうち、少なくとも1種類の元素を含むアモルファス酸化物膜。

(g) 結晶状態における組成がIn_{1-x}M_{3x}O₃(Zn_{1-y}M_{2y}O)_m(0<x, y<1, mは0又は6未満の自然数)である化合物単体又はmの異なる化合物の混合体である(a)から(f)のいずれかに記載のアモルファス酸化物膜。M3たとえば、Gaであり、M2は例えば、Mgである。

(h) ガラス基板、金属基板、プラスチック基板又はプラスチックフィルム上に設けた上記(a)から(g)記載のアモルファス酸化物膜。

【0136】

10

20

30

40

50

また、本発明は、(10)上記記載のアモルファス酸化物、又はアモルファス酸化物膜をチャンネル層に用いた電界効果型トランジスタである。

【0137】

なお、電子キャリア濃度が $10^{18}/\text{cm}^3$ 未満、 $10^{15}/\text{cm}^3$ 超のアモルファス酸化物膜をチャンネル層に用い、ソース端子、ドレイン端子及びゲート絶縁膜を介してゲート端子を配した電界効果型トランジスタを構成する。ソース・ドレイン端子間に5V程度の電圧を印加したとき、ゲート電圧を印加しないときのソース・ドレイン端子間の電流を約 10^{-7} アンペアにすることができる。

【0138】

酸化物結晶の電子移動度は、金属イオンのs軌道の重なりが大きくなるほど、大きくなり、原子番号の大きなZn, In, Snの酸化物結晶は、 0.1 から $200\text{cm}^2/(\text{V}\cdot\text{秒})$ の大きな電子移動度を持つ。 10

【0139】

さらに、酸化物では、酸素と金属イオンとがイオン結合している。

【0140】

そのため、化学結合の方向性がなく、構造がランダムで、結合の方向が不均一なアモルファス状態でも、電子移動度は、結晶状態の電子移動度に比較して、同程度の大きさを有することが可能となる。

【0141】

一方で、Zn, In, Snを原子番号の小さな元素で置換することにより、電子移動度は小さくなる、こうした結果により、本発明のよるアモルファス酸化物の電子移動度は、約 $0.01\text{cm}^2/(\text{V}\cdot\text{秒})$ から $20\text{cm}^2/(\text{V}\cdot\text{秒})$ である。 20

【0142】

上記酸化物を用いてトランジスタのチャンネル層を作製する場合、トランジスタにおいて、 Al_2O_3 、 Y_2O_3 、 HfO_2 、又はそれらの化合物を少なくとも二つ以上含む混晶化合物をゲート絶縁膜とすることが好ましい。

【0143】

ゲート絶縁薄膜とチャンネル層薄膜との界面に欠陥が存在すると、電子移動度の低下及びトランジスタ特性にヒステリシスが生じる。また、ゲート絶縁膜の種類により、リーク電流が大きく異なる。このために、チャンネル層に適合したゲート絶縁膜を選定する必要がある。 Al_2O_3 膜を用いれば、リーク電流を低減できる。また、 Y_2O_3 膜を用いればヒステリシスを小さくできる。さらに、高誘電率の HfO_2 膜を用いれば、電界効果移動度を大きくすることができる。また、これらの化合物の混晶からなる膜を用いて、リーク電流、ヒステリシスが小さく、電界効果移動度の大きなTFETを形成できる。また、ゲート絶縁膜形成プロセス及びチャンネル層形成プロセスは、室温で行うことができるので、TFET構造として、スタガ構造及び逆スタガ構造いずれをも形成することができる。 30

【0144】

In_2O_3 酸化物膜は、気相法により成膜でき、成膜中の雰囲気中に水分を、 0.1Pa 程度添加することにより、アモルファス膜が得られる。

【0145】

また、 ZnO 及び SnO_2 は、アモルファス膜を得ることは難しいが、 In_2O_3 を、 ZnO の場合には20原子量%程度、 SnO_2 の場合には、90原子量%程度添加することによりアモルファス膜を得ることができる。特に、Sn-In-O系アモルファス膜を得るためには、雰囲気中に窒素ガスを 0.1Pa 程度導入すればよい。 40

【0146】

上記のアモルファス膜に、Znより原子番号の小さい2族元素M2(M2は、Mg, Ca)、Inより原子番号の小さい3属元素M3(M3は、B, Al, Ga, Y)、Snより小さい原子番号の小さい4属元素M4(M4は、Si, Ge, Zr)、5属元素M5(M5は、V, Nb, Ta)およびLu、Wのうち、少なくとも1種類の複合酸化物を構成する元素を添加できる。 50

【0147】

それにより、室温での、アモルファス膜をより安定化させることができる。また、アモルファス膜が得られる組成範囲を広げることができる。

【0148】

特に、共有結合性の強い、B, Si, Geの添加は、アモルファス相安定化に有効であるし、イオン半径の差の大きいイオンから構成される複合酸化物は、アモルファス相が安定化する。

【0149】

たとえば、In-Zn-O系では、Inが約20原子%超の組成範囲でないと、室温で安定なアモルファス膜は得難いが、MgをInと当量添加することにより、Inが約15原子量%超の組成範囲で、安定なアモルファス膜を得ることができる。 10

【0150】

気相法による成膜において、雰囲気制御することにより、電子キャリア濃度が、 $10^{18} / \text{cm}^3$ 未満、 $10^{15} / \text{cm}^3$ 超のアモルファス酸化膜を得ることができる。

【0151】

アモルファス酸化物の成膜方法としては、パルスレーザー蒸着法(PLD法)、スパッタ法(SP法)及び電子ビーム蒸着法などの気相法を用いるのがよい。気相法の中でも、材料系の組成を制御しやすい点では、PLD法が、量産性の点からは、SP法が適している。しかし、成膜法は、これらの方法に限られるものではない。

(PLD法によるIn-Zn-Ga-O系アモルファス酸化膜の成膜) 20

KrFエキシマレーザーを用いたPLD法により、ガラス基板(コーニング社製1737)上にIn-Zn-Ga-O系アモルファス酸化物膜を堆積させた。このとき、 $\text{InGaO}_3(\text{ZnO})$ 及び $\text{InGaO}_3(\text{ZnO})_4$ 組成を有する多結晶焼結体をそれぞれターゲットとした。

【0152】

成膜装置は、既述の図12に記載されている装置を用い、成膜条件は、当該装置を用いた場合と同様とした。

【0153】

基板温度は25である。得られた膜に関し、膜面にすれすれ入射X線回折(薄膜法、入射角0.5度)を行ったところ、明瞭な回折ピークは検出されず、2種類のターゲットから作製したIn-Zn-Ga-O系膜は、いずれもアモルファス膜であることが示された。 30

【0154】

さらに、ガラス基板上のIn-Zn-Ga-O系アモルファス酸化物膜のX線反射率測定を行い、パターンの解析を行った結果、薄膜の平均二乗粗さ(Rrms)は約0.5nmであり、膜厚は約120nmであることが分かった。

【0155】

蛍光X線(XRF)分析の結果、 $\text{InGaO}_3(\text{ZnO})$ 組成を有する多結晶焼結体をターゲットとして得られた膜の金属組成比はIn:Ga:Zn=1.1:1.1:0.9であった。また、 $\text{InGaO}_3(\text{ZnO})_4$ 組成を有する多結晶焼結体をターゲットとして得られた膜の金属組成比は、In:Ga:Zn=0.98:1.02:4であった。 40

【0156】

成膜時の雰囲気酸素分圧を変化させ、 $\text{InGaO}_3(\text{ZnO})_4$ 組成を有する多結晶焼結体をターゲットとして得られたアモルファス酸化膜の電子キャリア濃度を測定した。その結果を図1に示す。酸素分圧が4.2Pa超の雰囲気中で成膜することにより、電子キャリア濃度を $10^{18} / \text{cm}^3$ 未満に低下させることができた。この場合、基板の温度は意図的に加温しない状態でほぼ室温に維持されている。また、酸素分圧が6.5Pa未満の時は、得られたアモルファス酸化膜の表面は平坦であった。

【0157】

酸素分圧が5Paの時、 $\text{InGaO}_3(\text{ZnO})_4$ 組成を有する多結晶焼結体をターゲットとして得られたアモルファス酸化膜の電子キャリア濃度は $10^{16} / \text{cm}^3$ 、電気伝 50

導度は、 10^{-2} S/cmであった。また、電子移動度は、約 $5\text{ cm}^2/\text{V}\cdot\text{秒}$ と推測された。光吸収スペクトルの解析から、作製したアモルファス酸化物膜の禁制帯エネルギー幅は、約3 eVと求まった。

【0158】

酸素分圧をさらに大きくすると、電子キャリア濃度をさらに低下させることができた。図1に示す様に、基板温度 25°C 、酸素分圧6 Paで成膜したIn-Zn-Ga-O系アモルファス酸化物膜では、電子キャリア濃度を $8 \times 10^{15}/\text{cm}^3$ （電気伝導：約 8×10^{-3} S/cm）に低下させることができた。得られた膜は、電子移動度が $1\text{ cm}^2/(\text{V}\cdot\text{秒})$ 超と推測された。しかし、PLD法では、酸素分圧を6.5 Pa以上にするると、堆積した膜の表面が凸凹となり、TFTのチャンネル層として用いることが困難となった。

【0159】

InGaO₃(ZnO)₄組成を有する多結晶焼結体をターゲットとし、異なる酸素分圧で成膜したIn-Zn-Ga-O系アモルファス酸化物膜に関して、電子キャリア濃度と電子移動度の関係を調べた。その結果を図2に示す。電子キャリア濃度が、 $10^{16}/\text{cm}^3$ から $10^{20}/\text{cm}^3$ に増加すると、電子移動度は、約 $3\text{ cm}^2/(\text{V}\cdot\text{秒})$ から約 $11\text{ cm}^2/(\text{V}\cdot\text{秒})$ に増加することが示された。また、InGaO₃(ZnO)組成を有する多結晶焼結体をターゲットとして得られたアモルファス酸化物膜に関しても、同様の傾向が見られた。

【0160】

ガラス基板の代わりに厚さ $200\ \mu\text{m}$ のポリエチレン・テレフタレート(PEET)フィルムを用いた場合にも、得られたIn-Zn-Ga-O系アモルファス酸化物膜は、同様の特性を示した。

(PLD法によるIn-Zn-Ga-Mg-O系アモルファス酸化物膜の成膜)

ターゲットとして多結晶InGaO₃(Zn_{1-x}Mg_xO)₄ ($0 < x < 1$)を用い、PLD法により、ガラス基板上にInGaO₃(Zn_{1-x}Mg_xO)₄ ($0 < x < 1$)膜を成膜した。成膜装置は、図12に記載の装置を用いた。被成膜基板としては、SiO₂ガラス基板(コーニング社製1737)を用意した。その基板に前処理として、超音波脱脂洗浄を、アセトン、エタノール、超純水により各5分間ずつ行った後、空气中 100°C で乾燥させた。ターゲットとしては、InGa(Zn_{1-x}Mg_xO)₄ ($x=1-0$)焼結体(サイズ $20\text{mm} \times 5\text{mm}$)を用いた。

【0161】

ターゲットは、出発原料In₂O₃:Ga₂O₃:ZnO:MgO(各4N試薬)を、湿式混合(溶媒:エタノール)、仮焼(1000 $^\circ\text{C}$:2h)、乾式粉碎、本焼結(1550 $^\circ\text{C}$:2h)を経て作製した。

【0162】

成長室到達真空は、 2×10^{-6} (Pa)であり、成長中の酸素分圧は、0.8 (Pa)とした。基板温度は、室温(25°C)で行い、ターゲットと被成膜基板間の距離は、30 (mm)であった。

【0163】

なお、KrFエキシマレーザーのパワーは、 $1.5\text{ (mJ/cm}^2/\text{pulse)}$ 、パルス幅は、20 (nsec)、繰り返し周波数は、10 (Hz)、照射スポット径は、 $1 \times 1\text{ (mm)}$ とした。成膜レートは、7 (nm/min)であった。

【0164】

雰囲気は酸素分圧0.8 Paで、基板温度は 25°C である。得られた膜に関し、膜面にすれすれ入射X線回折(薄膜法、入射角 0.5°)を行ったところ、明瞭な回折ピークは検出されず、作製したIn-Zn-Ga-Mg-O系膜はアモルファス膜であることが示された。得られた膜の表面は平坦であった。

【0165】

異なるx値のターゲットを用いて、酸素分圧0.8 Paの雰囲気中で成膜したIn-Zn-Ga-Mg-O系アモルファス酸化物膜の電気伝導度、電子キャリア濃度及び電子移動度のx値依存性を調べた。

10

20

30

40

50

【0166】

その結果を、図4に示す。x値が0.4超のとき、酸素分圧0.8Paの雰囲気中で、PLD法により成膜したアモルファス酸化物膜では、電子キャリア濃度を $10^{18}/\text{cm}^3$ 未満にできることが示された。また、x値が0.4超のアモルファス酸化物膜では、電子移動度は、 $1\text{cm}^2/\text{V}\cdot\text{秒}$ 超であった。

【0167】

図4に示すように、Znを80原子%のMgで置換したターゲットを使用した場合、酸素分圧0.8Paの雰囲気中で、パルスレーザー堆積法で得られた膜の電子キャリア濃度を $10^{16}/\text{cm}^3$ 未満とすることができる(電気抵抗値は約 $10^{-2}\text{S}/\text{cm}$ である)。こうした膜の電子移動度は、Mg無添加膜に比べて低下するが、その程度は少なく、室温での電子移動度は約 $5\text{cm}^2/(\text{V}\cdot\text{秒})$ で、アモルファスシリコンに比べて、1桁程度大きな値を示す。同じ条件で成膜した場合、Mg含有量の増加に対して、電気伝導度と電子移動度は、共に低下するので、Mgの含有量は、好ましくは、20原子%超、85原子%未満(xにして、 $0.2 < x < 0.85$)、より好適には $0.5 < x < 0.85$ である。

10

【0168】

ガラス基板の代わりに厚さ $200\mu\text{m}$ のポリエチレン・テレフタレート(PET)フィルムを用いた場合にも、得られた $\text{InGaO}_3(\text{Zn}_{1-x}\text{Mg}_x\text{O})_4$ ($0 < x < 1$)アモルファス酸化物膜は、同様の特性を示した。

(PLD法による In_2O_3 アモルファス酸化物膜の成膜)

20

KrFエキシマレーザーを用いたPLD法により、 In_2O_3 多結晶焼結体をターゲットとして、厚さ $200\mu\text{m}$ のPETフィルム上に In_2O_3 膜を成膜した。

【0169】

装置は、図12に示した装置を用いた。被成膜基板として、 SiO_2 ガラス基板(コーニング社製1737)を用意した。

【0170】

この基板の前処理として、超音波脱脂洗浄を、アセトン、エタノール、超純水で各5分間ずつ行った後、空气中 100°C で乾燥させた。

【0171】

ターゲットとしては、 In_2O_3 焼結体(サイズ $20\text{mm}\times 5\text{mm}$)を用いた。これは、出発原料 In_2O_3 (4N試薬)を仮焼(1000°C : 2h)、乾式粉碎、本焼結(1550°C : 2h)を経て準備した。

30

【0172】

成長室到達真空は、 2×10^{-6} (Pa)、成長中の酸素分圧は、5(Pa)、基板温度は室温とした。

【0173】

酸素分圧は5Pa、水蒸気分圧は0.1Paとし、さらに、酸素ラジカル発生装置に200Wを印加して、酸素ラジカルを発生させた。

【0174】

ターゲットと被成膜基板間の距離は、40(mm)、KrFエキシマレーザーのパワーは $0.5\text{mJ}/\text{cm}^2/\text{pulse}$ 、パルス幅は、20(nsec)、繰り返し周波数は、10(Hz)、照射スポット径は 1×1 (mm角)であった。成膜レートは、3(nm/min)であった。

40

【0175】

得られた膜に関し、膜面にすれすれ入射X線回折(薄膜法、入射角0.5度)を行ったところ、明瞭な回折ピークは検出されず、作製したIn-O系膜はアモルファス膜であることが示された。膜厚は、80nmであった。

【0176】

得られたIn-O系アモルファス酸化物膜の電子キャリア濃度は $5\times 10^{17}/\text{cm}^3$ で、電子移動度は、約 $7\text{cm}^2/\text{V}\cdot\text{秒}$ であった。

(PLD法によるIn-Sn-O系アモルファス酸化物膜の成膜)

50

KrFエキシマレーザーを用いたPLD法により、 $(\text{In}_{0.9}\text{Sn}_{0.1})\text{O}_{3.1}$ 多結晶焼結体をターゲットとして、厚さ200 μm のPETフィルム上にIn-Sn-O系酸化物膜を成膜した。

【0177】

具体的には、

被成膜基板として、 SiO_2 ガラス基板（コーニング社製1737）を用意した。基板前処理として、超音波脱脂洗浄をアセトン、エタノール、超純水を用いて各5分間ずつ行った。その後、空气中100で乾燥させた。

【0178】

ターゲットは、 In_2O_3 - SnO_2 焼結体（サイズ20mm 5mm）を準備した。これは、出発原料として、 In_2O_3 - SnO_2 （4N試薬）を湿式混合（溶媒：エタノール）、仮焼（1000：2h）、乾式粉碎、本焼結（1550：2h）を経て得られる。

【0179】

基板温度は室温である。酸素分圧は5（Pa）、窒素分圧は、0.1（Pa）とし、さらに、酸素ラジカル発生装置に200Wを印加して、酸素ラジカルを発生させた。

【0180】

ターゲットと被成膜基板間の距離は、30（mm）とし、KrFエキシマレーザーのパワーは、1.5（ $\text{mJ}/\text{cm}^2/\text{pulse}$ ）、パルス幅は、20（nsec）とした。また、繰り返し周波数は、10（Hz）、照射スポット径は、1×1（mm角）であった。成膜レートは、6（nm/min）であった。

【0181】

得られた膜に関し、膜面にすれすれ入射X線回折（薄膜法、入射角0.5度）を行ったところ、明瞭な回折ピークは検出されず、作製したIn-Sn-O系膜はアモルファス膜であることが示された。

【0182】

得られたIn-Sn-Oアモルファス酸化物膜の電子キャリア濃度は、 $8 \times 10^{17}/\text{cm}^3$ で、電子移動度は、約5 $\text{cm}^2/\text{V} \cdot \text{sec}$ であった。膜厚は、100nmであった。（PLD法によるIn-Ga-O系アモルファス酸化物膜の成膜）

被成膜基板として、 SiO_2 ガラス基板（コーニング社製1737）を用意した。

【0183】

基板の前処理として、超音波脱脂洗浄をアセトン、エタノール、超純水を用いて、各5分間行った後、空气中100で乾燥させた。

【0184】

ターゲットとして、 $(\text{In}_2\text{O}_3)_{1-x}-(\text{Ga}_2\text{O}_3)_x$ （ $X = 0-1$ ）焼結体（サイズ20mm 5mm）を用意した。なお、例えば $x = 0.1$ の場合は、ターゲットは、 $(\text{In}_{0.9}\text{Ga}_{0.1})_2\text{O}_3$ 多結晶焼結体ということになる。

【0185】

これは、出発原料： In_2O_3 - Ga_2O_3 （4N試薬）を、湿式混合（溶媒：エタノール）、仮焼（1000：2h）、乾式粉碎、本焼結（1550：2h）を経て得られる。

【0186】

成長室到達真空は、 2×10^{-6} （Pa）であり、成長中の酸素分圧は、1（Pa）とした。

【0187】

基板温度は、室温で行い、ターゲットと被成膜基板間の距離は、30（mm）、KrFエキシマレーザーのパワーは、1.5（ $\text{mJ}/\text{cm}^2/\text{pulse}$ ）、パルス幅は、20（nsec）であった。また、繰り返し周波数は、10（Hz）、照射スポット径は、1×1（mm角）であった。成膜レートは、6（nm/min）であった。

【0188】

基板温度は25である。酸素分圧は1Paであった。得られた膜に関し、膜面にすれすれ入射X線回折（薄膜法、入射角0.5度）を行ったところ、明瞭な回折ピークは検出されず、作製したIn-Ga-O系膜はアモルファス膜であることが示された。膜厚は、12

0 nmであった。

【0189】

得られたIn-Ga-Oアモルファス酸化物膜の電子キャリア濃度は、 $8 \times 10^{16} / \text{cm}^3$ で、電子移動度は、約 $1 \text{ cm}^2 / \text{V} \cdot \text{秒}$ であった。
(In-Zn-Ga-O系アモルファス酸化物膜を用いたTF T素子の作製(ガラス基板))

TF T素子の作製

図5に示すトップゲート型TF T素子を作製した。

【0190】

まず、ガラス基板(1)上に、 $\text{InGaO}_3(\text{ZnO})_4$ 組成を有する多結晶焼結体をターゲットとし、酸素分圧5 Paの条件で、前述したPLD装置を用いて、In-Ga-Zn-O系アモルファス酸化物膜を作製した。チャンネル層(2)として用いる厚さ120nmのIn-Ga-Zn-O系アモルファス膜を形成した。 10

【0191】

さらにその上に、チャンパー内の酸素分圧を1Pa未満にして、PLD法により電気伝導度の大きなIn-Ga-Zn-O系アモルファス膜及び金膜をそれぞれ30nm積層した。そして、フォトリソグラフィ法とリフトオフ法により、ドレイン端子(5)及びソース端子(6)を形成した。

【0192】

最後にゲート絶縁膜(3)として用いる Y_2O_3 膜を電子ビーム蒸着法により成膜し(厚み: 90nm、比誘電率: 約15、リーク電流密度: 0.5 MV/cm 印加時に 10^{-3} A/cm^2)、その上に金を成膜した。そして、フォトリソグラフィ法とリフトオフ法により、ゲート端子(4)を形成した。チャンネル長は、 $50 \mu\text{m}$ で、チャンネル幅は、 $200 \mu\text{m}$ であった。 20

【0193】

TF T素子の特性評価

図6に、室温下で測定したTF T素子の電流-電圧特性を示す。ドレイン電圧 V_{DS} の増加に伴い、ドレイン電流 I_{DS} が増加したことからチャンネルがn型伝導であることが分かる。

【0194】

これは、アモルファスIn-Ga-Zn-O系アモルファス酸化物膜がn型伝導体であるという事実と矛盾しない。 I_{DS} は $V_{DS}=6 \text{ V}$ 程度で飽和(ピンチオフ)する典型的な半導体トランジスタの挙動を示した。利得特性を調べたところ、 $V_{DS}=4 \text{ V}$ 印加時におけるゲート電圧 V_{GS} の閾値は約 -0.5 V であった。 30

【0195】

また、 $V_G=10 \text{ V}$ 時には、 $I_{DS}=1.0 \times 10^{-5} \text{ A}$ の電流が流れた。これはゲートバイアスにより絶縁体のIn-Ga-Zn-O系アモルファス酸化物膜内にキャリアを誘起できたことに対応する。

【0196】

トランジスタのオン・オフ比は、 10^3 超であった。また、出力特性から電界効果移動度を算出したところ、飽和領域において約 $7 \text{ cm}^2(\text{Vs})^{-1}$ の電界効果移動度が得られた。作製した素子に可視光を照射して同様の測定を行なったが、トランジスタ特性の変化は認められなかった。 40

【0197】

なお、アモルファス酸化物の電子キャリア濃度を $10^{18} / \text{cm}^3$ 未満にすることでTF Tのチャンネル層として適用できる。この電子キャリア濃度としては、 $10^{17} / \text{cm}^3$ 以下がより好ましく、 $10^{16} / \text{cm}^3$ 以下にすると更に好ましかった。

(In-Zn-Ga-O系アモルファス酸化物膜を用いたTF T素子の作製(アモルファス基板))

図5に示すトップゲート型TF T素子を作製した。まず、ポリエチレン・テレフタレート(PET)フィルム(1)上に、PLD法により、酸素分圧5 Paの雰囲気中で、チャンネル層(2)として用いる厚さ120nmのIn-Zn-Ga-O系アモルファス酸化物膜を形 50

成した。このとき、 $\text{InGaO}_3(\text{ZnO})$ 組成を有する多結晶焼結体をターゲットとした。

【0198】

さらにその上に、チャンバー内酸素分圧を1Pa未満にして、PLD法により電気伝導度の大きな In-Zn-Ga-O 系アモルファス酸化物膜及び金膜をそれぞれ30nm積層した。そして、フォトリソグラフィ法とリフトオフ法により、ドレイン端子(5)及びソース端子(6)を形成した。最後にゲート絶縁膜(3)を電子ビーム蒸着法により成膜して、その上に金を成膜し、フォトリソグラフィ法とリフトオフ法により、ゲート端子(4)を形成した。チャンネル長は、 $50\mu\text{m}$ で、チャンネル幅は、 $200\mu\text{m}$ であった。ゲート絶縁膜として、 Y_2O_3 (厚さ： 140nm)、 Al_2O_3 (厚さ： $130\mu\text{m}$)及び HfO_2 (厚さ： $140\mu\text{m}$)を用いた3種類の上記の構造を有するTFETを作成した。

【0199】

TFET素子の特性評価

PETフィルム上に形成したTFETの室温下で測定した電流-電圧特性は、図6と同様であった。すなわち、ドレイン電圧 V_{DS} の増加に伴い、ドレイン電流 I_{DS} が増加したことから、チャンネルがn型伝導であることが分かる。これは、アモルファス In-Ga-Zn-O 系アモルファス酸化物膜がn型伝導体であるという事実と矛盾しない。 I_{DS} は $V_{DS}=6\text{V}$ 程度で飽和(ピンチオフ)する典型的なトランジスタの挙動を示した。また、 $V_g=0$ のときには、 $I_{DS}=10^{-8}\text{A}$ 、 $V_g=10\text{V}$ 時には、 $I_{DS}=2.0 \times 10^{-5}\text{A}$ の電流が流れた。これはゲートバイアスにより絶縁体の In-Ga-Zn-O 系アモルファス酸化物膜内に電子キャリアを誘起できたことに対応する。

【0200】

トランジスタのオン・オフ比は、 10^3 超であった。また、出力特性から電界効果移動度を算出したところ、飽和領域において約 $7\text{cm}^2(\text{Vs})^{-1}$ の電界効果移動度が得られた。

【0201】

PETフィルム上に作成した素子を、曲率半径 30mm で屈曲させ、同様のトランジスタ特性の測定を行ったが、トランジスタ特性に変化は認められなかった。また、可視光を照射して同様の測定を行なったが、トランジスタ特性の変化は認められなかった。

【0202】

ゲート絶縁膜として Al_2O_3 膜を用いたTFETでも、図6に示したものと類似のトランジスタ特性を示したが、 $V_g=0$ のときには、 $I_{DS}=10^{-8}\text{A}$ 、 $V_g=10\text{V}$ 時には、 $I_{DS}=5.0 \times 10^{-6}\text{A}$ の電流が流れた。トランジスタのオン・オフ比は、 10^2 超であった。また、出力特性から電界効果移動度を算出したところ、飽和領域において約 $2\text{cm}^2(\text{Vs})^{-1}$ の電界効果移動度が得られた。

【0203】

ゲート絶縁膜として HfO_2 膜を用いたTFETでも、図6に示したものと類似のトランジスタ特性を示したが、 $V_g=0$ のときには、 $I_{DS}=10^{-8}\text{A}$ 、 $V_g=10\text{V}$ 時には、 $I_{DS}=1.0 \times 10^{-6}\text{A}$ の電流が流れた。トランジスタのオン・オフ比は、 10^2 超であった。また、出力特性から電界効果移動度を算出したところ、飽和領域において約 $10\text{cm}^2(\text{Vs})^{-1}$ の電界効果移動度が得られた。

(PLD法による In_2O_3 アモルファス酸化物膜を用いたTFET素子の作成)

図5に示すトップゲート型TFET素子を作製した。まず、ポリエチレン・テレフタレート(PET)フィルム(1)上に、PLD法により、チャンネル層(2)として用いる厚さ 80nm の In_2O_3 アモルファス酸化物膜を形成した。

【0204】

さらにその上に、チャンバー内酸素分圧を1Pa未満にして、さらに酸素ラジカル発生装置への印加電圧をゼロにして、PLD法により、電気伝導度の大きな In_2O_3 アモルファス酸化物膜及び金膜をそれぞれ30nm積層した。そして、フォトリソグラフィ法とリフトオフ法により、ドレイン端子(5)及びソース端子(6)を形成した。最後にゲート絶縁膜(3)として用いる Y_2O_3 膜を電子ビーム蒸着法により成膜して、その上に金を成膜し

た。そして、フォトリソグラフィ法とリフトオフ法により、ゲート端子(4)を形成した。

【0205】

TFT素子の特性評価

PETフィルム上に形成したTFTの室温下で測定した電流-電圧特性を測定した。ドレイン電圧 V_{DS} の増加に伴い、ドレイン電流 I_{DS} が増加したことからチャンネルがn型半導体であることが分かる。これは、In-O系アモルファス酸化物膜がn型伝導体であるという事実と矛盾しない。 I_{DS} は $V_{DS}=5$ V程度で飽和(ピンチオフ)する典型的なトランジスタの挙動を示した。また、 $V_g=0$ V時には、 2×10^{-8} A、 $V_g=10$ V時には、 $I_{DS}=2.0 \times 10^{-6}$ Aの電流が流れた。これはゲートバイアスにより絶縁体のIn-O系アモルファス酸化物膜内に電子キャリアを誘起できたことに対応する。

10

【0206】

トランジスタのオン・オフ比は、約 10^2 であった。また、出力特性から電界効果移動度を算出したところ、飽和領域において約 $10 \text{ cm}^2 (\text{Vs})^{-1}$ の電界効果移動度が得られた。ガラス基板上に作成したTFT素子も同様の特性を示した。

【0207】

PETフィルム上に作成した素子を、曲率半径30 mmで曲げ、同様のトランジスタ特性の測定を行ったが、トランジスタ特性に変化は認められなかった。

(PLD法によるIn-Sn-O系アモルファス酸化物膜を用いたTFT素子の作成)

図5に示すトップゲート型TFT素子を作製した。まず、ポリエチレン・テレフタレート(PET)フィルム(1)上に、PLD法により、チャンネル層(2)として用いる厚さ100 nmのIn-Sn-O系アモルファス酸化物膜を形成した。さらにその上に、チャンパー内酸素分圧を1Pa未満にして、さらに酸素ラジカル発生装置への印加電圧をゼロにして、PLD法により、電気伝導度の大きなIn-Sn-O系アモルファス酸化物膜及び金膜をそれぞれ30 nm積層した。そして、フォトリソグラフィ法とリフトオフ法により、ドレイン端子(5)及びソース端子(6)を形成した。最後にゲート絶縁膜(3)として用いる Y_2O_3 膜を電子ビーム蒸着法により成膜し、その上に金を成膜して、フォトリソグラフィ法とリフトオフ法により、ゲート端子(4)を形成した。

20

【0208】

TFT素子の特性評価

PETフィルム上に形成したTFTの室温下で測定した電流-電圧特性を測定した。ドレイン電圧 V_{DS} の増加に伴い、ドレイン電流 I_{DS} が増加したことからチャンネルがn型半導体であることが分かる。これは、In-Sn-O系アモルファス酸化物膜がn型伝導体であるという事実と矛盾しない。 I_{DS} は $V_{DS}=6$ V程度で飽和(ピンチオフ)する典型的なトランジスタの挙動を示した。また、 $V_g=0$ V時には、 5×10^{-8} A、 $V_g=10$ V時には、 $I_{DS}=5.0 \times 10^{-5}$ Aの電流が流れた。これはゲートバイアスにより絶縁体のIn-Sn-O系アモルファス酸化物膜内に電子キャリアを誘起できたことに対応する。

30

【0209】

トランジスタのオン・オフ比は、約 10^3 であった。また、出力特性から電界効果移動度を算出したところ、飽和領域において約 $5 \text{ cm}^2 (\text{Vs})^{-1}$ の電界効果移動度が得られた。ガラス基板上に作成したTFT素子も同様の特性を示した。

40

【0210】

PETフィルム上に作成した素子を、曲率半径30 mmで曲げ、同様のトランジスタ特性の測定を行ったが、トランジスタ特性に変化は認められなかった。

(PLD法によるIn-Ga-O系アモルファス酸化物膜を用いたTFT素子の作成)

図5に示すトップゲート型TFT素子を作製した。まず、ポリエチレン・テレフタレート(PET)フィルム(1)上に、実施例6に示した成膜法により、チャンネル層(2)として用いる厚さ120 nmのIn-Ga-O系アモルファス酸化物膜を形成した。さらにその上に、チャンパー内の酸素分圧を1Pa未満にして、さらに酸素ラジカル発生装置への印加電圧をゼロにして、PLD法により、電気伝導度の大きなIn-Ga-O系アモルファ

50

ス酸化物膜及び金膜をそれぞれ30nm積層した。そして、フォトリソグラフィ法とリフトオフ法により、ドレイン端子(5)及びソース端子(6)を形成した。最後にゲート絶縁膜(3)として用いる Y_2O_3 膜を電子ビーム蒸着法により成膜し、その上に金を成膜して、フォトリソグラフィ法とリフトオフ法により、ゲート端子(4)を形成した。

【0211】

TFT素子の特性評価

PETフィルム上に形成したTFTの室温下で測定した電流-電圧特性を測定した。ドレイン電圧 V_{DS} の増加に伴い、ドレイン電流 I_{DS} が増加したことからチャンネルがn型半導体であることが分かる。これは、In-Ga-O系アモルファス酸化物膜がn型伝導体であるという事実と矛盾しない。 I_{DS} は $V_{DS}=6$ V程度で飽和(ピンチオフ)する典型的なトランジスタの挙動を示した。また、 $V_g=0$ V時には、 1×10^{-8} A、 $V_g=10$ V時には、 $I_{DS}=1.0 \times 10^{-6}$ Aの電流が流れた。これはゲートバイアスにより絶縁体のIn-Ga-O系アモルファス酸化物膜内に電子キャリアを誘起できたことに対応する。

10

【0212】

トランジスタのオン・オフ比は、約 10^2 であった。また、出力特性から電界効果移動度を算出したところ、飽和領域において約 $0.8 \text{ cm}^2(\text{Vs})^{-1}$ の電界効果移動度が得られた。ガラス基板上に作成したTFT素子も同様の特性を示した。

【0213】

PETフィルム上に作成した素子を、曲率半径30mmで曲げ、同様のトランジスタ特性の測定を行ったが、トランジスタ特性に変化は認められなかった。

20

【0214】

なお、アモルファス酸化物の電子キャリア濃度を $10^{18} / \text{cm}^3$ 未満にすることでTFTのチャンネル層として適用できる。この電子キャリア濃度としては、 $10^{17} / \text{cm}^3$ 以下がより好ましく、 $10^{16} / \text{cm}^3$ 以下にすると更に好ましかった。

(実施例1)

(薄膜トランジスタの作製)

チャンネル長=10 μm 、チャンネル幅=200 μm のスタガ型のトップゲート薄膜トランジスタをガラス基板上に作製する。

【0215】

図7(A)は、ゲート電極とソース・ドレイン電極の重なり幅が3 μm の半絶縁性アモルファス $\text{InGaO}_3(\text{ZnO})_4$ 膜による薄膜トランジスタ(素子A)の断面図である。

30

【0216】

図7(B)は、本発明による技術を用いてゲート電極とソース・ドレイン電極の重なり幅をほぼ0 μm としている半絶縁性アモルファス $\text{InGaO}_3(\text{ZnO})_4$ 膜による薄膜トランジスタ(素子B)の断面図である。

【0217】

上記、素子Aおよび素子Bの作製工程について以下説明する。

【0218】

図8(A)~図8(E)は素子Aの作製工程で、ガラス基板801上に金膜及びパルスレーザー堆積法により電気伝導度の大きな $\text{InGaO}_3(\text{ZnO})_4$ をそれぞれ10nm積層した。そして、リフトオフ法とフォトリソグラフィ法により、ドレイン端子802及びソース端子803を形成する(図8(A))。

40

【0219】

さらにその上に上記のアモルファスIn-Ga-Zn-O薄膜の作製法により、半導体層としては厚さ100nmの半絶縁性アモルファス $\text{InGaO}_3(\text{ZnO})_4$ 膜804を形成する。

【0220】

その後、ゲート絶縁膜805として用いる Y_2O_3 膜を電子ビーム蒸着法により成膜する(厚み:90nm)(図8(B))。

【0221】

さらに前記 Y_2O_3 膜上にAu膜を堆積し(図8(C))、レジスト塗布808、露光パターン

50

形成809することでゲート電極810を形成する(図8(D))。こうして、薄膜トランジスタが完成する(図8(E))。このときの、ソース・ドレイン電極とゲート電極の重なり幅811はおよそ3 μm 程度となる。

【0222】

素子Bでは、ガラス基板901上にドレイン端子902及びソース端子903を形成する(図9(A))。前記ゲート絶縁層を形成後、半絶縁性アモルファス $\text{InGaO}_3(\text{ZnO})_4$ 膜904およびゲート絶縁膜となる Y_2O_3 膜を素子Aと同じ条件で成膜する(図9(B))。

【0223】

その上にポジレジストを塗布し、その後基板の裏側から前記金膜からなるソース・ドレイン電極のパターンを通して波長436nmの光で前記ポジレジストを露光する(図9(C))。 10

【0224】

さらにポストバークを行った後、現像処理を行ってゲート電極が形成されるべき場所のレジストを除去する(図9(D))。次に、ゲート電極としてNi膜を80nm蒸着する(図9(E))。

【0225】

その後、リフトオフ工程によりレジスト膜を除去し、先に形成されたソース・ドレイン電極の端に整合する位置・形状のゲート電極を得る(図9(F))。完成した素子Bの断面観察より、ソース電極902、ドレイン電極903とゲート電極910の重なり幅は、約0.5 μm 以下となる。 20

【0226】

(実施例2)

半絶縁性アモルファス $\text{InGaO}_3(\text{ZnO})_4$ 膜を用いたコプレー型ボトムゲート薄膜トランジスタの作製・評価(サンプルC、D)

図10(A)は、ゲート電極とソース・ドレイン電極の重なり幅が3 μm の半絶縁性アモルファス $\text{InGaO}_3(\text{ZnO})_4$ 膜によるコプレー型ボトムゲート薄膜トランジスタ(素子C)の断面図である。

【0227】

図10(B)はゲート電極とソース・ドレイン電極の重なり幅がほぼ0 μm とした半絶縁性アモルファス $\text{InGaO}_3(\text{ZnO})_4$ 膜によるコプレー型ボトムゲート薄膜トランジスタ(素子D)の断面図である。 30

【0228】

(薄膜トランジスタの作製)

素子Cの製造工程は以下の通りである。

【0229】

まず、ガラス基板上にゲート電極を作製し、次いで厚さ90nmの Y_2O_3 膜を堆積してゲート絶縁層とする。その後、ソース・ドレイン電極となる金薄膜と電気伝導度の大きな $\text{InGaO}_3(\text{ZnO})_4$ をそれぞれ10nm堆積し、さらに通常のパターンニングプロセスによりソース・ドレインを形成する。その上に厚さ100nmの半絶縁性アモルファス $\text{InGaO}_3(\text{ZnO})_4$ 膜を堆積し薄膜トランジスタを作製する。ゲート電極とソース・ドレイン電極の重なり幅は、約4 μm 程度となる。 40

【0230】

素子Dの製造工程は以下の通りである。

【0231】

図11に示すように、ガラス基板1101上にゲート電極1102を作製し、次いで厚さ90nmの Y_2O_3 膜を堆積してゲート絶縁層1103とする。その後、前記ゲート絶縁層表面にポジレジスト1104を塗布し、ガラス基板の裏面から波長436nmの光源で露光する。さらに前記レジストを現像し、ソース・ドレイン電極となる金薄膜1107を10nm堆積する。その後、レジスト1106を剥離することで、ソース・ドレイン電極1108、1109を形成し、さらに厚さ100nmの半絶縁性アモルファス $\text{InGaO}_3(\text{ZnO})_4$ 膜1110を堆積し薄膜トランジスタを作製する。 50

【0232】

ゲート電極とソース・ドレイン電極の重なり幅1111は、約0.1 μ mとなる。

【産業上の利用可能性】

【0233】

本発明に係る薄膜トランジスタは、LCDや有機ELディスプレイのスイッチング素子として利用できる。また、プラスチックフィルムをはじめとするフレキシブル素材に半導体の薄膜を形成し、フレキシブル・ディスプレイをはじめ、ICカードやIDタグなどに幅広く応用できる。

【図面の簡単な説明】

【0234】

【図1】パルスレーザー蒸着法で成膜したIn-Ga-Zn-O系アモルファス膜の電子キャリア濃度と成膜中の酸素分圧の関係を示すグラフである。

【図2】パルスレーザー蒸着法で成膜したIn-Ga-Zn-O系アモルファス膜の電子キャリアの数と電子移動度の関係を示すグラフである。

【図3】アルゴンガスを用いたスパッタ法で成膜したIn-Ga-Zn-O系アモルファス膜の電気伝導度と成膜中の酸素分圧の関係を示すグラフである。

【図4】酸素分圧0.8Paの雰囲気中でパルスレーザー蒸着法で成膜したInGaO₃(Zn_{1-x}Mg_xO)のxの値に対する電気伝導度、キャリア濃度、電子移動度の変化を示すグラフである。

【図5】実施例1で作製したトップゲート型MISFET素子構造を示す模式図である。

【図6】実施例1で作製したトップゲート型MISFET素子の電流-電圧特性を示すグラフである。

【図7】(A)は従来の方法で作製されたスタガ型トップゲート薄膜トランジスタの断面図、及び(B)は本発明に係るスタガ型トップゲート薄膜トランジスタの断面図である。

【図8】従来型のトップゲート薄膜トランジスタの製造方法を示す図である。

【図9】本発明によるセルフアライン技術を用いた製造方法を示す図である。

【図10】(A)は従来の方法で作製されたコプレナー型ボトムゲート薄膜トランジスタの断面図、及び(B)は本発明によるセルフアライン技術により作製されたコプレナー型ボトムゲート薄膜トランジスタの断面図である。

【図11】本発明によるセルフアライン技術を用いた製造方法を示す図である。

【図12】PLD法を行う装置の模式図である。

【図13】スパッタ法を行う装置の模式図である。

【符号の説明】

【0235】

701, 707, 801, 901 ガラス基板

702, 708, 802, 902 ドレイン端子

703, 709, 803, 903 ソース端子

704, 710, 804, 904 半導体層(半絶縁性アモルファスInGaO₃(ZnO)₄膜)

705, 711, 805, 905 ゲート絶縁膜

706, 712, 810, 910 ゲート電極

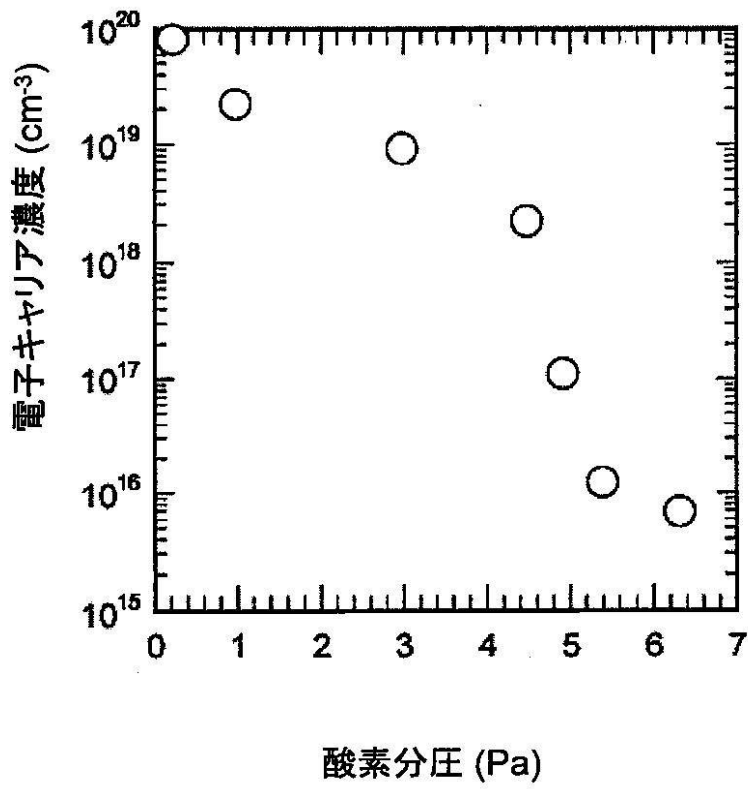
10

20

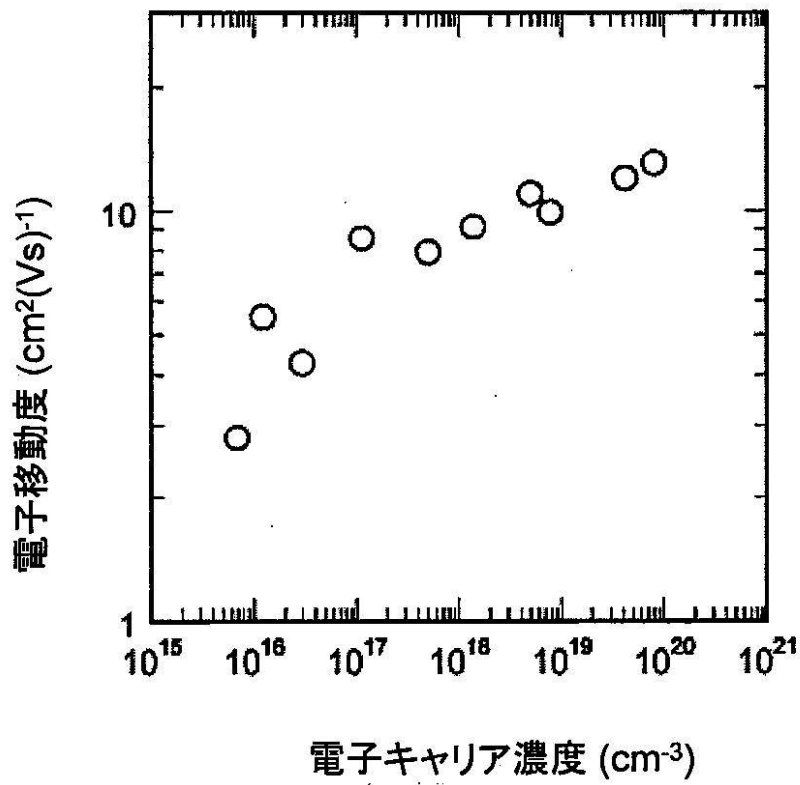
30

40

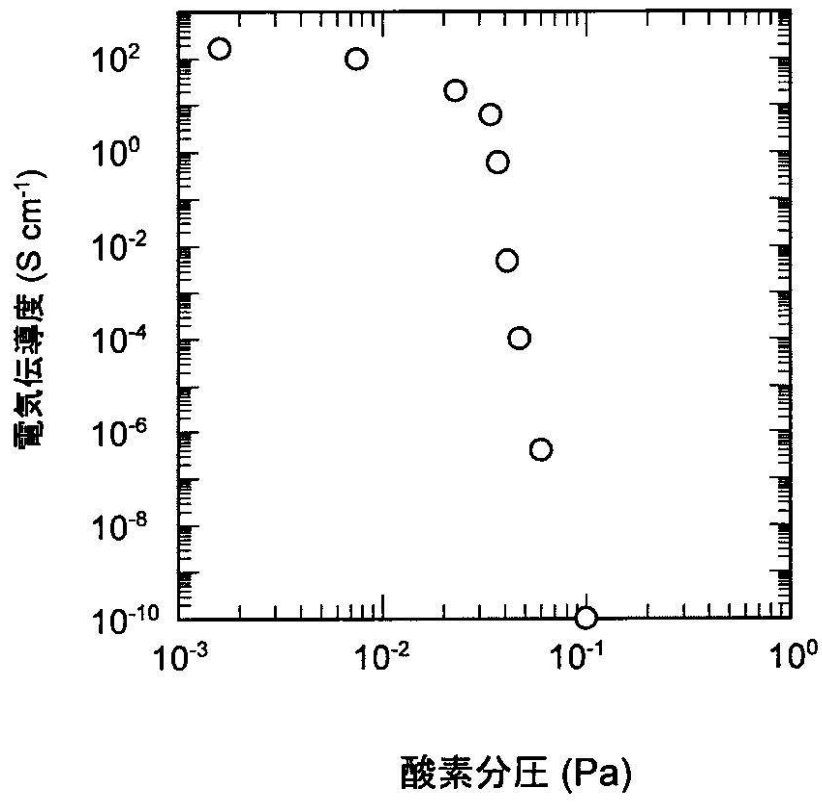
【 図 1 】



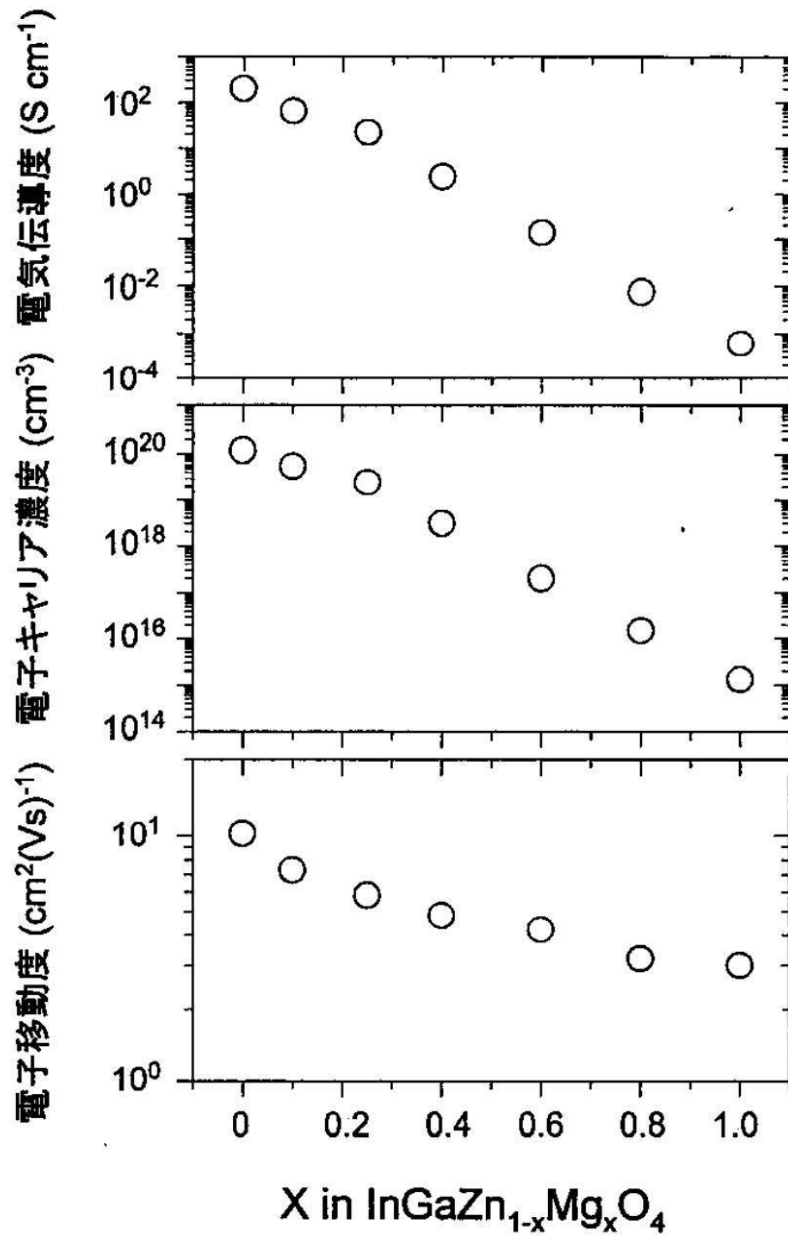
【 図 2 】



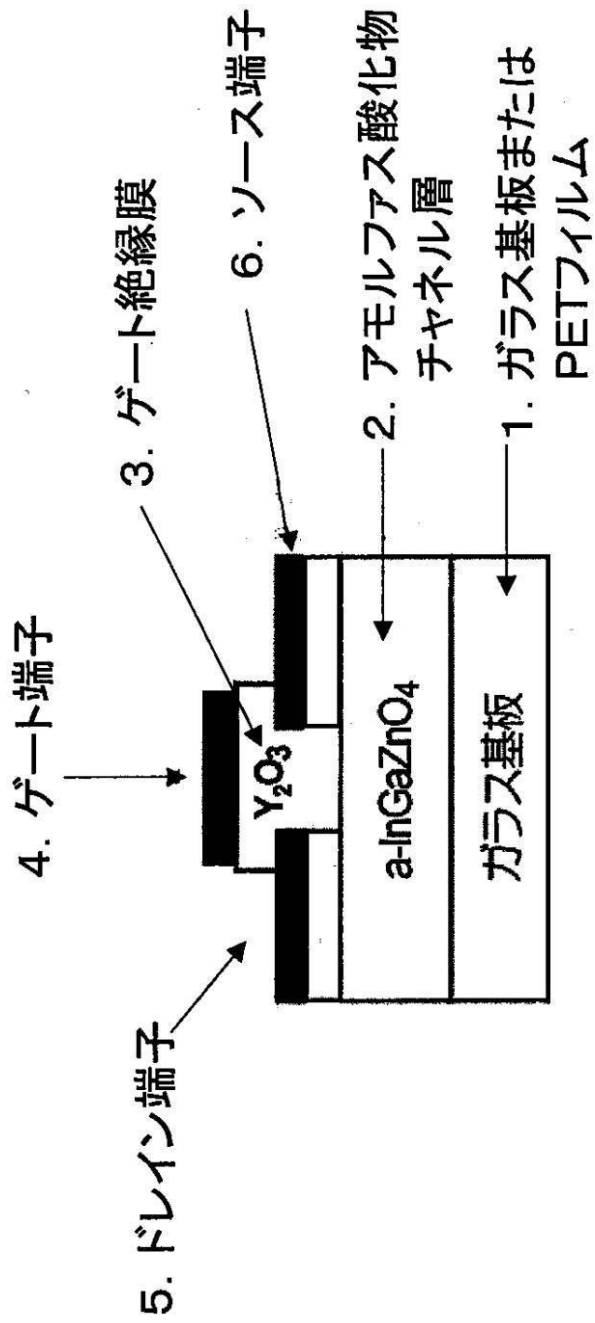
【 図 3 】



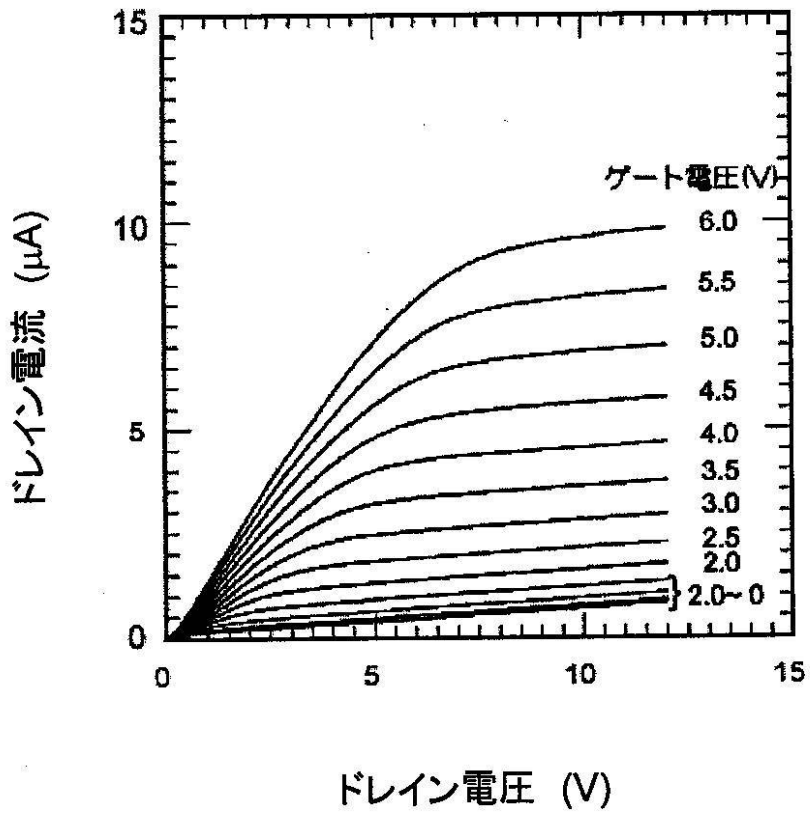
【 図 4 】



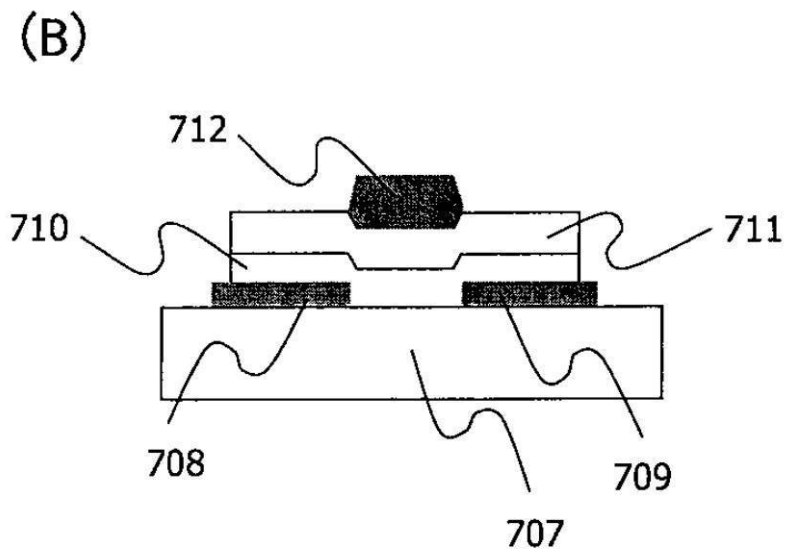
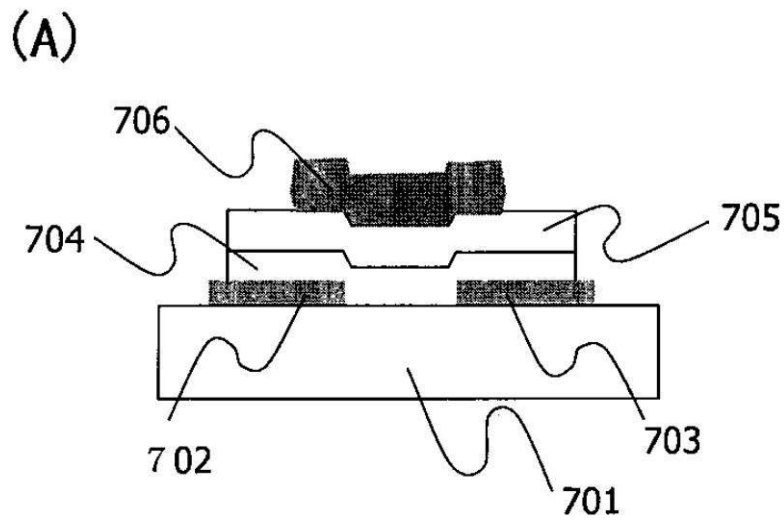
【 図 5 】



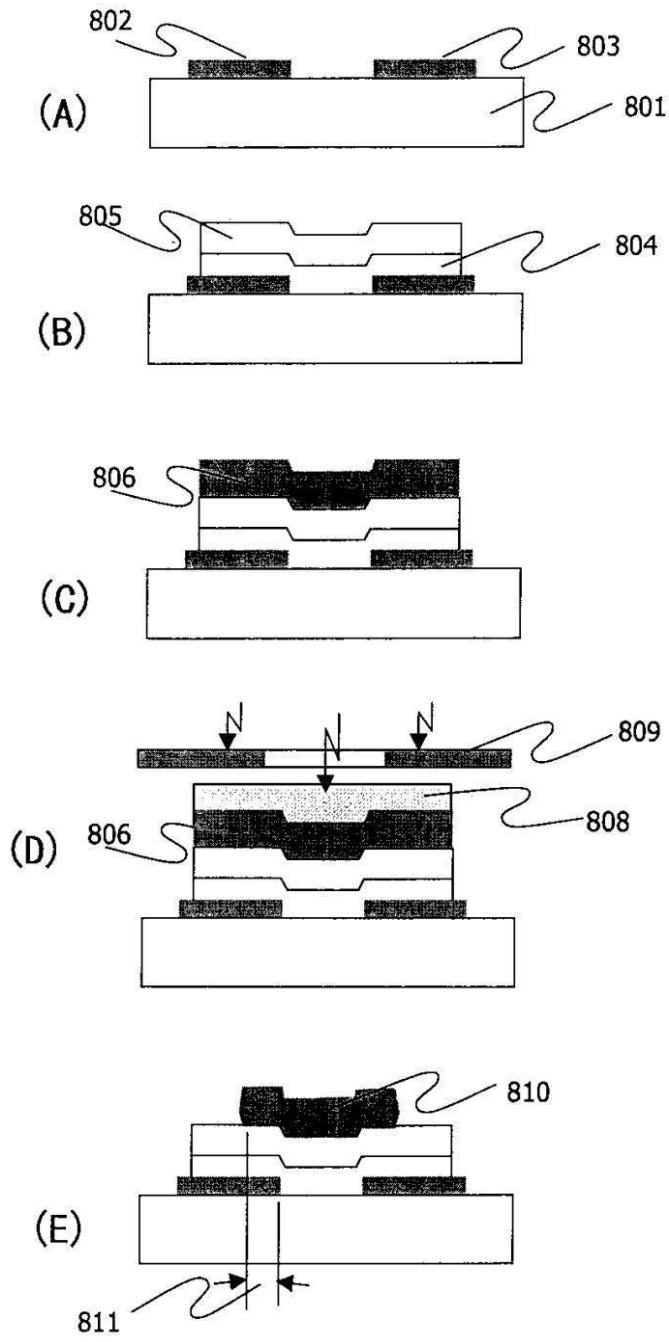
【図 6】



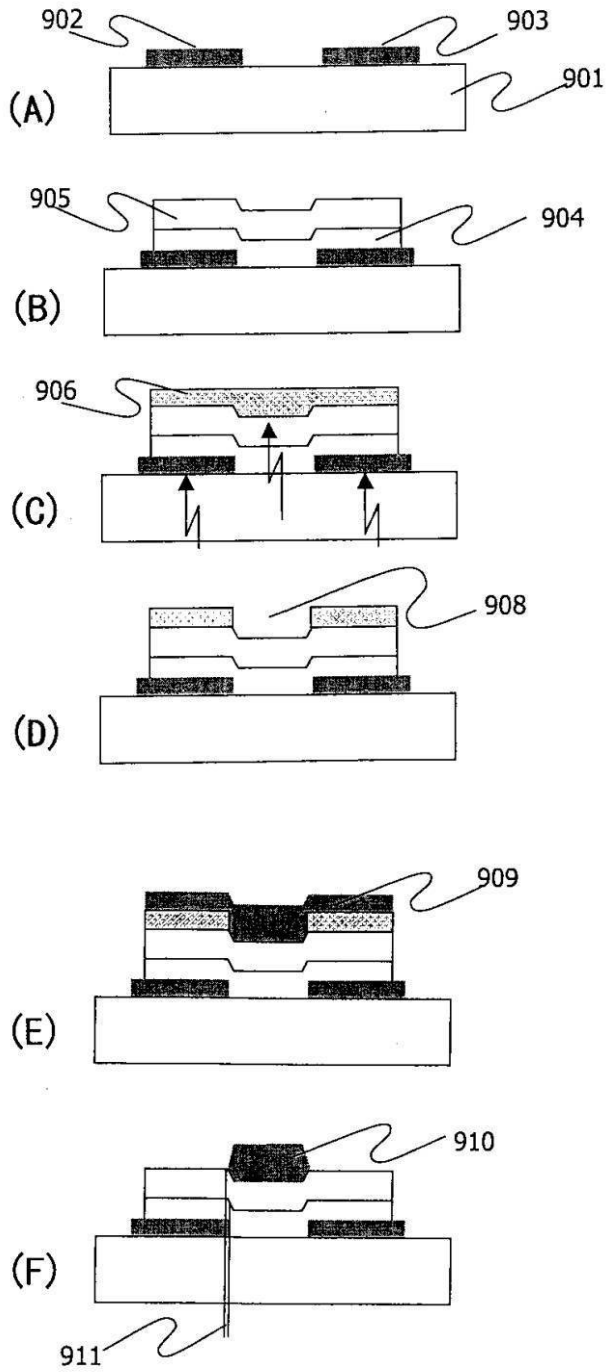
【 図 7 】



【 図 8 】

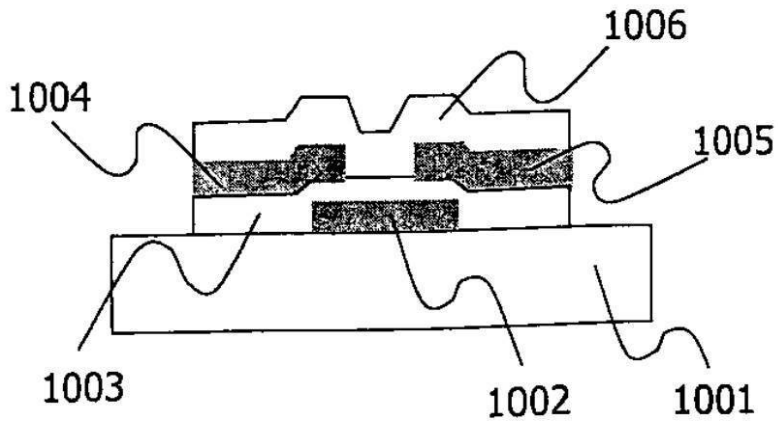


【 図 9 】

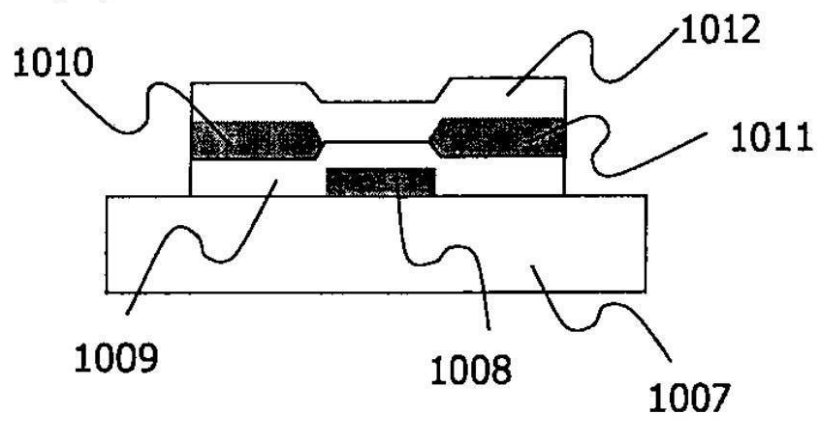


【 図 1 0 】

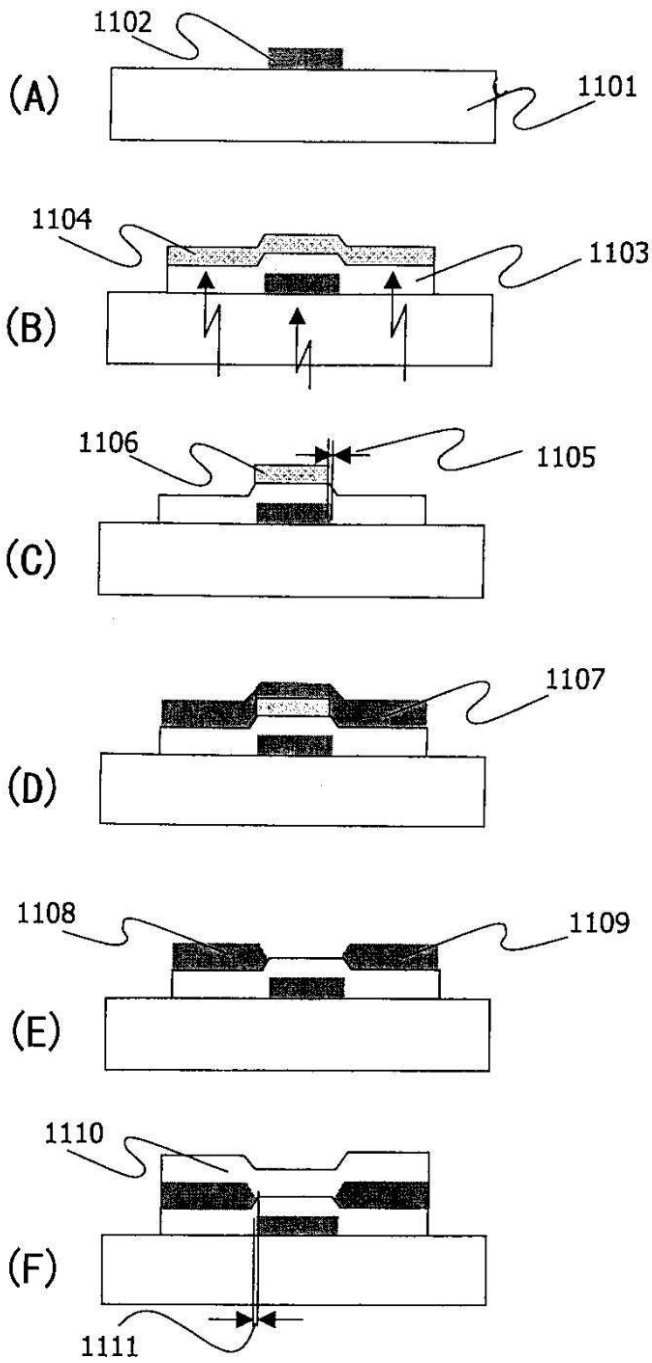
(A)



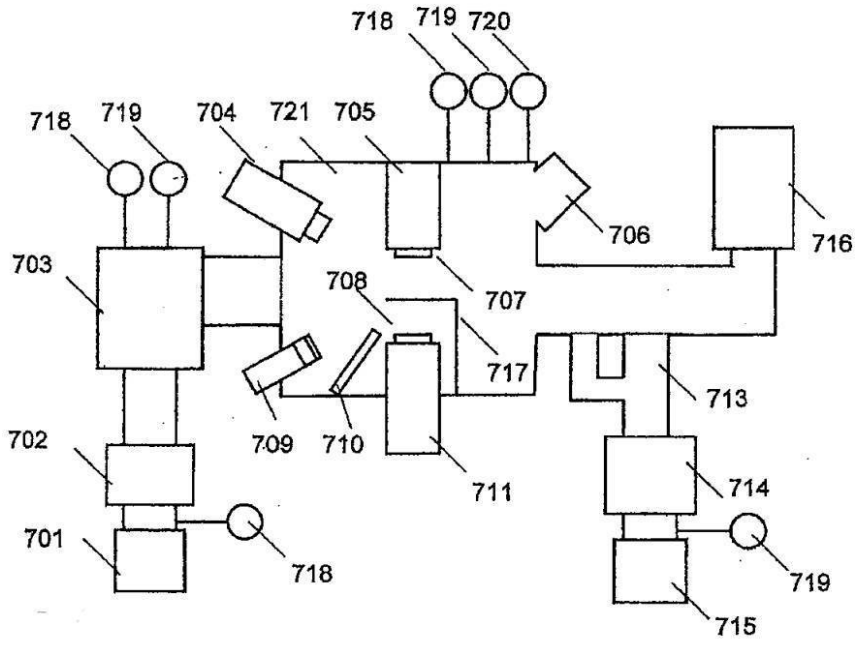
(B)



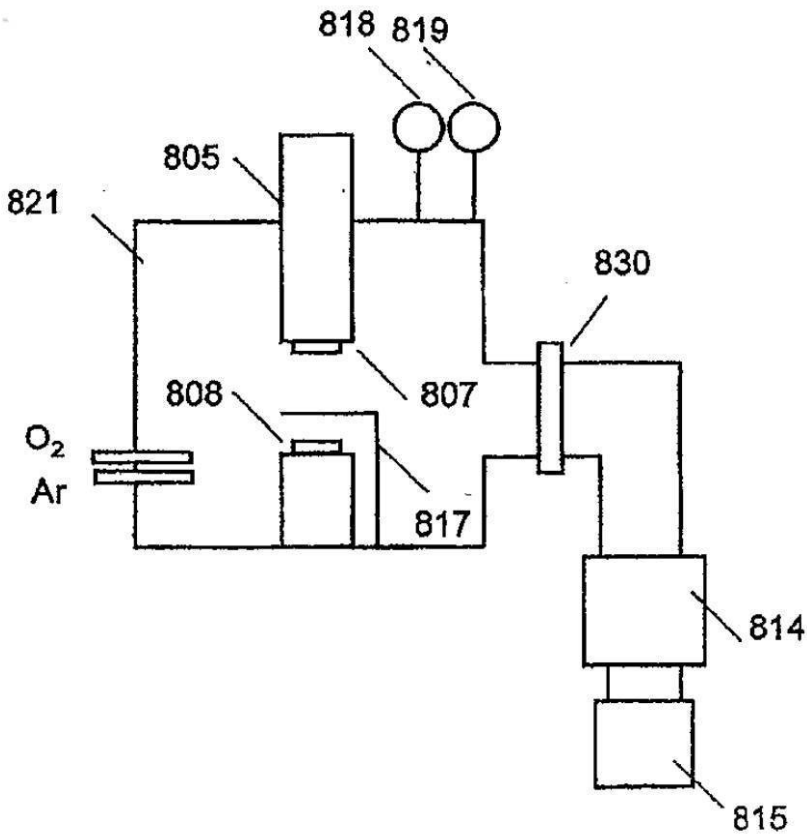
【図 11】



【 図 1 2 】



【 図 1 3 】



フロントページの続き

(72)発明者 細野 秀雄

神奈川県横浜市緑区長津田町4 2 5 9 国立大学法人東京工業大学内

(72)発明者 神谷 利夫

神奈川県横浜市緑区長津田町4 2 5 9 国立大学法人東京工業大学内

(72)発明者 野村 研二

神奈川県横浜市緑区長津田町4 2 5 9 国立大学法人東京工業大学内

Fターム(参考) 4M104 AA03 AA08 AA09 BB05 BB09 CC05 EE03 EE16 GG09

5F110 AA01 AA02 AA06 AA07 AA16 BB01 BB20 CC01 CC03 CC05

CC07 DD01 DD02 EE02 FF01 FF27 GG01 GG06 GG24 GG28

GG29 GG34 GG42 GG43 GG57 HK01 HK02 HK21 HK32 QQ12

QQ14