



(12)发明专利

(10)授权公告号 CN 106486473 B

(45)授权公告日 2020.03.10

(21)申请号 201510541068.5

(22)申请日 2015.08.28

(65)同一申请的已公布的文献号
申请公布号 CN 106486473 A

(43)申请公布日 2017.03.08

(73)专利权人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路18号

专利权人 中芯国际集成电路制造(北京)有限公司

(72)发明人 周飞

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 高静 吴敏

(51)Int.Cl.

H01L 27/02(2006.01)

(56)对比文件

CN 103811484 A, 2014.05.21,
US 2015221632 A1, 2015.08.06,
CN 101609812 A, 2009.12.23,

审查员 纪金国

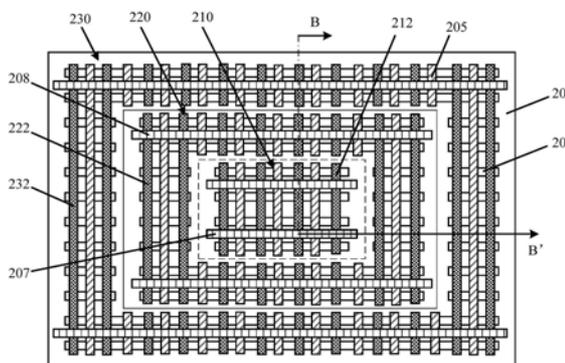
权利要求书2页 说明书11页 附图7页

(54)发明名称

静电放电保护结构及其形成方法

(57)摘要

一种静电放电保护结构及其形成方法,静电放电保护结构包括:衬底,包括第一区域、第二区域和第三区域,衬底的第一区域、第二区域和第三区域表面分别具有鳍部和隔离层,隔离层覆盖鳍部的部分侧壁表面;位于第一区域和第二区域的衬底和鳍部内的第一阱区;位于第三区域的衬底和鳍部内的第二阱区;位于第一区域的鳍部内的第一掺杂区,第一掺杂区内具有第一类型离子;位于第二区域的鳍部内的第二掺杂区,第二掺杂区内具有第二类型离子;位于第三区域的鳍部内的第三掺杂区,第三掺杂区内具有第一类型离子;位于第三区域的衬底和鳍部内的第二阱区;第一掺杂区和第二掺杂区与第一偏压电连接;第三掺杂区与第二偏压电连接。静电放电保护结构的性能提高。



1. 一种静电放电保护结构,其特征在于,包括:

衬底,所述衬底包括第一区域、与第一区域相邻的第二区域、以及与第二区域相邻的第三区域,所述衬底的第一区域、第二区域和第三区域表面分别具有鳍部,且所述衬底表面具有隔离层,所述隔离层覆盖所述鳍部的部分侧壁表面;

位于所述第一区域的衬底和鳍部内、以及第二区域的衬底和鳍部内的第一阱区;

位于所述第三区域的衬底和鳍部内的第二阱区;

位于所述第一区域的鳍部内的第一掺杂区,所述第一掺杂区内具有第一类型离子;

位于所述第二区域的鳍部内的第二掺杂区,所述第二掺杂区内具有第二类型离子;

位于所述第三区域的鳍部内的第三掺杂区,所述第三掺杂区内具有第一类型离子;

位于所述第一掺杂区表面的第一导电结构,所述第一导电结构与第一偏压电连接;

位于所述第二掺杂区表面的第二导电结构,所述第二导电结构与第一偏压电连接;

位于所述第三掺杂区表面的第三导电结构,所述第三导电结构与第二偏压电连接;

分别位于第一掺杂区、第二掺杂区和第三掺杂区表面的替代栅,所述替代栅横跨所述鳍部,且所述替代栅位于部分隔离层表面、以及部分鳍部的侧壁和顶部表面。

2. 如权利要求1所述的静电放电保护结构,其特征在于,所述替代栅的材料为多晶硅。

3. 如权利要求1所述的静电放电保护结构,其特征在于,第一掺杂区表面的替代栅与第一偏压电连接;所述第二掺杂区表面的替代栅与第一偏压电连接;第三掺杂区表面的替代栅与第二偏压电连接。

4. 如权利要求1所述的静电放电保护结构,其特征在于,所述第一导电结构横跨所述第一区域的鳍部,且所述第一导电结构位于第一区域的部分隔离层表面、以及部分鳍部的侧壁和顶部表面;所述第二导电结构横跨所述第二区域的鳍部,且所述第二导电结构位于第二区域的部分隔离层表面、以及部分鳍部的侧壁和顶部表面;所述第三导电结构横跨所述第三区域的鳍部,且所述第三导电结构位于第三区域的部分隔离层表面、以及部分鳍部的侧壁和顶部表面。

5. 如权利要求4所述的静电放电保护结构,其特征在于,所述第一掺杂区表面的替代栅与所述第一导电结构平行设置、并交错排布;所述第二掺杂区表面的替代栅与所述第二导电结构平行设置、并交错排布;所述第三掺杂区表面的替代栅与所述第三导电结构平行设置、并交错排布。

6. 如权利要求4所述的静电放电保护结构,其特征在于,第一掺杂区表面的替代栅顶部、以及所述第一导电结构顶部与第一导电层连接;第二掺杂区表面的替代栅顶部、以及所述第二导电结构顶部与第二导电层连接;所述第一导电层和第二导电层与第一偏压连接。

7. 如权利要求4所述的静电放电保护结构,其特征在于,所述替代栅与鳍部之间还具有栅介质层;所述栅介质层的材料为氧化硅。

8. 如权利要求4所述的静电放电保护结构,其特征在于,在所述第一区域、第二区域或第三区域内,同一鳍部上横跨有至少1个替代栅。

9. 如权利要求8所述的静电放电保护结构,其特征在于,当同一鳍部上横跨的替代栅大于1个时,若干替代栅平行排列。

10. 如权利要求1所述的静电放电保护结构,其特征在于,还包括:位于所述隔离层表面和鳍部的侧壁和顶部表面的介质层,所述介质层表面与所述替代栅的顶部表面齐平;所述

第一导电结构、第二导电结构和第三导电结构贯穿所述介质层。

11. 如权利要求1所述的静电放电保护结构,其特征在于,所述替代栅的宽度尺寸小于或等于2倍的鳍部高度,所述鳍部高度为所述鳍部顶部至隔离层表面的距离。

12. 如权利要求1所述的静电放电保护结构,其特征在于,所述第二区域包围第一区域;所述第三区域包围第二区域。

13. 如权利要求1所述的静电放电保护结构,其特征在于,所述第一类型离子为N型离子;所述第二类型离子为P型离子。

14. 如权利要求1所述的静电放电保护结构,其特征在于,所述第一阱区为P型阱区;所述第二阱区为N型阱区。

15. 如权利要求1所述的静电放电保护结构,其特征在于,在所述第一区域、第二区域或第三区域内,所述鳍部的数量大于或等于1。

16. 如权利要求15所述的静电放电保护结构,其特征在于,当所述第一区域、第二区域或第三区域内的鳍部数量大于1时,若干鳍部平行排列。

17. 一种如权利要求1至16任一项所述的静电放电保护结构的形成方法,其特征在于,包括:

提供衬底,所述衬底包括第一区域、与第一区域相邻的第二区域、以及与第二区域相邻的第三区域,所述衬底的第一区域、第二区域和第三区域表面分别具有鳍部,且所述衬底表面具有隔离层,所述隔离层覆盖所述鳍部的部分侧壁表面;

在所述第一区域的衬底和鳍部内、以及第二区域的衬底和鳍部内形成第一阱区;

在所述第三区域的衬底和鳍部内形成第二阱区;

在所述第一区域的鳍部内形成第一掺杂区,所述第一掺杂区内具有第一类型离子;

在所述第二区域的鳍部内形成第二掺杂区,所述第二掺杂区内具有第二类型离子;

在所述第三区域的鳍部内形成第三掺杂区,所述第三掺杂区内具有第一类型离子;

在所述第一掺杂区表面形成第一导电结构,所述第一导电结构与第一偏压电连接;

在所述第二掺杂区表面形成第二导电结构,所述第二导电结构与第一偏压电连接;

在所述第三掺杂区表面形成第三导电结构,所述第三导电结构与第二偏压电连接;

分别在第一掺杂区、第二掺杂区和第三掺杂区表面形成替代栅,所述替代栅横跨所述鳍部,且所述替代栅位于部分隔离层表面、以及部分鳍部的侧壁和顶部表面。

18. 如权利要求17所述的静电放电保护结构的形成方法,其特征在于,所述第一掺杂区、第二掺杂区和第三掺杂区的形成工艺为离子注入工艺。

19. 如权利要求17所述的静电放电保护结构的形成方法,其特征在于,还包括:

采用沉积工艺在所述第一区域、第二区域和第三区域的隔离层和鳍部表面形成替代栅膜;刻蚀部分替代栅膜直至暴露出部分隔离层、和鳍部表面位置,形成分别位于第一掺杂区、第二掺杂区和第三掺杂区表面的替代栅,所述替代栅横跨所述鳍部,且所述替代栅位于部分隔离层表面、以及部分鳍部的侧壁和顶部表面。

静电放电保护结构及其形成方法

技术领域

[0001] 本发明涉及半导体制造技术领域,尤其涉及一种静电放电保护结构及其形成方法。

背景技术

[0002] 随着半导体芯片的运用越来越广泛,导致半导体芯片受到静电损伤的因素也越来越多。在现有的芯片设计中,常采用静电放电(ESD,Electrostatic Discharge)保护电路以减少芯片损伤。现有的静电放电保护电路的设计和应用包括:栅接地的N型场效应晶体管(Gate Grounded NMOS,简称GGNMOS)保护电路、可控硅(Silicon Controlled Rectifier,简称SCR)保护电路、横向扩散场效应晶体管(Laterally Diffused MOS,简称LDMOS)保护电路、双极结型晶体管(Bipolar Junction Transistor,简称BJT)保护电路等。

[0003] 图1是现有的双极结型晶体管保护电路的剖面结构示意图,包括:衬底10;位于衬底10内的阱区14,所述阱区14内具有N型离子,所述阱区14与接地端电连接;位于衬底10内的第二掺杂区13,所述第二掺杂区13位于阱区14表面,所述第二掺杂区13内具有P型离子;位于衬底10内的第一掺杂区12,所述第一掺杂区12位于第二掺杂区13表面,且第一掺杂区12的表面与衬底10表面齐平,所述第一掺杂区12内具有N型离子,所述第一掺杂区12与静电放电输入端电连接。

[0004] 请参考图1和图2,图2是图1所示双极结型晶体管保护电路的集电极电流和集电极电压的I/V特性图。所述阱区14、第二掺杂区13和第一掺杂区12构成的NPN三极管;其中,所述第一掺杂区12为集电极,第二掺杂区13为基极,阱区14为发射极。当第一掺杂区12输入的集电极电压(即静电电压)持续升高,直至达到所述NPN三极管的击穿电压 V_t (trigger voltage)时,由所述阱区14、第二掺杂区13和第一掺杂区12构成的NPN三极管导通,在第一掺杂区12产生击穿电流 I_t ,使积累于第一掺杂区12的静电电荷能够自阱区14流走,即静电电流通过双极结型晶体管进行放电。当集电极电压下降至保持电压 V_h (holding voltage)时,集电极电流达到 I_h 。之后,所述双极结型晶体管进入低阻状态,直至静电电荷完全释放,从而保护芯片内部电路不会受到静电损伤。

[0005] 随着半导体技术的发展,使得半导体器件的尺寸不断缩小,器件密度不断提高,平面栅接地的双极结型晶体管已无法满足技术需求,需要在静电放电保护电路中引入鳍式场效应晶体管。然而,随着半导体器件的尺寸进一步减小,即使在静电放电保护电路中采用鳍式场效应晶体管,其性能依旧不稳定。

发明内容

[0006] 本发明解决的问题是提供一种静电放电保护结构及其形成方法,所述静电放电保护结构的性能提高。

[0007] 为解决上述问题,本发明提供一种静电放电保护结构,包括:衬底,所述衬底包括第一区域、与第一区域相邻的第二区域、以及与第二区域相邻的第三区域,所述衬底的第一

区域、第二区域和第三区域表面分别具有鳍部,且所述衬底表面具有隔离层,所述隔离层覆盖所述鳍部的部分侧壁表面;位于所述第一区域的衬底和鳍部内、以及第二区域的衬底和鳍部内的第一阱区;位于所述第三区域的衬底和鳍部内的第二阱区;位于所述第一区域的鳍部内的第一掺杂区,所述第一掺杂区内具有第一类型离子;位于所述第二区域的鳍部内的第二掺杂区,所述第二掺杂区内具有第二类型离子;位于所述第三区域的鳍部内的第三掺杂区,所述第三掺杂区内具有第一类型离子;位于所述第三区域的衬底和鳍部内的第二阱区;位于所述第一掺杂区表面的第一导电结构,所述第一导电结构与第一偏压电连接;位于所述第二掺杂区表面的第二导电结构,所述第二导电结构与第一偏压电连接;位于所述第三掺杂区表面的第三导电结构,所述第三导电结构与第二偏压电连接。

[0008] 可选的,还包括:分别位于第一掺杂区、第二掺杂区和第三掺杂区表面的替代栅,所述替代栅横跨所述鳍部,且所述替代栅位于部分隔离层表面、以及部分鳍部的侧壁和顶部表面。

[0009] 可选的,所述替代栅的材料为多晶硅。

[0010] 可选的,第一掺杂区表面的替代栅与第一偏压电连接;所述第二掺杂区表面的替代栅与第一偏压电连接;第三掺杂区表面的替代栅与第二偏压电连接。

[0011] 可选的,所述第一导电结构横跨所述第一区域的鳍部,且所述第一导电结构位于第一区域的部分隔离层表面、以及部分鳍部的侧壁和顶部表面;所述第二导电结构横跨所述第二区域的鳍部,且所述第二导电结构位于第二区域的部分隔离层表面、以及部分鳍部的侧壁和顶部表面;所述第三导电结构横跨所述第三区域的鳍部,且所述第三导电结构位于第三区域的部分隔离层表面、以及部分鳍部的侧壁和顶部表面。

[0012] 可选的,所述第一掺杂区表面的替代栅与所述第一导电结构平行设置、并交错排布;所述第二掺杂区表面的替代栅与所述第二导电结构平行设置、并交错排布;所述第三掺杂区表面的替代栅与所述第三导电结构平行设置、并交错排布。

[0013] 可选的,第一掺杂区表面的替代栅顶部、以及所述第一导电结构顶部与第一导电层连接;第二掺杂区表面的替代栅顶部、以及所述第二导电结构顶部与第二导电层连接;所述第一导电层和第二导电层与第一偏压连接。

[0014] 可选的,所述替代栅与鳍部之间还具有栅介质层;所述栅介质层的材料为氧化硅。

[0015] 可选的,在所述第一区域、第二区域或第三区域内,同一鳍部上横跨有至少1个替代栅。

[0016] 可选的,当同一鳍部上横跨的替代栅大于1个时,若干替代栅平行排列。

[0017] 可选的,还包括:位于所述隔离层表面和鳍部的侧壁和顶部表面的介质层,所述介质层表面与所述替代栅的顶部表面齐平;所述第一导电结构、第二导电结构和第三导电结构贯穿所述介质层。

[0018] 可选的,所述替代栅的宽度尺寸小于或等于2倍的鳍部高度,所述鳍部高度为所述鳍部顶部至隔离层表面的距离。

[0019] 可选的,所述第二区域包围第一区域;所述第三区域包围第二区域。

[0020] 可选的,所述第一类型离子为N型离子;所述第二类型离子为P型离子。

[0021] 可选的,所述第一阱区为P型阱区;所述第二阱区为N型阱区。

[0022] 可选的,在所述第一区域、第二区域或第三区域内,所述鳍部的数量大于或等于1。

[0023] 可选的,当所述第一区域、第二区域或第三区域内的鳍部数量大于1时,若干鳍部平行排列。

[0024] 相应的,本发明还提供一种采用上述任一项方法所形成的静电放电保护结构,包括:提供衬底,所述衬底包括第一区域、与第一区域相邻的第二区域、以及与第二区域相邻的第三区域,所述衬底的第一区域、第二区域和第三区域表面分别具有鳍部,且所述衬底表面具有隔离层,所述隔离层覆盖所述鳍部的部分侧壁表面;在所述第一区域的衬底和鳍部内、以及第二区域的衬底和鳍部内形成第一阱区;在所述第三区域的衬底和鳍部内形成第二阱区;在所述第一区域的鳍部内形成第一掺杂区,所述第一掺杂区内具有第一类型离子;在所述第二区域的鳍部内形成第二掺杂区,所述第二掺杂区内具有第二类型离子;在所述第三区域的鳍部内形成第三掺杂区,所述第三掺杂区内具有第一类型离子;在所述第一掺杂区表面形成第一导电结构,所述第一导电结构与第一偏压电连接;在所述第二掺杂区表面形成第二导电结构,所述第二导电结构与第一偏压电连接;在所述第三掺杂区表面形成第三导电结构,所述第三导电结构与第二偏压电连接。

[0025] 可选的,所述第一掺杂区、第二掺杂区和第三掺杂区的形成工艺为离子注入工艺。

[0026] 可选的,还包括:采用沉积工艺在所述第一区域、第二区域和第三区域的隔离层和鳍部表面形成替代栅膜;刻蚀部分替代栅膜直至暴露出部分隔离层、和鳍部表面位置,形成分别位于第一掺杂区、第二掺杂区和第三掺杂区表面的替代栅,所述替代栅横跨所述鳍部,且所述替代栅位于部分隔离层表面、以及部分鳍部的侧壁和顶部表面。

[0027] 与现有技术相比,本发明的技术方案具有以下优点:

[0028] 本发明的结构中,所述第一掺杂区内具有第一类型离子,所述第二掺杂区和第一阱区内具有第二类型离子,且所述第三掺杂区和第二阱区内具有第一类型离子,因此,所述第一掺杂区、第二掺杂区、第三掺杂区、第一阱区和第二阱区能够构成双极结型晶体管。由于所述第一掺杂区能够通过第一导电结构与第一偏压连接,所述第三掺杂区能够通过第三导电结构与第二偏压连接,当所述第三掺杂区为静电累积端时,第二偏压即静电电压,一旦所述第二偏压能够使所述双极结型晶体管导通,则能够使累积于电掺杂区的静电电荷自第一掺杂区流出,使得静电电荷被释放。而且,由于所述第一掺杂区、第二掺杂区和第三掺杂区均位于鳍部内,从而避免了因此第一掺杂区、第二掺杂区和第三掺杂区突出于鳍部而之间产生寄生电容。因此,所述静电放电保护结构的性能得到改善。

[0029] 进一步,分别位于第一掺杂区、第二掺杂区和第三掺杂区表面的替代栅,所述替代栅横跨所述鳍部,且所述替代栅位于部分隔离层表面、以及部分鳍部的侧壁和顶部表面。当所述衬底其它区域的鳍部表面具有栅极结构时,所述替代栅用于提高所述第一区域、第二区域和第三区域的抛光工艺稳定性。当后续需要在隔离层表面、鳍部表面和所述栅极结构表面形成介质膜,并对所述介质膜进行化学机械抛光工艺直至暴露出所述栅极结构顶部表面以形成介质层时,通过所述替代栅的支撑,位于第一区域、第二区域和第三区域的介质层表面不易发生凹陷,从而提高后续形成的介质层质量,进而使得第一导电结构、第二导电结构和第三导电结构之间的电隔离性能稳定。

[0030] 本发明的形成方法中,所形成的第一掺杂区、第二掺杂区、第三掺杂区、第一阱区和第二阱区能够构成双极结型晶体管。由于所述第一掺杂区能够通过第一导电结构与第一偏压连接,所述第三掺杂区能够通过第三导电结构与第二偏压连接,当所述第三掺杂区为

静电累积端时,第二偏压即静电电压,一旦所述第二偏压能够使所述双极结型晶体管导通,则能够使累积于电掺杂区的静电电荷自第一掺杂区流出,使得静电电荷被释放。而且,由于所述第一掺杂区、第二掺杂区和第三掺杂区均形成在鳍部内,从而避免了因外延工艺而使第一掺杂区、第二掺杂区和第三掺杂区突出于鳍部表面,从而避免第一掺杂区、第二掺杂区和第三掺杂区之间产生寄生电容。因此,所形成的静电放电保护结构的性能得到改善。

附图说明

- [0031] 图1是现有的双极结型晶体管保护电路的剖面结构示意图;
- [0032] 图2是图1所示双极结型晶体管保护电路的集电极电流和集电极电压的I/V特性图;
- [0033] 图3是本发明一实施例的静电放电保护结构的剖面结构示意图;
- [0034] 图4至图16是本发明另一实施例的静电放电保护结构的形成过程的结构示意图。

具体实施方式

[0035] 如背景技术所述,随着半导体器件的尺寸进一步减小,在静电放电保护电路中引入鳍式场效应晶体管作为双极结型晶体管时,鳍式场效应晶体管的性能依旧不佳,可靠性较差。

[0036] 请参考图3,图3是本发明一实施例的静电放电保护结构的剖面结构示意图,包括:基底100,所述基底100具有第一区域110、与第一区域110相邻的第二区域120、以及与第二区域120相邻的第三区域130;位于第一区域110基底100表面的第一鳍部111;位于第二区域120基底100表面的第二鳍部121;位于第三区域130基底100表面的第三鳍部131;位于所述基底100表面的隔离层103,所述隔离层103覆盖部分所述第一鳍部111、第二鳍部121和第三鳍部131的侧壁表面;所述第一鳍部111、第二鳍部121、以及第一区域110和第二区域120的基底100内具有P型阱区104;所述第三鳍部131和第三区域130的基底100内具有N型阱区105;位于第一鳍部111的N型掺杂区表面的第一外延层106,所述第一外延层106内具有N型离子;位于第二鳍部121的P型掺杂区表面的第二外延层107,所述第二外延层107内具有P型离子;位于第三鳍部131的N型掺杂区表面的第三外延层108,所述第三外延层108内具有N型离子。

[0037] 其中,所述第一外延层106、第二外延层107和第三外延层108采用选择性外延沉积工艺形成与第一鳍部111、第二鳍部121和第三鳍部131表面。所述第一外延层106与后续形成的电连接结构之间的接触电阻;所述第二外延层107与后续形成的电连接结构之间的接触电阻;所述第三外延层108与后续形成的电连接结构之间的接触电阻。

[0038] 然而,随着半导体器件密度提高,相邻第一鳍部111、第二鳍部121或第三鳍部131之间的距离缩小,导致所述第一外延层106、第二外延层107和第三外延层108之间的距离缩小,继而容易导致所述第一外延层106、第二外延层107和第三外延层108之间的寄生电容增大。所述寄生电容容易使所述静电放电保护结构的性能变差,尤其是在高频工作状态下的性能变差。

[0039] 为了解决上述问题,本发明提供一种静电放电保护结构,包括:衬底,所述衬底包括第一区域、与第一区域相邻的第二区域、以及与第二区域相邻的第三区域,所述衬底的第

一区域、第二区域和第三区域表面分别具有鳍部,且所述衬底表面具有隔离层,所述隔离层覆盖所述鳍部的部分侧壁表面;位于所述第一区域的鳍部内的第一掺杂区,所述第一掺杂区内具有第一类型离子;位于所述第二区域的鳍部内的第二掺杂区,所述第二掺杂区内具有第二类型离子;位于所述第三区域的鳍部内的第三掺杂区,所述第三掺杂区内具有第一类型离子;位于所述第一掺杂区表面的第一导电结构,所述第一导电结构与第一偏压电连接;位于所述第二掺杂区表面的第二导电结构,所述第二导电结构与第一偏压电连接;位于所述第三掺杂区表面的第三导电结构,所述第三导电结构与第二偏压电连接。

[0040] 其中,所述第一掺杂区内具有第一类型离子,所述第二掺杂区和第一阱区内具有第二类型离子,且所述第三掺杂区和第二阱区内具有第一类型离子,因此,所述第一掺杂区、第二掺杂区、第三掺杂区、第一阱区和第二阱区能够构成双极结型晶体管。由于所述第一掺杂区能够通过第一导电结构与第一偏压连接,所述第三掺杂区能够通过第三导电结构与第二偏压连接,当所述第三掺杂区为静电累积端时,第二偏压即静电电压,一旦所述第二偏压能够使所述双极结型晶体管导通,则能够使累积于电掺杂区的静电电荷自第一掺杂区流出,使得静电电荷被释放。而且,由于所述第一掺杂区、第二掺杂区和第三掺杂区均位于鳍部内,从而避免了因此第一掺杂区、第二掺杂区和第三掺杂区突出于鳍部而之间产生寄生电容。因此,所述静电放电保护结构的性能得到改善。

[0041] 为使本发明的上述目的、特征和优点能够更为明显易懂,下面结合附图对本发明的具体实施例做详细的说明。

[0042] 图4至图16是本发明另一实施例的静电放电保护结构的形成过程的结构示意图。

[0043] 请参考图4和图5,图4是图5沿AA'方向的剖面结构示意图,提供衬底200,所述衬底200包括第一区域210、与第一区域210相邻的第二区域220、以及与第二区域220相邻的第三区域230,所述衬底200的第一区域210、第二区域220和第三区域230表面分别具有鳍部201,且所述衬底200表面具有隔离层202,所述隔离层202覆盖所述鳍部201的部分侧壁表面。

[0044] 在本实施例中,所形成的静电放电保护结构由双极结型晶体管构成,且所述双极结型晶体管为鳍式场效应晶体管。

[0045] 所述第一区域210用于形成所述双极结型晶体管的发射极(emitter),所述第二区域220用于形成双极结型晶体管的基极(base),所述第三区域230用于形成双极结型晶体管的集电极(collector)。其中,所述集电极与静电放电端连接,即所述第三区域230用于与静电放电端连接,而所述基极与集电极接地,即所述第一区域210和第二区域220接地。当后续形成的双极结型晶体管开启时,静电电荷自第三区域230流入,自第一区域210流出,以实现静电电荷的释放。

[0046] 在本实施例中,所述第二区域220包围第一区域210;所述第三区域230包围第二区域220;从而能够使静电电荷自第三区域230流入之后,经过第二区域220,并完全在位于中心的第一区域210集中输出,从而使静电电荷能够完全自第一区域210释放,避免静电电荷对衬底200其它区域的器件造成损伤,使所形成的静电放电保护结构的保护能力提高。

[0047] 在所述第一区域210、第二区域220或第三区域230内,所述鳍部201的数量大于或等于1。在本实施例中,所述第一区域210、第二区域220或第三区域230内的鳍部201数量均大于1;而且,在所述第一区域210、第二区域220或第三区域230内,若干鳍部201平行排列,且相邻第一区域210与第二区域220的鳍部201平行排列,相邻第二区域220与第三区域230

的鳍部也平行排列。

[0048] 在本实施例中,所述鳍部201顶部的宽度小于20纳米,例如14纳米;在第一区域210、第二区域220或第三区域230内,相邻鳍部201之间的距离为50纳米~60纳米。

[0049] 在本实施例中,所述衬底200和鳍部201的形成步骤包括:提供半导体基底;刻蚀所述半导体基底,在所述半导体基底内形成若干沟槽,相邻沟槽之间的半导体基底形成鳍部201,位于鳍部201和沟槽底部的半导体基底形成衬底200。所述半导体衬底为单晶硅衬底、单晶锗衬底、硅锗衬底或碳化硅衬底,在本实施例中为单晶硅衬底。

[0050] 在另一实施例中,所述鳍部201的形成步骤包括:采用外延工艺在衬底200表面形成鳍部层;刻蚀所述鳍部层,在所述鳍部层内形成若干沟槽,相邻沟槽之间的鳍部层形成鳍部201。所述衬底200为硅衬底、硅锗衬底、碳化硅衬底、绝缘体上硅衬底、绝缘体上锗衬底、玻璃衬底或III-V族化合物衬底,例如氮化镓衬底或砷化镓衬底等。所述鳍部层的材料为硅、锗、碳化硅或硅锗。

[0051] 所述隔离层202用于隔离相邻的鳍部201。所述隔离层202的材料为氧化硅、氮化硅、氮氧化硅、低K介质材料(介电常数大于或等于2.5、小于3.9)、超低K介质材料(介电常数小于2.5)中的一种或多种组合。本实施例中,所述隔离层202的材料为氧化硅。

[0052] 所述隔离层202的形成步骤包括:在所述衬底200和鳍部201表面形成隔离膜;平坦化所述隔离膜直至暴露出所述鳍部201的顶部表面为止;在平坦化所述隔离膜之后,回刻蚀所述隔离膜,暴露出部分鳍部201的侧壁表面,形成隔离层202。

[0053] 请参考图6,在所述第一区域210的衬底200和鳍部201内、以及第二区域220的衬底200和鳍部201内形成第一阱区203。

[0054] 在本实施例中,所述第一阱区203为P型阱区,即所述第一阱区203内具有P型离子,所述P型离子包括硼离子或铟离子。所述第一阱区203使第一区域210和第二区域220的衬底200连通,使得所述第一区域210和第二区域220的衬底200内导通。

[0055] 在本实施例中,所述第一阱区203在形成所述鳍部201以及形成隔离层202之后形成。所述第一阱区203的形成步骤包括:在所述第三区域230的隔离层202和鳍部201表面形成第一掩膜层;以所述第一掩膜层为掩膜,采用离子注入工艺在所述第一区域210和第二区域220的衬底200和鳍部201内形成所述第一阱区203。

[0056] 在另一实施例中,所述第一阱区在形成所述鳍部之后、形成所述隔离层之前形成,即采用离子注入工艺在所述第一区域和第二区域的衬底和鳍部内形成所述第一阱区之后,在所述衬底表面形成所述隔离层。

[0057] 在其它实施例中,所述衬底和鳍部通过刻蚀半导体基底形成,而所述第一阱区在形成所述鳍部之前形成。所述第一阱区的形成步骤包括:提供半导体基底;采用离子注入工艺在所述半导体基底内与第一区域和第二区域对应的区域进行离子注入,形成第一阱区;在所述离子注入工艺之后,刻蚀部分所述半导体基底,形成所述衬底和鳍部,且所述第一阱区的底部低于所述衬底表面。

[0058] 请参考图7,在所述第三区域230的衬底200和鳍部201内形成第二阱区204。

[0059] 在本实施例中,所述第二阱区204为N型阱区,即所述第二阱区204内具有N型离子,所述N型离子包括磷离子或砷离子。在本实施例中,所述第二阱区204在形成第一阱区203之后形成;在其它实施例中,所述第二阱区在形成所述第一阱区203之前形成。

[0060] 在本实施例中,所述第二阱区204在形成所述鳍部201以及形成隔离层202之后形成。所述第二阱区204的形成步骤包括:在所述第一区域210和第二区域220的隔离层202和鳍部201表面形成第二掩膜层;以所述第二掩膜层为掩膜,采用离子注入工艺在所述第三区域230的衬底200和鳍部201内形成所述第二阱区204。

[0061] 在另一实施例中,所述第二阱区在形成所述鳍部之后、形成所述隔离层之前形成,即采用离子注入工艺在所述第三区域的衬底和鳍部内形成所述第二阱区之后,在所述衬底表面形成所述隔离层。

[0062] 在其它实施例中,所述衬底和鳍部通过刻蚀半导体基底形成,而所述第一阱区在形成所述鳍部之前形成。所述第二阱区的形成步骤包括:提供半导体基底;采用离子注入工艺在所述半导体基底内与第三区域对应的区域进行离子注入,形成第二阱区;在所述离子注入工艺之后,刻蚀部分所述半导体基底,形成所述衬底和鳍部,且所述第二阱区的底部低于所述衬底表面。

[0063] 请参考图8,在所述第一区域210的鳍部201内形成第一掺杂区211,所述第一掺杂区211内具有第一类型离子;在所述第三区域230的鳍部201内形成第三掺杂区231,所述第三掺杂区231内具有第一类型离子。

[0064] 本实施例中,所述第一掺杂区211作为双极结型晶体管的发射极,所述第三掺杂区231作为双极结型晶体管的集电极;因此,所述第一掺杂区211与所述第三掺杂区231内的掺杂离子类型相同,所述第一掺杂区211与所述第三掺杂区231同时形成。在本实施例中,所述第一类型离子为N型离子。

[0065] 所述第一掺杂区211与所述第三掺杂区231的形成步骤包括:在所述第二区域220的隔离层202和鳍部201表面形成第三掩膜层;以所述第三掩膜层为掩膜,采用离子注入工艺在所述第一区域210的鳍部201形成第一掺杂区211,在第三区域230的鳍部201内形成第三掺杂区231。

[0066] 所述第一掺杂区211位于第一阱区203内,所述第一掺杂区211与第一阱区203构成PN结。所述第三掺杂区231位于第二阱区204内,所述第三掺杂区231用于对第二阱区204施加偏压。

[0067] 请参考图9,在所述第二区域220的鳍部201内形成第二掺杂区221,所述第二掺杂区221内具有第二类型离子。

[0068] 本实施例中,所述第二掺杂区221作为双极结型晶体管的基极,所述第二类型离子为P型离子。

[0069] 所述第二掺杂区221的形成步骤包括:在所述第一区域210和第三区域230的隔离层202和鳍部201表面形成第四掩膜层;以所述第二掺杂区221为掩膜,采用离子注入工艺在所述第二区域220的鳍部201形成第二掺杂区221。

[0070] 所述第一掺杂区211位于第一阱区203内,所述第一掺杂区211与第一阱区203构成PN结。所述第二掺杂区221位于第一阱区203内,所述第三掺杂区231用于使第一阱区203接地。

[0071] 在本实施例中,在形成第一掺杂区211和第三掺杂区231之后形成所述第二掺杂区221。在其它实施例中,还能够在形成第二掺杂区之后形成第一掺杂区和第三掺杂区。

[0072] 在本实施例中,所述第一掺杂区211、第二掺杂区221和电掺杂区231通过离子注入

工艺形成于鳍部内,避免了在所述鳍部201侧壁和顶部表面额外通过选择性外延沉积工艺形成半导体层,并以所述半导体层形成发射极、基极和集电极。所述第一掺杂区211、第二掺杂区221和电掺杂区231之间的距离即鳍部201之间的距离,由此能够避免发射极、基极和集电极之间的距离过近,从而减小了寄生电容,提高双极结型晶体管的高频抗干扰能力,使得所形成的静电放电保护结构在高频状态下的保护能力稳定。

[0073] 请参考图10和图11,图10是图11沿AA'方向的剖面结构示意图,分别在第一掺杂区211、第二掺杂区221和第三掺杂区231表面形成替代栅205,所述替代栅205横跨所述鳍部201,且所述替代栅205位于部分隔离层202表面、以及部分鳍部201的侧壁和顶部表面。

[0074] 所述替代栅205用于提高第一区域210、第二区域220和第三区域230的栅极密度,在后续形成介质层的抛光工艺中起支撑作用,以避免后续形成于第一区域210、第二区域220和第三区域230的介质层表面凹陷。

[0075] 在本实施例中,所述替代栅205的材料为多晶硅。所述替代栅205能够与衬底200其它区域的栅极层同时形成。而且,所述替代栅205的顶部表面与衬底200其它区域的栅极层顶部表面齐平。在其它实施例中,所述替代栅205的材料还能够为稳定性碳等其它硬度与多晶硅相近材料。

[0076] 在一实施例中,所述替代栅205与鳍部201之间还具有栅介质层;所述栅介质层的材料为氧化硅。所述栅介质层能够与衬底200其它区域的栅介质层同时形成。

[0077] 所述替代栅205的形成步骤包括:采用沉积工艺在所述第一区域210、第二区域220和第三区域230的隔离层202和鳍部201表面形成替代栅膜;对所述替代栅膜进行平坦化;在所述平坦化工艺之后,在所述替代栅膜表面形成第五掩膜层,所述第五掩膜层覆盖需要形成替代栅的对应区域;以所述所述第五掩膜层为掩膜,刻蚀所述替代栅膜直至暴露出部分隔离层202、和鳍部201表面位置,形成分别位于第一掺杂区211、第二掺杂区221和第三掺杂区231表面的替代栅205;在所述刻蚀替代栅膜工艺之后,去除所述第五掩膜层。

[0078] 在所述第一区域210、第二区域220或第三区域230内,同一鳍部201上横跨有至少1个替代栅205;当同一鳍部201上横跨的替代栅205大于1个时,若干替代栅205平行排列;而且,同一替代栅205横跨至少一条鳍部201。在本实施例中,第一区域210、第二区域220或第三区域230内分别具有平行排列的若干鳍部201,在所述第一区域210、第二区域220或第三区域230内,分别具有若干平行排列的若干替代栅205,且每一替代栅205横跨若干鳍部201。

[0079] 在本实施例中,所述替代栅205的宽度尺寸小于或等于2倍的鳍部201高度,所述鳍部201高度为所述鳍部201顶部至隔离层202表面的距离。在相邻的第一掺杂区211和第二掺杂区221、或者第二掺杂区221和第三掺杂区231之间,所述替代栅205容易使鳍部201侧壁之间产生结电流。为了抑制所述替代栅之间产生结电流导通,使双极结型晶体管开启时,电流完全在衬底200和鳍部201内流通,需要使所述替代栅205与鳍部201侧壁之间的接触面积较小,以此增大接触电阻以减小结电流。

[0080] 请参考图12,在所述隔离层202表面和鳍部201的侧壁和顶部表面形成介质层206,所述介质层206表面与所述替代栅205的顶部表面齐平。

[0081] 所述介质层206的形成步骤包括:在所述隔离层202表面、鳍部201的侧壁和顶部表面和替代栅205表面形成介质膜;采用化学机械抛光工艺对所述介质膜进行平坦化,直至暴露出所述替代栅205的顶部表面为止,形成所述介质层206。

[0082] 所述介质膜的形成步骤为化学气相沉积工艺、物理气相沉积工艺或原子层沉积工艺。所述介质层206的材料为氧化硅、氮化硅、氮氧化硅、低k介质材料(介电系数为大于或等于2.5、小于3.9,例如多孔氧化硅、或多孔氮化硅)或超低k介质材料(介电系数小于2.5,例如多孔SiCOH)。

[0083] 在所述化学机械抛光工艺中,由于所述第一区域210、第二区域220和第三区域230分别形成有若干替代栅,因此不会因介质层206面积过大而使所述介质层206的表面凹陷。

[0084] 请参考图13和图14,图13是图14沿BB'方向的剖面结构示意图,在所述第一掺杂区211表面形成第一导电结构212,所述第一导电结构212与第一偏压电连接;在所述第二掺杂区221表面形成第二导电结构222,所述第二导电结构222与第一偏压电连接;在所述第三掺杂区231表面形成第三导电结构232,所述第三导电结构232与第二偏压电连接。

[0085] 需要说明的是,图14是忽略介质层206的俯视结构图。

[0086] 所述第一导电结构212用于与第一掺杂区221电连接,所述第二导电结构222用于与第二掺杂区221电连接,所述第三导电结构232用于与第三掺杂区231电连接。

[0087] 在本实施例中,所述第一导电结构212横跨所述第一区域210的鳍部201,且所述第一导电结构212位于第一区域210的部分隔离层202表面、以及部分鳍部201的侧壁和顶部表面;所述第二导电结构222横跨所述第二区域220的鳍部201,且所述第二导电结构222位于第二区域220的部分隔离层202表面、以及部分鳍部201的侧壁和顶部表面;所述第三导电结构232横跨所述第三区域230的鳍部,且所述第三导电结构232位于第三区域230的部分隔离层202表面、以及部分鳍部201的侧壁和顶部表面。

[0088] 所述第一掺杂区211表面的替代栅205与所述第一导电结构212平行设置、并交错排布;所述第二掺杂区221表面的替代栅205与所述第二导电结构222平行设置、并交错排布;所述第三掺杂区231表面的替代栅205与所述第三导电结构232平行设置、并交错排布。

[0089] 在本实施例中,所述第一导电结构212、第二导电结构222和第三导电结构232贯穿所述介质层206。所述第一导电结构212、第二导电结构222和第三导电结构232的形成步骤包括:在所述介质层206和替代栅205表面形成层间介质层;采用刻蚀工艺在第一区域210、第二区域220和第三区域230相邻替代栅205之间的介质层206和层间介质层内形成沟槽;在所述层间介质层表面和所述沟槽内填充导电材料;对所述导电材料进行平坦化直至暴露出所述层间介质层,形成所述第一导电结构212、第二导电结构222和第三导电结构232。

[0090] 所述层间介质层的材料包括氧化硅、氮化硅、氮氧化硅、低k介质材料或超低k介质材料中的一种或多种组合。所述导电材料包括铜、钨、铝、钛、钽、氮化钛和氮化钽中的一种或多种组合。

[0091] 第一掺杂区211表面的替代栅205与第一偏压电连接;所述第二掺杂区221表面的替代栅205与第一偏压电连接;第三掺杂区231表面的替代栅205与第二偏压电连接。在本实施例中,所述第一掺杂区211和第二掺杂区221表面的替代栅205接地,使得第一掺杂区211和第二掺杂区221构成的PN结不会导通,则所述第一掺杂区211和第二掺杂区221表面的替代栅205之间不易产生导通电流;所述第三掺杂区231表面的替代栅205与静电电压端连接,则所述第三掺杂区231与第二掺杂区221之间构成的PN结反偏,使得第三掺杂区231与第二掺杂区221表面的替代栅205之间不易产生反偏电路。从而能够使静电电荷完全在鳍部201和衬底200内流通,而所述替代栅205内不易产生漏电流。

[0092] 请参考图15和图16,图15是图16沿BB'方向的剖面结构示意图,形成第一导电层207和第二导电层208。

[0093] 需要说明的是,图14是忽略介质层206和层间介质层的俯视结构图。

[0094] 第一掺杂区211表面的替代栅205顶部、以及所述第一导电结构212顶部与第一导电层207连接;第二掺杂区221表面的替代栅205顶部、以及所述第二导电结构222顶部与第二导电层208连接;所述第一导电层207和第二导电层208与第一偏压连接。所述第一导电层207同时与第一掺杂区211表面的替代栅205和第一导电结构212电连接;所述第二导电层208同时与第二掺杂区221表面的替代栅205和第二导电结构222电连接。

[0095] 在本实施例中,还包括在第三掺杂区231表面的替代栅205和第三导电结构232的顶部形成第三导电层,所述第三导电层与第二偏压连接。所述第一导电层207、第二导电层208和第三导电层的材料包括铜、钨、铝、钛、钽、氮化钛和氮化钽中的一种或多种组合。

[0096] 在本实施例中,所述第一导电层207、第二导电层208和第三导电层同时形成。所述第一导电层207、第二导电层208和第三导电层的形成步骤包括:在所述层间介质层、第一导电结构212、第二导电结构222和第三导电结构232表面形成导电膜;在所述导电膜表面形成第六掩膜层,所述第六掩膜层覆盖需要形成第一导电层207、第二导电层208和第三导电层的对应区域;以所述第六掩膜层为掩膜,刻蚀所述导电膜,直至暴露出所述层间介质层表面为止,形成所述第一导电层207、第二导电层208和第三导电层。

[0097] 相应的,本发明实施例还提供一种采用上述方法所形成的静电放电保护结构,请继续参考图15和图16,包括:衬底200,所述衬底200包括第一区域210、与第一区域210相邻的第二区域220、以及与第二区域220相邻的第三区域230,所述衬底200的第一区域210、第二区域220和第三区域230表面分别具有鳍部201,且所述衬底200表面具有隔离层202,所述隔离层202覆盖所述鳍部201的部分侧壁表面;位于所述第一区域210的衬底200和鳍部201内、以及第二区域220的衬底200和鳍部201内的第一阱区203;位于所述第三区域230的衬底200和鳍部201内的第二阱区204;位于所述第一区域210的鳍部201内的第一掺杂区211,所述第一掺杂区211内具有第一类型离子;位于所述第二区域220的鳍部201内的第二掺杂区221,所述第二掺杂区221内具有第二类型离子;位于所述第三区域230的鳍部201内的第三掺杂区231,所述第三掺杂区231内具有第一类型离子;位于所述第一掺杂区211表面的第一导电结构212,所述第一导电结构212与第一偏压电连接;位于所述第二掺杂区221表面的第二导电结构222,所述第二导电结构222与第一偏压电连接;位于所述第三掺杂区231表面形成第三导电结构232,所述第三导电结构232与第二偏压电连接。

[0098] 以下将结合附图进行说明。

[0099] 在本实施例中,所述第二区域220包围第一区域210;所述第三区域230包围第二区域220。所述第一类型离子为N型离子;所述第二类型离子为P型离子。所述第一阱区203为P型阱区;所述第二阱区204为N型阱区。

[0100] 在所述第一区域210、第二区域220或第三区域230内,所述鳍部201的数量大于或等于1。在本实施例中,所述第一区域210、第二区域220或第三区域230内的鳍部201数量均大于1时,若干鳍部201平行排列。

[0101] 在本实施例中,还包括:分别位于第一掺杂区211、第二掺杂区221和第三掺杂区231表面的替代栅205,所述替代栅205横跨所述鳍部201,且所述替代栅205位于部分隔离层

202表面、以及部分鳍部201的侧壁和顶部表面。所述替代栅205的材料为多晶硅。所述替代栅205与鳍部201之间还具有栅介质层；所述栅介质层的材料为氧化硅。所述替代栅205的宽度尺寸小于或等于2倍的鳍部201高度，所述鳍部201高度为所述鳍部201顶部至隔离层202表面的距离。

[0102] 第一掺杂区211表面的替代栅205与第一偏压电连接；所述第二掺杂区221表面的替代栅205与第一偏压电连接；第三掺杂区231表面的替代栅205与第二偏压电连接。在本实施例中，所述第一偏压为接地电压，第二偏压静电电压。

[0103] 所述第一导电结构212横跨所述第一区域210的鳍部201，且所述第一导电结构212位于第一区域210的部分隔离层202表面、以及部分鳍部201的侧壁和顶部表面；所述第二导电结构222横跨所述第二区域220的鳍部201，且所述第二导电结构222位于第二区域220的部分隔离层202表面、以及部分鳍部201的侧壁和顶部表面；所述第三导电结构232横跨所述第三区域230的鳍部201，且所述第三导电结构232位于第三区域230的部分隔离层202表面、以及部分鳍部201的侧壁和顶部表面。

[0104] 所述第一掺杂区211表面的替代栅205与所述第一导电结构212平行设置、并交错排布；所述第二掺杂区221表面的替代栅205与所述第二导电结构222平行设置、并交错排布；所述第三掺杂区231表面的替代栅205与所述第三导电结构232平行设置、并交错排布。

[0105] 在本实施例中，所述第一掺杂区211表面的替代栅205顶部、以及所述第一导电结构212顶部与第一导电层207连接；第二掺杂区221表面的替代栅205顶部、以及所述第二导电结构222顶部与第二导电层208连接；所述第一导电层207和第二导电层208与第一偏压连接。

[0106] 在所述第一区域210、第二区域220或第三区域230内，同一鳍部201上横跨有至少1个替代栅205。在本实施例中，在所述第一区域210、第二区域220或第三区域230内，同一鳍部201上横跨的替代栅205大于1个，且若干替代栅205平行排列。

[0107] 在本实施例中，还包括位于所述隔离层202表面和鳍部201的侧壁和顶部表面的介质层206，所述介质层206表面与所述替代栅205的顶部表面齐平；所述第一导电结构212、第二导电结构222和第三导电结构232贯穿所述介质层206。

[0108] 虽然本发明披露如上，但本发明并非限于于此。任何本领域技术人员，在不脱离本发明的精神和范围内，均可作各种更动与修改，因此本发明的保护范围应当以权利要求所限定的范围为准。

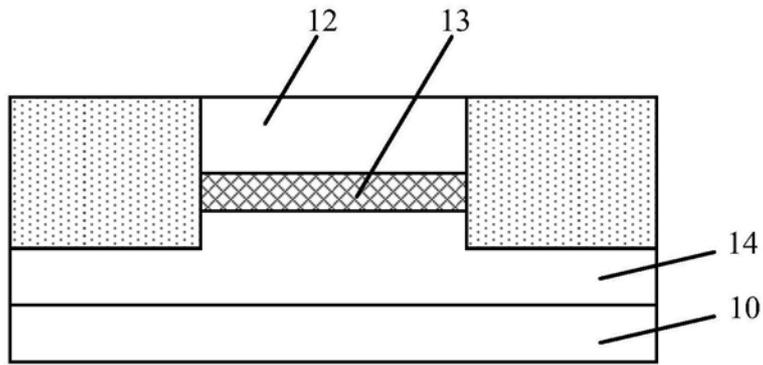


图1

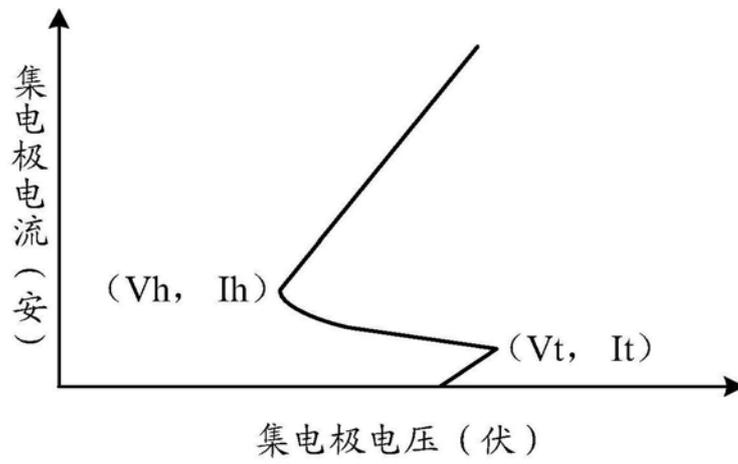


图2

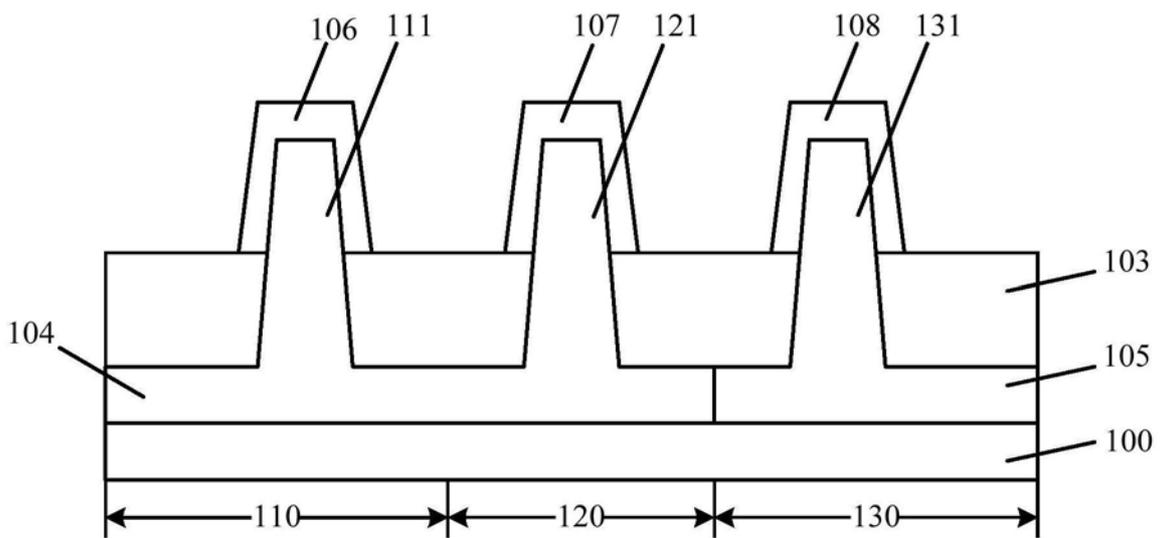


图3

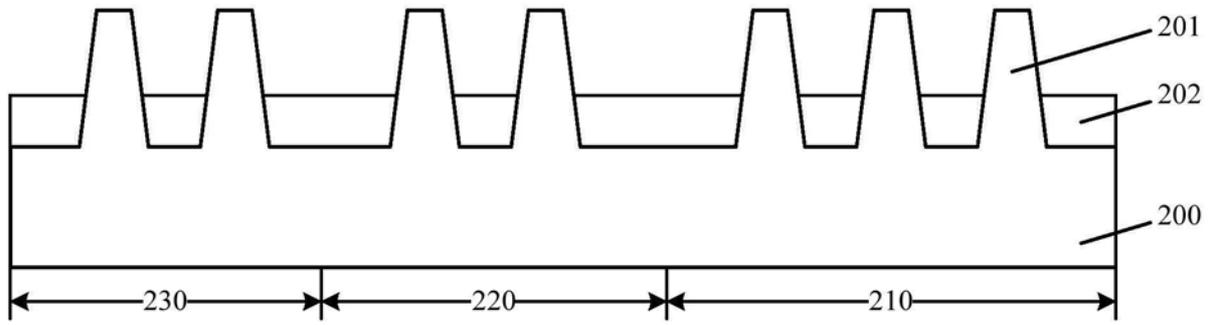


图4

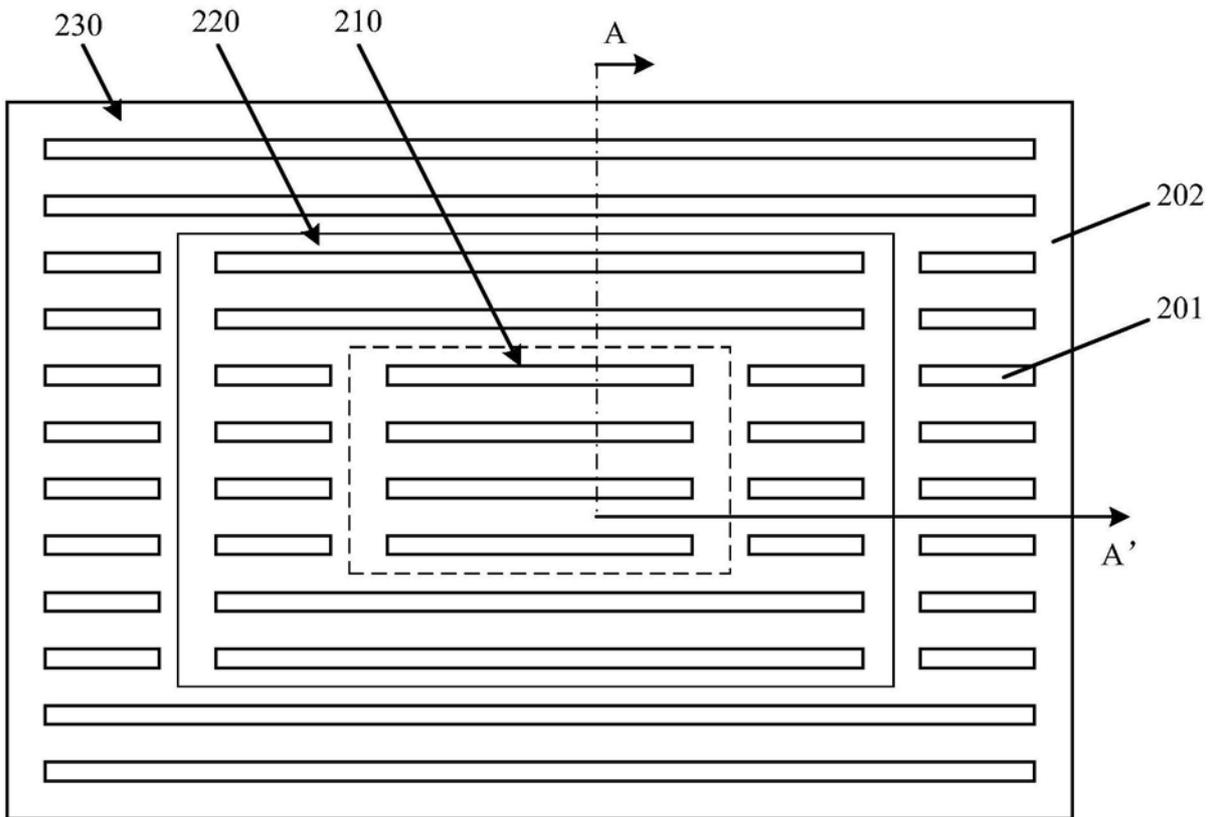


图5

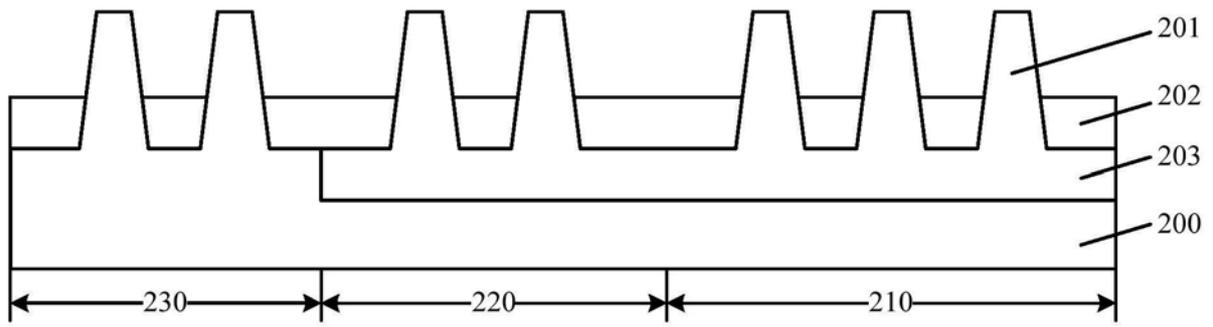


图6

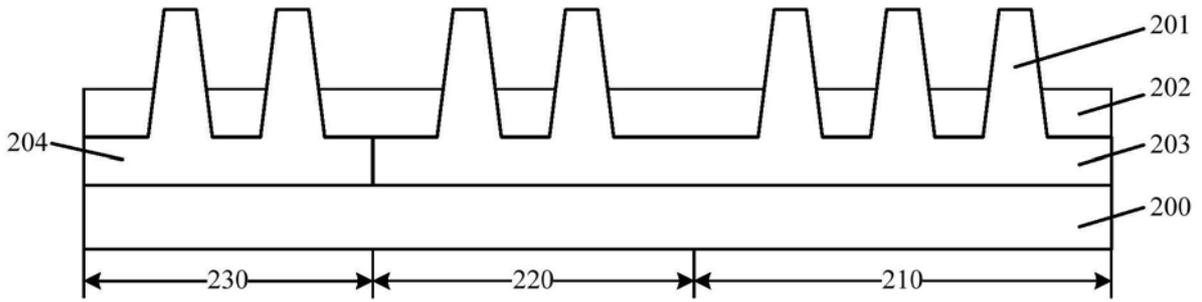


图7

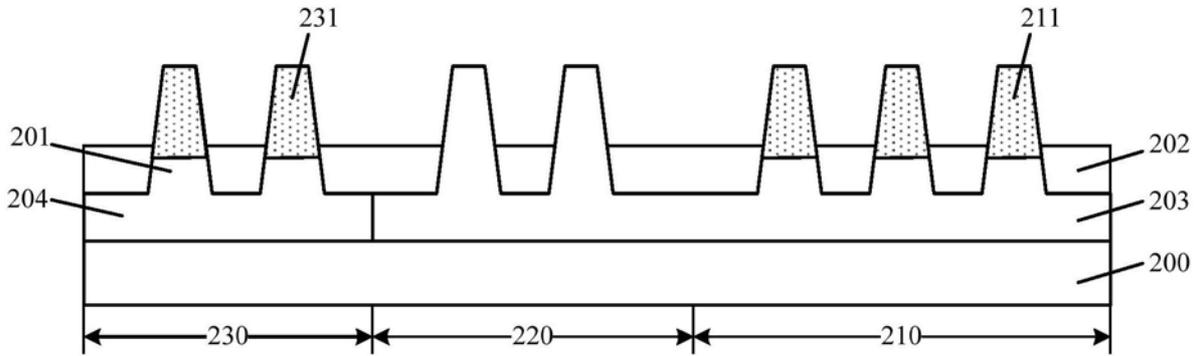


图8

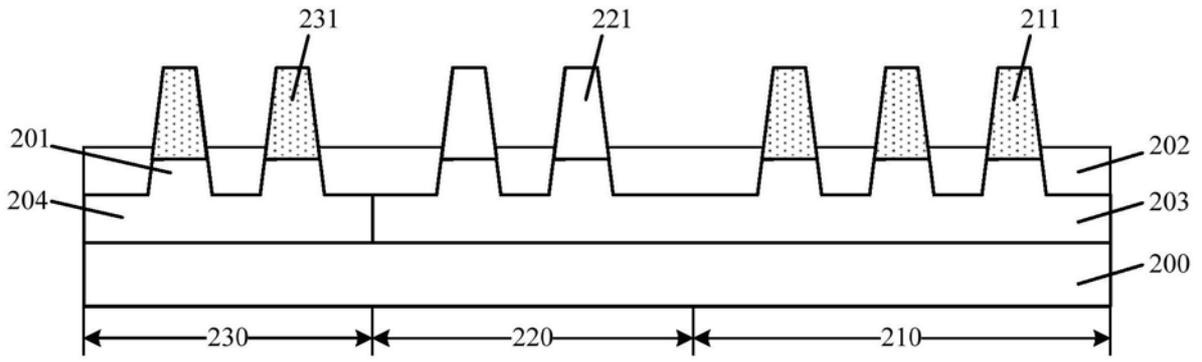


图9

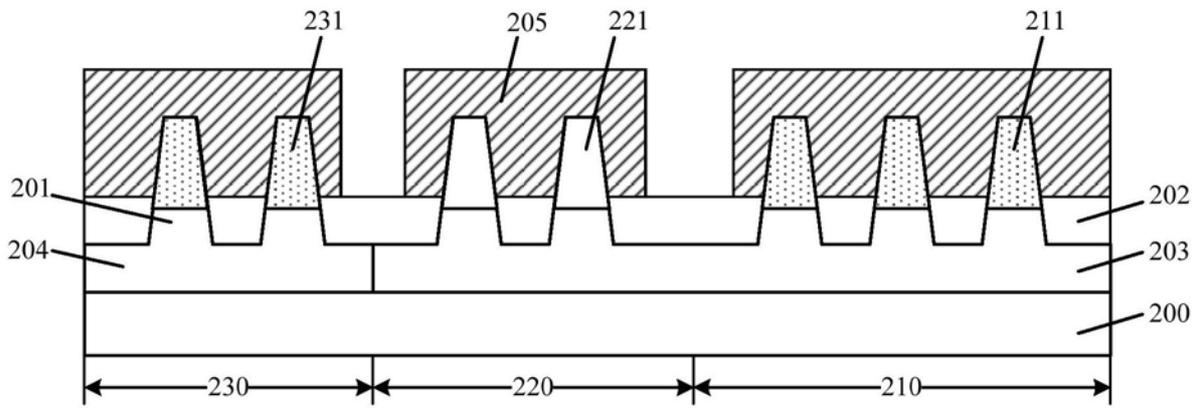


图10

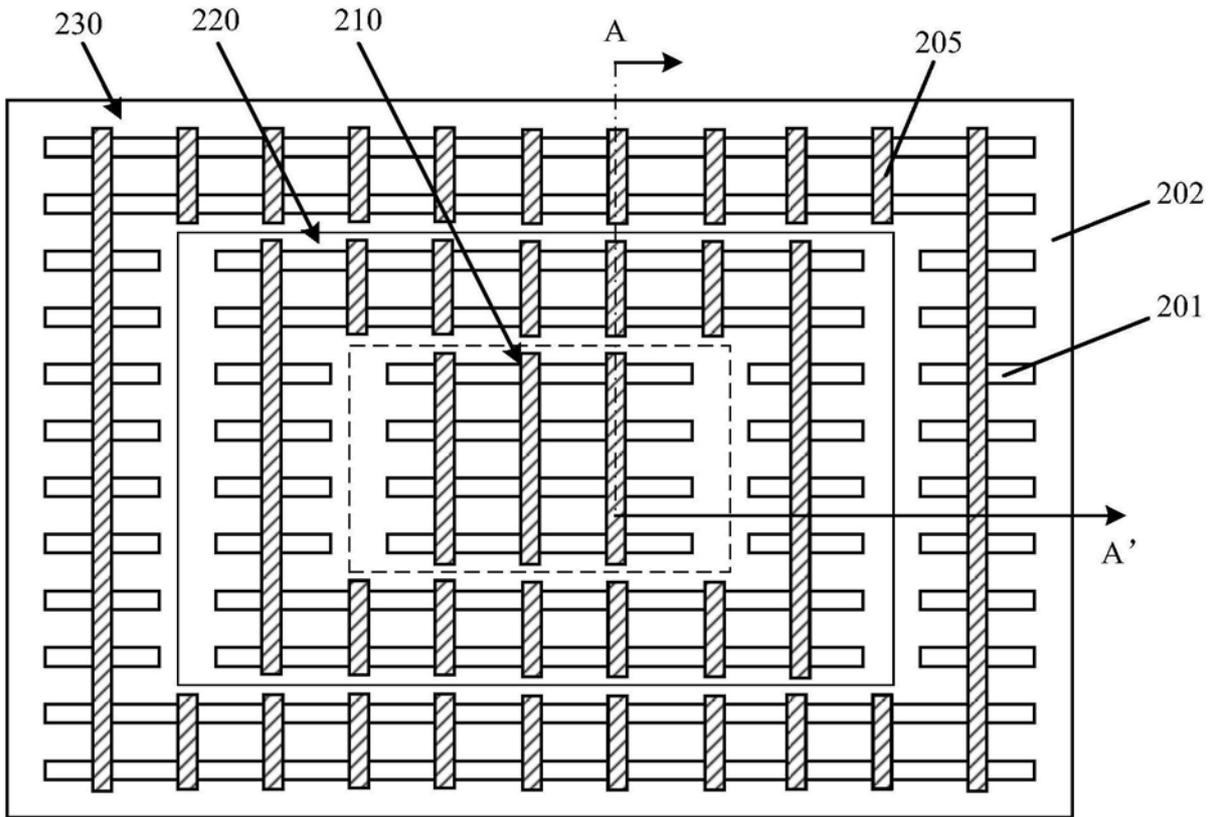


图11

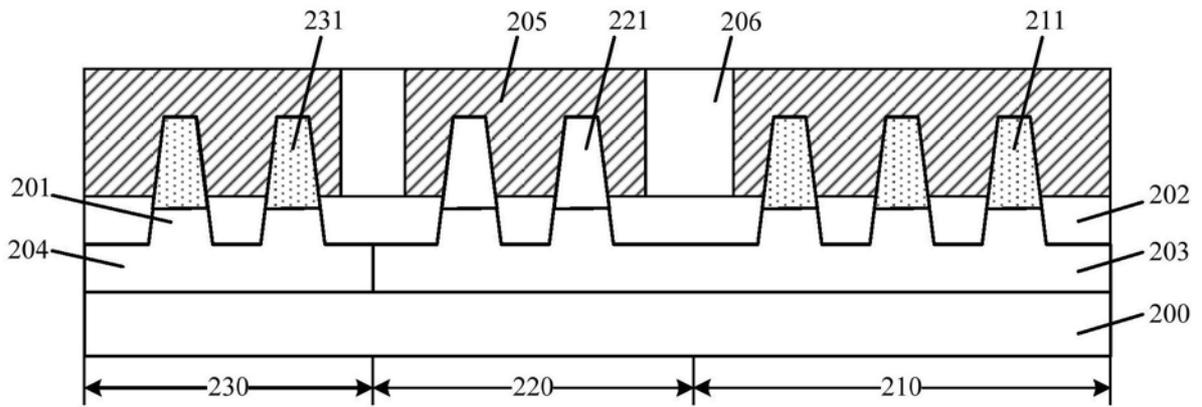


图12

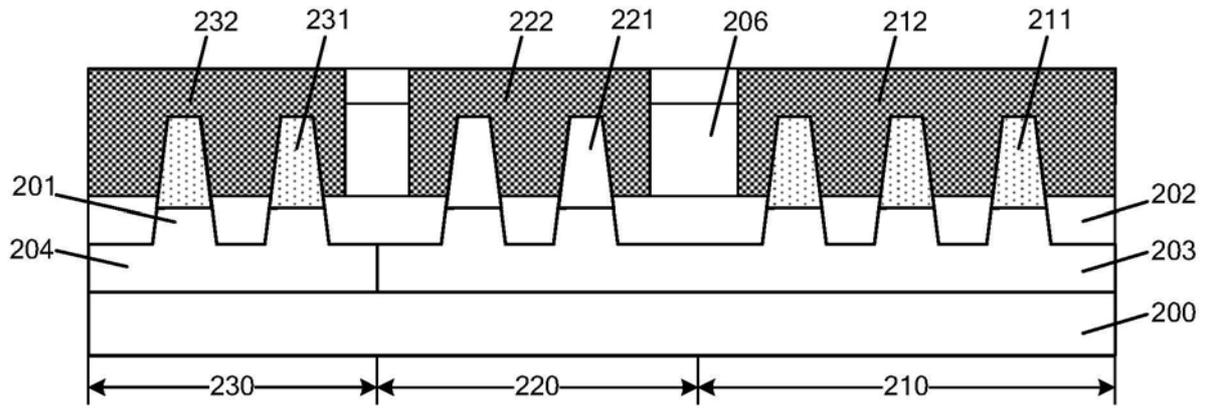


图13

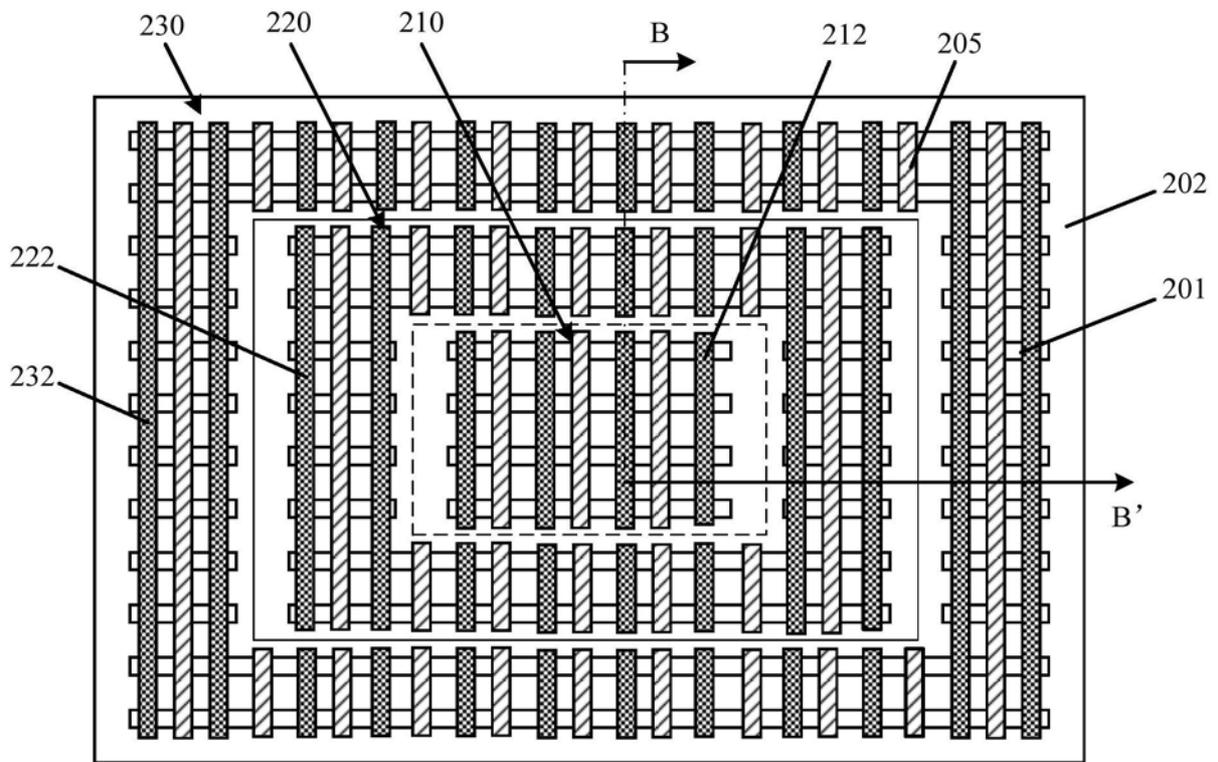


图14

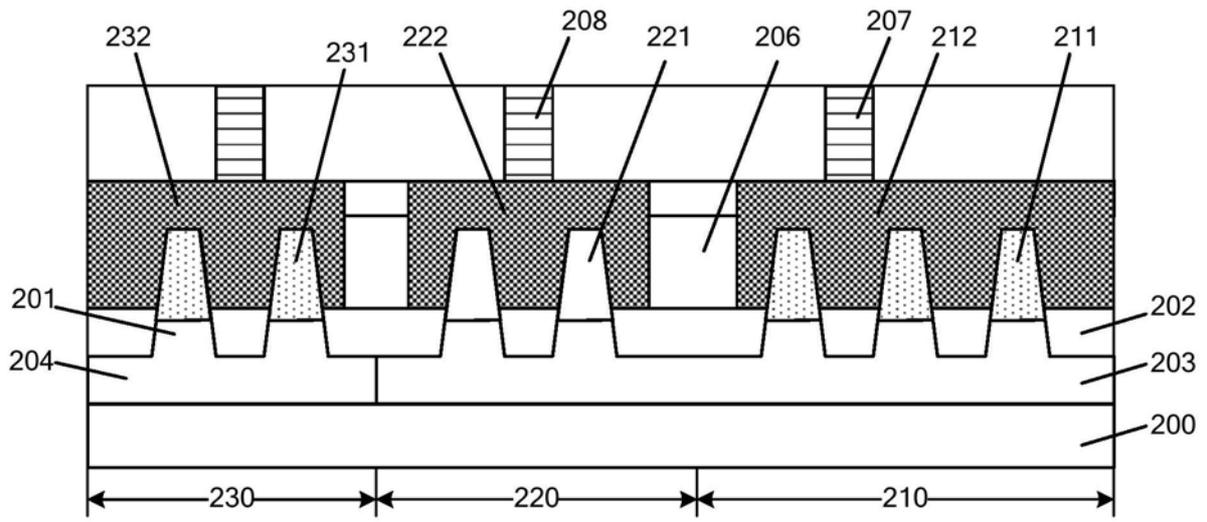


图15

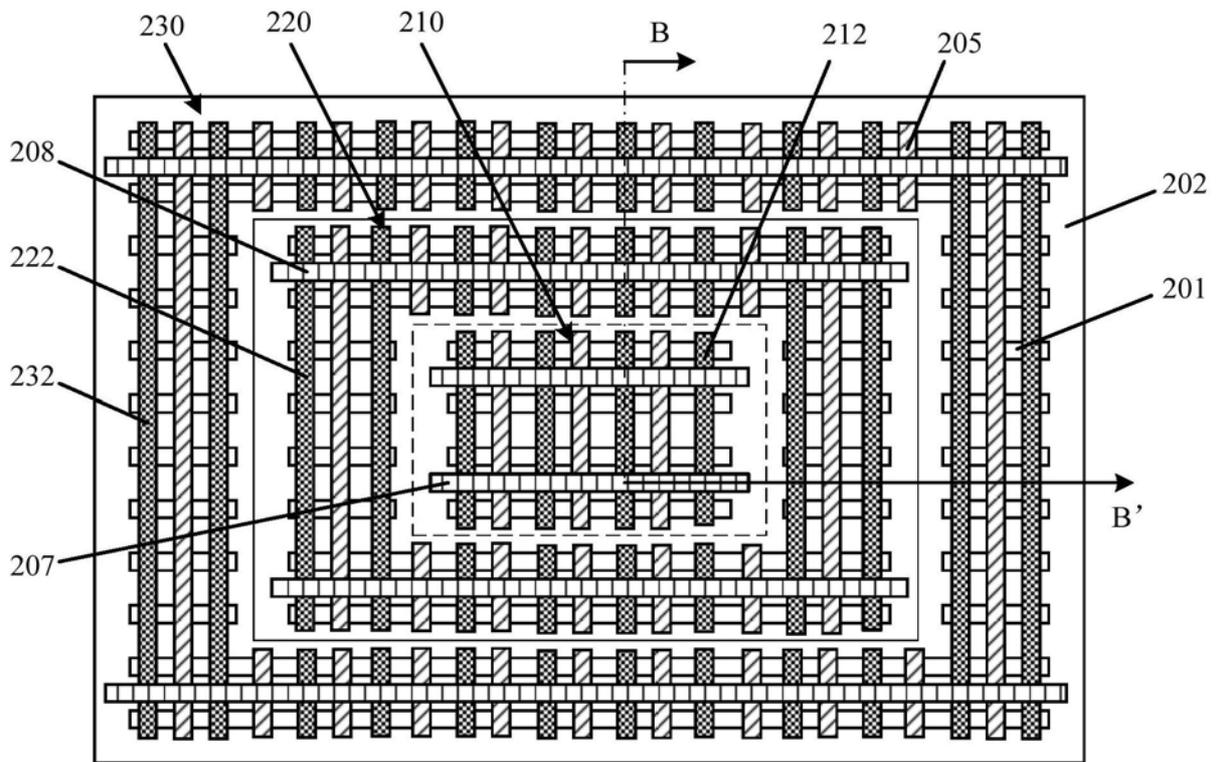


图16