



(12) 发明专利

(10) 授权公告号 CN 110324043 B

(45) 授权公告日 2023. 06. 30

(21) 申请号 201910335932.4
 (22) 申请日 2019.04.24
 (65) 同一申请的已公布的文献号
 申请公布号 CN 110324043 A
 (43) 申请公布日 2019.10.11
 (73) 专利权人 矽力杰半导体技术(杭州)有限公司
 地址 310051 浙江省杭州市滨江区西兴街
 道联慧街6号
 (72) 发明人 朱循宇 金乐乐
 (51) Int. Cl.
 H03M 1/46 (2006.01)
 H03M 1/12 (2006.01)
 (56) 对比文件
 US 2003210165 A1, 2003.11.13

CN 107996019 A, 2018.05.04
 US 7403150 B1, 2008.07.22
 CN 103378861 A, 2013.10.30
 CN 101931410 A, 2010.12.29
 US 2012280841 A1, 2012.11.08
 CN 109639282 A, 2019.04.16
 US 2011084862 A1, 2011.04.14
 Mezyad M. Amourah. An MSB-First
 Monotonic Switched Capacitor Serial DAC.
 《The 2002 45th Midwest Symposium on
 Circuits and Systems, 2002. MWSCAS-2002》
 .2003,
 罗豪. 一种基于反相器设计的低功耗音频 Σ
 Δ 模数转换器. 《新型工业化》. 2003,
 审查员 李旭梅

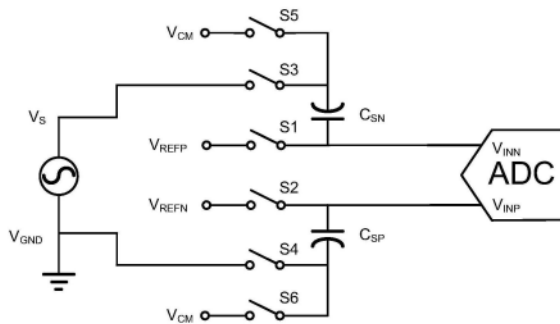
权利要求书2页 说明书5页 附图3页

(54) 发明名称

伪差分模数转换器

(57) 摘要

本发明公开了一种伪差分模数转换器,包括第一电容阵列以及第二电容阵列,并分别连接至模数转换电路的两个输入端,其特征在于:所述第一电容阵列的输出端以及所述第二电容阵列的输出端分别接收第一参考电压以及第二参考电压,其中,所述第一参考电压的值处于零电压以及模拟输入信号的峰值之间,且所述第二参考电压为零电压。本发明的伪差分模数转换器,不需要改变电路的结构,仅通过改变连接至电容阵列的输出端的电压,以及设置合适的正参考电压的值,便可达到拓展量程的目的。



1. 一种伪差分模数转换器,包括第一电容阵列以及第二电容阵列,将所述第一电容阵列以及所述第二电容阵列的上极板分别作为各自的输出端,将所述第一电容阵列以及所述第二电容阵列的下极板分别作为各自的输入端,所述第一电容阵列的输出端以及第二电容阵列的输出端分别连接至模数转换电路的两个输入端,其特征在于:

所述第一电容阵列的输出端以及所述第二电容阵列的输出端还分别接收第一参考电压以及第二参考电压,其中,所述第一参考电压的值处于零电压以及模拟输入信号的峰值之间,且所述第二参考电压为零电压;

所述第一电容阵列的输入端选择性地地在所述模拟输入信号的正端与至少一个固定电压之间切换;

所述第二电容阵列的输入端选择性地地在所述模拟输入信号的负端与至少一个固定电压之间切换。

2. 根据权利要求1所述的伪差分模数转换器,其特征在于,

所述第一电容阵列的输入端通过开关完成所述模拟输入信号的正端与至少一个固定电压之间切换;

所述第二电容阵列的输入端通过开关完成所述模拟输入信号的负端与至少一个固定电压之间切换。

3. 根据权利要求2所述的伪差分模数转换器,其特征在于,所述开关为一刀多掷开关。

4. 根据权利要求1所述的伪差分模数转换器,其特征在于,所述第一电容阵列以及所述第二电容阵列的等效电容值相等。

5. 根据权利要求2所述的伪差分模数转换器,其特征在于,

在所述第一电容阵列的输入端选择性地地在所述模拟输入信号的正端与一个固定电压之间切换,以及所述第二电容阵列的输入端选择性地地在所述模拟输入信号的负端与一个固定电压之间切换时;

所述固定电压为一共模电压,且所述共模电压的值处于零电压以及所述第一参考电压之间。

6. 根据权利要求5所述的伪差分模数转换器,其特征在于,所述第一参考电压的值为所述模拟输入信号的峰值的一半。

7. 根据权利要求5所述的伪差分模数转换器,其特征在于,所述共模电压的值为所述第一参考电压的一半。

8. 根据权利要求2所述的伪差分模数转换器,其特征在于,在所述第一电容阵列的输入端选择性地地在所述模拟输入信号的正端与两个固定电压之间切换,以及所述第二电容阵列的输入端选择性地地在所述模拟输入信号的负端与两个固定电压之间切换时;

所述两个固定电压分别为所述第一参考电压以及所述第二参考电压。

9. 根据权利要求8所述的伪差分模数转换器,其特征在于,所述伪差分模数转换器为伪差分逐次逼近型模数转换器。

10. 根据权利要求9所述的伪差分模数转换器,其特征在于,所述模数转换电路包括比较器和逻辑电路;

所述第一电容阵列的输出端以及所述第二电容阵列的输出端分别连接至所述比较器的两个输入端;

所述比较器的输出端与所述逻辑电路的输入端连接,所述逻辑电路用以接收所述比较器的输出结果以生成数字信号,所述数字信号作为模数转换电路的输出信号。

11. 根据权利要求10所述的伪差分模数转换器,其特征在于,
所述逻辑电路还用于控制所述开关的状态。

伪差分模数转换器

技术领域

[0001] 本发明涉及一种半导体集成电路,更具体地说,涉及一种伪差分模数转换器。

背景技术

[0002] 现有技术中,在一些传感器接口电路应用中,传感器所要检测的信号一般都是单端信号,比如电池电量、温度等。这些单端信号抗干扰的能力很弱,若模数转换器直接采样会带来一定的精度损失。

[0003] 所以,通常会在模拟信号输入到模数转换器之前,将单端信号转换成差分信号,即单转差。但是在一些高精度的模数转换器中,比如16比特甚至24比特,单转差电路很难保证较大的动态范围。所以高精度的采样转换电路中,一般不采用前置的单转差电路。

[0004] 另外一种采样单端信号的方式是伪差分技术,但是由于单端信号只能是单一方向变化的,这样就会导致模数转换器的输出范围只有原来量程的一半,从而导致动态范围减少。

发明内容

[0005] 有鉴于此,本发明提供了一种伪差分模数转换器,以解决现有技术中,模数转换器的输出范围窄的问题。

[0006] 本发明提供一种伪差分模数转换器,包括:

[0007] 第一电容阵列以及第二电容阵列,并分别连接至模数转换电路的两个输入端,其特征在于:

[0008] 所述第一电容阵列的输出端以及所述第二电容阵列的输出端分别接收第一参考电压以及第二参考电压,其中,所述第一参考电压的值处于零电压以及模拟输入信号的峰值之间,且所述第二参考电压为零电压。

[0009] 优选地,所述第一参考电压的值为所述模拟输入信号的峰值的一半。

[0010] 优选地,将所述第一电容阵列以及所述第二电容阵列的上极板分别作为各自的所述输出端,且所述第一电容阵列以及所述第二电容阵列的下极板分别在所述模拟输入信号的一端以及至少一个固定电压之间切换。

[0011] 优选地,所述第一电容阵列的下极板连接至所述模拟输入信号的正端,所述第二电容阵列的下极板连接至所述模拟输入信号的负端。

[0012] 优选地,所述第一电容阵列以及所述第二电容阵列的下极板还均连接至一个固定电压,其中,所述固定电压为一共模电压,且所述共模电压的值处于零电压以及所述第一参考电压之间。

[0013] 优选地,所述共模电压的值为所述第一参考电压的一半。

[0014] 优选地,所述第一电容阵列以及所述第二电容阵列的下极板还均连接至两个固定电压,其中,所述两个固定电压分别为所述第一参考电压以及所述第二参考电压。

[0015] 优选地,所述第一电容阵列以及所述第二电容阵列的下极板通过一刀多掷开关连

接至所述模拟输入信号的一端以及至少一个固定电压。

[0016] 优选地,所述第一电容阵列以及所述第二电容阵列的等效电容值相等。

[0017] 优选地,所述伪差分模数转换器为伪差分逐次逼近型模数转换器。

[0018] 本发明的伪差分模数转换器,不需要改变电路的结构,仅通过改变连接至电容阵列的输出端的电压,以及设置合适的正参考电压的值,便可达到拓展量程的目的。

附图说明

[0019] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据提供的附图获得其他的附图。

[0020] 图1为一个对比例的伪差分模数转换器的结构框图;

[0021] 图2为对比例的伪差分模数转换器的输入-输出特性图;

[0022] 图3为依据本发明的伪差分模数转换器的结构框图;

[0023] 图4为本发明的伪差分模数转换器的输入-输出特性图;

[0024] 图5为一个依据本发明的伪差分逐次逼近型模数转换器的结构框图。

具体实施方式

[0025] 以下基于实施例对本发明进行描述,但是本发明并不仅仅限于这些实施例。在下文对本发明的细节描述中,详尽描述了一些特定的细节部分。对本领域技术人员来说没有这些细节部分的描述也可以完全理解本发明。为了避免混淆本发明的实质,公知的方法、过程、流程、元件和电路并没有详细叙述。

[0026] 此外,本领域普通技术人员应当理解,在此提供的附图都是为了说明的目的,并且附图不一定是按比例绘制的。

[0027] 同时,应当理解,在以下的描述中,“电路”是指由至少一个元件或子电路通过电气连接或电磁连接构成的导电回路。当称元件或电路“连接到”另一元件或称元件/电路“连接在”两个节点之间时,它可以是直接耦接或连接到另一元件或者可以存在中间元件,元件之间的连接可以是物理上的、逻辑上的、或者其结合。相反,当称元件“直接耦接到”或“直接连接到”另一元件时,意味着两者不存在中间元件。

[0028] 除非上下文明确要求,否则整个说明书和权利要求书中的“包括”、“包含”等类似词语应当解释为包含的含义而不是排他或穷举的含义;也就是说,是“包括但不限于”的含义。

[0029] 在本发明的描述中,需要理解的是,术语“第一”、“第二”等仅用于描述目的,而不能理解为指示或暗示相对重要性。此外,在本发明的描述中,除非另有说明,“多个”的含义是两个或两个以上。

[0030] 图1为一个对比例的伪差分模数转换器的结构框图。如图1所示,现有的一种伪差分模数转换器,包括第一电容阵列 C_{SN} 以及第二电容阵列 C_{SP} 以及模数转换电路ADC。其中,第一电容阵列 C_{SN} 以及第二电容阵列 C_{SP} 的输出端分别连接至模数转换电路ADC的两个输入端 V_{INN} 以及 V_{INP} ,进一步地,第一电容阵列 C_{SN} 的输出端以及第二电容阵列 C_{SP} 的输出端均接收第

一电压 V_C ，这里，将第一电容阵列 C_{SN} 以及第二电容阵列 C_{SP} 的上极板分别作为各自的所述输出端，且第一电容阵列 C_{SN} 以及第二电容阵列 C_{SP} 的下极板分别在模拟输入信号 V_S 的一端以及第一电压 V_C 之间切换。具体地，第一电容阵列 C_{SN} 的输出端通过第一开关S1连接至第一电压 V_C ，并连接至模数转换电路ADC的反相输入端 V_{INN} ，第一电容阵列 C_{SN} 的下极板通过第三开关S3以及第五开关S5分别连接至模拟输入信号 V_S 的正端以及第一电压 V_C ；第二电容阵列 C_{SP} 的输出端通过第二开关S2连接至第一电压 V_C ，并连接至模数转换电路ADC的正相输入端 V_{INP} ，第二电容阵列 C_{SP} 的下极板通过第四开关S4以及第六开关S6分别连接至模拟输入信号 V_S 的负端以及第一电压 V_C 。

[0031] 其中，模拟输入信号 V_S 为一端对地的单端信号，模拟输入信号 V_S 的峰值为 V_P ，在该对比例伪差分结构中，模数转换器正参考电压 V_{REFP} 的值为模拟输入信号 V_S 的峰值为 V_P ，模数转换器负参考电压 V_{REFN} 的值为对地电位即零电压。一般情况下，在传统的伪差分结构中，该第一电压 V_C 的值通常取模数转换器的正参考电压 V_{REFP} 以及负参考电压 V_{REFN} 的和的一半，即 $V_C = (V_{REFP} + V_{REFN}) / 2 = V_{REFP} / 2 = V_P / 2$ 。

[0032] 同时，在该对比例中，模数转换电路ADC的反相输入端和正相输入端的采样电容，即第一电容阵列 C_{SN} 以及第二电容阵列 C_{SP} 的等效容值 $C_{SN} = C_{SP} = C_S$ 。

[0033] 模拟输入信号采样阶段的第一步是开关S1~S4闭合，开关S5和S6断开，此时存在第一电容阵列 C_{SN} 以及第二电容阵列 C_{SP} 的电荷分别为：

$$[0034] \quad Q_{CSP} = C_S g (V_C - V_{GND}) \quad (1)$$

$$[0035] \quad Q_{CSN} = C_S g (V_C - V_S) \quad (2)$$

[0036] 模拟输入信号采样阶段的第二步是将S1~S4断开，S5和S6闭合，根据电荷守恒定律，此时ADC的正负输入端 V_{INP} 和 V_{INN} 的电压满足关系：

$$[0037] \quad Q_{CSP} = C_S g (V_{INP} - V_C) \quad (3)$$

$$[0038] \quad Q_{CSN} = C_S g (V_{INN} - V_C) \quad (4)$$

[0039] 分别联立等式(1)(3)和等式(2)(4)，可以分别解得模数转换电路ADC的正相输入端 V_{INP} 和反相输入端 V_{INN} 的电压分别为：

$$[0040] \quad V_{INP} = 2V_C - V_{GND} = V_{REFP} \quad (5)$$

$$[0041] \quad V_{INN} = 2V_C - V_S = V_{REFP} - V_S \quad (6)$$

[0042] 由等式(5)(6)可以得到，模数转换电路ADC实际的差分信号为：

$$[0043] \quad V_{INP} - V_{INN} = V_S \quad (7)$$

[0044] 从式(7)可知，模数转换电路ADC的实际输入量为模拟输入信号 V_S ，而由于模拟输入信号 V_S 的范围为0到峰值 V_P ，所以此时模数转换电路ADC的差分电压只有正半部分，少了负半部分的输入，导致模数转换电路ADC的量程只有设计值的一半。如图2所示，为对比例的伪差分模数转换器的输入-输出特性图，从图中可看出，模数转换电路ADC的输入范围在0到峰值 V_P ，输出范围在FS/2到FS，这里，FS为预设的满量程。

[0045] 图3为依据本发明的伪差分模数转换器的结构框图。如图3所示，本发明实施例的伪差分模数转换器，包括第一电容阵列 C_{SN} 以及第二电容阵列 C_{SP} 以及模数转换电路ADC。其中，第一电容阵列 C_{SN} 以及第二电容阵列 C_{SP} 的输出端分别连接至模数转换电路ADC的两个输入端 V_{INN} 以及 V_{INP} ，进一步地，第一电容阵列 C_{SN} 以及第二电容阵列 C_{SP} 的输出端分别接收第一参考电压以及第二参考电压，在本发明实施例中，所述第一参考电压以及第二参考电压分

别为模数转换器的正参考电压 V_{REFP} 以及负参考电压 V_{REFN} ,且所述第一参考电压,也即模数转换器的正参考电压 V_{REFP} 的值处于零电压以及模拟输入信号 V_S 的峰值 V_p 之间,所述第二参考电压,也即模数转换器的负参考电压 V_{REFN} 为零电压。优选地,模数转换器的正参考电压 V_{REFP} 的值为模拟输入信号 V_S 的峰值 V_p 的一半。其中,模拟输入信号 V_S 为一端对地的单端信号,模拟输入信号 V_S 的峰值为 V_p ,模数转换器正参考电压 V_{REFP} 的值为模拟输入信号 V_S 的峰值 V_p 的一半,即 $V_{REFP} = V_p/2$ 。

[0046] 这里,同样将第一电容阵列 C_{SN} 以及第二电容阵列 C_{SP} 的上极板分别作为各自的所述输出端,第一电容阵列 C_{SN} 以及第二电容阵列 C_{SP} 的下极板还均连接至一个固定电压,其中,所述固定电压可以为共模电压 V_{CM} ,且所述共模电压 V_{CM} 的值处于零电压以及所述第一参考电压,也即模数转换器的正参考电压 V_{REFP} 的值之间。优选地,共模电压 V_{CM} 的值可以取模数转换器的正参考电压 V_{REFP} 以及负参考电压 V_{REFN} 的和的一半,在模数转换器的负参考电压 V_{REFN} 为零电压的前提下,共模电压 $V_{CM} = (V_{REFP} + V_{REFN})/2 = V_{REFP}/2 = V_p/4$ 。因此可知,共模电压 V_{CM} 的值可以选取为所述第一参考电压的一半。

[0047] 具体地,在本发明实施例中,第一电容阵列 C_{SN} 以及第二电容阵列 C_{SP} 的下极板分别在模拟输入信号 V_S 的一端以及共模电压 V_{CM} 之间切换。具体地,第一电容阵列 C_{SN} 的输出端通过第一开关S1连接至正参考电压 V_{REFP} ,并连接至模数转换电路ADC的反相输入端 V_{INN} ,第一电容阵列 C_{SN} 的下极板通过第三开关S3以及第五开关S5分别连接至模拟输入信号 V_S 的正端以及共模电压 V_{CM} ;第二电容阵列 C_{SP} 的输出端通过第二开关S2连接至负参考电压 V_{REFN} ,并连接至模数转换电路ADC的正相输入端 V_{INP} ,第二电容阵列 C_{SP} 的下极板通过第四开关S4以及第六开关S6分别连接至模拟输入信号 V_S 的负端以及共模电压 V_{CM} 。

[0048] 可以理解的是,第一电容阵列 C_{SN} 以及第二电容阵列 C_{SP} 的下极板也可以通过一刀多掷开关连接至模拟输入信号 V_S 的一端以及一个固定电压。例如,本发明实施例中的第三开关S3以及第五开关S5可以替换为一个一刀多掷开关,同理,第四开关S4以及第六开关S6也可以替换为一个一刀多掷开关。

[0049] 同时,在该发明例中,模数转换电路ADC的反相输入端和正相输入端的采样电容,即第一电容阵列 C_{SN} 以及第二电容阵列 C_{SP} 的等效容值 $C_{SN} = C_{SP} = C_S$ 。

[0050] 模拟输入信号采样阶段的第一步是开关S1~S4闭合,开关S5和S6断开,此时存在第一电容阵列 C_{SN} 以及第二电容阵列 C_{SP} 的电荷分别为:

$$[0051] \quad Q_{CSP} = C_S g (V_{REFN} - V_{GND}) \quad (8)$$

$$[0052] \quad Q_{CSN} = C_S g (V_{REFP} - V_S) \quad (9)$$

[0053] 模拟输入信号采样阶段的第二步是将S1~S4断开,S5和S6闭合,根据电荷守恒定律,此时ADC的正负输入端 V_{INP} 和 V_{INN} 的电压满足关系:

$$[0054] \quad Q_{CSP} = C_S g (V_{INP} - V_{CM}) \quad (10)$$

$$[0055] \quad Q_{CSN} = C_S g (V_{INN} - V_{CM}) \quad (11)$$

[0056] 分别联立等式(8)(10)和等式(9)(11),可以分别解得模数转换电路ADC的正相输入端 V_{INP} 和反相输入端 V_{INN} 的电压分别为:

$$[0057] \quad V_{INP} = V_{REFN} - V_{GND} + V_{CM} = V_{CM} \quad (12)$$

$$[0058] \quad V_{INN} = V_{REFP} - V_S + V_{CM} \quad (13)$$

[0059] 由等式(12)(13)可以得到,模数转换电路ADC实际的差分信号为:

$$[0060] \quad V_{\text{INP}} - V_{\text{INN}} = V_{\text{S}} - V_{\text{REFP}} \quad (14)$$

[0061] 从式(14)可知,模数转换电路ADC输入的差分信号为模拟输入信号 V_{S} 与第一参考电压,也即模数转换器的正参考电压 V_{REFP} 的差值,如果我们选择合适的正参考电压 V_{REFP} ,那么模数转换电路ADC的差分输入信号即可有正有负,达到输入的满量程。由于模拟输入信号 V_{S} 的范围是0到峰值 V_{p} ,所以选择即模数转换器的正参考电压 V_{REFP} 的值处于零电压以及模拟输入信号 V_{S} 的峰值 V_{p} 之间时,模数转换电路ADC输入的差分信号便可拓展至负半部分,因此,可以达到扩展输出量程的目的。优选地,当模数转换器的正参考电压 V_{REFP} 的值为模拟输入信号 V_{S} 的峰值 V_{p} 的一半,即 $V_{\text{REFP}} = V_{\text{p}}/2$,这样当模拟输入信号 V_{S} 在0到峰值 V_{p} 之间变化时,如图4所示,为本发明实施例的伪差分模数转换器的输入-输出特性图,从图中可看出,模数转换电路ADC的输入范围在 $-V_{\text{p}}/2$ 到 $V_{\text{p}}/2$ 之间,输出范围在0到FS,这里,FS为预设的满量程,从而达到了模数转换电路ADC输入的差分信号有正有负,使得输出能够满量程的目的。由此可知,本发明实施例的伪差分模数转换器,不需要改变电路的结构,仅通过改变连接至电容阵列的输出端的电压,以及设置合适的正参考电压 V_{REFP} 的值,便可达到拓展量程的目的。

[0062] 另外,本发明还提供一种依据发明的伪差分逐次逼近型模数转换器。如图5所示为一个依据本发明的伪差分逐次逼近型模数转换器的结构框图。伪差分逐次逼近型模数转换器同样包括第一电容阵列 C_{SN} 以及第二电容阵列 C_{SP} 以及模数转换电路ADC。其与上述实施例的共同点在此不在赘述,这里仅把不同之处做以说明。其中,本发明实施例示出了第一电容阵列 C_{SN} 以及第二电容阵列 C_{SP} 以及模数转换电路ADC的具体结构,具体地,第一电容阵列 C_{SN} 以及第二电容阵列 C_{SP} 均由多个电容并联构成,并将多个电容的上极板连接在一起作为各自的输出端,多个电容的下极板均通过对应的开关与模拟输入信号 V_{S} 的一端,或者两个固定电压连接,其中,所述两个固定电压分别为所述第一参考电压以及所述第二参考电压,其分别为模数转换器的正参考电压 V_{REFP} 以及负参考电压 V_{REFN} 。模数转换电路ADC由比较器CMP以及逻辑电路LOGIC组成。第一电容阵列 C_{SN} 以及第二电容阵列 C_{SP} 的输出端连接至比较器CMP的两个输入端,逻辑电路LOGIC用以接收比较器CMP的输出结果以生成数字信号作为模数转换电路ADC的输出信号。另外,逻辑电路LOGIC还用于控制连接至第一电容阵列 C_{SN} 以及第二电容阵列 C_{SP} 的各个开关的开关状态,以使得两个电容阵列的下极板可以等效为连接到共模电压 V_{CM} 。

[0063] 同理,本发明实施例的伪差分逐次逼近型模数转换器,也可以使模数转换电路ADC输入的差分信号拓展至负半部分,因此,可以达到扩展输出量程的目的。

[0064] 以上所述仅为本发明的优选实施例,并不用于限制本发明,对于本领域技术人员而言,本发明可以有各种改动和变化。凡在本发明的精神和原理之内所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

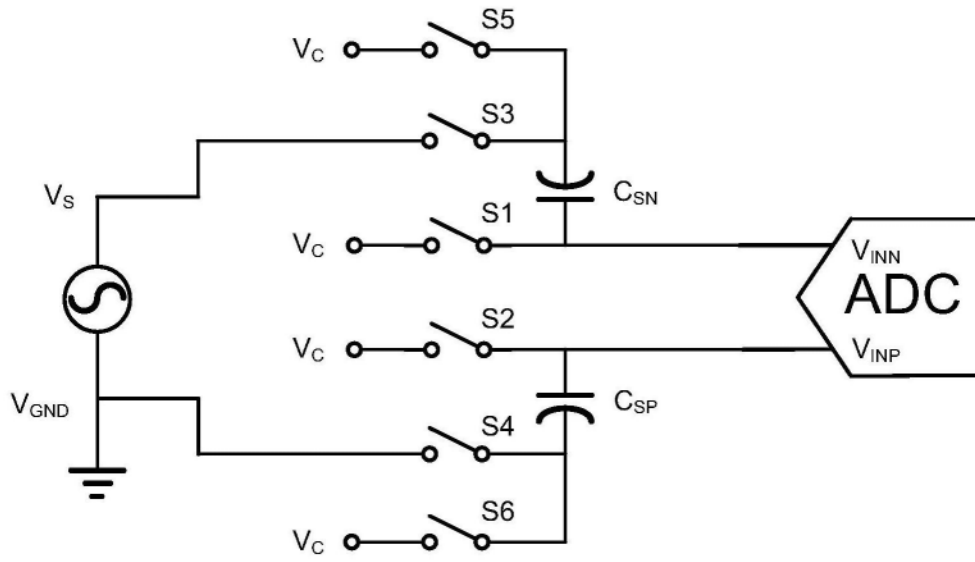


图1

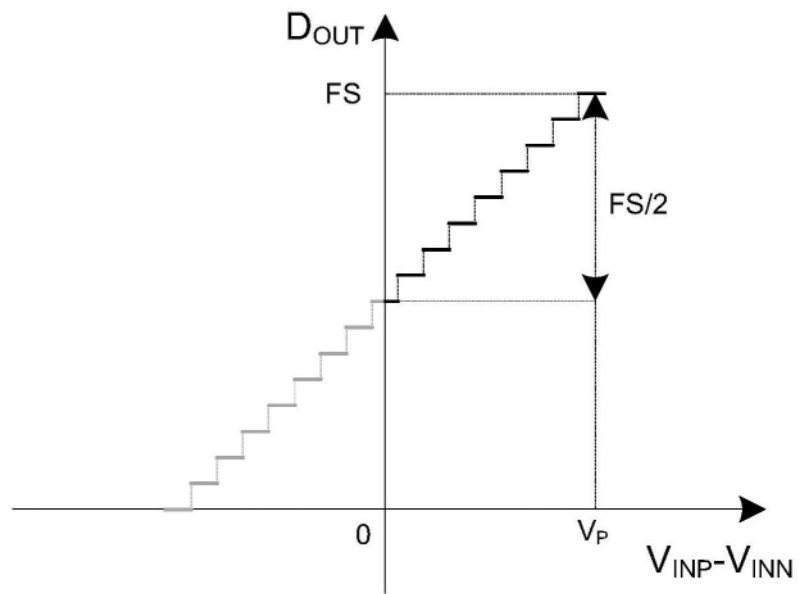


图2

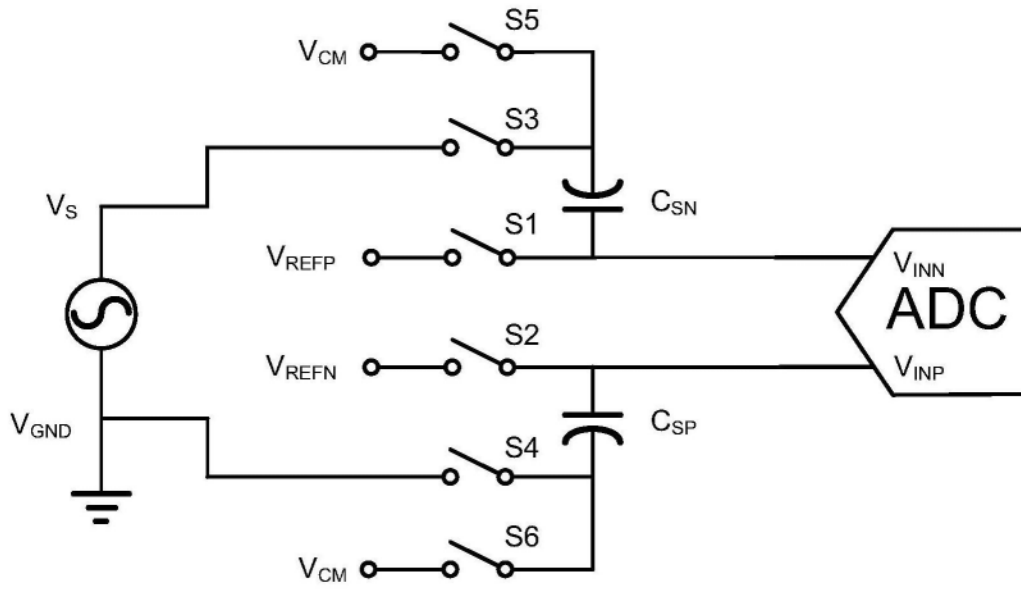


图3

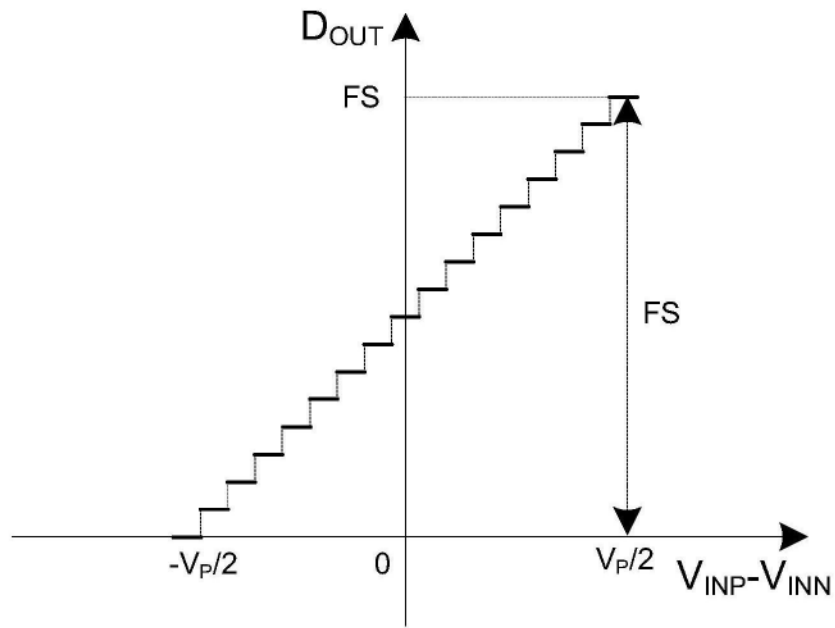


图4

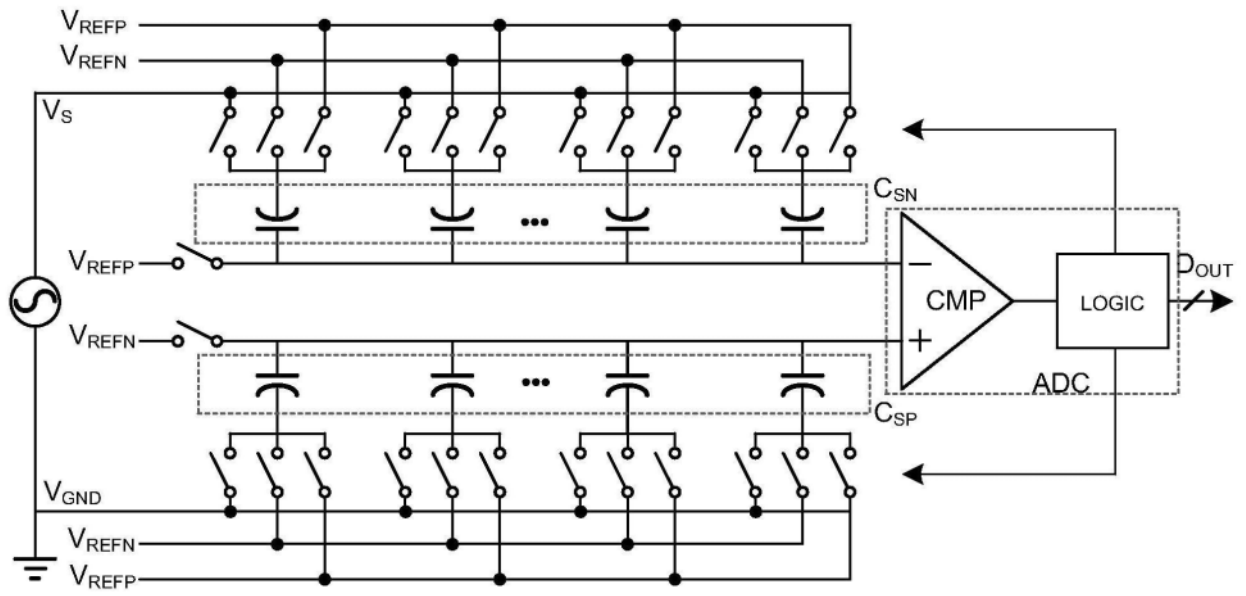


图5