

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4233213号
(P4233213)

(45) 発行日 平成21年3月4日(2009.3.4)

(24) 登録日 平成20年12月19日(2008.12.19)

(51) Int.Cl.		F I			
G06F 12/02	(2006.01)	G06F 12/02	570A		
G06F 12/00	(2006.01)	G06F 12/00	597U		
G06F 12/16	(2006.01)	G06F 12/16	320D		

請求項の数 10 (全 38 頁)

(21) 出願番号	特願2000-397925 (P2000-397925)	(73) 特許権者	000003067
(22) 出願日	平成12年12月27日 (2000.12.27)		T D K株式会社
(65) 公開番号	特開2002-196977 (P2002-196977A)		東京都中央区日本橋一丁目13番1号
(43) 公開日	平成14年7月12日 (2002.7.12)	(74) 代理人	100078031
審査請求日	平成18年3月13日 (2006.3.13)		弁理士 大石 皓一
		(74) 代理人	100115738
			弁理士 鷲頭 光宏
		(72) 発明者	寺崎 幸夫
			東京都中央区日本橋一丁目13番1号 テ
			ィーディーケイ株式会社内
		(72) 発明者	向田 直樹
			東京都中央区日本橋一丁目13番1号 テ
			ィーディーケイ株式会社内

最終頁に続く

(54) 【発明の名称】 メモリコントローラ、メモリコントローラを備えるフラッシュメモリシステム及びフラッシュメモリの制御方法

(57) 【特許請求の範囲】

【請求項1】

ブロックアドレス及びページアドレスに基づいてそれぞれ複数のページを含む複数のブロックからなるメモリにアクセスするメモリコントローラであって、ホストコンピュータよりホストアドレスを指定したユーザデータの書き込みが要求されたことに応答して、前記ホストアドレスに基づいた前記ブロックアドレス及び前記ページアドレスを生成するアドレス生成手段と、前記ブロックアドレスに対応する付加情報を生成する付加情報生成手段と、前記ページアドレスにより特定されるページ及び先頭ページを含む連続した所定の複数ページのいずれでもないページには前記ブロックアドレス及び前記付加情報を書き込むことなく、少なくとも、前記所定の複数ページに対して前記ブロックアドレス及び前記付加情報を書き込む書き込み手段とを備えるメモリコントローラ。

10

【請求項2】

前記付加情報が、前記ブロックアドレスに含まれる誤りを検出可能な情報であることを特徴とする請求項1に記載のメモリコントローラ。

【請求項3】

前記所定の複数ページが、少なくとも連続した4ページであることを特徴とする請求項1または2に記載のメモリコントローラ。

【請求項4】

前記先頭ページに書き込まれた前記ブロックアドレス及び前記付加情報を読み出す読み出し手段と、読み出された前記付加情報に基づいて読み出された前記ブロックアドレスに

20

誤りが含まれているか否かを判断する誤り検出手段とをさらに備え、前記誤り検出手段が、読み出された前記ブロックアドレスに誤りが含まれていると判断したことに応答して、前記読み出し手段が、前記先頭ページの次のページに書き込まれた前記ブロックアドレス及び前記付加情報を読み出すことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載のメモリコントローラ。

【請求項 5】

前記書き込み手段が、前記ページアドレスにより特定されるページ及び前記所定の複数ページに対して前記ブロックアドレス及び前記付加情報を書き込むことを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載のメモリコントローラ。

【請求項 6】

10
20
30
40
50
60
70
80
90
100
110
120
130
140
150
160
170
180
190
200
210
220
230
240
250
260
270
280
290
300
310
320
330
340
350
360
370
380
390
400
410
420
430
440
450
460
470
480
490
500
510
520
530
540
550
560
570
580
590
600
610
620
630
640
650
660
670
680
690
700
710
720
730
740
750
760
770
780
790
800
810
820
830
840
850
860
870
880
890
900
910
920
930
940
950
960
970
980
990
1000
1010
1020
1030
1040
1050
1060
1070
1080
1090
1100
1110
1120
1130
1140
1150
1160
1170
1180
1190
1200
1210
1220
1230
1240
1250
1260
1270
1280
1290
1300
1310
1320
1330
1340
1350
1360
1370
1380
1390
1400
1410
1420
1430
1440
1450
1460
1470
1480
1490
1500
1510
1520
1530
1540
1550
1560
1570
1580
1590
1600
1610
1620
1630
1640
1650
1660
1670
1680
1690
1700
1710
1720
1730
1740
1750
1760
1770
1780
1790
1800
1810
1820
1830
1840
1850
1860
1870
1880
1890
1900
1910
1920
1930
1940
1950
1960
1970
1980
1990
2000
2010
2020
2030
2040
2050
2060
2070
2080
2090
2100
2110
2120
2130
2140
2150
2160
2170
2180
2190
2200
2210
2220
2230
2240
2250
2260
2270
2280
2290
2300
2310
2320
2330
2340
2350
2360
2370
2380
2390
2400
2410
2420
2430
2440
2450
2460
2470
2480
2490
2500
2510
2520
2530
2540
2550
2560
2570
2580
2590
2600
2610
2620
2630
2640
2650
2660
2670
2680
2690
2700
2710
2720
2730
2740
2750
2760
2770
2780
2790
2800
2810
2820
2830
2840
2850
2860
2870
2880
2890
2900
2910
2920
2930
2940
2950
2960
2970
2980
2990
3000
3010
3020
3030
3040
3050
3060
3070
3080
3090
3100
3110
3120
3130
3140
3150
3160
3170
3180
3190
3200
3210
3220
3230
3240
3250
3260
3270
3280
3290
3300
3310
3320
3330
3340
3350
3360
3370
3380
3390
3400
3410
3420
3430
3440
3450
3460
3470
3480
3490
3500
3510
3520
3530
3540
3550
3560
3570
3580
3590
3600
3610
3620
3630
3640
3650
3660
3670
3680
3690
3700
3710
3720
3730
3740
3750
3760
3770
3780
3790
3800
3810
3820
3830
3840
3850
3860
3870
3880
3890
3900
3910
3920
3930
3940
3950
3960
3970
3980
3990
4000
4010
4020
4030
4040
4050
4060
4070
4080
4090
4100
4110
4120
4130
4140
4150
4160
4170
4180
4190
4200
4210
4220
4230
4240
4250
4260
4270
4280
4290
4300
4310
4320
4330
4340
4350
4360
4370
4380
4390
4400
4410
4420
4430
4440
4450
4460
4470
4480
4490
4500
4510
4520
4530
4540
4550
4560
4570
4580
4590
4600
4610
4620
4630
4640
4650
4660
4670
4680
4690
4700
4710
4720
4730
4740
4750
4760
4770
4780
4790
4800
4810
4820
4830
4840
4850
4860
4870
4880
4890
4900
4910
4920
4930
4940
4950
4960
4970
4980
4990
5000
5010
5020
5030
5040
5050
5060
5070
5080
5090
5100
5110
5120
5130
5140
5150
5160
5170
5180
5190
5200
5210
5220
5230
5240
5250
5260
5270
5280
5290
5300
5310
5320
5330
5340
5350
5360
5370
5380
5390
5400
5410
5420
5430
5440
5450
5460
5470
5480
5490
5500
5510
5520
5530
5540
5550
5560
5570
5580
5590
5600
5610
5620
5630
5640
5650
5660
5670
5680
5690
5700
5710
5720
5730
5740
5750
5760
5770
5780
5790
5800
5810
5820
5830
5840
5850
5860
5870
5880
5890
5900
5910
5920
5930
5940
5950
5960
5970
5980
5990
6000
6010
6020
6030
6040
6050
6060
6070
6080
6090
6100
6110
6120
6130
6140
6150
6160
6170
6180
6190
6200
6210
6220
6230
6240
6250
6260
6270
6280
6290
6300
6310
6320
6330
6340
6350
6360
6370
6380
6390
6400
6410
6420
6430
6440
6450
6460
6470
6480
6490
6500
6510
6520
6530
6540
6550
6560
6570
6580
6590
6600
6610
6620
6630
6640
6650
6660
6670
6680
6690
6700
6710
6720
6730
6740
6750
6760
6770
6780
6790
6800
6810
6820
6830
6840
6850
6860
6870
6880
6890
6900
6910
6920
6930
6940
6950
6960
6970
6980
6990
7000
7010
7020
7030
7040
7050
7060
7070
7080
7090
7100
7110
7120
7130
7140
7150
7160
7170
7180
7190
7200
7210
7220
7230
7240
7250
7260
7270
7280
7290
7300
7310
7320
7330
7340
7350
7360
7370
7380
7390
7400
7410
7420
7430
7440
7450
7460
7470
7480
7490
7500
7510
7520
7530
7540
7550
7560
7570
7580
7590
7600
7610
7620
7630
7640
7650
7660
7670
7680
7690
7700
7710
7720
7730
7740
7750
7760
7770
7780
7790
7800
7810
7820
7830
7840
7850
7860
7870
7880
7890
7900
7910
7920
7930
7940
7950
7960
7970
7980
7990
8000
8010
8020
8030
8040
8050
8060
8070
8080
8090
8100
8110
8120
8130
8140
8150
8160
8170
8180
8190
8200
8210
8220
8230
8240
8250
8260
8270
8280
8290
8300
8310
8320
8330
8340
8350
8360
8370
8380
8390
8400
8410
8420
8430
8440
8450
8460
8470
8480
8490
8500
8510
8520
8530
8540
8550
8560
8570
8580
8590
8600
8610
8620
8630
8640
8650
8660
8670
8680
8690
8700
8710
8720
8730
8740
8750
8760
8770
8780
8790
8800
8810
8820
8830
8840
8850
8860
8870
8880
8890
8900
8910
8920
8930
8940
8950
8960
8970
8980
8990
9000
9010
9020
9030
9040
9050
9060
9070
9080
9090
9100
9110
9120
9130
9140
9150
9160
9170
9180
9190
9200
9210
9220
9230
9240
9250
9260
9270
9280
9290
9300
9310
9320
9330
9340
9350
9360
9370
9380
9390
9400
9410
9420
9430
9440
9450
9460
9470
9480
9490
9500
9510
9520
9530
9540
9550
9560
9570
9580
9590
9600
9610
9620
9630
9640
9650
9660
9670
9680
9690
9700
9710
9720
9730
9740
9750
9760
9770
9780
9790
9800
9810
9820
9830
9840
9850
9860
9870
9880
9890
9900
9910
9920
9930
9940
9950
9960
9970
9980
9990
10000

【請求項 7】

前記所定の複数ページに書き込まれた前記論理ブロックアドレスのうち前記付加情報に基づき誤りのない論理ブロックアドレスを特定し、これに基づいてアドレス変換テーブルを作成するテーブル作成手段をさらに備え、前記判断手段が、前記アドレス変換テーブルを参照することによって前記判断を行うことを特徴とする請求項 6 に記載のメモリコントローラ。

【請求項 8】

それぞれ複数のページを含む複数のブロックからなるフラッシュメモリと、ホストコンピュータより供給されるホストアドレスに基づいて前記フラッシュメモリにアクセスするメモリコントローラとを備え、前記コントローラが、前記ホストアドレスに基づいてブロックアドレス及びページアドレスを生成するアドレス生成手段と、前記ホストコンピュータよりユーザデータの書き込みが要求されたことに応答して、前記ブロックアドレスに対応する付加情報を生成する付加情報生成手段と、前記ページアドレスにより特定されるページ及び先頭ページを含む連続した所定の複数ページのいずれでもないページには前記ブロックアドレス及び前記付加情報を書き込むことなく、少なくとも、前記所定の複数ページに対して前記ブロックアドレス及び前記付加情報を書き込む書き込み手段とを備えることを特徴とするフラッシュメモリシステム。

【請求項 9】

ホストコンピュータよりホストアドレスを指定したユーザデータの書き込みが要求されたことに応答して、前記ホストアドレスに基づいたブロックアドレス及びページアドレスを生成するアドレス生成ステップと、前記ブロックアドレスに対応する付加情報を生成する付加情報生成ステップと、前記ページアドレスにより特定されるページ及び先頭ページを含む連続した所定の複数ページのいずれでもないページには前記ブロックアドレス及び前記付加情報を書き込むことなく、少なくとも、前記所定の複数ページに対して前記ブロックアドレス及び前記付加情報を書き込む書き込みステップとを備えるフラッシュメモリの制御方法。

【請求項 10】

前記所定の複数ページに対し、誤りのないブロックアドレスが得られるまで前記書き込みステップにより書き込まれた前記ブロックアドレスを読み出す読み出しステップをさらに備えることを特徴とする請求項9に記載のフラッシュメモリの制御方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、メモリコントローラ、フラッシュメモリシステム及びフラッシュメモリの制御方法に関し、特に、対応論理アドレスが正しく書き込まれなかったり、すでに書き込まれた対応論理アドレスの値が何らかの原因で変化してしまった場合であっても、論理アドレスと物理アドレスとの正しい対応関係を認識することができるメモリコントローラ、フラッシュメモリシステム及びフラッシュメモリの制御方法に関する。

10

【0002】

【従来の技術】

近年、メモリカードやシリコンディスクなどに用いられる半導体メモリとして、フラッシュメモリ、特にNAND型フラッシュメモリが用いられることが多い。NAND型フラッシュメモリは、メモリセルを消去状態（論理値＝1）から書込状態（論理値＝0）に変化させる場合は、これをメモリセル単位で行うことが可能である一方、メモリセルを書込状態（0）から消去状態（1）に変化させる場合は、これをメモリセル単位で行うことができず、複数のメモリセルからなる所定の消去単位でしかこれを行うことができない。かかる一括消去動作は、一般的に「ブロック消去」と呼ばれる。

20

【0003】

このように、フラッシュメモリでは、ブロック単位でしかメモリセルを書込状態から消去状態に変化させることができないので、既にデータの書き込まれたブロックに対して新しいデータを書き込むためには、一旦、このブロックに含まれるメモリセルを全て消去状態とし、その後新しいデータを書き込むという処理が必要となる。したがって、すでにデータが格納されているブロックに新しいデータを書き込む場合、このブロックにすでに格納されているデータが消失するのを防ぐためには、このブロックに含まれるデータを、他の消去済みブロックに移動させる必要がある。

【0004】

このため、すでにデータが格納されているブロックに新しいデータを書き込むようホストコンピュータから指示されると、当該新しいデータと、このブロックにすでに格納されているデータとが、消去済みブロックに書き込まれる。かかる処理は、「ブロック間転送」と呼ばれる。その後、転送元のブロックに含まれるメモリセルが全て消去状態とされ、これにより、転送元のブロックは新たに消去済みブロックとなる。

30

【0005】

このように、フラッシュメモリでは、ホストコンピュータからデータの上書きが指示される度に、新しいデータ及び上書き対象外のデータを、別のブロックに移動させる必要がある。したがって、ホストコンピュータから与えられる論理アドレスと、当該論理アドレスに対応するフラッシュメモリ上の物理アドレスとの関係は、ホストコンピュータからデータの上書きが指示される度に動的に変化する。このため、各ブロックは、自己がいかなる論理アドレスによってアクセスされるのかを記憶しておく必要がある。

40

【0006】

そして、電源投入時等の初期化動作において、コントローラによる制御のもと、各ブロックに記憶されている対応論理アドレスが読み出され、これに基づいて、論理アドレスと物理アドレスとの対応関係を示すアドレス変換テーブルが作成される。

【0007】

【発明が解決しようとする課題】

このように、論理アドレスと物理アドレスとの対応関係は、初期化動作において作成されるアドレス変換テーブルにより示されるので、対応論理アドレスが正しく書き込まれなかったり、すでに書き込まれた対応論理アドレスの値が何らかの原因で変化してしまった場

50

合、論理アドレスと物理アドレスとの正しい対応関係が不明となってしまう。この場合、すでに書き込まれたユーザデータを読み出すことは不可能となる。

【0008】

対応論理アドレスが正しく書き込まれなかったり、すでに書き込まれた対応論理アドレスの値が何らかの原因で変化するという現象は、不良セルの存在を原因とする場合の他、ディスタ urb 現象を原因とする場合が考えられる。ディスタ urb 現象とは、あるメモリセルに対する読み出しや書き込みが実行された場合に、このメモリセルとビット線が共通である他のメモリセルの状態が変化してしまう現象のことであり、メモリセルに対して書き込み動作・消去動作が繰り返されることにより発生率が高くなることが知られている。

【0009】

このため、対応論理アドレスが正しく書き込まれなかったり、すでに書き込まれた対応論理アドレスの値が何らかの原因で変化してしまった場合であっても、論理アドレスと物理アドレスとの正しい対応関係を認識することができるメモリコントローラ、フラッシュメモリシステム及びフラッシュメモリの制御方法が望まれていた。

【0010】

したがって、本発明の目的は、対応論理アドレスが正しく書き込まれなかったり、すでに書き込まれた対応論理アドレスの値が何らかの原因で変化してしまった場合であっても、論理アドレスと物理アドレスとの正しい対応関係を認識することができるメモリコントローラ、フラッシュメモリシステム及びフラッシュメモリの制御方法を提供することである。

【0011】

【課題を解決するための手段】

本発明のかかる目的は、ブロックアドレス及びページアドレスに基づいてそれぞれ複数のページを含む複数のブロックからなるメモリにアクセスするメモリコントローラであって、ホストコンピュータよりホストアドレスを指定したユーザデータの書き込みが要求されたことに応答して、前記ホストアドレスに基づいた前記ブロックアドレス及び前記ページアドレスを生成するアドレス生成手段と、前記ブロックアドレスに対応する付加情報を生成する付加情報生成手段と、前記ページアドレスにより特定されるページ及び先頭ページを含む連続した所定の複数ページのいずれでもないページには前記ブロックアドレス及び前記付加情報を書き込むことなく、少なくとも、前記所定の複数ページに対して前記ブロックアドレス及び前記付加情報を書き込む書き込み手段とを備えるメモリコントローラによって達成される。

【0012】

本発明によれば、ブロックアドレスが正しく書き込まれなかったり、すでに書き込まれたブロックアドレスの値が何らかの原因で変化してしまった場合であっても、先頭ページを含む連続した所定の複数ページにブロックアドレス及び付加情報が書き込まれるので、正しいブロックアドレスを得ることが可能となる。しかも、ページアドレスにより特定されるページ及び上記所定の複数ページのいずれでもないページにはブロックアドレス及び付加情報が書き込まれないので、不要な書き込み動作によって、無駄な書き込み時間が発生することがない。

【0013】

本発明の好ましい実施態様においては、前記付加情報が、前記ブロックアドレスに含まれる誤りを検出可能な情報である。

【0014】

本発明のさらに好ましい実施態様においては、前記所定の複数ページが、少なくとも連続した4ページである。

【0015】

本発明のさらに好ましい実施態様においては、前記先頭ページに書き込まれた前記ブロックアドレス及び前記付加情報を読み出す読み出し手段と、読み出された前記付加情報に基づいて読み出された前記ブロックアドレスに誤りが含まれているか否かを判断する誤り

10

20

30

40

50

検出手段とをさらに備え、前記誤り検出手段が、読み出された前記ブロックアドレスに誤りが含まれていると判断したことに応答して、前記読み出し手段が、前記先頭ページの次のページに書き込まれた前記ブロックアドレス及び前記付加情報を読み出すように構成されている。

【0016】

本発明のさらに好ましい実施態様においては、前記書き込み手段が、前記ページアドレスにより特定されるページ及び前記所定の複数ページに対して前記ブロックアドレス及び前記付加情報を書き込むように構成されている。

【0017】

本発明の前記目的はまた、ホストコンピュータより供給されるホストアドレスに基づいてそれぞれ複数のページを含む複数のブロックからなるメモリにアクセスするメモリコントローラであって、前記ホストアドレスに基づいて論理ブロックアドレス及びページアドレスを生成するアドレス生成手段と、前記論理ブロックアドレスに対応する物理ブロックアドレスが存在するか否かを判断する判断手段と、前記判断手段により前記論理ブロックアドレスに対応する物理ブロックアドレスが存在しないと判断されたことに応答して前記複数のブロックから空きブロックを選択する空きブロック選択手段と、前記論理ブロックアドレスの誤りを検出可能な付加情報を生成する付加情報生成手段と、前記空きブロック選択手段により選択された空きブロックを構成する複数のページのうちの、前記ページアドレスにより特定されるページ及び先頭ページを含む連続した所定の複数ページのいずれでもないページには前記論理ブロックアドレス及び前記付加情報を書き込むことなく、少なくとも、前記所定の複数ページに対して前記論理ブロックアドレス及び前記付加情報を書き込む書き込み手段とを備えるメモリコントローラによって達成される。

【0018】

本発明のさらに好ましい実施態様においては、前記所定の複数ページに書き込まれた前記論理ブロックアドレスのうち前記付加情報に基づき誤りのない論理ブロックアドレスを特定し、これに基づいてアドレス変換テーブルを作成するテーブル作成手段をさらに備え、前記判断手段が、前記アドレス変換テーブルを参照することによって前記判断を行うように構成されている。

【0019】

本発明の前記目的はまた、それぞれ複数のページを含む複数のブロックからなるフラッシュメモリと、ホストコンピュータより供給されるホストアドレスに基づいて前記フラッシュメモリにアクセスするメモリコントローラとを備え、前記コントローラが、前記ホストアドレスに基づいてブロックアドレス及びページアドレスを生成するアドレス生成手段と、前記ホストコンピュータよりユーザデータの書き込みが要求されたことに応答して、前記ブロックアドレスに対応する付加情報を生成する付加情報生成手段と、前記ページアドレスにより特定されるページ及び先頭ページを含む連続した所定の複数ページのいずれでもないページには前記ブロックアドレス及び前記付加情報を書き込むことなく、少なくとも、前記所定の複数ページに対して前記ブロックアドレス及び前記付加情報を書き込む書き込み手段とを備えることを特徴とするフラッシュメモリシステムによって達成される。

【0020】

本発明の前記目的はまた、ホストコンピュータよりホストアドレスを指定したユーザデータの書き込みが要求されたことに応答して、前記ホストアドレスに基づいたブロックアドレス及びページアドレスを生成するアドレス生成ステップと、前記ブロックアドレスに対応する付加情報を生成する付加情報生成ステップと、前記ページアドレスにより特定されるページ及び先頭ページを含む連続した所定の複数ページのいずれでもないページには前記ブロックアドレス及び前記付加情報を書き込むことなく、少なくとも、前記所定の複数ページに対して前記ブロックアドレス及び前記付加情報を書き込む書き込みステップとを備えるフラッシュメモリの制御方法によって達成される。

【0021】

10

20

30

40

50

本発明の好ましい実施態様においては、フラッシュメモリの制御方法は、前記所定の複数ページに対し、誤りのないブロックアドレスが得られるまで前記書き込みステップにより書き込まれた前記ブロックアドレスを読み出す読み出しステップをさらに備えている。

【0022】

【発明の好ましい実施の形態】

以下、添付図面に基づいて、本発明の好ましい実施態様につき、詳細に説明を加える。

【0023】

図1は、本発明の好ましい実施態様にかかるフラッシュメモリシステム1を概略的に示すブロック図である。

【0024】

図1に示されるように、フラッシュメモリシステム1はカード形状であり、4個のフラッシュメモリチップ2-0~2-3と、コントローラ3と、コネクタ4とが、一つのカード内に集積されて構成される。フラッシュメモリシステム1は、ホストコンピュータ5に着脱可能に装着されて使用され、ホストコンピュータ5に対する一種の外部記憶装置として用いられる。ホストコンピュータ5としては、文字、音声、あるいは画像情報等の種々の情報を処理するパーソナルコンピュータやデジタルスチルカメラをはじめとする各種情報処理装置が挙げられる。

【0025】

各フラッシュメモリチップ2-0~2-3は、それぞれ128Mバイト(1Gビット)の記憶容量を有する半導体チップである。フラッシュメモリシステム1においては、512 20
バイトを1ページとし、これを最小アクセス単位としている。したがって、これら各フラッシュメモリチップ2-0~2-3は、それぞれ256Kページのアドレス空間を含み、フラッシュメモリチップ2-0~2-3の合計で、1Mページのアドレス空間を備えることになる。また、フラッシュメモリシステム1においては、これら4つのフラッシュメモリチップ2-0~2-3は、512Mバイト(4Gビット)の記憶容量を有し、1Mページのアドレス空間を備える一つの大きなメモリとして取り扱われる。このため、これら1Mページからなるアドレス空間から特定のページにアクセスするためには、20ビットのアドレス情報が必要となる。したがって、ホストコンピュータ5は、フラッシュメモリシステム1に対し、20ビットのアドレス情報を供給することによって、特定のページに対するアクセスを行う。以下、ホストコンピュータ5よりフラッシュメモリシステム1に供給される20ビットのアドレス情報を「ホストアドレス」と呼ぶ。 30

【0026】

コントローラ3は、マイクロプロセッサ6と、ホストインターフェースブロック7と、SRAMワークエリア8と、バッファ9と、フラッシュメモリインターフェースブロック10と、ECC(エラー・コレクション・コード)ブロック11と、フラッシュシーケンサブロック12とから構成される。これら機能ブロックによって構成されるコントローラ3は、一つの半導体チップ上に集積されている。

【0027】

マイクロプロセッサ6は、コントローラ3を構成する各機能ブロック全体の動作を制御するための機能ブロックである。 40

【0028】

ホストインターフェースブロック7は、バス13を介してコネクタ4に接続されており、マイクロプロセッサ6による制御のもと、ホストコンピュータ5とのデータやアドレス情報、ステータス情報、外部コマンド情報の授受を行う。すなわち、フラッシュメモリシステム1がホストコンピュータ5に装着されると、フラッシュメモリシステム1とホストコンピュータ5とは、バス13、コネクタ4及びバス14を介して相互に接続され、かかる状態において、ホストコンピュータ5よりフラッシュメモリシステム1に供給されるデータ等は、ホストインターフェースブロック7を入口としてコントローラ3の内部に取り込まれ、また、コントローラ3よりホストコンピュータ5に供給されるデータ等は、ホストインターフェースブロック7を出口としてホストコンピュータ5に供給される。さらに、 50

ホストインターフェースブロック7は、ホストコンピュータ5より供給されるホストアドレス及び外部コマンドを一時的に格納するタスクファイルレジスタ(図示せず)及びエラーが発生した場合にセットされるエラーレジスタ等(図示せず)を有している。

【0029】

S R A Mワークエリア8は、マイクロプロセッサ6によるフラッシュメモリチップ2-0~2-3の制御に必要なデータが一時的に格納される作業領域であり、複数のS R A Mセルによって構成される。

【0030】

バッファ9は、フラッシュメモリチップ2-0~2-3から読み出されたデータ及びフラッシュメモリチップ2-0~2-3に書き込むべきデータを一時的に蓄積するバッファである。すなわち、フラッシュメモリチップ2-0~2-3から読み出されたデータは、ホストコンピュータ5が受け取り可能な状態となるまでバッファ9に保持され、フラッシュメモリチップ2-0~2-3に書き込むべきデータは、フラッシュメモリチップ2-0~2-3が書き込み可能な状態となるとともに、後述するE C Cブロック11によってエラーコレクションコードが生成されるまでバッファ9に保持される。

10

【0031】

フラッシュメモリインターフェースブロック10は、バス15を介して、フラッシュメモリチップ2-0~2-3とのデータやアドレス情報、ステータス情報、内部コマンド情報の授受を行うとともに、各フラッシュメモリチップ2-0~2-3に対して対応するチップ選択信号#0~#3を供給するための機能ブロックである。チップ選択信号#0~#3は、ホストコンピュータ5からデータの読み出しまたは書き込みが要求された場合、ホストコンピュータ5より供給されるホストアドレスに基づいて生成される内部アドレスの上位2ビットに基づいて、そのいずれかが活性化される信号である。具体的には、内部アドレスの上位2ビットが「00」であればチップ選択信号#0が活性化され、「01」であればチップ選択信号#1が活性化され、「10」であればチップ選択信号#2が活性化され、「11」であればチップ選択信号#3が活性化される。対応するチップ選択信号が活性化されたフラッシュメモリチップ2-0~2-3は選択状態となり、データの読み出しまたは書き込みが可能となる。尚、「内部コマンド」とは、コントローラ3がフラッシュメモリチップ2-0~2-3を制御するためのコマンドであり、ホストコンピュータ5がフラッシュメモリシステム1を制御するための「外部コマンド」と区別される。

20

30

【0032】

E C Cブロック11は、フラッシュメモリチップ2-0~2-3に書き込むデータに付加すべきエラーコレクションコードを生成するとともに、読み出しデータに付加されたエラーコレクションコードに基づいて、読み出しデータに含まれる誤りを訂正するための機能ブロックである。

【0033】

フラッシュシーケンサブロック12は、フラッシュメモリチップ2-0~2-3とバッファ9とのデータの転送を制御するための機能ブロックである。フラッシュシーケンサブロック12は、複数のレジスタ(図示せず)を備え、マイクロプロセッサ6による制御のもと、フラッシュメモリチップ2-0~2-3からのデータの読み出しまたはフラッシュメモリチップ2-0~2-3へのデータの書き込みに必要な値がこれらレジスタに設定されると、データの読み出しまたは書き込みに必要な一連の動作を自動的に実行する。

40

【0034】

次に、各フラッシュメモリチップ2-0~2-3を構成する各フラッシュメモリセルの具体的な構造について説明する。

【0035】

図2は、フラッシュメモリチップ2-0~2-3を構成する各フラッシュメモリセル16の構造を概略的に示す断面図である。

【0036】

図2に示されるように、フラッシュメモリセル16は、P型半導体基板17に形成された

50

N型のソース拡散領域18及びドレイン拡散領域19と、ソース拡散領域18とドレイン拡散領域19との間のP型半導体基板17を覆って形成されたトンネル酸化膜20と、トンネル酸化膜20上に形成されたフローティングゲート電極21と、フローティングゲート電極21上に形成された絶縁膜22と、絶縁膜22上に形成されたコントロールゲート電極23とから構成される。このような構成を有するフラッシュメモリセル16は、フラッシュメモリチップ2-0~2-3内において、複数個直列に接続されて、NAND型フラッシュメモリを構成する。

【0037】

フラッシュメモリセル16は、フローティングゲート電極21に電子が注入されているか否かによって、「消去状態」と「書込状態」のいずれかの状態が示される。フラッシュメモリセル16が消去状態であることは、当該フラッシュメモリセル16にデータ「1」が保持されていることを意味し、フラッシュメモリセル16が書込状態であることは、当該フラッシュメモリセル16にデータ「0」が保持されていることを意味する。すなわち、フラッシュメモリセル16は、1ビットのデータを保持することが可能である。

【0038】

図2に示されるように、消去状態とは、フローティングゲート電極21に電子が注入されていない状態を指す。消去状態においては、コントロールゲート電極23に読み出し電圧が印加されていないときには、ソース拡散領域18とドレイン拡散領域19との間のP型半導体基板17の表面にはチャンネルが形成されず、したがって、ソース拡散領域18とドレイン拡散領域19とは、P型半導体基板17によって電氣的に絶縁される。一方、コントロールゲート電極23に読み出し電圧が印加されると、ソース拡散領域18とドレイン拡散領域19との間のP型半導体基板17の表面にチャンネル(図示せず)が形成され、これにより、ソース拡散領域18とドレイン拡散領域19とは、チャンネルによって電氣的に接続される。すなわち、コントロールゲート電極23に読み出し電圧が印加されていない状態では、ソース拡散領域18とドレイン拡散領域19とは電氣的に絶縁され、コントロールゲート電極23に読み出し電圧が印加された状態では、ソース拡散領域18とドレイン拡散領域19とは電氣的に接続される。

【0039】

図3は、書込状態であるフラッシュメモリセル16を概略的に示す断面図である。

【0040】

図3に示されるように、書込状態とは、フローティングゲート電極21に電子が蓄積されている状態を指す。フローティングゲート電極21はトンネル酸化膜20及び絶縁膜22に挟まれているため、一旦、フローティングゲート電極21に注入された電子は、きわめて長時間フローティングゲート電極21内にとどまる。書込状態においては、フローティングゲート電極21に電子が蓄積されているので、コントロールゲート電極23に読み出し電圧が印加されているか否かに関わらず、ソース拡散領域18とドレイン拡散領域19との間のP型半導体基板17の表面にはチャンネル24が形成される。したがって、ソース拡散領域18とドレイン拡散領域19とは、コントロールゲート電極23に読み出し電圧が印加されているか否かに関わらず、チャンネル24によって常に電氣的に接続状態となる。

【0041】

ここで、選択されたフラッシュメモリセル16が消去状態であるか書込状態であるかは、次のようにして読み出すことができる。すなわち、複数個直列に接続されたフラッシュメモリセル16のうち、選択されたフラッシュメモリセル16以外の全てのフラッシュメモリセル16のコントロールゲート電極23に読み出し電圧が印加され、この状態において、これらフラッシュメモリセル16の直列体に電流が流れるか否かの検出が行われる。その結果、かかる直列体に電流が流れれば、選択されたフラッシュメモリセル16が書込状態であると判断され、かかる直列体に電流が流れなければ、選択されたフラッシュメモリセル16が消去状態であると判断される。このようにして、直列体に含まれる任意のフラッシュメモリセル16に保持されたデータが「0」であるのか「1」であるのかを読み出

10

20

30

40

50

すことができる。但し、NAND型フラッシュメモリにおいては、ひとつの直列体に含まれる2以上のフラッシュメモリセル16に保持されたデータを同時に読み出すことはできない。

【0042】

また、消去状態であるフラッシュメモリセル16を書込状態に変化させる場合、コントロールゲート電極23に正の高電圧が印加され、これによって、トンネル酸化膜20を介してフローティングゲート電極21へ電子が注入される。フローティングゲート電極21への電子の注入は、FNトンネル電流による注入が可能である。一方、書込状態であるフラッシュメモリセル16を消去状態に変化させる場合、コントロールゲート電極23に負の高電圧が印加され、これによって、トンネル酸化膜20を介してフローティングゲート電極21に蓄積された電子が排出される。

10

【0043】

次に、各フラッシュメモリチップ2-0~2-3の持つアドレス空間の具体的な構成について説明する。

【0044】

図4は、フラッシュメモリチップ2-0のアドレス空間の構造を概略的に示す図である。

【0045】

図4に示されるように、フラッシュメモリチップ2-0のアドレス空間は、ブロック#0~#8191からなる8192個のブロックによって構成される。また、図4には示されていないが、フラッシュメモリチップ2-1~2-3も、フラッシュメモリチップ2-0と同様にブロック#0~#8191からなる8192個のブロックによって構成されている。これら各ブロックは、いずれも16Kバイトの記憶容量を有する。

20

【0046】

ここで、上記各ブロックは、データの消去単位である。すなわち、フラッシュメモリチップ2-0~2-3では、各フラッシュメモリセル16ごとに、その状態を書込状態から消去状態に変化させることはできず、フラッシュメモリセル16を書込状態から消去状態に変化させる場合は、当該フラッシュメモリセル16が属するブロックに含まれる全てのフラッシュメモリセル16が一括して消去状態とされる。逆に、フラッシュメモリチップ2-0~2-3では、各フラッシュメモリセル16ごとに、その状態を消去状態から書込状態に変化させることは可能である。

30

【0047】

さらに、図4に示されるように、フラッシュメモリチップ2-0を構成する各ブロック#0~#8191は、それぞれページ#0~#31からなる32個のページによって構成されている。また、フラッシュメモリチップ2-1~2-3を構成する各ブロック#0~#8191も、フラッシュメモリチップ2-0を構成する各ブロック#0~#8191と同様に、それぞれ32個のページによって構成されている。

【0048】

これら各ページはデータの読み出し及び書き込みにおけるアクセス単位であり、図4に示されるように、ビットb0~b7からなる8ビットを1バイトとして、それぞれ512バイトのユーザ領域25と16バイトの冗長領域26によって構成される。ユーザ領域25は、ホストコンピュータ5より供給されるユーザデータが格納される領域である。

40

【0049】

図5は、冗長領域26のデータ構造を概略的に示す図である。

【0050】

図5に示されるように、冗長領域26は、エラーコレクションコード28、対応論理ブロックアドレス29、対応論理ブロックアドレス用巡回冗長ビット(CRC)31、スタートページフラグ32、スタートページデータ33及びその他の付加情報によって構成される。

【0051】

エラーコレクションコード28は、対応するユーザ領域25に格納されたユーザデータの

50

誤りを訂正するための付加情報であり、ユーザ領域 2 5 に格納されたデータに含まれるデータの誤りが所定数以下であれば、エラーコレクションコード 2 8 を用いてこれを訂正し、正しいデータとすることができる。

【 0 0 5 2 】

対応論理ブロックアドレス 2 9 は、ページ # 0 ~ # 3 及びページ # 3 1 において有効な付加情報であり、当該ブロックがいかなる論理ブロックアドレスによりアクセスされるかを示す。対応論理ブロックアドレス 2 9 の詳細については後述する。

【 0 0 5 3 】

C R C 3 1 は、ページ # 0 ~ # 3 及びページ # 3 1 において有効な付加情報であり、対応論理ブロックアドレス 2 9 に含まれる誤りを検出するために用いられる。C R C 3 1 は、エラーコレクションコード 2 8 がユーザデータに含まれる誤りを訂正可能であるのとは異なり、対応論理ブロックアドレス 2 9 に含まれる誤りを訂正することはできず、単に、対応論理ブロックアドレス 2 9 に誤りがあるか否かを検出するためだけに用いられる。

【 0 0 5 4 】

スタートページフラグ 3 2 は、少なくとも 2 ビットで構成されるフラグであり、このうち、上位の 1 ビットはページ # 0 において有効なビットであり、下位の 1 ビットはページ # 0 ~ # 3 0 において有効なビットである。具体的には、ページ # 0 のスタートページフラグ 3 2 が「1 x (x は任意)」であれば当該ブロックにスタートページが存在することを示し、ページ # 0 のスタートページフラグ 3 2 が「0 x」であれば当該ブロックにスタートページが存在しないことを示す。また、ページ # 0 ~ # 3 0 のスタートページフラグ 3 2 が「x 0」であれば、対応するスタートページデータ 3 3 が有効であることを示し、スタートページフラグ 3 2 が「x 1」であれば、対応するスタートページデータ 3 3 が無効であることを示す。

【 0 0 5 5 】

スタートページデータ 3 3 は、当該ブロックのスタートページを特定するための付加情報である。ここで、「スタートページ」とは、当該ブロックにおいて、最終ページを含む 1 または 2 以上の連続するページが、データの格納されていない空きページとなっている場合に、これら連続するページの中の先頭のページを指す。例えば、あるブロックのページ # 0 ~ # 1 0 にのみデータが格納されている場合にはスタートページはページ # 1 1 となり、あるブロックのページ # 2 3 にのみデータが格納されている場合にはスタートページはページ # 2 4 となる。したがって、各ブロックにおいて、スタートページ以降のページは、データの格納されていない空きページであることが保証される。

【 0 0 5 6 】

スタートページデータ 3 3 を用いたスタートページの特定は、「スタートページ検索」によって行うことができる。スタートページ検索においては、まず、ページ # 0 のスタートページデータ 3 3 が参照され、その内容が示すページのスタートページフラグ 3 2 が参照される。例えば、ページ # 0 のスタートページデータ 3 3 が「0 0 1 1 1 B (7)」であれば、次に、ページ # 7 のスタートページフラグ 3 2 が参照される。その結果、スタートページフラグ 3 2 が「x 0」であり、対応するスタートページデータ 3 3 が有効であると判断されれば、さらにその内容が示すページのスタートページフラグ 3 2 が参照される。このようにして、スタートページデータに基づき、対応するスタートページフラグ 3 2 が有効であるか否かを次々に判定し、参照されたスタートページフラグ 3 2 が「x 1」となったところでスタートページ検索を終了し、かかるページが「スタートページ」と判断される。例えば、上記の例で言えば、ページ # 7 のスタートページフラグ 3 2 が「x 1」であれば、スタートページはページ # 7 であると判断される。

【 0 0 5 7 】

冗長領域 2 6 のその他の領域には、当該ブロックについての異常を表示するブロックステータス等が格納されているが、これらについての説明は省略する。

【 0 0 5 8 】

このように、各ページは、5 1 2 バイトのユーザ領域 2 5 と 1 6 バイトの冗長領域 2 6 か

10

20

30

40

50

らなるので、各ページは、 $8 \times (512 \text{ バイト} + 16 \text{ バイト}) = 4224$ 個のフラッシュメモリセルによって構成されることになる。

【0059】

このように、各フラッシュメモリチップ2-0~2-3は8192個の物理ブロックによって構成されるが、このうち、8000個の物理ブロックは実際にデータを格納することができるブロック(以下、「実使用ブロック」という)として取り扱われ、残りの192個のブロックは「冗長ブロック」として取り扱われる。冗長ブロックは、データ書き込みに備えて待機している空きブロックである。フラッシュメモリチップ2-0~2-3のアドレス空間は、実使用ブロックのみによって構成される。ある物理ブロックに不良が発生し、使用不能となった場合には、不良が発生したブロックの数だけ冗長ブロックとして割り当てられる物理ブロックの数が減らされる。

10

【0060】

このような構成からなるフラッシュメモリチップ2-0~2-3は、上述のとおり、1Mページのアドレス空間を備える一つの大きなメモリとして取り扱われるので、これら1Mページからなるアドレス空間から特定のページにアクセスするためには、上述のとおり、20ビットのホストアドレスが用いられる。20ビットのホストアドレスのうち、上位15ビットは、フラッシュメモリチップの特定及び特定されたフラッシュメモリチップに含まれるブロックの特定に用いられ、残りの5ビット(下位5ビット)は、特定されたブロックに含まれるページの特定に用いられる。

【0061】

ホストアドレスの上位15ビットを用いたフラッシュメモリチップ及びブロックの特定は、ホストアドレスの上位15ビットを「8000」で除することによって行われ、かかる除算によって得られた商(0~3)によってアクセスすべきフラッシュメモリチップが決定され、剰余(0~7999)によって「論理ブロックアドレス」が決定される。かかる論理ブロックアドレスは、後述する「アドレス変換テーブル」にて、「物理ブロックアドレス」に変換され、これにより実際にアクセスすべきブロックが特定される。

20

【0062】

ここで、アドレス変換テーブルを用いて論理ブロックアドレスを物理ブロックアドレスに変換する必要性について説明する。

【0063】

上述のとおり、フラッシュメモリチップ2-0~2-3を構成するフラッシュメモリセル16は、これをメモリセル単位にて消去状態から書込状態へ変化させることはできる一方、これを書込状態から消去状態へ変化させることは、メモリセル単位で行うことができず、ブロック単位でしか行うことができない。このため、あるページにデータを書き込む際には、そのページのユーザ領域25を構成する全てのフラッシュメモリセル16が消去状態となっている必要があり、既に何らかのデータが書き込まれているページ、すなわち、そのページのユーザ領域25を構成するフラッシュメモリセル16が一つでも書込状態となっているページに、これと異なるデータを直接上書きすることはできない。したがって、既にデータの書き込まれたページに対し、これと異なる新しいデータを書き込むためには、一旦、このページが属するブロックを構成するフラッシュメモリセル16を全て消去状態とし、その後新しいデータを書き込むという処理が必要となる。

30

40

【0064】

したがって、あるページに格納された古いデータに新しいデータを上書きしようとする場合、このページが属するブロックに含まれる他のページに格納されたデータが消失するのを防ぐためには、当該他のページに格納されたデータを、他のブロックに移動させるという処理が必要となる。したがって、ホストアドレスより得られた論理ブロックアドレスと、当該論理ブロックアドレスに対応するフラッシュメモリチップ2-0~2-3上の物理ブロックアドレスとの関係は、ホストコンピュータ5からデータの上書きが指示される度に動的に変化する。このような理由から、ホストコンピュータ5からフラッシュメモリチップ2-0~2-3をアクセスするためには、論理ブロックアドレスと、当該論理ブロッ

50

クアドレスに対応するフラッシュメモリ上の物理ブロックアドレスとの関係を示す情報が格納されるアドレス変換テーブルが必要となるのである。アドレス変換テーブルの詳細については後述する。

【 0 0 6 5 】

次に、S R A Mワークエリア 8 に格納される各種作業データについて説明する。S R A Mワークエリア 8 には、少なくとも、アドレス変換テーブル 2 7 及び消去済みブロックキュー 3 0 が格納される。

【 0 0 6 6 】

図 6 は、S R A Mワークエリア 8 に格納されるアドレス変換テーブル 2 7 のデータ構造を示す概略図である。

10

【 0 0 6 7 】

図 6 に示されるように、アドレス変換テーブル 2 7 は、テーブル # 0 ~ # 3 からなる 4 つのテーブルによって構成され、これら各テーブルは、8 0 0 0 個のフラグ、8 0 0 0 個の物理ブロックアドレス格納領域及び 8 0 0 0 個のスタートページ格納領域によって構成される。これらテーブル # 0 ~ # 3 は、それぞれフラッシュメモリチップ 2 - 0 ~ 2 - 3 に対応している。

【 0 0 6 8 】

各テーブル # 0 ~ # 3 内の 8 0 0 0 個の物理ブロックアドレス格納領域 # 0 ~ # 7 9 9 9 には、それぞれ対応する物理ブロックアドレス (1 3 ビット) が格納され、これによって、論理ブロックアドレスと物理ブロックアドレスとの対応関係を示すアドレス変換情報が形成される。すなわち、テーブル # 0 内の物理ブロックアドレス格納領域 # 0 ~ # 7 9 9 9 には、フラッシュメモリチップ 2 - 0 を構成する 8 0 0 0 個の実使用ブロックの物理ブロックアドレスが割り当てられ、これら割り当てられた論理ブロックアドレスと、これに格納された物理ブロックアドレスとが、対応関係を有することになる。同様に、テーブル # 1 ~ # 3 内の物理ブロックアドレス格納領域 # 0 ~ # 7 9 9 9 には、それぞれフラッシュメモリチップ 2 - 1 ~ 2 - 3 を構成する 8 0 0 0 個の実使用ブロックの物理ブロックアドレスが割り当てられる。

20

【 0 0 6 9 】

例えば、ホストコンピュータ 5 から供給されたホストアドレスの上位 1 5 ビットからなる「 1 0 1 0 1 0 1 0 1 0 1 0 1 B 」であれば、これを 8 0 0 0 で除した場合の商は「 2 」であり、剰余は「 5 8 4 5 」であるから、テーブル # 2 内の物理ブロックアドレス格納領域 # 5 8 4 5 が選択され、ここに格納されている物理ブロックアドレス、例えば、格納されている物理ブロックアドレスが「 0 0 0 0 0 0 0 1 1 1 1 B 」であれば、物理ブロックアドレスとして「 3 1 」が読み出され、これにより、フラッシュメモリチップ 2 - 2 における論理ブロックアドレス # 5 8 4 5 から、フラッシュメモリチップ 2 - 2 における物理ブロックアドレス # 3 1 への変換が完了する。

30

【 0 0 7 0 】

また、各テーブル # 0 ~ # 3 内の 8 0 0 0 個のフラグは、当該テーブル内の物理ブロックアドレス格納領域 # 0 ~ # 7 9 9 9 にそれぞれ対応しており、対応する物理ブロックアドレス格納領域に格納された物理ブロックアドレスが有効な値であるか否かを示す。具体的には、かかるフラグが「 1 」であれば対応する物理ブロックアドレス格納領域に格納された物理ブロックアドレスが有効な値であることを示し、かかるフラグが「 0 」であれば対応する物理ブロックアドレス格納領域に格納された物理ブロックアドレスが有効な値ではないことを示す。したがって、対応するフラグが「 0 」である論理ブロックアドレスには、まだ物理ブロックアドレスが関連づけられていないことを意味する。

40

【 0 0 7 1 】

さらに、各テーブル # 0 ~ # 3 内の 8 0 0 0 個のスタートページ格納領域 # 0 ~ # 7 9 9 9 は、当該テーブル内の物理ブロックアドレス格納領域 # 0 ~ # 7 9 9 9 にそれぞれ対応しており、対応する物理ブロックアドレス格納領域に格納された物理ブロックアドレスにより示されるブロックのスタートページに関する情報が格納される。

50

【 0 0 7 2 】

各テーブル# 0 ~ # 3 内の 8 0 0 0 個のスタートページ格納領域# 0 ~ # 7 9 9 9 には、スタートページに関する情報が 5 ビットで格納されている。具体的には、スタートページ格納領域に格納されたスタートページが「 0 0 0 0 0 B 」である場合には、対応するブロックにはスタートページが存在しないことが示され、「 0 0 0 0 1 B 」である場合には、対応するブロックにスタートページは存在するが、上述したスタートページ検索によってスタートページを求める必要があることが示され、それ以外の値である場合には、その値がスタートページであることが示される。例えば、スタートページ格納領域に格納されたスタートページが「 0 1 1 0 0 B 」である場合には、当該ブロックのスタートページはページ# 1 2 となる。

10

【 0 0 7 3 】

上述のように、アドレス変換テーブル 2 7 は、3 2 0 0 0 個の物理ブロック格納領域と 3 2 0 0 0 個のスタートページ格納領域によって構成されており、各物理ブロック格納領域には 1 3 ビットの情報を格納する必要があり、各スタートページ格納領域には 5 ビットの情報を格納する必要があるから、アドレス変換テーブル 2 7 は、S R A M ワークエリア 8 の記憶容量のうち、約 7 2 k バイトを占有することとなる。

【 0 0 7 4 】

アドレス変換テーブル 2 7 の生成は、次のように行われる。

【 0 0 7 5 】

フラッシュメモリチップ 2 - 0 ~ 2 - 3 を構成する各ブロックのうち、データが格納されているブロックの各先頭ページ（ページ# 0 ）に含まれる冗長領域 2 6 には、上述のとおり、当該ブロックがいかなる論理ブロックアドレスに対応するかを示す対応論理ブロックアドレス 2 9 が含まれており、各ブロックの各先頭ページに格納されている対応論理ブロックアドレス 2 9 及び C R C 3 1 がマイクロプロセッサ 6 による制御のもと、フラッシュメモリインターフェースブロック 1 0 を介して読み出される。

20

【 0 0 7 6 】

このとき、C R C 3 1 を用いることによって、各対応論理ブロックアドレス 2 9 に誤りが含まれているか否かがチェックされ、対応論理ブロックアドレス 2 9 に誤りが含まれていると判断された場合には、当該ブロックのページ# 1 に格納されている対応論理ブロックアドレス 2 9 及び C R C 3 1 が新たに読み出される。このようにして、ページ# 1 から読み出された対応論理ブロックアドレス 2 9 についても、C R C 3 1 を用いることによって誤りが含まれているか否かがチェックされ、対応論理ブロックアドレス 2 9 に誤りが含まれていると判断された場合には、当該ブロックのページ# 2 に格納されている対応論理ブロックアドレス 2 9 及び C R C 3 1 が新たに読み出される。このような処理はページ# 3 まで行われ、ページ# 3 の対応論理ブロックアドレス 2 9 にも誤りがあれば、当該ブロックは不良ブロックであるか否か診断され、その結果不良ブロックであると診断されれば、その後の使用が禁止される。

30

【 0 0 7 7 】

一方、各ブロックのページ# 0 ~ # 3 のいずれかから誤りのない対応論理ブロックアドレス 2 9 が読み出された場合、マイクロプロセッサ 6 による制御のもと、かかる対応論理ブロックアドレス 2 9 を用いて、これらブロックが消去済みの空きブロックであるか否かが判断される。

40

【 0 0 7 8 】

ここで、消去済みの空きブロックにおいては、冗長領域 2 6 に格納されている対応論理ブロックアドレス 2 9 は「オール 1 (1 1 1 1 1 1 1 1 1 1 1 1 B) 」となっているはずである。すなわち、対応論理ブロックアドレス 2 9 は、上述のとおり、# 0 (0 0 0 0 0 0 0 0 0 0 0 0 B) ~ # 7 9 9 9 (1 1 1 1 1 0 0 1 1 1 1 1 B) までしかなく、したがって、これがオール 1 (1 1 1 1 1 1 1 1 1 1 1 1 B) である場合には、当該ブロックが消去済みの空きブロックであると判断することができる。一方、対応論理ブロックアドレス 2 9 が「 0 0 0 0 0 0 0 0 0 0 0 0 B 」 ~ 「 1 1 1 1 1 0 0 1 1 1 1 1 B 」

50

である場合には、当該対応論理ブロックアドレス29は有効な論理ブロックアドレスである。

【0079】

したがって、マイクロプロセッサ6は、各ブロックのページ#0～#3の冗長領域26に含まれる対応論理ブロックアドレス29を参照し、これがオール1ではなく有効な論理ブロックアドレスの番号を示していれば、チップ番号に対応するテーブルに属する物理ブロックアドレス格納領域のうち、読み出された対応論理ブロックアドレス29と同じ論理ブロックアドレスが割り当てられた物理ブロックアドレス格納領域に、かかる対応論理ブロックアドレス29を読み出したブロックの物理ブロックアドレスを格納するとともに、対応するフラグを「1」とする。例えば、対応論理ブロックアドレス29を読み出したブロックがフラッシュメモリチップ2-0に属し、その物理ブロックアドレスが「10」であり、読み出された対応論理ブロックアドレス29が「123」であれば、テーブル#0に属する物理ブロックアドレス格納領域のうち、論理ブロックアドレスとして「123」が割り当てられた物理ブロックアドレス格納領域#123に、物理ブロックアドレスとして「10」が書き込まれ、さらに、対応するフラグが「1」にされる。

10

【0080】

さらに、マイクロプロセッサ6は、対応論理ブロックアドレス29が有効な論理ブロックアドレスの番号を示していれば、当該ブロックの各先頭ページ(ページ#0)の冗長領域26に格納されているスタートページフラグ32を参照する。ページ#0におけるスタートページフラグ32は、上述のとおり、「1x」であれば当該ブロックにスタートページが存在することを示し、「0x」であれば当該ブロックにスタートページが存在しないことを示す。そして、スタートページフラグを参照した結果、これが「1x」であれば、アドレス変換テーブル27内の対応するスタートページ格納領域の内容を「00001B」とし、これが「0x」であれば、アドレス変換テーブル27内の対応するスタートページ格納領域の内容を「00000B」とする。

20

【0081】

一方、対応論理ブロックアドレス29が有効な論理ブロックアドレスの番号を示していれば、チップ番号に対応するテーブルに属する物理ブロックアドレス格納領域のうち、読み出された対応論理ブロックアドレス29と同じ論理ブロックアドレスが割り当てられた物理ブロックアドレス格納領域に対応するフラグを「1」とする。

30

【0082】

以上のような処理が、データの格納されている全てのブロックについて行われ、これによりアドレス変換テーブル27の作成作業が完了する。

【0083】

次に、SRAMワークエリア8に格納される消去済みブロックキュー30のデータ構造について説明する。

【0084】

図7は、SRAMワークエリア8に格納される消去済みブロックキュー30のデータ構造を示す概略図である。

【0085】

図7に示されるように、消去済みブロックキュー30は、キュー#0～#7からなる8つのキューによって構成される。これら各キュー#0～#7は、それぞれSRAMワークエリア8の2バイトの記憶領域を使用しており、それぞれには物理ブロックアドレスが、13ビットのデータによって格納されている。したがって、消去済みブロックキュー30は、SRAMワークエリア8の記憶容量のうち、16バイトを占有することとなる。

40

【0086】

消去済みブロックキュー30を構成するキュー#0～#7のうち、キュー#0及び#1は、フラッシュメモリ2-0用のキューであり、キュー#0及び#1には、フラッシュメモリ2-0に含まれる消去済みブロック、すなわち、ユーザ領域25及び冗長領域26を構成する全てのフラッシュメモリセル16が消去状態となっているブロックの物理ブロック

50

アドレスが格納される。同様に、キュー# 2 及び# 3 は、フラッシュメモリ 2 - 1 用のキューであり、キュー# 4 及び# 5 は、フラッシュメモリ 2 - 2 用のキューであり、キュー# 6 及び# 7 は、フラッシュメモリ 2 - 3 用のキューである。

【 0 0 8 7 】

消去済みブロックキュー 3 0 の生成は、マイクロプロセッサ 6 による制御のもと、上述したアドレス変換テーブル 2 7 の生成の際に行われる。

【 0 0 8 8 】

すなわち、フラッシュメモリチップ 2 - 0 ~ 2 - 3 を構成する各ブロックのページ# 0 ~ ページ# 3 に含まれる冗長領域 2 6 には、上述のとおり、対応論理ブロックアドレス 2 9 が含まれており、アドレス変換テーブル 2 7 が生成される際、マイクロプロセッサ 6 による制御のもと、対応論理ブロックアドレス 2 9 が「オール 1 (1 1 1 1 1 1 1 1 1 1 1 1 1 B) 」となっているブロックが検索される。かかる検索により、各フラッシュメモリチップについて、最大 1 9 2 個の消去済みブロックが検出されて冗長ブロックとなり、さらにこの中から最大 2 つの冗長ブロックが選択されて、その物理ブロックアドレスが、対応するフラッシュメモリチップ用の 2 つのキューに格納される。

【 0 0 8 9 】

消去済みブロックキュー 3 0 の生成は、マイクロプロセッサ 6 による制御のもと、上述したアドレス変換テーブル 2 7 の生成の際に行われる。

【 0 0 9 0 】

次に、本実施態様にかかるフラッシュメモリシステム 1 による種々のデータ書き込み動作について説明する。

【 0 0 9 1 】

書き込み動作 1 (空きブロックにデータを書き込む場合)

空きブロックにデータを書き込む場合、ユーザデータを書き込むべきページ、並びに、ユーザデータを書き込むべきページとは無関係に当該ブロックのページ# 0 ~ # 3 及びページ# 3 1 の冗長領域 2 6 には、対応論理ブロックアドレス 2 9 及び C R C 3 1 が格納される。

【 0 0 9 2 】

ページ# 0 ~ # 3 の冗長領域 2 6 に対応論理ブロックアドレス 2 9 及び C R C 3 1 を格納するのは、上述したアドレス変換テーブル 2 7 の作成の際にこれが参照されるからである。また、ページ# 3 1 の冗長領域 2 6 に対応論理ブロックアドレス 2 9 及び C R C 3 1 を格納するのは、ブロック間転送が行われている途中で不意に電源が切断された等の理由により、その内容が不完全なブロックが存在する場合に、当該ブロックの直前の状態における対応論理ブロックアドレスの特定を可能とするためである。

【 0 0 9 3 】

ここで、ユーザデータを書き込むべきページとは無関係に対応論理ブロックアドレス 2 9 及び C R C 3 1 を書き込む対象として、ページ# 0 ~ # 3 を選択しているのは次の理由による。すなわち、ユーザデータを書き込むべきページとは無関係に対応論理ブロックアドレス 2 9 及び C R C 3 1 を書き込む対象となるページが少なければ少ないほど、ユーザデータを書き込むべきページ以外のページに対する書き込み処理が減少するため、一連の書き込み処理をより高速に実行することが可能となる反面、対応論理ブロックアドレス 2 9 にエラーが発生した場合にこれを救済できる確率が減少する。一方、ユーザデータを書き込むべきページとは無関係に対応論理ブロックアドレス 2 9 及び C R C 3 1 を書き込む対象となるページが多ければ多いほど、対応論理ブロックアドレス 2 9 にエラーが発生した場合にこれを救済できる確率が高くなる反面、ユーザデータを書き込むべきページ以外のページに対する書き込み処理が増加するため、一連の書き込み処理により多くの時間がかかる。このため、ユーザデータを書き込むべきページとは無関係に対応論理ブロックアドレス 2 9 及び C R C 3 1 を書き込む対象となるページを、先頭ページ (ページ# 0) を含む何ページとするかは、これらを考慮して決定する必要がある。そこで、本実施態様においては、ページ# 0 ~ # 3 に格納された対応論理ブロックアドレス 2 9 がいずれもエラー

10

20

30

40

50

を含んでいる場合は、当該ブロックに致命的な不良が存在する可能性が極めて高いと考えられることから、ユーザデータを書き込むべきページとは無関係に対応論理ブロックアドレス29及びCRC31を書き込む対象となるページとして、ページ#0～#3を選択しているのである。

【0094】

一方、実際にユーザ領域25にデータが書き込まれるページに関しては、これがページ#0～#3及びページ#31以外であっても、当該ページの冗長領域26には、対応論理ブロックアドレス29及びCRC31が格納される。

【0095】

以上より、空きブロックにデータを書き込む場合、ユーザデータを書き込むべきページ、ページ#0～#3及びページ#31に対しては、必ず書き込み処理が実行されることになる。一方、ページ#4～#30に属し、且つ、ユーザデータを書き込むべきページではないページに対しては、対応論理ブロックアドレス29及びCRC31の書き込み処理は行われない。

10

【0096】

次に、空きブロックにデータを書き込む場合における、冗長領域26内のスタートページフラグ32及びスタートページデータ33の書き込みについて説明する。

【0097】

空きブロックにデータを書き込む場合、当該書き込み処理によってスタートページとなるページの番号が、スタートページデータ33としてページ#0の冗長領域26に書き込まれるとともに、ページ#0の冗長領域26のスタートページフラグ32が「10」に書き換えられる。但し、当該書き込み処理を行った結果、スタートページが存在しない場合、すなわち、ユーザデータを書き込むべきページにページ#31が含まれている場合には、ページ#0の冗長領域26のスタートページフラグ32が「0x」に書き換えられる。

20

【0098】

ここで、スタートページとなるページとは、ユーザデータを書き込むべきページの最終ページの次のページである。

【0099】

以上説明した、空きブロックに対するデータの書き込み処理について、具体的な例を挙げてより詳細に説明する。

30

【0100】

ここでは、ホストコンピュータ5より、バス14、コネクタ4及びバス13を介して、外部コマンドの一種である外部書き込みコマンドと、2つのホストアドレス「00000011111010000001B」（ホストアドレス#0）及び「00000011111010000010B」（ホストアドレス#1）と、これらホストアドレスにそれぞれ書き込むべきデータとがフラッシュメモリシステム1に供給された場合を例に説明する。

【0101】

まず、ホストアドレス#0、#1及び外部書き込みコマンドがコントローラ3に供給されると、これらホストアドレス及び外部書き込みコマンドは、ホストインターフェースブロック7が有するタスクファイルレジスタ（図示せず）に一時的に格納される。さらに、書き込みデータがコントローラ3に供給されると、マイクロプロセッサ6による制御のもと、ECCブロック11に送出される。書き込みデータの供給を受けたECCブロック11は、これを解析してエラーコレクションコード28を生成し、これを一時的に保持する。さらに、ECCブロック11は、スタートページデータとして、ホストアドレス#1の下位5ビットに1を加算したデータを生成し、これを一時的に保持する。この場合、スタートページデータは、「00011(3)」となる。

40

【0102】

次に、タスクファイルレジスタ（図示せず）に格納されたホストアドレス#0、#1が正しいアドレスであるか否か、すなわち、これらホストアドレスが、本来存在しないアドレスや無効なアドレスを示していないか否かが、ホストインターフェースブロック7によ

50

て判定される。

【0103】

かかる判定の結果、タスクファイルレジスタ（図示せず）に格納されたホストアドレス#0、#1が有効なアドレスであると判断されれば、アドレス変換テーブル27を用いて内部アドレスに変換される。一方、これが異常なアドレスであると判断されれば、ホストインターフェースブロック7が有するエラーレジスタ（図示せず）がセットされ、ホストコンピュータ5は、かかるレジスタの内容を参照することにより、エラーの発生を知ることができる。

【0104】

内部アドレスへの変換は、次のように行われる。

10

【0105】

まず、マイクロプロセッサ6による制御のもと、20ビットのホストアドレスから上位15ビットが取り出され、これが「8000」で除される。そして、かかる除算によって得られた商（0～3）によってアクセスすべきフラッシュメモリチップが特定され、剰余（0～7999）によってブロックが特定される。本例では、ホストアドレスの上位15ビットが「000000111110100B」であるから、商は「00000B（0）」であり、剰余は「0111110100B（500）」となる。これにより、選択されるフラッシュメモリチップはフラッシュメモリチップ2-0となり、論理ブロックアドレスは論理ブロックアドレス#500となる。

【0106】

20

次に、マイクロプロセッサ6による制御のもと、アドレス変換テーブル27内のテーブル#0から、論理ブロックアドレス#500に基づいて、物理ブロックアドレス格納領域#500に対応するフラグが読み出される。本例においては、当該フラグは「0」であり、これにより、ホストアドレス#0、#1に対応するブロックが存在しないことが検出される。

【0107】

これに回答して、マイクロプロセッサ6による制御のもと、消去済みブロックキュー30を構成するキュー#0～#7のうち、フラッシュメモリチップ2-0用のキューであるキュー#0（またはキュー#1）に格納された物理ブロックアドレスが読み出される。ここでは、例えば、キュー#0に格納された物理ブロックアドレスが「00000000000100B（4）」であるとする。上述のとおり、消去済みブロックキュー30のキュー#0に格納された物理ブロックアドレスは、フラッシュメモリチップ2-0に含まれる消去済みブロック、すなわち、ユーザ領域25及び冗長領域26を構成する全てのフラッシュメモリセル16が消去状態となっているブロックの物理ブロックアドレス（13ビット）である。

30

【0108】

キュー#0に格納されていた物理ブロックアドレス「00000000000100B（4）」が読み出されると、これがテーブル#0内の物理ブロックアドレス格納領域#500に格納されるとともに、物理ブロックアドレス格納領域#500に対応するスタートページ格納領域#500に、上記スタートページ「00011（3）」が格納される。さらに、対応するフラグが「1」に書き換えられる。そして、マイクロプロセッサ6による制御のもと、選択されたチップ番号、上記物理ブロックアドレス、及びホストアドレス#0、#1の下位5ビットがこの順に結合される。結合されたアドレスは、内部アドレスとなる。この場合、選択されたチップ番号は「00B」であり、読み出されたキューの内容は「00000000000100B」であり、ホストアドレス#0、#1の下位5ビットはそれぞれ「00001B」、「00010B」であることから、得られる内部アドレス#0、#1は、それぞれ「0000000000000100000010000001B」、「0000000000000100000010B」となる。

40

【0109】

以上より、ホストアドレス#0、#1から内部アドレス#0、#1への変換が完了する。

50

かかる内部アドレスは、上位2ビットによってフラッシュメモリチップを特定し、上位3ビット目～上位15ビット目からなる13ビットによって当該フラッシュメモリチップ内のブロックを特定し、下位5ビットによって当該ブロック内のページを特定するので、内部アドレス#0によってアクセスされるのはフラッシュメモリチップ2-0内のブロック#4のページ#1となり、内部アドレス#1によってアクセスされるのはフラッシュメモリチップ2-0内のブロック#4のページ#2となる。

【0110】

このようにして内部アドレスの生成が完了すると、次にマイクロプロセッサ6による制御のもと、フラッシュシーケンサブブロック12が有するレジスタ(図示せず)に対する設定がなされる。かかる設定は、次のように行われる。

【0111】

まず、マイクロプロセッサ6による制御のもと、内部コマンドの一種である内部書き込みコマンドがフラッシュシーケンサブブロック12内の所定のレジスタ(図示せず)に設定される。さらに、マイクロプロセッサ6による制御のもと、上記生成された内部アドレス#0、#1がフラッシュシーケンサブブロック12内の所定のレジスタ(図示せず)に設定される。

【0112】

このようにしてフラッシュシーケンサブブロック12に含まれる各種レジスタ(図示せず)に対する設定が完了すると、フラッシュシーケンサブブロック12による一連の書き込み動作が実行される。本例においては、フラッシュシーケンサブブロック12による一連の書き込み動作は、フラッシュメモリチップ2-0内のブロック#4のページ#0に対する各種冗長データの書き込み、同ブロックのページ#1に対するユーザデータ及び各種冗長データの書き込み、同ブロックのページ#2に対するユーザデータ及び各種冗長データの書き込み、同ブロックのページ#3に対する各種冗長データの書き込み、同ブロックページ#31に対する各種冗長データの書き込みの順に実行される。

【0113】

まず、ブロック#4のページ#0に対する書き込み処理について説明する。

【0114】

かかる動作においては、フラッシュシーケンサブブロック12は、所定のレジスタに格納された内部アドレス#0の上位2ビットに基づき、フラッシュメモリチップ2-0～2-3のうち、アクセスすべきページが属するフラッシュメモリチップに対応するチップ選択信号を活性化するように、フラッシュメモリインターフェースブロック10に指示する。この場合、内部アドレスの上位2ビットは「00B(0)」であるから、アクセスすべきページが属するフラッシュメモリチップは、フラッシュメモリチップ2-0であり、チップ選択信号#0が活性化される。これにより、フラッシュメモリチップ2-0は、データの書き込みが可能な状態となる。一方、チップ選択信号#1～#3は、非活性状態が保たれる。

【0115】

次に、フラッシュシーケンサブブロック12は、内部アドレス#0の下位5ビットを「00000B」とした書き込みアドレスを生成し、その下位18ビット「000000000010000000B」を、所定のレジスタに格納された内部書き込みコマンドとともにバス15に供給するように、フラッシュメモリインターフェースブロック10に指示する。バス15に供給された18ビットの内部アドレス及び内部読み出しコマンドは、フラッシュメモリチップ2-0～2-3に対し共通に供給されるが、上述のとおり、チップ選択信号#0は活性状態となっており、チップ選択信号#1～#3は非活性状態となっているので、バス15に供給された内部アドレス及び内部読み出しコマンドは、フラッシュメモリチップ2-0に対してのみ有効となる。

【0116】

これにより、フラッシュメモリチップ2-0は、ブロック#4のページ#0に書き込まれるべきデータの受け付けが許可された状態となる。

10

20

30

40

50

【 0 1 1 7 】

次に、ブロック # 4 のページ # 0 に書き込むべきデータが、フラッシュシーケンサブロック 1 2 により、フラッシュメモリインターフェースブロック 1 0 を介して、バス 1 5 に供給される。ここで、ブロック # 4 のページ # 0 に書き込むべきデータとは、対応論理ブロックアドレス 2 9、CRC 3 1、スタートページフラグ 3 2、スタートページデータ 3 3 及びその他の付加情報であり、これらはいずれも冗長領域 2 6 に書き込まれるデータである。この場合、対応論理ブロックアドレス 2 9 は「0 0 0 0 1 1 1 1 1 0 1 0 0 B (5 0 0)」であり、CRC 3 1 は「0 0 0 0 1 1 1 1 1 0 1 0 0 B (5 0 0)」に対応するコードであり、スタートページフラグ 3 2 は「1 0」であり、スタートページデータ 3 3 は「0 0 0 1 1 (3)」である。ページ # 0 のその他の部分、すなわち、ユーザ領域 2 5 の全部分、冗長領域 2 6 のうちエラーコレクションコード 2 8 及びその他の部分には何らのデータも書き込まれない。但し、各ページに対するデータの書き込みは、ページ単位で一括して行われるため、実際には、上記データを書き込まない部分については、書き込み処理が実行されないのではなく、「オール 1」からなる書き込みデータが書き込まれることになる。

10

【 0 1 1 8 】

バス 1 5 に供給された対応論理ブロックアドレス 2 9、CRC 3 1、スタートページフラグ 3 2、スタートページデータ 3 3 及び冗長領域 2 6 に格納されるその他の付加情報は、やはりフラッシュメモリチップ 2 - 0 ~ 2 - 3 に対し共通に供給されるが、上述のとおり、チップ選択信号 # 0 が活性状態となっているため、フラッシュメモリチップ 2 - 0 に対してのみ有効となる。

20

【 0 1 1 9 】

このようにして、書き込みデータの受け付けが許可された状態にあるフラッシュメモリチップ 2 - 0 に対して、対応論理ブロックアドレス 2 9、CRC 3 1、スタートページフラグ 3 2、スタートページデータ 3 3 及び冗長領域 2 6 に格納されるその他の付加情報が転送されると、かかる対応論理ブロックアドレス 2 9、CRC 3 1、スタートページフラグ 3 2、スタートページデータ 3 3 及び冗長領域 2 6 に格納されるその他の付加情報は、フラッシュメモリチップ 2 - 0 内に備えられたレジスタ (図示せず) に一時的に格納される。

【 0 1 2 0 】

次に、フラッシュシーケンサブロック 1 2 は、所定のレジスタ (図示せず) に格納された内部書き込みコマンドを、フラッシュメモリチップ 2 - 0 に対して発行する。これにตอบสนองして、フラッシュメモリチップ 2 - 0 は、レジスタに格納されている対応論理ブロックアドレス 2 9、CRC 3 1、スタートページフラグ 3 2、スタートページデータ 3 3 及び冗長領域 2 6 に格納されるその他の付加情報をブロック # 4 のページ # 0 の所定の位置に書き込む (フラッシュプログラミング) 。

30

【 0 1 2 1 】

これにより、ブロック # 4 のページ # 0 に対する書き込み処理が完了する。

【 0 1 2 2 】

ブロック # 4 のページ # 0 に対する書き込み処理が完了すると、次に、ブロック # 4 のページ # 1 に対する書き込み処理が実行される。

40

【 0 1 2 3 】

ブロック # 4 のページ # 1 に対する書き込み処理においては、上述と同様にしてチップ選択信号 # 0 が活性化される。次いで、フラッシュシーケンサブロック 1 2 は、内部アドレス # 0 の下位 1 8 ビット「0 0 0 0 0 0 0 0 0 0 1 0 0 0 0 0 1 B」を、所定のレジスタに格納された内部書き込みコマンドとともにバス 1 5 に供給するよう、フラッシュメモリインターフェースブロック 1 0 に指示する。上述のとおり、チップ選択信号 # 0 が活性状態となっているため、バス 1 5 に供給された内部アドレス及び内部読み出しコマンドは、フラッシュメモリチップ 2 - 0 に対してのみ有効となる。

【 0 1 2 4 】

50

これにより、フラッシュメモリチップ 2 - 0 は、ブロック # 4 のページ # 1 に書き込まれるべきのデータの受け付けが許可された状態となる。

【 0 1 2 5 】

次に、ブロック # 4 のページ # 1 に書き込むべきデータが、フラッシュシーケンサブロック 1 2 により、フラッシュメモリインターフェースブロック 1 0 を介して、バス 1 5 に供給される。ここで、ブロック # 4 のページ # 1 に書き込むべきデータとは、ホストアドレス # 0 に対応するユーザデータ、当該ユーザデータに対応するエラーコレクションコード 2 8、対応論理ブロックアドレス 2 9、CRC 3 1、スタートページフラグ 3 2、スタートページデータ 3 3 及び冗長領域 2 6 に格納されるその他の付加情報である。これらのうち、対応論理ブロックアドレス 2 9、CRC 3 1、スタートページフラグ 3 2 及びスタートページデータ 3 3 は、ページ # 0 に対するこれらデータと同じ内容である。

10

【 0 1 2 6 】

これらデータは、上述と同様、フラッシュメモリチップ 2 - 0 内に備えられたレジスタ（図示せず）に一時的に格納され、内部書き込みコマンドの発行にตอบสนองしてブロック # 4 のページ # 1 の所定の位置に書き込まれる。すなわち、ページ # 1 のユーザ領域 2 5 には、ホストアドレス # 0 に対応するユーザデータが格納され、冗長領域 2 6 には、エラーコレクションコード 2 8、対応論理ブロックアドレス 2 9、CRC 3 1、スタートページフラグ 3 2、スタートページデータ 3 3 及びその他の付加情報が格納される。

【 0 1 2 7 】

これにより、ブロック # 4 のページ # 1 に対する書き込み処理が完了する。

20

【 0 1 2 8 】

ブロック # 4 のページ # 1 に対する書き込み処理が完了すると、次に、ブロック # 4 のページ # 2 に対する書き込み処理が実行される。

【 0 1 2 9 】

ブロック # 4 のページ # 2 に対する書き込み処理は内部アドレス # 1 を用いて行われ、その手順は、ブロック # 4 のページ # 1 に対する上記書き込み処理と同様である。これによって、ページ # 2 のユーザ領域 2 5 には、ホストアドレス # 1 に対応するユーザデータが格納され、冗長領域 2 6 には、エラーコレクションコード 2 8、対応論理ブロックアドレス 2 9、CRC 3 1、スタートページフラグ 3 2、スタートページデータ 3 3 及びその他の付加情報が格納される。

30

【 0 1 3 0 】

これにより、ブロック # 4 のページ # 2 に対する書き込み処理が完了する。

【 0 1 3 1 】

ブロック # 4 のページ # 2 に対する書き込み処理が完了すると、次に、ブロック # 4 のページ # 3 に対する書き込み処理が実行される。

【 0 1 3 2 】

ブロック # 4 のページ # 3 に対する書き込み処理は、スタートページフラグ 3 2 及びスタートページデータ 3 3 が書き込まれない点を除き、上述したブロック # 4 のページ # 0 に対する書き込み処理と同様である。これによって、ページ # 3 の冗長領域 2 6 には、対応論理ブロックアドレス 2 9 及び CRC 3 1 が格納される。

40

【 0 1 3 3 】

これにより、ブロック # 4 のページ # 3 に対する書き込み処理が完了する。

【 0 1 3 4 】

ブロック # 4 のページ # 3 に対する書き込み処理が完了すると、次に、ブロック # 4 のページ # 3 1 に対する書き込み処理が実行される。

【 0 1 3 5 】

ブロック # 4 のページ # 3 1 に対する書き込み処理は、上述したブロック # 4 のページ # 3 に対する書き込み処理と同様である。これによって、ページ # 3 1 の冗長領域 2 6 には、対応論理ブロックアドレス 2 9 及び CRC 3 1 が格納される。

【 0 1 3 6 】

50

これにより、一連の書き込み処理が完了する。

【 0 1 3 7 】

図 8 は、上記一連の書き込み処理が完了した状態におけるブロック # 4 の内容を示す概略図である。

【 0 1 3 8 】

図 8 では、ユーザ領域 2 5 については、ユーザデータの格納されている部分にハッチングが施されており、冗長領域 2 6 については、対応論理ブロックアドレス 2 9、スタートページフラグ 3 2 及びスタートページデータ 3 3 のみが示され、エラーコレクションコード 2 8、CRC 3 1 及びその他の付加情報については省略されている。

【 0 1 3 9 】

図 8 に示されるように、ブロック # 4 のページ # 1 及び # 2 にのみユーザデータが格納されており、その他のページにはユーザデータが格納されていないので、当該ブロックにおけるスタートページは「 3 」であり、かかる値がページ # 0 のスタートページデータ 3 3 として格納されていることが分かる。このため、コントローラ 3 は、このブロックのページ # 3 ~ # 3 1 が空きページであることを知ることが可能となり、その後、ホストコンピュータ 5 よりブロック # 4 のページ # 3 ~ # 3 1 に対するデータの書き込みが要求された場合であっても、ブロック間転送を行うことなく、ページ # 3 ~ # 3 1 へ直接データを書き込むことが可能となる。

【 0 1 4 0 】

尚、上記の例では、先頭ページであるページ # 0 以外のページ（ユーザデータを書き込んだページ # 1 及び # 2 ）にも、スタートページフラグ 3 2 及びスタートページデータ 3 3 を書き込んでいるが、これを省略しても構わない。

【 0 1 4 1 】

書き込み動作 2（使用済みブロックにデータを追加して書き込む場合）

すでにデータの格納されているブロック（使用済みブロック）にデータを追加して書き込む場合、アドレス変換テーブル 2 7 内の対応するスタートページ格納領域を参照することによって、当該ブロックへのデータの追加的な書き込みが可能であるか否かが判断される。

【 0 1 4 2 】

かかる判断においては、まず、当該ブロックに関するスタートページの特定が行われる。スタートページの特定は、上述のとおり、スタートページ検索によって特定する方法と、アドレス変換テーブル 2 7 内のスタートページ格納領域に格納されたスタートページから直接特定する方法がある。

【 0 1 4 3 】

前者の方法によるスタートページの特定は、スタートページは存在するものの、コントローラ 3 が起動されてから当該ブロックへのデータの書き込みが未だ行われていない場合に実行される。すなわち、アドレス変換テーブル 2 7 の作成の際に、当該ブロックのページ # 0（または、ページ # 1 ~ # 3）に含まれる対応論理ブロックアドレス 2 9 が有効な論理ブロックアドレスを示しており、且つ、スタートページフラグが「 1 x 」であった場合、アドレス変換テーブル 2 7 内の対応するスタートページ格納領域は「 0 0 0 0 1 B」とされるので、この場合、コントローラ 3 は、スタートページ検索を行うことによって当該ブロックに関するスタートページを特定することが可能となる。

【 0 1 4 4 】

一方、後者の方法によるスタートページの特定は、上記書き込み動作 1 において説明したように、コントローラ 3 が起動された後、当該ブロックへのデータの書き込みが少なくとも 1 回行われた場合に実行される。すなわち、当該ブロックへのデータの書き込みが少なくとも 1 回行われた場合、上述のとおり、アドレス変換テーブル 2 7 内の対応するスタートページ格納領域にスタートページが書き込まれるので、この場合、コントローラ 3 は、対応するスタートページ格納領域を参照することによって当該ブロックに関するスタートページを特定することが可能となる。

10

20

30

40

50

【 0 1 4 5 】

このようにいずれかの方法でスタートページが特定されると、次に、かかるスタートページと書き込み対象であるページの先頭ページとが比較され、これによってデータの追加的な書き込みが可能であるか否かが最終的に判断される。かかる判断は、書き込み対象であるページの先頭ページを示す5ビットの値が、スタートページを示す5ビットの値と同じか、またはこれを超えていれば、データの追加的な書き込みが可能であるとされ、書き込み対象であるページの先頭ページを示す5ビットの値が、スタートページを示す5ビットの値未満であれば、データの追加的な書き込みが不可能であるとされる。

【 0 1 4 6 】

かかる判断の結果、データの追加的な書き込みが不可能であると判断されれば、通常どおり、ブロック間転送が行われる。

10

【 0 1 4 7 】

一方、かかる判断の結果、データの追加的な書き込みが可能であると判断されれば、以下に詳述する、データの追加的な書き込み処理が行われる。

【 0 1 4 8 】

データの追加的な書き込み処理を行う場合、ユーザデータを書き込むべきページの先頭ページがスタートページと一致しているか否かによって、行われる処理が異なる。

【 0 1 4 9 】

まず、ユーザデータを書き込むべきページの先頭ページがスタートページと一致している場合、すなわち、スタートページに対してユーザデータの書き込みが行われる場合には、当該書き込み処理によって新たなスタートページとなるページの番号が、スタートページデータ33としてユーザデータを書き込むべき各ページの冗長領域26に書き込まれる。

20

【 0 1 5 0 】

一方、書き込み対象であるページの先頭ページがスタートページと一致していない場合、すなわち、スタートページに対してユーザデータの書き込みが行われない場合には、当該書き込み処理によって新たなスタートページとなるページの番号が、スタートページデータ33として現在のスタートページ及び書き込み対象の各ページの冗長領域26に書き込まれる。

【 0 1 5 1 】

さらに、データの追加的な書き込みが行われる場合、当該書き込み処理によって新たなスタートページとなるページの番号が、現在のスタートページの冗長領域26に書き込まれる。但し、当該書き込み処理を行った結果、スタートページが存在しない場合、すなわち、ユーザデータを書き込むべきページにページ#31が含まれている場合には、ページ#0の冗長領域26のスタートページフラグ32が「0x」に書き換えられる。

30

【 0 1 5 2 】

ここで、新たなスタートページとなるページとは、書き込み対象であるページの最終ページの次のページである。

【 0 1 5 3 】

以上説明した、空きブロックに対するデータの書き込み処理について、具体的な例を挙げてより詳細に説明する。

40

【 0 1 5 4 】

まず、ユーザデータを書き込むべきページの先頭ページがスタートページと一致している場合について説明する。

【 0 1 5 5 】

ユーザデータを書き込むべきページの先頭ページがスタートページと一致している場合
ここでは、上述した書き込み動作1が完了した直後の状態において、ホストコンピュータ5より、バス14、コネクタ4及びバス13を介して、外部コマンドの一種である外部書き込みコマンドと、2つのホストアドレス「00000011111010000011B」（ホストアドレス#0）及び「00000011111010000100B」（ホストアドレス#1）と、これらホストアドレスにそれぞれ書き込むべきデータとがフラッ

50

シユメモリシステム 1 に供給された場合を例に説明する。

【 0 1 5 6 】

ホストアドレス # 0、# 1 及び外部書き込みコマンドがコントローラ 3 に供給された場合の、コントローラ 3 の基本的な動作は上述したとおりであり、重複する部分の説明は省略する。

【 0 1 5 7 】

内部アドレスへの変換は、次のように行われる。

【 0 1 5 8 】

まず、マイクロプロセッサ 6 による制御のもと、20 ビットのホストアドレスから上位 15 ビットが取り出され、これが「8000」で除される。そして、かかる除算によって得られた商(0~3)によってアクセスすべきフラッシュメモリチップが特定され、剰余(0~7999)によって論理ブロックアドレスが特定される。

本例では、ホストアドレスの上位 15 ビットが「000000111110100B」であるから、商は「00000B(0)」であり、剰余は「0111110100B(500)」となる。これにより、選択されるフラッシュメモリチップはフラッシュメモリチップ 2-0 となり、論理ブロックアドレスは論理ブロックアドレス # 500 となる。

【 0 1 5 9 】

次に、マイクロプロセッサ 6 による制御のもと、アドレス変換テーブル 27 内のテーブル # 0 から、論理ブロックアドレス # 500 に基づいて、物理ブロックアドレス格納領域 # 500 に対応するフラグが読み出される。本例においては、当該フラグは「1」であり、これにより、ホストアドレス # 0、# 1 に対応するブロックが存在することが検出される。これに回答して、物理ブロックアドレス格納領域 # 500 に格納された内容が読み出される。本例においては、物理ブロックアドレス格納領域 # 500 の内容は「000000000100B」であり、これにより、ホストアドレス # 0、# 1 に対応するブロックがフラッシュメモリチップ 2-0 内のブロック # 4 であることが検出される。

【 0 1 6 0 】

次に、マイクロプロセッサ 6 による制御のもと、アドレス変換テーブル 27 内のテーブル # 0 から、論理ブロックアドレス # 500 に基づいて、スタートページ格納領域 # 500 が選択され、ここに格納された内容が読み出される。本例においては、スタートページ格納領域 # 500 の内容は「00011B(3)」である。

【 0 1 6 1 】

このようにしてスタートページが読み出されると、マイクロプロセッサ 6 による制御のもと、書き込み対象であるページの先頭ページとの比較が行われる。この場合、書き込み対象であるページの先頭ページは、ホストアドレス # 0 によって示されているので、スタートページの値「00011(3)」と、ホストアドレス # 0 の下位 5 ビットの値「00011(3)」とが比較されることとなる。このように、本例では、ホストアドレス # 0 の下位 5 ビットの値「00011(3)」がスタートページの値「00011(3)」と一致しているため、データの追加的な書き込みが可能であると判断される。

【 0 1 6 2 】

さらに、マイクロプロセッサ 6 による制御のもと、ユーザデータが書き込まれるべきページの最終ページを示すホストアドレス # 1 の下位 5 ビットに 1 を加算したデータを生成し、これによって新たなスタートページが生成される。かかるスタートページの値は、スタートページデータとして、ECC ブロック 11 内に一時的に保持される。この場合、ホストアドレス # 1 の下位 5 ビットが「00100(4)」であるから、ECC ブロック 11 内に格納されるスタートページデータは「00101(5)」となる。

【 0 1 6 3 】

そして、マイクロプロセッサ 6 による制御のもと、選択されたチップ番号、上記物理ブロックアドレス、及びホストアドレス # 0、# 1 の下位 5 ビットがこの順に結合される。結合されたアドレスは、内部アドレスとなる。この場合、選択されたチップ番号は「00B」であり、物理ブロックアドレスは「0000000000100B」であり、ホストア

10

20

30

40

50

ドレス# 0、# 1の下位5ビットはそれぞれ「00011B」、「00100B」であることから、得られる内部アドレス# 0、# 1は、それぞれ「000000000000010000011B」、「000000000000010000100B」となる。

【0164】

さらに、物理ブロックアドレス格納領域# 500に対応するスタートページ格納領域# 500に、上記スタートページ「00101(5)」が上書きされる。

【0165】

以上より、ホストアドレス# 0、# 1から内部アドレス# 0、# 1への変換が完了する。これにより、内部アドレス# 0によってアクセスされるのはフラッシュメモリチップ2-0内のブロック# 4のページ# 3となり、内部アドレス# 1によってアクセスされるのはフラッシュメモリチップ2-0内のブロック# 4のページ# 4となる。

10

【0166】

その後、フラッシュシーケンサブブロック12が有するレジスタ(図示せず)への設定が完了すると、フラッシュシーケンサブブロック12による一連の書き込み動作が実行される。本例においては、フラッシュシーケンサブブロック12による一連の書き込み動作は、フラッシュメモリチップ2-0内のブロック# 4のページ# 3に対するユーザデータ及び各種冗長データの書き込み、同ブロックのページ# 4に対するユーザデータ及び各種冗長データの書き込みの順に実行される。

【0167】

まず、ブロック# 4のページ# 3に対する書き込み処理について説明する。

20

【0168】

尚、ブロック# 4のページ# 3には、上記書き込み動作1において、すでに対応論理ブロックアドレス29の書き込みが実行されているが、ユーザ領域25を構成するフラッシュメモリセル16は全て消去状態(論理値=1)に保たれているので、ユーザデータの書き込みは可能である。

【0169】

ブロック# 4のページ# 3に対する書き込み処理においては、フラッシュシーケンサブブロック12は、所定のレジスタに格納された内部アドレス# 0の上位2ビットに基づき、チップ選択信号# 0を活性化させる。これにより、フラッシュメモリチップ2-0は、データの書き込みが可能な状態となる。一方、チップ選択信号# 1~# 3は、非活性状態が保たれる。

30

【0170】

次いで、フラッシュシーケンサブブロック12は、内部アドレス# 0の下位18ビット「000000000010000011B」を、所定のレジスタに格納された内部書き込みコマンドとともにバス15に供給するよう、フラッシュメモリインターフェースブロック10に指示する。上述のとおり、チップ選択信号# 0が活性状態となっているため、バス15に供給された内部アドレス及び内部読み出しコマンドは、フラッシュメモリチップ2-0に対してのみ有効となる。

【0171】

これにより、フラッシュメモリチップ2-0は、ブロック# 4のページ# 3に書き込まれるべきデータの受け付けが許可された状態となる。

40

【0172】

次に、ブロック# 4のページ# 3に書き込むべきデータが、フラッシュシーケンサブブロック12により、フラッシュメモリインターフェースブロック10を介して、バス15に供給される。ここで、ブロック# 4のページ# 3に書き込むべきデータとは、ホストアドレス# 0に対応するユーザデータ、当該ユーザデータに対応するエラーコレクションコード28、スタートページフラグ32、スタートページデータ33及び冗長領域26に格納されるその他の付加情報である。

【0173】

これらデータは、上述と同様、フラッシュメモリチップ2-0内に備えられたレジスタ(

50

図示せず)に一時的に格納され、内部書き込みコマンドの発行に回答してブロック#4のページ#3の所定の位置に書き込まれる。すなわち、ページ#3のユーザ領域25には、ホストアドレス#0に対応するユーザデータが格納され、冗長領域26には、エラーコレクションコード28、スタートページフラグ32、スタートページデータ33及びその他の付加情報が格納される。

【0174】

これにより、ブロック#4のページ#3に対する書き込み処理が完了する。

【0175】

ブロック#4のページ#3に対する書き込み処理が完了すると、次に、ブロック#4のページ#4に対する書き込み処理が実行される。

10

【0176】

ブロック#4のページ#4に対する書き込み処理は内部アドレス#1を用いて行われ、その手順は、ブロック#4のページ#3に対する上記書き込み処理と同様である。これによって、ページ#4のユーザ領域25には、ホストアドレス#1に対応するユーザデータが格納され、冗長領域26には、エラーコレクションコード28、スタートページフラグ32、スタートページデータ33及びその他の付加情報が格納される。

【0177】

これにより、一連の書き込み処理が完了する。

【0178】

図9は、上記一連の書き込み処理が完了した状態におけるブロック#4の内容を示す概略図である。

20

【0179】

図9では、ユーザ領域25については、ユーザデータの格納されている部分にハッチングが施されており、冗長領域26については、対応論理ブロックアドレス29、スタートページフラグ32及びスタートページデータ33のみが示され、エラーコレクションコード28、CRC31及びその他の付加情報については省略されている。

【0180】

図9に示されるように、ブロック#4のページ#1~#4にのみユーザデータが格納されており、その他のページにはユーザデータが格納されていないので、当該ブロックにおけるスタートページは「5」であり、かかる値がページ#3のスタートページデータ33として格納されていることが分かる。このため、コントローラ3は、スタートページ検索によって、このブロックのページ#5~#31が空きページであることを知ることが可能となり、その後、ホストコンピュータ5よりブロック#4のページ#5~#31に対するデータの書き込みが要求された場合であっても、ブロック間転送を行うことなく、ページ#5~#31へ直接データを書き込むことが可能となる。

30

【0181】

尚、上記の例では、書き込み対象のページ#3及び#4のうち、従前のスタートページ(ページ#3)以外のページ(ページ#4)にも、スタートページデータ33を書き込んでいるが、これを省略しても構わない。

【0182】

さらに、上記の例では、書き込み対象のページ#3及び#4に対応論理ブロックアドレス29及びCRC31を書き込まなかったが、ページ#4にこれらを書き込んでも構わない。但し、ページ#4に書き込まれたこれらデータが使用されることはない。

40

【0183】

また、上記の例では、スタートページ格納領域#500から直接スタートページを入手しているが、上記書き込み動作1が行われた後、コントローラ3がリセットされたことによりSRAMワークエリア8の内容が一旦消去されている場合には、スタートページ格納領域#500から直接スタートページを入手することはできない。この場合、コントローラ3のリセット時に実行されるアドレス変換テーブル27の作成作業によって、スタートページ格納領域#500の内容が「00001B」となるので、上述したスタートページ検

50

索によってスタートページを入手する必要がある。

【0184】

次に、ユーザデータを書き込むべきページの先頭ページがスタートページと一致していない場合について説明する。

【0185】

ユーザデータを書き込むべきページの先頭ページがスタートページと一致していない場合ここでは、上述した書き込み動作1が完了した直後の状態において、ホストコンピュータ5より、バス14、コネクタ4及びバス13を介して、外部コマンドの一種である外部書き込みコマンドと、ホストアドレス「00000011111010000101B」（ホストアドレス#0）と、このホストアドレスに書き込むべきデータとがフラッシュメモリシステム1に供給された場合を例に説明する。

10

【0186】

まず、ホストアドレス#0及び外部書き込みコマンドがコントローラ3に供給された場合の、コントローラ3の基本的な動作は上述したとおりであり、重複する部分の説明は省略する。

【0187】

本例においては、スタートページ格納領域#500に格納されたスタートページの値「00011B（3）」と、ユーザデータを書き込むべきページの先頭ページとの比較が行われる。この場合、ユーザデータを書き込むべきページの先頭ページは、ホストアドレス#0によって示されているので、スタートページの値「00011（3）」と、ホストアドレス#0の下位5ビットの値「00101（5）」とが比較されることとなる。このように、本例では、ホストアドレス#0の下位5ビットの値「00101（5）」がスタートページの値「00011（3）」を超えているので、データの追加的な書き込みが可能であると判断される。

20

【0188】

さらに、マイクロプロセッサ6による制御のもと、ユーザデータを書き込むべきページの最終ページを示すホストアドレス#0の下位5ビットに1を加算したデータを生成し、これによって新たなスタートページが生成される。かかるスタートページの値は、スタートページデータとして、ECCブロック11内に一時的に保持される。この場合、ホストアドレス#0の下位5ビットが「00101（5）」であるから、ECCブロック11内に格納されるスタートページデータは「00110（6）」となる。

30

【0189】

ホストアドレスから内部アドレスへの変換の手順については、すでに説明したとおりであり、得られる内部アドレス#0は、「000000000000010000101B」となる。

【0190】

さらに、物理ブロックアドレス格納領域#500に対応するスタートページ格納領域#500に、上記スタートページ「00110（6）」が上書きされる。

【0191】

以上より、ホストアドレス#0から内部アドレス#0への変換が完了する。これにより、内部アドレス#0によってアクセスされるのはフラッシュメモリチップ2-0内のブロック#4のページ#5となる。

40

【0192】

その後、フラッシュシーケンサブロック12が有するレジスタ（図示せず）への設定が完了すると、フラッシュシーケンサブロック12による一連の書き込み動作が実行される。本例においては、フラッシュシーケンサブロック12による一連の書き込み動作は、フラッシュメモリチップ2-0内のブロック#4のページ#3に対する各種冗長データの書き込み、同ブロックのページ#5に対するユーザデータ及び各種冗長データの書き込みの順に実行される。

【0193】

50

まず、ブロック # 4 のページ # 3 に対する書き込み処理について説明する。

【 0 1 9 4 】

尚、ブロック # 4 のページ # 3 には、上記書き込み動作 1 において、すでに対応論理ブロックアドレス 2 9 の書き込みが実行されているが、スタートページフラグ 3 2 及びスタートページデータ 3 3 を構成するフラッシュメモリセル 1 6 は全て消去状態（論理値 = 1）に保たれているので、スタートページフラグ 3 2 及びスタートページデータ 3 3 の書き込みは可能である。

【 0 1 9 5 】

ブロック # 4 のページ # 3 に対する書き込み処理においては、フラッシュシーケンサブブロック 1 2 は、所定のレジスタに格納された内部アドレス # 0 の上位 2 ビットに基づき、チップ選択信号 # 0 を活性化させる。これにより、フラッシュメモリチップ 2 - 0 は、データの書き込みが可能な状態となる。一方、チップ選択信号 # 1 ~ # 3 は、非活性状態が保たれる。

10

【 0 1 9 6 】

次いで、フラッシュシーケンサブブロック 1 2 は、内部アドレス # 0 の下位 5 ビットを従前のスタートページ「0 0 0 1 1 B」とした書き込みアドレスを生成し、その下位 1 8 ビット「0 0 0 0 0 0 0 0 0 0 1 0 0 0 0 0 1 1 B」を、所定のレジスタに格納された内部書き込みコマンドとともにバス 1 5 に供給するよう、フラッシュメモリインターフェースブロック 1 0 に指示する。上述のとおり、チップ選択信号 # 0 が活性状態となっているため、バス 1 5 に供給された内部アドレス及び内部読み出しコマンドは、フラッシュメモリチップ 2 - 0 に対してのみ有効となる。

20

【 0 1 9 7 】

これにより、フラッシュメモリチップ 2 - 0 は、ブロック # 4 のページ # 3 に書き込まれるべきデータの受け付けが許可された状態となる。

【 0 1 9 8 】

次に、ブロック # 4 のページ # 3 に書き込むべきデータが、フラッシュシーケンサブブロック 1 2 により、フラッシュメモリインターフェースブロック 1 0 を介して、バス 1 5 に供給される。ここで、ブロック # 4 のページ # 3 に書き込むべきデータとは、スタートページフラグ 3 2 及びスタートページデータ 3 3 である。

【 0 1 9 9 】

かかるデータは、上述と同様、フラッシュメモリチップ 2 - 0 内に備えられたレジスタ（図示せず）に一時的に格納され、内部書き込みコマンドの発行に回答してブロック # 4 のページ # 3 の所定の位置に書き込まれる。すなわち、ページ # 3 の冗長領域 2 6 には、スタートページフラグ 3 2 及びスタートページデータ 3 3 が格納される。

30

【 0 2 0 0 】

これにより、ブロック # 4 のページ # 3 に対する書き込み処理が完了する。

【 0 2 0 1 】

ブロック # 4 のページ # 3 に対する書き込み処理が完了すると、次に、ブロック # 4 のページ # 5 に対する書き込み処理が実行される。

【 0 2 0 2 】

ブロック # 4 のページ # 5 に対する書き込み処理は内部アドレス # 0 を用いて行われ、その手順は、すでに繰り返し説明したとおりである。これによって、ページ # 5 のユーザ領域 2 5 には、ホストアドレス # 0 に対応するユーザデータが格納され、冗長領域 2 6 には、エラーコレクションコード 2 8、スタートページデータ 3 3 及びその他の付加情報が格納される。

40

【 0 2 0 3 】

これにより、一連の書き込み処理が完了する。

【 0 2 0 4 】

図 1 0 は、上記一連の書き込み処理が完了した状態におけるブロック # 4 の内容を示す概略図である。

50

【 0 2 0 5 】

図 1 0 では、ユーザ領域 2 5 については、ユーザデータの格納されている部分にハッチングが施されており、冗長領域 2 6 については、対応論理ブロックアドレス 2 9、スタートページフラグ 3 2 及びスタートページデータ 3 3 のみが示され、エラーコレクションコード 2 8、CRC 3 1 及びその他の付加情報については省略されている。

【 0 2 0 6 】

図 1 0 に示されるように、ブロック # 4 のページ # 1、# 2、# 5 にのみユーザデータが格納されており、その他のページにはユーザデータが格納されていないので、当該ブロックにおけるスタートページは「6」であり、かかる値がページ # 3 のスタートページデータ 3 3 として格納されていることが分かる。このため、コントローラ 3 は、スタートページ検索によって、このブロックのページ # 6 ~ # 3 1 が空きページであることを知ることが可能となり、その後、ホストコンピュータ 5 よりブロック # 4 のページ # 6 ~ # 3 1 に対するデータの書き込みが要求された場合であっても、ブロック間転送を行うことなく、ページ # 6 ~ # 3 1 へ直接データを書き込むことが可能となる。

【 0 2 0 7 】

尚、上記の例では、書き込み対象のページ # 5 にも、スタートページデータ 3 3 を書き込んでいるが、これを省略しても構わない。

【 0 2 0 8 】

さらに、上記の例では、書き込み対象のページ # 5 に対応論理ブロックアドレス 2 9 及び CRC 3 1 を書き込まなかったが、これらを書き込んでも構わない。但し、これらが使用されないことは上述のとおりである。

【 0 2 0 9 】

また、上記の例では、スタートページ格納領域 # 5 0 0 から直接スタートページを入手しているが、上記書き込み動作 1 が行われた後、コントローラ 3 がリセットされたことにより S R A M ワークエリア 8 の内容が一旦消去されている場合には、上述したスタートページ検索によってスタートページを入手する必要がある。

【 0 2 1 0 】

尚、上記の例では、ユーザデータが追加的に書き込まれるページがページ # 5 であり、新たなスタートページがページ # 6 となる場合を説明したが、ユーザデータが追加的に書き込まれるページにページ # 3 0 が含まれ、これによって新たなスタートページがページ # 3 1 となる場合は、現在のスタートページ (ページ # 3) のスタートページフラグ 3 2 が「0」とされる。これにより、スタートページがページ # 3 ではなく、ページ # 3 1 であることが示され、スタートページ検索によってこれを検出することが可能となる。

【 0 2 1 1 】

書き込み動作 3 (最終ページ # 3 1 にデータを書き込む場合)

最終ページ # 3 1 にデータを書き込む場合は、かかるブロックが空きブロックであるか、すでにデータの格納されているブロック (使用済みブロック) であるかに関わらず、当該ブロックの先頭ページ # 0 のスタートページフラグ 3 2 に「0」が格納され、さらに、アドレス変換テーブル 2 7 の対応するスタートページ格納領域に「0 0 0 0 0 B」が格納される。これにより、当該ブロックに対するデータの追加的な書き込みができないことが示される。

【 0 2 1 2 】

以上説明した、空きブロックに対するデータの書き込み処理について、具体的な例を挙げてより詳細に説明する。

【 0 2 1 3 】

ここでは、上述した書き込み動作 1 が完了した直後の状態において、ホストコンピュータ 5 より、バス 1 4、コネクタ 4 及びバス 1 3 を介して、外部コマンドの一種である外部書き込みコマンドと、ホストアドレス「0 0 0 0 0 0 1 1 1 1 1 0 1 0 0 1 1 1 1 1 B」(ホストアドレス # 0) と、かかるホストアドレスに書き込むべきデータとがフラッシュメモリシステム 1 に供給された場合を例に説明する。

【0214】

まず、ホストアドレス#0及び外部書き込みコマンドがコントローラ3に供給された場合の、コントローラ3の基本的な動作は上述したとおりであり、重複する部分の説明は省略する。

【0215】

本例においては、スタートページ格納領域#500に格納されたスタートページの値「00011B(3)」と、ユーザデータを書き込むべきページの先頭ページとの比較が行われる。この場合、ユーザデータを書き込むべきページの先頭ページは、ホストアドレス#0によって示されているので、スタートページの値「00011(3)」と、ホストアドレス#0の下位5ビットの値「11111(31)」とが比較されることとなる。このように、本例では、ホストアドレス#0の下位5ビットの値「11111(31)」がスタートページの値「00011(3)」を超えているので、データの追加的な書き込みが可能であると判断される。

10

【0216】

ホストアドレスから内部アドレスへの変換の手順については、すでに説明したとおりであり、得られる内部アドレス#0は、「00000000000010011111B」となる。

【0217】

さらに、ホストアドレス#0の下位5ビットの値が「11111(31)」であることに応答して、物理ブロックアドレス格納領域#500に対応するスタートページ格納領域#500に、値「00000(0)」が上書きされる。

20

【0218】

以上より、ホストアドレス#0から内部アドレス#0への変換が完了する。これにより、内部アドレス#0によってアクセスされるのはフラッシュメモリチップ2-0内のブロック#4のページ#31となる。

【0219】

その後、フラッシュシーケンサブブロック12が有するレジスタ(図示せず)への設定が完了すると、フラッシュシーケンサブブロック12による一連の書き込み動作が実行される。本例においては、フラッシュシーケンサブブロック12による一連の書き込み動作は、フラッシュメモリチップ2-0内のブロック#4のページ#0に対する各種冗長データの書き込み、同ブロックのページ#31に対するユーザデータ及び各種冗長データの書き込みの順に実行される。

30

【0220】

まず、ブロック#4のページ#0に対する書き込み処理について説明する。

【0221】

尚、ブロック#4のページ#0には、上記書き込み動作1において、すでに対応論理ブロックアドレス29の書き込みが実行されているが、スタートページフラグ32の上位ビットを構成するフラッシュメモリセル16は消去状態(論理値=1)に保たれているので、スタートページフラグの書き込みは可能である。

【0222】

ブロック#4のページ#0に対する書き込み処理においては、フラッシュシーケンサブブロック12は、所定のレジスタに格納された内部アドレス#0の上位2ビットに基づき、チップ選択信号#0を活性化させる。これにより、フラッシュメモリチップ2-0は、データの書き込みが可能な状態となる。一方、チップ選択信号#1~#3は、非活性化状態が保たれる。

40

【0223】

次いで、フラッシュシーケンサブブロック12は、内部アドレス#0の下位5ビットを「00000B」とした書き込みアドレスを生成し、その下位18ビット「00000000000100000000B」を、所定のレジスタに格納された内部書き込みコマンドとともにバス15に供給するよう、フラッシュメモリインターフェースブロック10に指示する

50

。上述のとおり、チップ選択信号# 0が活性状態となっているため、バス15に供給された内部アドレス及び内部読み出しコマンドは、フラッシュメモリチップ2 - 0に対してのみ有効となる。

【0224】

これにより、フラッシュメモリチップ2 - 0は、ブロック# 4のページ# 0に書き込まれるべきデータの受け付けが許可された状態となる。

【0225】

次に、ブロック# 4のページ# 0に書き込むべきデータが、フラッシュシーケンサブロック12により、フラッシュメモリインターフェースブロック10を介して、バス15に供給される。ここで、ブロック# 4のページ# 0に書き込むべきデータとは、スタートページフラグ32である。

10

【0226】

かかるデータは、上述と同様、フラッシュメモリチップ2 - 0内に備えられたレジスタ(図示せず)に一時的に格納され、内部書き込みコマンドの発行に回答してブロック# 4のページ# 0の所定の位置に書き込まれる。すなわち、ページ# 0の冗長領域26には、値が「00」であるスタートページフラグ32が格納される。

【0227】

これにより、ブロック# 4のページ# 0に対する書き込み処理が完了する。

【0228】

ブロック# 4のページ# 0に対する書き込み処理が完了すると、次に、ブロック# 4のページ# 31に対する書き込み処理が実行される。

20

【0229】

ブロック# 4のページ# 31に対する書き込み処理は内部アドレス# 0を用いて行われ、その手順は、すでに繰り返し説明したとおりである。これによって、ページ# 31のユーザ領域25には、ホストアドレス# 0に対応するユーザデータが格納され、冗長領域26には、エラーコレクションコード28及びその他の付加情報が格納される。

【0230】

これにより、一連の書き込み処理が完了する。

【0231】

図11は、上記一連の書き込み処理が完了した状態におけるブロック# 4の内容を示す概略図である。

30

【0232】

図11では、ユーザ領域25については、ユーザデータの格納されている部分にハッチングが施されており、冗長領域26については、対応論理ブロックアドレス29、スタートページフラグ32及びスタートページデータ33のみが示され、エラーコレクションコード28、CRC31及びその他の付加情報については省略されている。

【0233】

図11に示されるように、ブロック# 4の最終ページ# 31にユーザデータが格納されているため、当該ブロックにおけるスタートページは存在しない。これに示すため、先頭ページ# 0のスタートページフラグ32の値が「00」とされており、さらに、当該ブロックに対応するスタートデータ格納領域# 500の内容が「00000B」とされている。このため、コントローラ3は、このブロックにはスタートページが存在しないことを知ることが可能となり、その後、ホストコンピュータ5よりブロック# 4のいずれかのページに対するデータの書き込みが要求された場合、ブロック間転送が行われる。

40

【0234】

尚、上記の例では、スタートページ格納領域# 500から直接スタートページを入手しているが、上記書き込み動作1が行われた後、コントローラ3がリセットされたことによりSRAMワークエリア8の内容が一旦消去されている場合には、上述したスタートページ検索によってスタートページを入手する必要がある。

【0235】

50

以上説明したように、本実施態様にかかるフラッシュメモリシステム1においては、空きブロックに対するデータの書き込みが行われる場合、ユーザデータを書き込むべきページ、並びに、ユーザデータを書き込むべきページとは無関係に当該ブロックのページ#0~#3、#31の冗長領域26に、対応論理ブロックアドレス29及びCRC31が格納されるので、先頭ページ(ページ#0)に含まれる対応論理ブロックアドレス29に誤りが発生した場合であっても、確実に当該ブロックに対応する論理ブロックアドレスを特定することが可能となる。しかも、ユーザデータを書き込むべきページではなく、且つ、ページ#0~#3、#31ではないブロックの冗長領域26には、対応論理ブロックアドレス29及びCRC31が格納されないため、不要な書き込み処理によって無駄な書き込み時間が発生することがない。このため、データの書き込みに必要な一連の処理をより高速に行うことができる。

10

【0236】

また、本発明においては、スタートページという概念を用い、各ブロックを構成する複数のページのうち、スタートページ以降のページが必ず空きページであることが保証されているので、すでにデータの書き込まれているブロックに対するデータの書き込みが要求された場合であっても、これがスタートページ以降のページに対するデータの書き込み要求である場合には、ブロック間転送を行うことなく、当該ブロックに対して直接データを書き込むことが可能となる。このため、データの書き込みに必要な一連の処理をより高速に行うことができる。

【0237】

20

しかも、本実施態様にかかるフラッシュメモリシステム1においては、各ページの冗長領域26にスタートページデータ33を格納し、かかるスタートページデータ33を用いたリンクによってスタートページを表現しているので、アドレス変換テーブル27を作成する際には、各ブロックの先頭ページ(ページ#0)に対して読み出しを実行するだけでよい。このような読み出し処理は、コントローラ3の初期設定時(リセット時)において通常行われる処理であるため、本発明の適用によって初期設定動作に要する時間が増大することはない。

【0238】

また、本実施態様にかかるフラッシュメモリシステム1においては、一旦データの書き込みが実行されたブロックのスタートページを、対応するスタートページ格納領域に格納しているため、次に同じブロックに対して書き込みが行われる場合、極めて速やかにスタートページを得ることができる。

30

【0239】

尚、本発明は、PCMCIA(Personal Computer Memory Card International Association)が発表した統一規格に基づくPCカードとして実現することが可能である。さらに、近年、半導体素子の高集積化技術の発展に伴い、より小型化された小型メモリカード、例えば、CFA(Compact Flash Association)が提唱する「Compact Flash(サンディスク社の登録商標)」や、MultiMediaCard Associationの提唱する「MMC(MultiMediaCard)」、ソニー株式会社が提唱する「メモリースティック(ソニー(株)の商標)」などに本発明を適用することが可能である。

40

【0240】

本発明は、以上の実施態様に限定されることなく、特許請求の範囲に記載された発明の範囲内で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

【0241】

例えば、上記実施態様にかかるフラッシュメモリシステム1においては、空きブロックに対してデータの書き込みを行う場合、ユーザデータを書き込むべきページとは無関係に当該ブロックのページ#0~#3の冗長領域26に、対応論理ブロックアドレス29及びC

50

R C 3 1を格納しているが、ユーザデータを書き込むべきページとは無関係に対応論理ブロックアドレス29及びC R C 3 1を書き込む対象としては、ページ# 0 ~ # 3に限定されず、少なくともページ# 0を含む連続した複数ページであればよい。例えば、ページ# 0 ~ # 2であってもよい。この場合も、対応論理ブロックアドレス29及びC R C 3 1が書き込まれている最終ページ(ページ# 3 1を除く)において、対応論理ブロックアドレス29のエラーが検出された時点で、当該ブロックは不良ブロックとして取り扱われることになる。

【0242】

また、上記実施態様にかかるフラッシュメモリシステム1においては、各ページの冗長領域26にスタートページデータ33を格納し、かかるスタートページデータ33を用いたリンクによってスタートページを表現しているが、本発明におけるスタートページの表現方法がこれに限定されるものではなく、他の方法によってスタートページを表現しても構わない。例えば、各ブロックについて、全ての空きページに関する情報をアドレス変換テーブル27内に展開し、これに基づいて、データの追加的な書き込みを行っても構わない。この場合、上記実施態様にかかるフラッシュメモリシステム1とは異なり、全ての空きページに関する情報を用いていることから、より効果的にデータの追加的な書き込みが行われ、ブロック間転送の頻度を一層低下させることができる。但し、この場合、全ての空きページに関する情報をアドレス変換テーブル27内に展開するのに多くの時間を要することから、コントローラ3の初期設定動作が遅くなる。

【0243】

また、上記実施態様にかかるフラッシュメモリシステム1においては、2ビットのスタートページフラグ32を用いているが、スタートページフラグ32を1ビットとし、ページ# 0においては当該ブロックにスタートページが存在するか否かを表示するために用い、ページ# 1 ~ # 30においては対応するスタートページが有効であるか否かを表示するために用いてもよい。

【0244】

さらに、上記実施態様にかかるフラッシュメモリシステム1においては、スタートページ検索において、参照されたスタートページフラグ32が「x0」であれば検索を終了し、当該ページをスタートページとしているが、スタートページ検索においてスタートページデータ33を参照し、参照されたスタートページデータ33が「11111(31)」であれば検索を終了し、当該ページをスタートページとしてもよい。この場合、少なくとも、スタートページデータ33が「11111(31)」であるページについては、かかるスタートページデータ「11111(31)」がスタートページ検索の終了を示しているのか、或いは、スタートページがページ# 31であることを示しているのかを、スタートページフラグ32等を利用して区別する必要がある。

【0245】

また、上記実施態様にかかるフラッシュメモリシステム1においては、スタートページ検索において、参照先のスタートページフラグ32が属するページに制限を設けていないが、参照先のスタートページフラグ32が属するページのページ番号が参照元のスタートページフラグ32が属するページのページ番号よりも小さい場合には、対応するスタートページデータ33に誤りがあるものと判断して、エラー処理を行ってもよい。

【0246】

さらに、上記実施態様にかかるフラッシュメモリシステム1においては、スタートページ検索において、参照回数に制限を設けていないが、これを所定の回数(例えば30回)に制限し、これを越えた場合には、少なくとも一のスタートページデータ33に誤りがあるものと判断して、エラー処理を行ってもよい。

【0247】

また、上記実施態様にかかるフラッシュメモリシステム1においては、各ブロックを32個のページによって構成しているが、各ブロックを構成するページ数は32個には限定されず、他の数、例えば、16個や64個であってもよい。本発明は、各ブロックを構成す

10

20

30

40

50

るページ数が多いほど、より顕著な効果を得ることができる。

【0248】

さらに、上記実施態様にかかるフラッシュメモリシステム1においては、空きブロックに対してデータの書き込みを行う場合、ユーザデータを書き込むべきページがページ#0～#3、#31以外であっても、その冗長領域26に対応論理ブロックアドレス29及びCRC31を格納しているが、これを省略しても構わない。

【0249】

さらに、上記実施態様にかかるフラッシュメモリシステム1においては、データの格納された全ての物理ブロックに関わるアドレス変換テーブル27をSRAMワークエリア8上に展開しているが、本発明において、これら全ての物理ブロックに関わるアドレス変換テーブルを展開することは必須ではなく、これらの一部のみを展開してもよい。この場合、SRAMワークエリア8に必要とされる記憶容量を削減することができる。但し、このように一部の物理ブロックに関わるアドレス変換テーブルのみを展開する場合、アドレス変換テーブルに含まれていない物理ブロックへのアクセスが要求される度に、アドレス変換テーブルを更新する必要がある。

10

【0250】

また、上記実施態様においては、フラッシュメモリシステム1はカード形状であり、4個のフラッシュメモリチップ2-0～2-3とコントローラ3とが、一つのカード内に集積されて構成されているが、本発明にかかるフラッシュメモリシステムがカード形状に限定されることはなく、他の形状、例えばスティック状であってもよい。

20

【0251】

さらに、上記実施態様においては、フラッシュメモリシステム1は、4個のフラッシュメモリチップ2-0～2-3とコントローラ3とが、一つのカード内に集積されて構成されているが、フラッシュメモリチップ2-0～2-3とコントローラ3とが、同一筐体に集積されている必要はなく、それぞれ別個の筐体にパッケージングされてもよい。この場合、フラッシュメモリチップ2-0～2-3がパッケージングされた筐体及びコントローラ3がパッケージングされた筐体には、それぞれ他方との電氣的及び機械的接続を実現するためのコネクタが必要とされ、かかるコネクタによって、フラッシュメモリチップ2-0～2-3がパッケージングされた筐体が、コントローラ3がパッケージングされた筐体に着脱可能に装着される。さらに、フラッシュメモリチップ2-0～2-3についても、これらが同一筐体に集積されている必要はなく、それぞれ別個の筐体にパッケージングされてもよい。

30

【0252】

また、上記実施態様にかかるフラッシュメモリシステム1においては、各フラッシュメモリチップ2-0～2-3は、それぞれ128Mバイト(1Gビット)の記憶容量を有する半導体チップであるが、各フラッシュメモリチップ2-0～2-3の記憶容量は128Mバイト(1Gビット)に限定されず、これとは異なる容量、例えば32Mバイト(256Mビット)であってもよい。

【0253】

さらに、上記実施態様にかかるフラッシュメモリシステム1においては、512バイトを1ページとし、これを最小アクセス単位としているが、最小アクセス単位としては512バイトに限定されず、これとは異なる容量であってもよい。

40

【0254】

また、上記実施態様にかかるフラッシュメモリシステム1においては、フラッシュメモリチップ2-0～2-3を構成する各フラッシュメモリセル16が、1ビットのデータを保持しているが、フローティングゲート電極21に注入すべき電子の量を複数段階に制御することによって、2ビット以上のデータを保持可能に構成してもよい。

【0255】

また、上記実施態様にかかるフラッシュメモリシステム1においては、フラッシュメモリチップ2-0～2-3に対してそれぞれ2個のキューを割り当てることによって、消去済

50

みブロックキュー 30 が構成されているが、各フラッシュメモリチップ 2 - 0 ~ 2 - 3 に対して割り当てられるキューの数としては 2 個に限定されず、他の数、例えば、1 個や 8 個であってもよい。

【0256】

さらに、上記実施態様にかかるフラッシュメモリシステム 1 においては、フラッシュメモリチップ 2 として NAND 型のフラッシュメモリチップを用いているが、本発明により制御可能なフラッシュメモリが NAND 型に限定されるものではなく、他の種類、例えば、AND 型のフラッシュメモリを制御することも可能である。

【0257】

さらに、本発明において、手段とは、必ずしも物理的手段を意味するものではなく、各手段の機能がソフトウェアによって実現される場合も包含する。さらに、一つの手段の機能が二以上の物理的手段により実現されても、二以上の手段の機能が一つの物理的手段により実現されてもよい。

【0258】

【発明の効果】

以上説明したように、本発明によれば、対応論理アドレスが正しく書き込まれなかったり、すでに書き込まれた対応論理アドレスの値が何らかの原因で変化してしまった場合であっても、論理アドレスと物理アドレスとの正しい対応関係を認識することができるメモリコントローラ、フラッシュメモリシステム及びフラッシュメモリの制御方法を提供することができる。

【図面の簡単な説明】

【図 1】図 1 は、本発明の好ましい実施態様にかかるフラッシュメモリシステム 1 を概略的に示すブロック図である。

【図 2】図 2 は、フラッシュメモリチップ 2 - 0 ~ 2 - 3 を構成する各フラッシュメモリセル 16 の構造を概略的に示す断面図である。

【図 3】図 3 は、書込状態であるフラッシュメモリセル 16 を概略的に示す断面図である。

【図 4】図 4 は、フラッシュメモリチップ 2 - 0 のアドレス空間の構造を概略的に示す図である。

【図 5】図 5 は、冗長領域 26 のデータ構造を概略的に示す図である。

【図 6】図 6 は、SRAM ワークエリア 8 に格納されるアドレス変換テーブル 27 のデータ構造を示す概略図である。

【図 7】図 7 は、SRAM ワークエリア 8 に格納される消去済みブロックキュー 30 のデータ構造を示す概略図である。

【図 8】図 8 は、ブロック # 4 のページ # 1 及び # 2 にデータが書き込まれた状態を示す概略図である。

【図 9】図 9 は、ブロック # 4 のページ # 1 ~ # 4 にデータが書き込まれた状態を示す概略図である。

【図 10】図 10 は、ブロック # 4 のページ # 1、# 2 及び # 5 にデータが書き込まれた状態を示す概略図である。

【図 11】図 11 は、ブロック # 4 のページ # 1、# 2 及び # 3 1 にデータが書き込まれた状態を示す概略図である。

【符号の説明】

- 1 フラッシュメモリシステム
- 2 - 0 ~ 2 - 3 フラッシュメモリチップ
- 3 コントローラ
- 4 コネクタ
- 5 ホストコンピュータ
- 6 マイクロプロセッサ
- 7 ホストインターフェースブロック

10

20

30

40

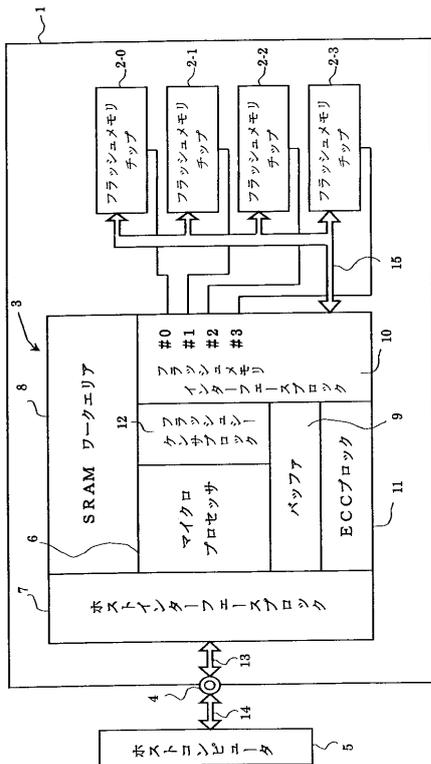
50

- 8 SRAMワークエリア
- 9 バッファ
- 10 フラッシュメモリインターフェースブロック
- 11 ECCブロック
- 12 フラッシュシーケンサブロック
- 13 ~ 15 バス
- 16 フラッシュメモリセル
- 17 P型半導体基板
- 18 ソース拡散領域
- 19 ドレイン拡散領域
- 20 トンネル酸化膜
- 21 フローティングゲート電極
- 22 絶縁膜
- 23 コントロールゲート電極
- 24 チャンネル
- 25 ユーザ領域
- 26 冗長領域
- 27 アドレス変換テーブル
- 28 エラーレクションコード
- 29 対応論理ブロックアドレス
- 30 消去済みブロックキュー
- 31 対応論理ブロックアドレス用巡回冗長ビット
- 32 スタートページフラグ
- 33 スタートページデータ

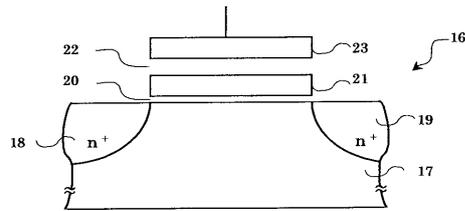
10

20

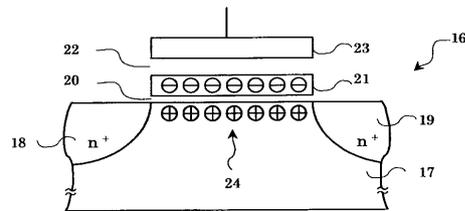
【図1】



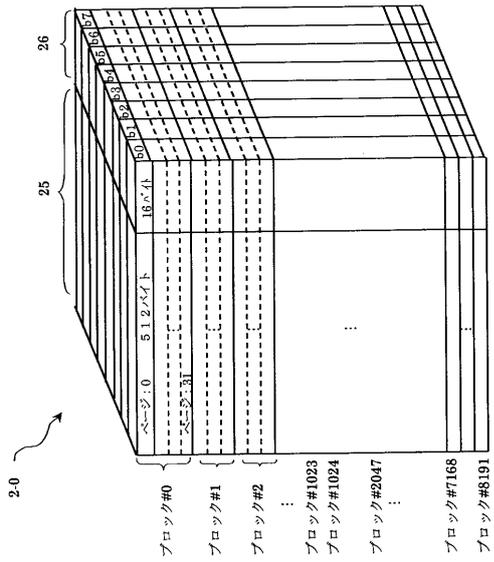
【図2】



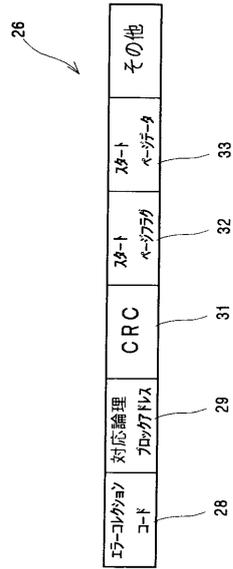
【図3】



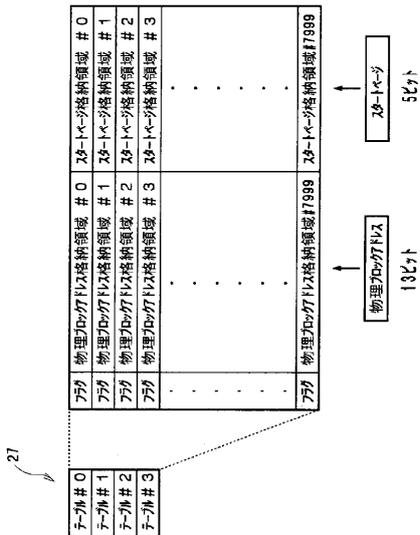
【図 4】



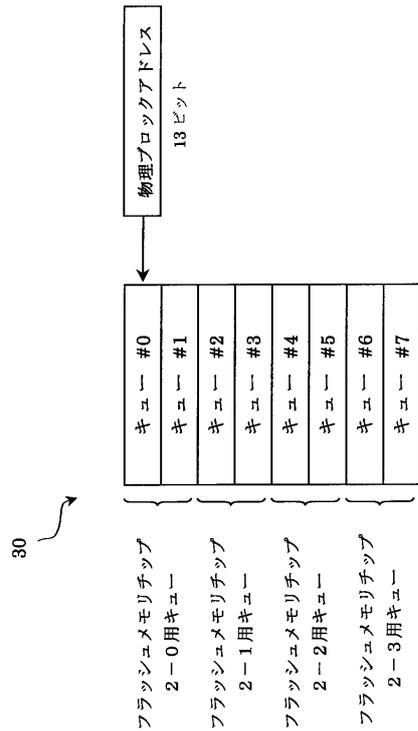
【図 5】



【図 6】



【図 7】



【図 8】

ブロック # 4

	25		26	
ページ # 0		500	10	3
ページ # 1		500	10	3
ページ # 2		500	10	3
ページ # 3		500	11	31
ページ # 4		8191	11	31
ページ # 5		8191	11	31
・	・	・	・	・
・	・	・	・	・
・	・	・	・	・
・	・	・	・	・
・	・	・	・	・
ページ # 30		8191	11	31
ページ # 31		500	11	31
		29	32	33

【図 9】

ブロック # 4

	25		26	
ページ # 0		500	10	3
ページ # 1		500	10	3
ページ # 2		500	10	3
ページ # 3		500	10	5
ページ # 4		8191	10	5
ページ # 5		8191	11	31
・	・	・	・	・
・	・	・	・	・
・	・	・	・	・
・	・	・	・	・
・	・	・	・	・
ページ # 30		8191	11	31
ページ # 31		500	11	31
		29	32	33

【図 10】

ブロック # 4

	25		26	
ページ # 0		500	10	3
ページ # 1		500	10	3
ページ # 2		500	10	3
ページ # 3		500	10	6
ページ # 4		8191	11	31
ページ # 5		8191	10	6
・	・	・	・	・
・	・	・	・	・
・	・	・	・	・
・	・	・	・	・
・	・	・	・	・
ページ # 30		8191	11	31
ページ # 31		500	11	31
		29	32	33

【図 11】

ブロック # 4

	25		26	
ページ # 0		500	00	3
ページ # 1		500	10	3
ページ # 2		500	10	3
ページ # 3		500	11	31
ページ # 4		8191	11	31
ページ # 5		8191	11	31
・	・	・	・	・
・	・	・	・	・
・	・	・	・	・
・	・	・	・	・
・	・	・	・	・
ページ # 30		8191	11	31
ページ # 31		500	11	31
		29	32	33

フロントページの続き

(72)発明者 木田 健三

東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

審査官 清木 泰

(56)参考文献 特開2001-142774(JP,A)
特開平11-110305(JP,A)
特開平11-110283(JP,A)
特開平10-124384(JP,A)
特開平09-204355(JP,A)
特開平06-274409(JP,A)
国際公開第02/052416(WO,A1)
特開2002-073409(JP,A)
特開2000-112824(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F12/00,550-12/06

G06F13/16-13/18

G06F12/16

G11C16/02-16/06

G11C17/00-17/18