

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.	(45) 공고일자	2006년11월02일
H05B 33/22 (2006.01)	(11) 등록번호	10-0642490
H05B 33/10 (2006.01)	(24) 등록일자	2006년10월27일

(21) 출원번호	10-2004-0074059	(65) 공개번호	10-2006-0025317
(22) 출원일자	2004년09월16일	(43) 공개일자	2006년03월21일

(73) 특허권자 엘지.필립스 엘시디 주식회사
 서울 영등포구 여의도동 20번지

(72) 발명자 배성준
 경기도 성남시 분당구 서현동 효자촌 현대아파트 106-1101

 박재용
 경기도 안양시 동안구 평촌동 933-7 꿈마을 APT 305-701

 김옥희
 경기 안양시 동안구 부림동 1589 한가람세경APT 506-1307

 김관수
 경기도 수원시 장안구 율전동 518 삼호진덕아파트 203-1104

(74) 대리인 허용록

심사관 : 손희수

(54) 유기전계발광 소자 및 그 제조방법

요약

본 발명에 의한 유기전계발광 소자는, 화상이 구현되는 표시영역과 상기 표시영역 외곽부의 비표시영역으로 나뉘고, 상기 표시영역 내에 서브픽셀이 정의되어 있으며, 일정간격 이격되어 배치된 제 1, 2 기판; 상기 제 1기판의 표시영역 내에 서브픽셀 단위로 형성된 적어도 하나의 박막트랜지스터를 가지는 어레이 소자; 상기 제 1 기판과 마주하는 상기 제 2기판 내부면에 배치된 제 1전극; 상기 제 1전극 상부의 각 서브픽셀의 발광영역을 구획하는 소정 영역에 형성된 버퍼; 상기 버퍼상에 형성된 격벽; 상기 제 1전극 중 상기 박막트랜지스터와 대응하여 배치된 절연층; 상기 제1 전극을 덮는 유기전계 발광층; 및 상기 유기전계발광층을 덮으며, 상기 박막 트랜지스터와 전기적으로 연결된 제2 전극을 포함하며, 상기 절연층상에 배치된 절연성 스페이서 및 상기 절연성 스페이서를 덮는 상기 제2 전극의 일부로 형성된 전도성 스페이서를 포함하는 것을 특징으로 한다.

대표도

도 3

명세서

도면의 간단한 설명

- 도 1은 종래의 하부발광방식 유기전계발광 소자에 대한 개략적인 단면도.
- 도 2는 상기 도 1에 도시된 하부발광방식 유기전계발광 소자의 하나의 서브픽셀 영역에 대한 확대 단면도.
- 도 3은 본 발명에 의한 듀얼 패널 타입의 유기전계발광 소자의 개략적인 단면도.
- 도 4는 도 3의 특정영역에 대한 상세 단면도.
- 도 5는 도 3에 도시된 유기전계발광 소자의 외곽영역에 대한 상세 단면도.
- 도 6a 내지 도 6f는 본 발명에 의한 유기전계발광 소자의 제조 공정을 나타내는 공정단면도.

<도면의 주요 부분에 대한 부호의 설명>

- 131 : 보조전극 132 : 제 1전극
- 133 : 버퍼 134 : 절연층
- 135 : 격벽 136 : 스페이서
- 137 : 유기전계발광층 138 : 제 2전극
- 150 : 전도성 스페이서 160 : 더미 스페이서
- 170 : 공통전극 연결부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기전계발광 소자에 관한 것으로, 특히 듀얼 패널 타입의 유기전계발광 소자에 구비되는 격벽 및 그 제조방법에 관한 것이다.

새로운 평판 디스플레이(FPD : Flat Panel Display) 중 하나인 유기전계발광 소자는 자체 발광형이기 때문에 액정표시장치에 비해 시야각, 콘트라스트 등이 우수하며 백라이트가 필요 없어 경량 박형이 가능하고, 소비전력 측면에서도 유리하다.

또한, 직류 저전압 구동이 가능하고 응답속도가 빠르며 전부 교체이기 때문에 외부충격에 강하고 사용온도범위도 넓으며 특히 제조비용 측면에서도 저렴한 장점을 가지고 있다.

특히, 상기 유기전계발광 소자의 제조공정에는, 액정표시장치나 PDP(Plasma Display Panel)와 달리 증착(deposition) 및 인캡슐레이션(encapsulation) 장비가 전부라고 할 수 있기 때문에, 공정이 매우 단순하다.

종래에는 이러한 유기전계발광 소자의 구동방식으로 별도의 스위칭 소자를 구비하지 않는 패시브 매트릭스형(passive matrix)이 주로 이용됐었다.

그러나, 상기 패시브 매트릭스 방식에서는 주사선(scan line)과 신호선(signal line)이 교차하면서 매트릭스 형태로 소자를 구성하므로, 각각의 픽셀을 구동하기 위하여 주사선을 시간에 따라 순차적으로 구동하므로, 요구되는 평균 휘도를 나타내기 위해서는 평균 휘도에 라인수를 곱한 것 만큼의 순간 휘도를 내야만 한다.

그러나, 액티브 매트릭스 방식에서는, 픽셀(pixel)을 온/오프(on/off)하는 스위칭 소자인 박막트랜지스터(Thin Film Transistor)가 서브픽셀(sub pixel)별로 위치하고, 이 박막트랜지스터와 연결된 제 1 전극은 서브픽셀 단위로 온/오프되고, 이 제 1 전극과 대향하는 제 2 전극은 공통전극이 된다.

그리고, 상기 액티브 매트릭스 방식에서는 픽셀에 인가된 전압이 스토리지 캐패시터(C_{ST} ; storage capacitor)에 충전되어 있어, 그 다음 프레임(frame) 신호가 인가될 때까지 전원을 인가해 주도록 함으로써, 주사선 수에 관계없이 한 화면동안 계속해서 구동한다.

따라서, 액티브 매트릭스 방식에 의하면 낮은 전류를 인가하더라도 동일한 휘도를 나타내므로 저소비전력, 고정세, 대형화가 가능한 장점을 가진다.

도 1은 종래의 하부발광방식 유기전계발광 소자에 대한 개략적인 단면도이다.

단, 이는 적, 녹, 청 서브픽셀로 구성되는 하나의 픽셀 영역을 중심으로 도시되었다.

도시된 바와 같이, 제 1, 2 기판(10, 30)이 서로 대향되게 배치되어 있고, 제 1, 2 기판(10, 30)의 가장자리부는 씰패턴(40; seal pattern)에 의해 봉지되어 있는 구조에 있어서, 제 1 기판(10)의 투명 기판(1) 상부에는 서브 픽셀별로 박막트랜지스터(T)가 형성되어 있고, 박막트랜지스터(T)와 연결되어 제 1 전극(12)이 형성되어 있고, 박막트랜지스터(T) 및 제 1 전극(12) 상부에는 박막트랜지스터(T)와 연결되어 제 1 전극(12)과 대응되게 배치되는 적(Red), 녹(Green), 청(Blue) 컬러를 띠는 발광물질을 포함하는 유기전계발광층(14)이 형성되어 있고, 유기전계발광층(14) 상부에는 제 2 전극(16)이 형성되어 있다.

상기 제 1, 2 전극(12, 16)은 유기전계발광층(14)에 전계를 인가해주는 역할을 한다.

그리고, 전술한 씰패턴(40)에 의해서 제 2 전극(16)과 제 2 기판(30) 사이는 일정간격 이격되어 있으며, 도면으로 제시하지는 않았지만, 제 2 기판(30)의 내부면에는 외부로의 수분을 차단하는 흡습제 및 흡습제와 제 2 기판(30)간의 접촉을 위한 반투성 테이프가 포함된다.

한 예로, 하부발광방식 구조에서 상기 제 1 전극(12)을 양극으로, 제 2 전극(16)을 음극으로 구성할 경우 제 1 전극(12)은 투명도전성 물질에서 선택되고, 제 2 전극(16)은 일함수가 낮은 금속물질에서 선택되며, 이런 조건 하에서 상기 유기전계발광층(14)은 제 1 전극(12)과 접하는 층에서부터 정공주입층(14a; hole injection layer), 정공수송층(14b; hole transporting layer), 발광층(14c; emission layer), 전자수송층(14d; electron transporting layer) 순서대로 적층된 구조를 이룬다.

이때, 상기 발광층(14c)은 서브픽셀별로 적, 녹, 청 컬러를 구현하는 발광물질이 차례대로 배치된 구조를 가진다.

도 2는 상기 도 1에 도시된 하부발광방식 유기전계발광 소자의 하나의 서브픽셀 영역에 대한 확대 단면도이다.

도시된 바와 같이, 투명 기판(1) 상에는 반도체층(62), 게이트 전극(68), 소스 및 드레인 전극(80, 82)이 차례대로 형성되어 박막트랜지스터 영역을 이루고, 소스 전극(80)에는 전원공급 라인(미도시)에서 형성된 파워 전극(72)이 연결되며, 드레인 전극(82)에는 유기전계발광 다이오드(E)가 연결되어 있다.

그리고, 상기 파워 전극(72)과 대응하는 하부에는 절연체가 개재된 상태로 상기 반도체층(62)과 동일물질로 이루어진 캐패시터 전극(64)이 위치하여, 이들이 대응하는 영역은 스토리지 캐패시터 영역을 이룬다.

상기 유기전계발광 다이오드(E)이외의 박막트랜지스터 영역 및 스토리지 캐패시터 영역에 형성된 소자들은 어레이 소자(A)를 이룬다.

상기 유기전계발광 다이오드(E)는 유기전계발광층(14)이 개재된 상태로 서로 대향된 제 1 전극(12) 및 제 2 전극(16)으로 구성된다. 상기 유기전계발광 다이오드(E)는 자체발광된 빛을 외부로 방출시키는 발광 영역에 위치한다.

이와 같이, 기존의 유기전계발광 소자는 어레이 소자(A)와 유기전계발광 다이오드(E)가 동일 기판 상에 적층된 구조로 이루어지는 것을 특징으로 하였다.

이와 같이, 기존의 하부발광방식 유기전계발광 소자는 어레이 소자 및 유기전계발광 다이오드가 형성된 기판과 별도의 인캡슐레이션용 기판의 합착을 통해 소자를 제작하였다.

이 경우, 어레이 소자의 수율과 유기전계발광 다이오드의 수율의 곱이 유기전계발광 소자의 수율을 결정하기 때문에, 기존의 유기전계발광 소자 구조에서는 후반 공정에 해당되는 유기전계발광 다이오드 공정에 의해 전체 공정 수율이 크게 제한되는 문제점이 있었다. 예를 들어, 어레이 소자가 양호하게 형성되었다 하더라도, 1000Å 정도의 박막을 사용하는 유기전계발광층의 형성시 이물이나 기타 다른 요소에 의해 불량률이 발생하게 되면, 유기전계발광 소자는 불량 등급으로 판정된다.

이로 인하여, 양품의 어레이 소자를 제조하는데 소요되었던 제반 경비 및 재료비 손실이 초래되고, 생산수율이 저하되는 문제점이 있었다.

그리고, 하부발광방식은 인캡슐레이션에 의한 안정성 및 공정이 자유도가 높은 반면 개구율의 제한이 있어 고해상도 제품에 적용하기 어려운 문제점이 있으며, 상부발광방식은 박막트랜지스터 설계가 용이하고 개구율 향상이 가능하기 때문에 제품수명 측면에서 유리하지만, 기존의 상부발광방식 구조에서는 유기전계발광층 상부에 통상적으로 음극이 위치함에 따라 재료선택폭이 좁기 때문에 투과도가 제한되어 광효율이 저하되는 점과, 광투과도의 저하를 최소화하기 위해 박막형 보호막을 구성해야 하는 경우, 외기를 충분히 차단하지 못하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 어레이 소자와 유기전계발광 다이오드를 서로 다른 기판에 구성하는 것으로, 제 2기판에는 유기전계발광층을 포함한 유기전계발광 다이오드를 형성하고, 제 1기판에는 상기 유기전계발광 다이오드를 구동시키기 위한 박막트랜지스터가 포함된 어레이 소자를 형성하며, 상기 박막트랜지스터 및 유기전계발광 다이오드를 전기적으로 연결시키는 전도성 스페이서가 상기 제 2기판 상에 형성됨으로써, 개구율 및 해상도를 향상시키는 유기전계발광 소자 및 제조방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명에 의한 유기전계발광 소자는, 화상이 구현되는 표시영역과 상기 표시영역 외곽부의 비표시영역으로 나뉘고, 상기 표시영역 내에 서브픽셀이 정의되어 있으며, 일정간격 이격되어 배치된 제 1, 2 기판; 상기 제 1기판의 표시영역 내에 서브픽셀 단위로 형성된 적어도 하나의 박막트랜지스터를 가지는 어레이 소자; 상기 제 1 기판과 마주하는 상기 제 2기판 내부면에 배치된 제 1전극; 상기 제 1전극 상부의 각 서브픽셀의 발광영역을 구획하는 소정 영역에 형성된 버퍼; 상기 버퍼상에 형성된 격벽; 상기 제 1전극 중 상기 박막트랜지스터와 대응하여 배치된 절연층; 상기 제 1 전극을 덮는 유기전계 발광층; 및 상기 유기전계발광층을 덮으며, 상기 박막 트랜지스터와 전기적으로 연결된 제2 전극을 포함하며,

상기 절연층상에 배치된 절연성 스페이서 및 상기 절연성 스페이서를 덮는 상기 제2 전극의 일부로 형성된 전도성 스페이서를 포함한다.

여기서, 상기 격벽은 인접하는 각 서브픽셀을 분리하는 것으로, 상기 버퍼 상에서 역 테이퍼(taper) 형상으로 형성되고, 상기 절연층은 상기 버퍼와 동일한 재료로 형성되며, 상기 절연층 상에 형성된 스페이서는 상기 격벽과 동일한 재료로 형성됨을 특징으로 한다.

또한, 상기 스페이서는 상기 제 2전극 성막 시 상기 스페이서에 의해 끊어짐이 발생되지 않도록 정 테이퍼(taper) 형상으로 형성되고, 상기 스페이서의 높이는 상기 격벽의 높이보다 높게 형성됨을 특징으로 한다.

또한, 상기 스페이서의 외부면이 상기 유기전계발광층 및 제 2전극이 순차적으로 덮어져 전도성을 갖게 되어 전도성 스페이서가 이루어지고, 상기 전도성 스페이서는 제 1기판 상에 형성되는 각 서브픽셀의 박막트랜지스터(T)와 제 2기판 상에 각 서브픽셀별로 형성되는 제 2전극을 전기적으로 연결시킴을 특징으로 한다.

또한, 상기 제 1전극 하부에 상기 제 1전극의 저항을 낮추기 위한 보조전극이 더 형성되고, 상기 보조전극은 비저항값이 낮은 유색의 금속으로 구성되며, 상기 제 1기판 상에 박막트랜지스터가 형성된 영역과 대응되는 상기 제 2기판 상의 버퍼 형성 영역 하부에 형성됨을 특징으로 한다.

또한, 상기 비표시영역에는, 상기 표시영역의 최외곽 서브픽셀에 인접하여 형성된 다수의 더미 서브픽셀과; 상기 제 1기판으로부터 공통전압을 인가 받아 이를 제 2기판 상에 형성된 공통전극으로서의 제 1전극으로 전달하기 위한 공통전극 연결부와; 상기 제 1기판 및 제 2기판을 봉지하기 위해 기판의 가장자리부에 형성된 쉘 패턴과; 상기 공통전극 연결부에서 쉘 패턴까지의 영역에 다수 형성된 더미 스페이서가 구비됨을 특징으로 한다.

여기서, 상기 공통전극 연결부는 제 2기판 상에 형성된 제 1전극의 끝단부 상에 형성된 절연층 및 스페이서에 제 2전극을 이루는 금속이 덮여져 형성되고, 상기 공통전극 연결부는 제 1기판의 일 면에 구비된 전극 패드와 전기적으로 연결되고, 상기 전극 패드로부터 공통전압을 인가 받음을 특징으로 한다.

또한, 본 발명에 의한 유기전계발광 소자 제조방법은, 제 1기판의 표시영역 내부면에 서브픽셀 단위로 형성된 적어도 하나의 박막트랜지스터를 갖는 어레이 소자가 형성되는 단계; 제 2기판의 표시영역 상에 제 1전극이 형성되는 단계; 상기 제 1전극 상부 영역 중 각 서브픽셀의 발광영역을 구획하는 버퍼 및 상기 각 서브 픽셀의 발광영역 내의 소정 영역에 절연층이 형성되는 단계; 상기 버퍼 상의 소정 영역 및 상기 절연층 상의 소정 영역에 각각 격벽 및 절연성 스페이서가 형성되는 단계; 상기 각 서브픽셀의 발광영역에 유기전계발광층이 형성되는 단계; 상기 각 서브픽셀의 발광영역에 상기 절연성 스페이서를 덮는 제 2 전극을 형성하여 상기 박막트랜지스터와 접촉하는 전도성 스페이서를 형성하는 단계; 및 상기 제 1기판 및 제 2기판의 가장자리부에 쉘 패턴이 형성되어 상기 제 1기판 및 제 2기판이 봉지되는 단계를 포함한다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세히 설명하도록 한다.

도 3은 본 발명의 실시예에 의한 듀얼 패널 타입의 유기전계발광 소자의 개략적인 단면도이다.

도 3에 도시된 바와 같이, 서로 일정간격 이격되어 제 1, 2 기판(110, 130)이 배치되어 있고, 제 1 기판(110)의 투명 기판(100) 내부면에는 어레이 소자(120)가 형성되어 있고, 제 2 기판(130)의 투명 기판(101) 내부면에는 유기전계발광 다이오드 소자(E)가 형성되어 있으며, 상기 제 1 및 2기판(110, 130)의 가장자리부는 쉘패턴(140 ; seal pattern)에 의해 봉지되어 있다.

또한, 이는 상기 어레이 소자 및 유기전계발광 다이오드가 형성되어 빛이 발광되는 표시영역과 상기 표시영역의 외곽 영역인 비표시영역으로 나뉘어 지며, 먼저 표시영역의 구성에 대해 설명하면 다음과 같다.

상기 유기전계발광 다이오드(E)에는, 공통전극으로 이용되는 제 1 전극(132)과, 제 1 전극(132) 상부면에서 서브픽셀별 경계부에 위치하는 격벽(135)과, 격벽(135)내 영역에서 유기전계발광층(137), 제 2 전극(138)이 차례대로 서브픽셀 단위로 분리된 패턴으로 형성되어 있다.

또한, 각 서브픽셀 내에 형성되는 유기전계발광층(137)을 구획 즉, 발광영역을 한정하기 위해 버퍼(133)가 형성된다.

상기 격벽(135)은 인접하는 각 서브픽셀을 분리하는 역할을 수행하는 것으로, 도시된 바와 같이 상기 버퍼(133) 상에서 역테이퍼(taper) 형상으로 형성된다.

또한, 본 발명은 상기 버퍼(133)가 형성될 때, 발광영역 내에 상기 버퍼와 동일한 재료로 구성된 절연층(134)이 더 형성되고, 상기 절연층 상에는 상기 격벽(135)이 형성될 때, 그와 동일한 재료로 구성된 스페이서(136)가 더 형성됨을 특징으로 한다. 여기서, 상기 버퍼(133) 및 격벽(135)은 유기질 재료 또는 무기질 재료로 형성됨이 바람직하다.

이 때, 상기 스페이서(136)는 상기 격벽(135)과는 달리 추후 제 2전극 성막시 상기 스페이서(136)에 의해 끊어짐이 발생되지 않도록 정 테이퍼(taper) 형상으로 형성하는 것이 바람직하며, 그 높이는 상기 격벽(135)의 높이보다 높게 형성한다.

즉, 상기 스페이서(135)의 외부면은 추후 형성되는 유기전계발광층(137) 및 제 2전극(138)이 순차적으로 덮어지게 되고, 이에 의해 상기 스페이서(136)는 전도성을 갖게 되어 결과적으로 제 1기판 상에 형성되는 각 서브픽셀의 박막트랜지스터(T)와 제 2기판 상에 각 서브픽셀별로 형성되는 제 2전극(138)을 전기적으로 연결시키는 역할을 수행하게 된다.

상기 유기전계발광층(137)은 제 1 캐리어 전달층(137a), 발광층(137b), 제 2 캐리어 전달층(137c)가 차례대로 적층된 구조로 이루어지며, 상기 제 1, 2 캐리어 전달층(137a, 137c)은 발광층(137b)에 전자(electron) 또는 정공(hole)을 주입(injection) 및 수송(transporting)하는 역할을 한다.

상기 제 1, 2 캐리어 전달층(137a, 137c)은 양극 및 음극의 배치구조에 따라 정해지는 것으로, 한 예로 상기 발광층(137b)이 고분자 물질에서 선택되고, 제 1 전극(132)을 양극, 제 2 전극(138)을 음극으로 구성하는 경우에는 제 1 전극(132)과 연결하는 제 1 캐리어 전달층(137a)은 정공주입층, 정공수송층이 차례대로 적층된 구조를 이루고, 제 2 전극(138)과 연결하는 제 2 캐리어 전달층(137c)은 전자주입층, 전자수송층이 차례대로 적층된 구조로 이루어진다.

또한, 상기 유기전계발광층(137)은 고분자 물질 또는 저분자 물질로 형성할 수 있는데, 저분자 물질로 형성하는 경우는 진공 증착법을 통해 형성하고, 고분자 물질로 형성하는 경우는 잉크젯 방법을 통해 형성하게 된다.

그리고, 상기 어레이 소자(120)는 박막트랜지스터(T)를 포함하는 소자로서, 상기 유기전계발광 다이오드(E)에 전류를 공급하기 위하여, 서브픽셀 단위로 제 2 전극(138)과 박막트랜지스터(T)를 연결하는 위치에 상기 제 2기판 상에서 형성된 전도성 스페이서(150)가 위치한다.

상기 전도성 스페이서(150)는 앞서 설명한 바와 같이 제 2기판의 발광영역 상의 절연층(134) 상부에 형성된 스페이서(136) 외부면에 제 2전극(138)이 덮여지도록 형성되어 전도성을 띄게 되는 것으로, 이는 일반적인 액정표시장치용 스페이서와 달리, 셀갭 유지 기능보다 두 기판을 전기적으로 연결시키는 것을 주목적으로 한다.

즉, 상기 전도성 스페이서(150)는 제 1기판(110)에 서브픽셀 단위로 구비된 박막트랜지스터(T)의 드레인 전극(112)과 제 2기판(130)에 구비된 제 2전극(138)을 전기적으로 연결하는 역할을 수행하는 것으로, 상기 격벽(135)과 동일한 재료인 유기절연막 등으로 형성된 기둥 형상의 스페이서(136)에 금속 즉, 제 2전극(138)이 입혀진 것이며, 이는 제 1, 2기판(110, 130)의 픽셀을 일대일로 합착하여 전류를 통하게 하는 역할을 한다.

본 발명은 상기 스페이서(136)가 제 2기판에 구비된 각 서브픽셀의 발광영역 상에 형성되고, 상기 스페이서의 외부면에 유기전계발광층(137)을 형성하는 고분자 또는 저분자 물질 및 제 2전극(138) 물질이 순차적으로 덮여져 전도성을 띄게 된다는 점에서 그 특징이 있다.

상기 전도성 스페이서(150)와 박막트랜지스터(T)의 연결부위를 좀 더 상세히 설명하면, 박막트랜지스터(T)를 덮는 영역에 드레인 전극(112)을 일부 노출시키는 드레인 콘택홀을 가지는 보호층(124)이 형성되어 있고, 보호층(124) 상부에는 드레인 콘택홀을 통해 드레인 전극(112)과 연결되도록 구성된 전기적 연결패턴(114)이 형성된다.

이에 상기 전도성 스페이서(150)는 상기 전기적 연결패턴(114)과 전기적으로 접촉하게 되고, 이를 통해 결과적으로 각 서브픽셀에 대응되는 제 1기판 상의 박막트랜지스터(T)와 제 2기판 상의 제 2전극(138)이 전기적으로 연결된다.

여기서, 상기 박막트랜지스터(T)는, 상기 유기전계발광 다이오드(E)와 연결되는 구동용 박막트랜지스터에 해당된다.

상기 전도성 스페이서(150)의 외부를 이루는 금속 즉, 제 2전극(138)은 전도성 물질에서 선택되며, 바람직하기로는 연성을 띠고, 비저항값이 낮은 금속물질에서 선택되는 것이 바람직하다.

그리고, 상기 유기전계발광층(137)에서 발광된 빛을 제 2 기판(130) 쪽으로 발광시키는 상부발광방식인 것을 특징으로 한다.

이에 따라, 상기 제 1 전극(132)은 투광성을 가지는 도전성 물질에서 선택되는 것을 특징으로 하고, 상기 제 2 전극(138)은 불투명 금속물질에서 선택되는 것이 바람직하다.

상기 제 1 전극(132)을 이루는 투광성의 도전성 물질로는 ITO가 이용되는 것이 바람직한데, 상기 ITO는 금속 자체의 저항값이 높으므로, 본 발명의 경우 상기 제 1전극 하부에 상기 제 1전극의 저항을 낮추기 위한 보조전극(131)이 더 형성됨을 그 특징으로 한다.

이 때, 상기 보조전극(131)은 비저항값이 낮은 유색의 금속으로 구성될 수 있으며, 이는 도시된 바와 같이 제 1기판 상에 박막트랜지스터가 형성된 영역과 대응되는 영역 즉, 상기 버퍼(133) 형성 영역 하부에 형성됨이 바람직하다.

또한, 상기 제 1, 2 기판(110, 130)간의 이격공간(I)은 비활성 기체 또는 절연성 액체로 채워질 수 있다.

도면으로 제시하지 않았지만, 상기 어레이 소자(120)는 주사선과, 주사선과 교차하며, 서로 일정간격 이격되는 신호선 및 전력 공급선과, 주사선과 신호선이 교차하는 지점에 위치하는 스위칭 박막트랜지스터 그리고, 스토리지 캐패시터를 더욱 포함한다.

다음으로 본 발명의 실시예에 의한 유기전계발광 소자의 비표시영역에 대해 설명하면, 도시된 바와 같이 비표시영역에는 표시영역의 최외곽 서브픽셀에 인접하여 형성된 다수의 더미 서브픽셀과, 제 1기판으로부터 공통전압을 인가 받아 이를 제 2기판 상에 형성된 공통전극으로서의 제 1전극으로 전달하기 위한 공통전극 연결부(170) 및 상기 공통전극 연결부(170)에서 쉘 패턴(140)까지의 영역에 다수 형성된 더미 스페이서(160)가 구비된다.

이와 같은 듀얼 패널 타입의 유기전계발광 소자는, 어레이 소자와 유기전계발광 다이오드 소자를 서로 다른 기판 상에 구성하기 때문에, 기존의 어레이 소자와 유기전계발광 다이오드 소자를 동일 기판 상에 형성하는 경우와 비교할 때, 어레이 소자의 수율에 유기전계발광 다이오드 소자가 영향을 받지 않아 각 소자의 생산관리 측면에서도 양호한 특성을 나타낼 수 있다.

또한, 전술한 조건 하에서 상부발광방식으로 화면을 구현하게 되면, 개구율을 염두하지 않고 박막트랜지스터를 설계할 수 있어 어레이 공정효율을 높일 수 있고, 고개구율/고해상도 제품을 제공할 수 있으며, 듀얼 패널(dual panel) 타입으로 유기전계발광 다이오드 소자를 형성하기 때문에, 기존의 상부발광방식보다 외기를 효과적으로 차단할 수 있어 제품의 안정성을 높일 수 있다.

또한, 종래의 하부발광방식 제품에서 발생되었던 박막트랜지스터 설계에 대해서도 유기전계발광 다이오드 소자와 별도의 기판에 구성함에 따라, 박막트랜지스터 배치에 대한 자유도를 충분히 얻을 수 있고, 유기전계발광 다이오드 소자의 제 1 전극을 투명 기판 상에 형성하기 때문에, 기존의 어레이 소자 상부에 제 1 전극을 형성하는 구조와 비교해볼 때, 제 1 전극에 대한 자유도를 높일 수 있는 장점을 가지게 된다.

도 4는 도 3의 특정영역(A)에 대한 상세 단면도로서, 이는 본 발명의 실시예에 의한 듀얼 패널 타입의 유기전계발광 소자에 있어서, 제 2기판의 표시영역 상에 형성된 하나의 서브픽셀 영역을 나타내는 것이다.

도 4를 참조하면, 상기 제 2기판(130)은 투명 기판(101) 상에 제 1전극(132)이 형성되고, 상기 제 1전극(132)의 상부면에 각 서브픽셀의 경계부에 위치하는 버퍼(133) 및 격벽(135)이 형성되어 있다.

상기 버퍼(133)는 각 서브픽셀 내에 형성되는 유기전계발광층(137)을 구획 즉, 발광영역을 한정하는 역할을 하며, 상기 격벽(135)은 인접하는 각 서브픽셀을 분리하는 역할을 수행하는 것으로, 도시된 바와 같이 상기 버퍼(133) 상에서 역 테이퍼(taper) 형상으로 형성된다.

즉, 각 서브픽셀은 상기 버퍼(133) 내의 영역을 발광영역으로 하고, 상기 영역에 유기전계발광층을 이루는 고분자 또는 저분자 물질이 형성되는 것이다.

본 발명은 상기 발광영역 내에 상기 버퍼(133)가 형성될 때, 상기 버퍼와 동일한 재료로 구성된 절연층(134)이 더 형성되고, 상기 절연층(134) 상에는 상기 격벽(135)이 형성될 때, 그와 동일한 재료로 구성된 스페이서(136)가 더 형성됨을 특징으로 한다.

여기서, 상기 버퍼(133) 및 격벽(135)은 유기질 재료 또는 무기질 재료로 형성됨이 바람직하고, 상기 스페이서(136)는 상기 격벽(135)과는 달리 추후 제 2전극(138) 성막시 상기 스페이서(136)에 의해 끊어짐이 발생되지 않도록 정 테이퍼(taper) 형상으로 형성하는 것이 바람직하며, 그 높이는 상기 격벽(135)의 높이보다 높게 형성한다.

즉, 상기 스페이서(136)의 외부면은 추후 형성되는 유기전계발광층(137) 및 제 2전극(138)이 순차적으로 덮여지게 되고, 이에 의해 상기 스페이서(136)는 전도성을 갖게 되어 결과적으로 제 1기판 상에 형성되는 각 서브픽셀의 박막트랜지스터와 제 2기판 상에 각 서브픽셀별로 형성되는 제 2전극을 전기적으로 연결시키는 역할을 수행하게 되는 것이다.

상기 전도성 스페이서(150)는 상기 발광영역 상의 절연층(134) 상부에 형성된 스페이서(136) 외부면에 제 2전극(138)이 덮여지도록 형성되어 전도성을 띄게 되는 것이며, 이는 일반적인 액정표시장치용 스페이서와 달리, 셀갭 유지 기능보다 두 기판을 전기적으로 연결시키는 것을 주목적으로 한다.

즉, 상기 전도성 스페이서(150)는 제 1기판에 서브픽셀 단위로 구비된 박막트랜지스터(T)의 드레인 전극과 제 2기판(130)에 구비된 제 2전극(138)을 전기적으로 연결하는 역할을 수행하는 것으로, 상기 격벽과 동일한 재료인 유기절연막 등으로 형성된 기둥 형상의 스페이서에 금속 즉, 제 2전극이 입혀진 것이며, 이는 제 1, 2기판(110, 130)의 픽셀을 일대일로 합착하여 전류를 통하게 하는 역할을 한다.

본 발명은 상기 스페이서(136)가 제 2기판(130)에 구비된 각 서브픽셀의 발광영역 상에 형성되고, 상기 스페이서(136)의 외부면에 유기전계발광층(137)을 형성하는 고분자 또는 저분자 물질 및 제 2전극 물질이 순차적으로 덮여져 전도성을 띄게 된다는 점에서 그 특징이 있다.

또한, 상기 유기전계발광층(137)은 제 1 캐리어 전달층, 발광층, 제 2 캐리어 전달층이 차례대로 적층된 구조로 이루어지며, 상기 제 1, 2 캐리어 전달층은 발광층에 전자(electron) 또는 정공(hole)을 주입(injection) 및 수송(transporting)하는 역할을 한다.

상기 유기전계발광층(137)은 고분자 물질 또는 저분자 물질로 형성할 수 있는데, 저분자 물질로 형성하는 경우는 진공 증착법을 통해 형성하고, 고분자 물질로 형성하는 경우는 잉크젯 방법을 통해 형성하게 된다.

또한, 상기 유기전계발광층(137) 상부 형성되는 제2전극(138)은 상기 전도성 스페이서(150)의 최외곽을 덮도록 형성되는데, 이는 전도성 물질에서 선택되며, 바람직하기로는 연성을 띠고, 비저항값이 낮은 금속물질에서 선택되는 것이 바람직하다.

그리고, 상기 유기전계발광층(137)에서 발광된 빛은 상부 방향으로 발광되기 때문에 상기 제 1 전극(132)은 투광성을 가지는 도전성 물질에서 선택되는 것을 특징으로 하고, 상기 제 2 전극(138)은 불투명 금속물질에서 선택되는 것이 바람직하다.

상기 제 1전극을 이루는 투광성의 도전성 물질로는 ITO가 이용되는 것이 바람직한데, 상기 ITO는 금속 자체의 저항값이 높으므로, 본 발명의 경우 상기 제 1전극 하부에 상기 제 1전극의 저항을 낮추기 위한 보조전극(131)이 더 형성됨을 그 특징으로 한다.

이 때, 상기 보조전극(131)은 비저항값이 낮은 유색의 금속으로 구성될 수 있으며, 이는 도시된 바와 같이 제 1기판 상에 박막트랜지스터가 형성된 영역과 대응되는 영역 즉, 상기 버퍼(133) 형성 영역 하부에 형성됨이 바람직하다.

도 5는 도 3에 도시된 유기전계발광 소자의 외곽영역에 대한 상세 단면도이다.

도 5를 참조하면, 유기전계발광 다이오드 및 어레이소자가 형성된 표시영역 외부의 비표시영역에는, 표시영역의 최외곽 서브픽셀에 인접하여 형성된 다수의 더미 서브픽셀과, 제 1기판으로부터 공통전압을 인가 받아 이를 제 2기판 상에 형성된 공통전극으로서의 제 1전극으로 전달하기 위한 공통전극 연결부(170) 및 상기 공통전극 연결부(170)에서 셀 패턴(140)까지의 영역에 다수 형성된 더미 스페이서(160)가 구비된다.

여기서, 상기 더미 서브픽셀은 제 2기판 상의 표시영역 내에 형성된 서브픽셀과는 달리 발광영역 내에 절연층 및 스페이서가 형성되지 않으며, 이에 대응되는 제 1기판 상의 영역에 박막트랜지스터가 형성되지 않아 소정의 신호를 제공받지 못한다.

또한, 상기 공통전극 연결부(170)는 제 2기판 상에 형성된 제 1전극(132)의 끝단부 상에 형성된 절연층(134) 및 스페이서(136)에 제 2전극(138)을 이루는 금속이 덮여짐으로서 형성되는 것으로, 이는 제 1기판의 일 면에 구비된 전극 패드(180)와 전기적으로 연결된다.

상기 제 1 전극(132)은 공통전극의 역할을 하는 것으로 항상 일정한 전압이 인가되어야 하는데 도시된 바와 같이 상기 공통전압은 상기 제 1기판의 일 면에 구비된 전극 패드(180)로부터 인가되어 상기 제 1전극에 입력된다.

즉, 상기 전극 패드(180)로부터 인가된 전압은 상기 제 1전극(132)의 끝단부에 형성된 공통전극 연결부(170)를 통해 상기 제 1전극(132)으로 인가되는 것이다.

또한, 표시영역에 대해서는 전도성 스페이서(도 4의 150)가 각 서브픽셀 영역마다 개별적으로 형성되어 있어 일정한 갭을 형성하는 역할을 하고, 양 기관의 가장자리에 형성된 셸패턴(140) 내부에 유리섬유(glass fiber)가 구비되어 소정의 간격을 유지하도록 하나, 대면적의 유기전계발광 소자의 경우 제 1, 2기관 간의 간격을 일정하게 유지하는 것이 쉽지 않다.

본 발명은 상기 문제를 극복하기 위해 상기 공통전극 연결부(170)에서 셸 패턴(140)까지의 영역에 다수의 더미 스페이서(160)를 구비하며, 이를 통해 상기 제 1, 2기관 즉, 상, 하기관의 간격을 표시영역 내부와 거의 유사하게 유지할 수 있게 된다.

즉, 대면적의 유기전계발광 소자 패널을 형성하게 되더라도, 종래와 같은 디스플레이 불량은 발생되지 않는 것이다.

이 때, 상기 더미 스페이서(160)는 표시영역 상에서 절연층 및 스페이서가 형성될 때 상기 제 1전극이 형성되지 않는 제 2기관 상에 형성된다.

도 6a 내지 도 6f는 본 발명에 의한 유기전계발광 소자의 제조 공정을 나타내는 공정단면도이다. 단, 이는 도 3에 도시된 단면도를 중심으로 도시된 것이다.

먼저 도 6a를 참조하면, 제 1 기관 상의 표시영역에 어레이 소자(120)가 형성된다.

일례로 상기 어레이 소자(120)를 구성하는 박막트랜지스터(T)가 도시된 바와 같이 폴리 실리콘 박막트랜지스터인 경우, 상기 단계는 투명 기관(100) 상에 버퍼층을 형성하는 단계와, 버퍼층 상부에 반도체층 및 캐패시터 전극을 형성하는 단계와, 반도체층 상부에 게이트 전극, 소스 및 드레인 전극을 형성하는 단계와, 상기 캐패시터 전극 상부에 위치하며, 상기 소스 전극과 연결되는 파워 전극을 형성하는 단계를 포함한다.

또한, 상기 어레이 소자가 형성되면, 상기 어레이 소자(120)에 구비된 구동 박막트랜지스터(T)의 드레인 전극(112)과 전기적으로 연결되는 전기적 연결패턴(114)이 형성된다.

상기 전기적 연결패턴(114)과 구동 박막트랜지스터(T)의 연결부위를 좀 더 상세히 설명하면, 박막트랜지스터(T)를 덮는 영역에 드레인 전극(112)을 일부 노출시키는 드레인 콘택홀을 가지는 보호층(124)이 형성되어 있고, 보호층(124) 상부에는 드레인 콘택홀을 통해 드레인 전극(112)과 연결되어 전기적 연결패턴(114)이 위치한다. 상기 전기적 연결패턴(114)은 추후 제 2기관 상에 형성될 전도성 스페이서와 접촉되어 결과적으로 제 1기관과 제 2기관을 전기적으로 연결하는 역할을 하게 된다.

단, 상기 전기적 연결패턴(114)은 상기 드레인 전극(112)과 일체형으로 형성될 수 있다.

또한, 상기 전기적 연결패턴(114)이 형성될 때, 상기 제 1기관의 비표시영역 상에는 상기 전기적 연결패턴과 같은 금속 재질의 전극 패드(180)가 형성된다.

다음으로 도 6b에 도시된 바와 같이, 제 2기관의 투명기관(101) 상에 유기전계발광 다이오드의 제 1전극(132)이 형성된다.

이 때, 상기 제 1전극(132)은 투명 도전물질로서 ITO(Indium-Tin-Oxide) 전극이 사용되는 것이 바람직하다.

단, 상기 ITO는 금속 자체의 저항값이 높으므로, 본 발명의 경우 상기 제 1전극 하부에 상기 제 1전극의 저항을 낮추기 위한 보조전극(131)이 더 형성됨을 그 특징으로 한다.

이 때, 상기 보조전극(131)은 비저항값이 낮은 유색의 금속으로 구성될 수 있으며, 이는 도시된 바와 같이 제 1기관 상에 박막트랜지스터가 형성된 영역과 대응되는 영역 즉, 상기 추후 형성되는 버퍼 형성 영역 하부에 형성됨이 바람직하다.

다음으로 도 6c에 도시된 바와 같이 상기 표시영역의 경우 제 1전극의 상부의 소정 영역 즉, 각 서브픽셀을 구획하는 서브픽셀의 외곽 영역에 버퍼(133)가 형성되고, 상기 버퍼(133)가 형성된 영역 상에 격벽(135)이 형성되며, 상기 발광영역 내에 상기 버퍼와 동일한 재료로 구성된 절연층(134)이 형성되고, 상기 절연층 상에 상기 격벽과 동일한 재료로 구성된 스페이서(136)가 형성된다.

상기 버퍼(133)는 각 서브픽셀 내에 형성되는 유기전계발광층을 구획 즉, 발광영역을 한정하는 역할을 하며, 상기 격벽(135)은 인접하는 각 서브픽셀을 분리하는 역할을 수행하는 것으로, 도시된 바와 같이 상기 버퍼(133) 상에서 역 테이퍼(taper) 형상으로 형성된다.

이에 반해 상기 스페이서(136)는 상기 격벽과는 달리 추후 제 2전극 성막시 상기 스페이서에 의해 끊어짐이 발생되지 않도록 정 테이퍼(taper) 형상으로 형성하는 것이 바람직하며, 그 높이는 상기 격벽(135)의 높이보다 높게 형성한다.

또한, 비표시영역에서는 상기 제 1전극(132)의 끝단부에 추후 공통전극 연결부를 이루는 절연층(134) 및 스페이서(136)가 형성되고, 상기 제 1전극이 형성되지 않은 제 2기판 상의 영역에도 절연층(134) 및 스페이서(136)가 형성되어, 더미 스페이서(160)를 이룬다.

다음으로는 도 6d에 도시된 바와 같이 유기전계 발광층(137)이 각 서브 픽셀에 있어 상기 버퍼(133)에 의해 정의된 영역 내에서 형성된다.

여기서, 상기 유기전계발광층(137)은 고분자 또는 저분자 물질로 형성됨을 특징으로 하며, 상기 제 1전극이 양극(anode), 제 2전극이 음극(cathode)로 가정할 경우, 정공 전달층(137a), 발광층(137b), 전자 전달층(137c)가 차례대로 적층된 구조로 이루어지며, 상기 정공/전자 전달층(137a, 137c)은 발광층(137b)에 정공(hole) 또는 전자(electron)를 주입(injection) 및 수송(transporting)하는 역할을 한다. 단, 상기 유기전계발광층(137)은 저분자 물질로 형성될 수도 있다.

이 때, 상기 제 1 전극과 연결하는 정공 전달층(137a)은 정공주입층, 정공수송층이 차례대로 적층된 구조를 이루고, 추후 제 2 전극과 연결하는 제 전자 전달층(137c)은 전자주입층, 전자수송층이 차례대로 적층된 구조로 이루어 질 수 있다.

이와 같이 상기 유기전계 발광층(137)이 상기 버퍼(133) 내 영역에 형성되면, 도 6e에 도시된 바와 같이, 그 상부에 유기전계발광 다이오드의 제 2전극(138)이 형성된다.

상기 제 2전극(138)은 격벽(135)에 의해 각 서브픽셀 별로 나뉘어 지므로 결과적으로 화소전극의 역할을 수행하게 된다.

이와 같이 상기 발광영역 내에 유기전계발광층(137) 및 제 2전극(138)이 형성되면, 상기 발광영역 내에 구비된 스페이서(136)의 외부면은 상기 유기전계발광층(137) 및 제 2전극(138)이 순차적으로 덮어지게 된다.

이에 의해 상기 스페이서(136)는 전도성을 갖게 되어 결과적으로 제 1기판 상에 형성되는 각 서브픽셀의 박막트랜지스터와 제 2기판 상에 각 서브픽셀별로 형성되는 제 2전극을 전기적으로 연결시키는 역할을 수행하게 되는 것이다.

상기 전도성 스페이서(150)는 상기 발광영역 상의 절연층(134) 상부에 형성된 스페이서(136) 외부면에 제 2전극(138)이 덮여지도록 형성되어 전도성을 띄게 되는 것이며, 이는 일반적인 액정표시장치용 스페이서와 달리, 셀갭 유지 기능보다 두 기판을 전기적으로 연결시키는 것을 주목적으로 한다.

즉, 상기 전도성 스페이서(150)는 제 1기판(110)에 서브픽셀 단위로 구비된 박막트랜지스터(T)의 드레인 전극(112)과 제 2기판(130)에 구비된 제 2전극(138)을 전기적으로 연결하는 역할을 수행하는 것으로, 상기 격벽과 동일한 재료인 유기절연막 등으로 형성된 기둥 형상의 스페이서에 금속 즉, 제 2전극이 입혀진 것이며, 이는 제 1, 2기판(110, 130)의 픽셀을 일대일로 합착하여 전류를 통하게 하는 역할을 한다.

또한, 상기 비표시영역 상의 제 1전극 끝단부에 형성된 절연층(134) 및 스페이서(136)를 덮도록 제 2전극(138)이 형성되고, 이것이 상기 제 1기판 상에 형성된 전극 패드(180)와 접촉됨으로써, 이는 공통전극 연결부(170)가 된다.

그 후 도 6f에 도시된 바와 같이 상기 제 1, 2기관(110, 130)을 합착하고, 인캡슐레이션 하게 되면 상기 제 1기관(110)의 전기적 연결패턴(114)과 제 2기관(130)의 전도성 스페이서(150)가 서로 접촉됨에 의해 상기 제 1, 2기관(110, 130)이 서로 전기적으로 연결되며, 이는 결과적으로 상기 제 2기관(130) 상에 형성된 유기전계발광 다이오드의 제 2전극(138)과, 제 1기관(110) 상에 형성된 구동 박막트랜지스터(T)의 드레인 전극(112)이 전기적으로 연결된다.

발명의 효과

이상의 설명에서와 같이 본 발명에 따른 유기전계발광 소자 및 그 제조방법에 의하면, 첫째, 생산수율 및 생산관리 효율을 향상시킬 수 있고, 둘째, 상부발광 방식이기 때문에 박막트랜지스터 설계가 용이해지고 고개구율/고해상도 구현이 가능하며, 셋째, 기관 상에 유기전계발광 다이오드용 전극을 구성하기 때문에, 재료선택 폭을 넓힐 수 있으며, 넷째, 상부발광 방식이면서 인캡슐레이션 구조이기 때문에, 외기로부터 안정적인 제품을 제공할 수 있다는 장점이 있다.

또한, 어레이 영역 외부로부터 셀패턴까지의 영역에 더미 스페이서들을 형성함으로써, 상, 하판 간의 간격을 어레이 영역 내부와 거의 유사하게 유지할 수 있다는 장점이 있다.

(57) 청구의 범위

청구항 1.

화상이 구현되는 표시영역과 상기 표시영역 외곽부의 비표시영역으로 나뉘고, 상기 표시영역 내에 서브픽셀이 정의되어 있으며, 일정간격 이격되어 배치된 제 1, 2 기관;

상기 제 1기관의 표시영역 내에 서브픽셀 단위로 형성된 적어도 하나의 박막트랜지스터를 가지는 어레이 소자;

상기 제 1기관과 마주하는 상기 제 2기관 내부면에 배치된 제 1전극;

상기 제 1전극 상부의 각 서브픽셀의 발광영역을 구획하는 소정 영역에 형성된 버퍼;

상기 버퍼상에 형성된 격벽;

상기 제 1전극 중 상기 박막트랜지스터와 대응하여 배치된 절연층;

상기 제1 전극을 덮는 유기전계 발광층; 및

상기 유기전계발광층을 덮으며, 상기 박막 트랜지스터와 전기적으로 연결된 제2 전극을 포함하며,

상기 절연층상에 배치된 절연성 스페이서 및 상기 절연성 스페이서를 덮는 상기 제2 전극의 일부로 형성된 전도성 스페이서를 포함하는 유기전계발광 소자.

청구항 2.

제 1항에 있어서,

상기 격벽은 인접하는 각 서브픽셀을 분리하는 것으로, 상기 버퍼 상에서 역 테이퍼(taper) 형상으로 형성됨을 특징으로 하는 유기전계발광 소자.

청구항 3.

제 1항에 있어서,

상기 절연층은 상기 버퍼와 동일한 재료로 형성됨을 특징으로 하는 유기전계발광 소자.

청구항 4.

제 1항에 있어서,

상기 절연성 스페이서는 상기 격벽과 동일한 재료로 형성됨을 특징으로 하는 유기전계발광 소자.

청구항 5.

제 1항에 있어서,

상기 절연성 스페이서는 상기 제 2전극 성막 시 상기 스페이서에 의해 끊어짐이 발생되지 않도록 정 테이퍼(taper) 형상으로 형성됨을 특징으로 하는 유기전계발광 소자.

청구항 6.

제 1항에 있어서,

상기 절연성 스페이서의 높이는 상기 격벽의 높이보다 높게 형성됨을 특징으로 하는 유기전계발광 소자.

청구항 7.

제 1항에 있어서,

상기 유기발광층은 상기 절연성 스페이서를 덮으며, 상기 제 1 전극상에 형성된 것을 특징으로 하는 유기전계발광 소자.

청구항 8.

제 1항에 있어서,

상기 제 1전극 하부에 상기 제 1전극의 저항을 낮추기 위한 보조전극이 더 형성됨을 특징으로 하는 유기전계발광 소자.

청구항 9.

제 8항에 있어서,

상기 보조전극은 비저항값이 낮은 유색의 금속으로 구성되며, 상기 제 1기판 상에 박막트랜지스터가 형성된 영역과 대응되는 상기 제 2기판 상의 버퍼 형성 영역 하부에 형성됨을 특징으로 하는 유기전계발광 소자.

청구항 10.

제 1항에 있어서,

상기 비표시영역에는,

상기 표시영역의 최외곽 서브픽셀에 인접하여 형성된 다수의 더미 서브픽셀과;

상기 제 1기관으로부터 공통전압을 인가 받아 이를 제 2기관 상에 형성된 공통전극으로서의 제 1전극으로 전달하기 위한 공통전극 연결부와;

상기 제 1기관 및 제 2기관을 봉지하기 위해 기관의 가장자리부에 형성된 셸 패턴과;

상기 공통전극 연결부에서 셸 패턴까지의 영역에 다수 형성된 더미 스페이서가 구비됨을 특징으로 하는 유기전계발광 소자.

청구항 11.

제 10항에 있어서,

상기 공통전극 연결부는 제 2기관 상에 형성된 제 1전극의 끝단부 상에 형성된 절연층 및 스페이서에 제 2전극을 이루는 금속이 덮여져 형성됨을 특징으로 하는 유기전계발광 소자.

청구항 12.

제 11항에 있어서,

상기 공통전극 연결부는 제 1기관의 일 면에 구비된 전극 패드와 전기적으로 연결되고, 상기 전극 패드로부터 공통전압을 인가 받음을 특징으로 하는 유기전계발광 소자.

청구항 13.

제 1기관의 표시영역 내부면에 서브픽셀 단위로 형성된 적어도 하나의 박막트랜지스터를 갖는 어레이 소자가 형성되는 단계;

제 2기관의 표시영역 상에 제 1전극이 형성되는 단계;

상기 제 1전극 상부 영역 중 각 서브픽셀의 발광영역을 구획하는 버퍼 및 상기 각 서브 픽셀의 발광영역 내의 소정 영역에 절연층이 형성되는 단계;

상기 버퍼 상의 소정 영역 및 상기 절연층 상의 소정 영역에 각각 격벽 및 절연성 스페이서가 형성되는 단계;

상기 각 서브픽셀의 발광영역에 유기전계발광층이 형성되는 단계;

상기 각 서브픽셀의 발광영역에 상기 절연성 스페이서를 덮는 제 2 전극을 형성하여 상기 박막트랜지스터와 접촉하는 전도성 스페이서를 형성하는 단계; 및

상기 제 1기관 및 제 2기관의 가장자리부에 셸 패턴이 형성되어 상기 제 1기관 및 제 2기관이 봉지되는 단계를 포함하는 유기전계발광 소자 제조방법.

청구항 14.

제 13항에 있어서,

상기 격벽은 인접하는 각 서브픽셀을 분리하는 것으로, 상기 버퍼 상에서 역 테이퍼(taper) 형상으로 형성됨을 특징으로 하는 유기전계발광 소자 제조방법.

청구항 15.

제 13항에 있어서,

상기 절연층은 상기 버퍼와 동일한 재료로 형성되며, 상기 절연층 상에 형성된 절연성 스페이서는 상기 격벽과 동일한 재료로 형성됨을 특징으로 하는 유기전계발광 소자 제조방법.

청구항 16.

제 13항에 있어서,

상기 절연성 스페이서는 상기 제 2전극 성막 시 상기 스페이서에 의해 끊어짐이 발생되지 않도록 정 테이퍼(taper) 형상으로 형성됨을 특징으로 하는 유기전계발광 소자 제조방법.

청구항 17.

제 13항에 있어서,

상기 절연성 스페이서의 높이는 상기 격벽의 높이보다 높게 형성됨을 특징으로 하는 유기전계발광 소자 제조방법.

청구항 18.

제 13항에 있어서,

상기 유기발광층은 상기 스페이서를 덮으며 상기 제 1 전극상에 형성된 것을 특징으로 하는 유기전계발광 소자 제조방법.

청구항 19.

제 13항에 있어서,

상기 제 1전극 하부에 상기 제 1전극의 저항을 낮추기 위한 보조전극이 형성되는 단계가 더 포함됨을 특징으로 하는 유기전계발광 소자 제조방법.

청구항 20.

제 19항에 있어서,

상기 보조전극은 비저항값이 낮은 유색의 금속으로 구성되며, 상기 제 1기판 상에 박막트랜지스터가 형성된 영역과 대응되는 상기 제 2기판 상의 버퍼 형성 영역 하부에 형성됨을 특징으로 하는 유기전계발광 소자 제조방법.

청구항 21.

제 13항에 있어서,

상기 제 2기판 상에 형성된 제 1전극의 끝단부 상에 상기 절연층 및 스페이서가 형성되고, 그 상부에 제 2전극을 이루는 금속이 덮어짐으로써 공통전극 연결부가 형성되는 단계가 더 포함됨을 특징으로 하는 유기전계발광 소자 제조방법.

청구항 22.

제 21항에 있어서,

상기 공통전극 연결부와 접촉되어 소정의 공통전압을 제공하는 전극 패드가 제 1기판의 일 면에 형성되는 단계가 더 포함됨을 특징으로 하는 유기전계발광 소자 제조방법.

청구항 23.

제 13항에 있어서,

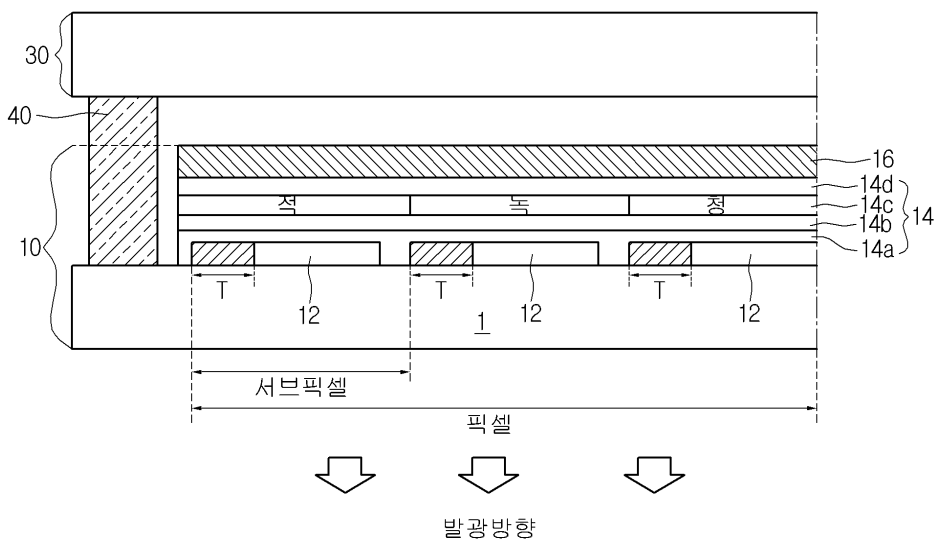
상기 셀 패턴 영역에서 상기 공통전극 연결부까지의 영역에 다수의 더미 스페이서가 형성되는 단계가 더 포함됨을 특징으로 하는 유기전계발광 소자 제조방법.

청구항 24.

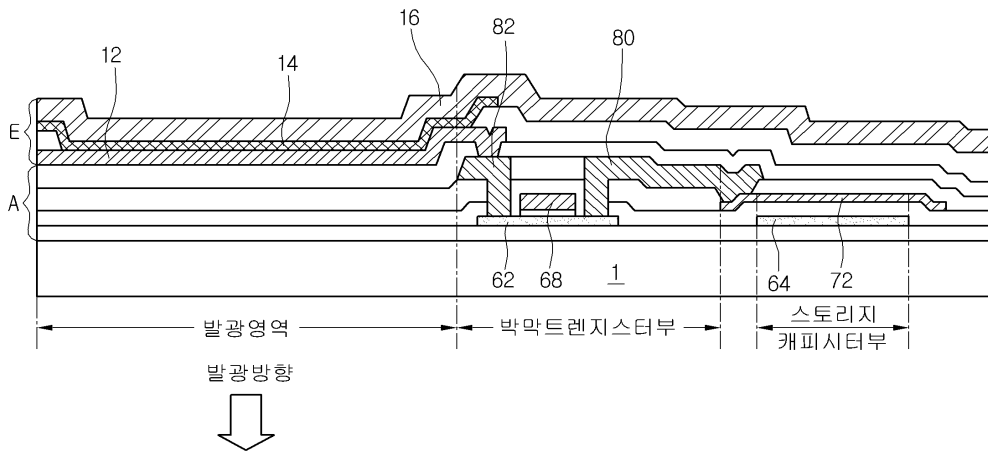
삭제

도면

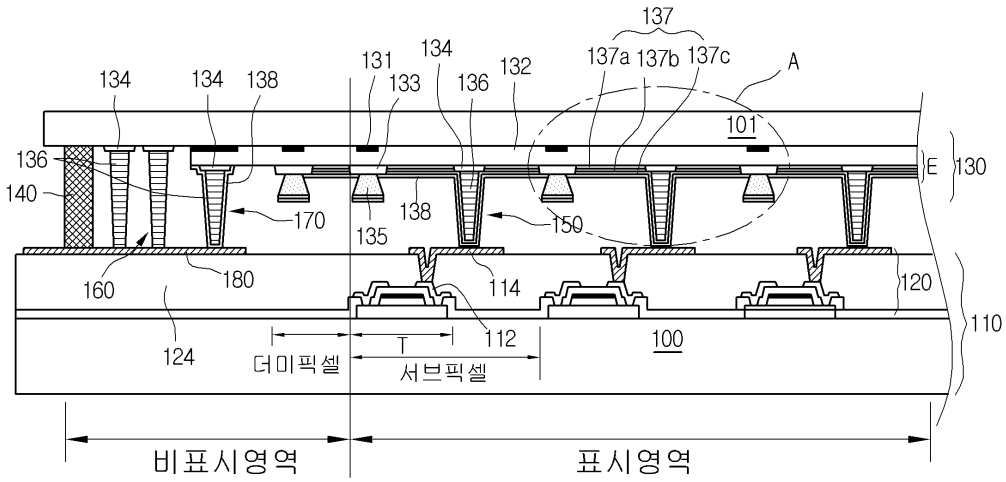
도면1



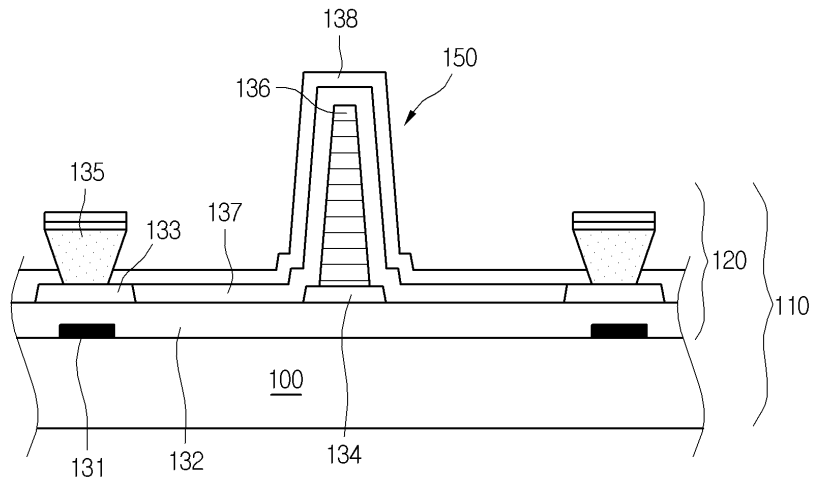
도면2



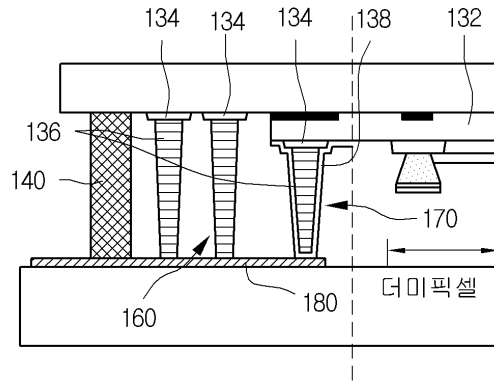
도면3



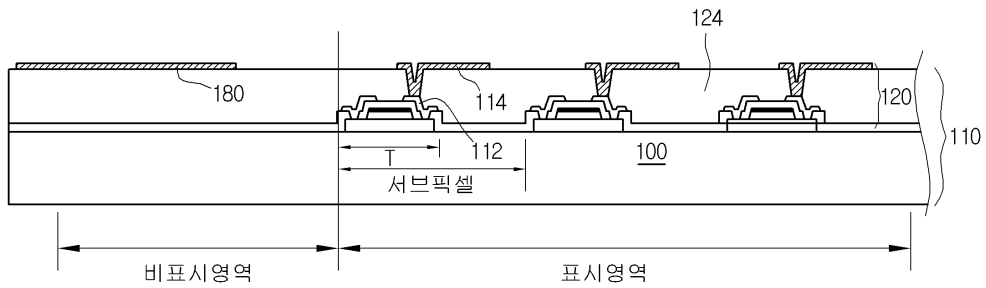
도면4



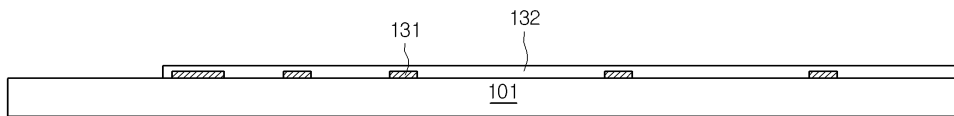
도면5



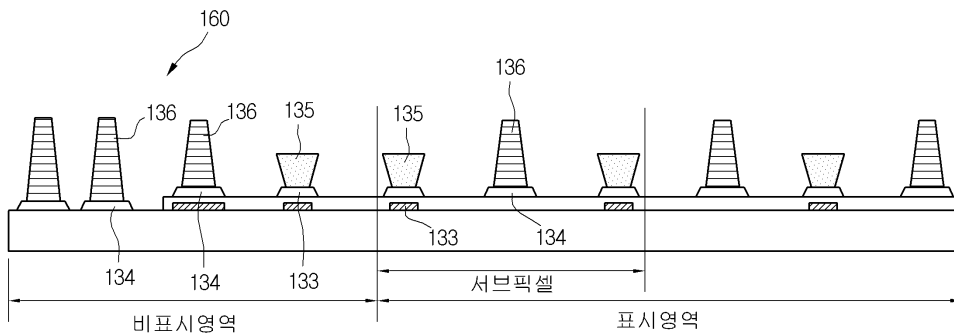
도면6a



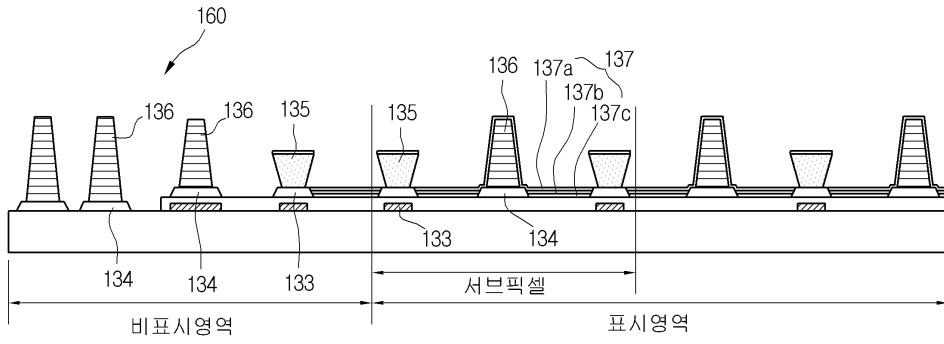
도면6b



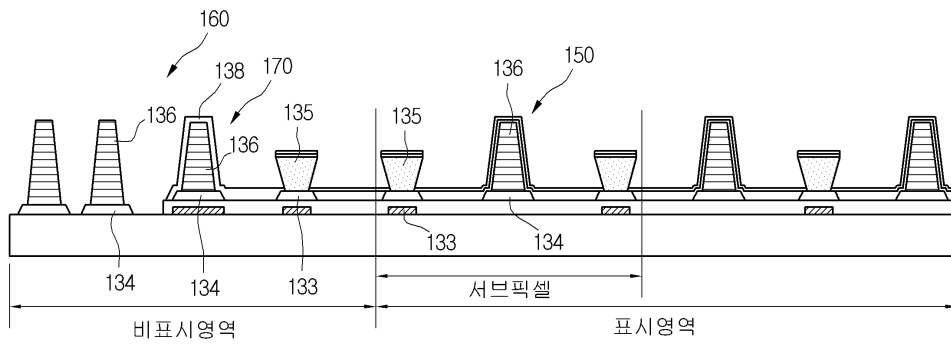
도면6c



도면6d



도면6e



도면6f

