

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G02F 1/136 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년07월24일 10-0603847 2006년07월14일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2000-0009268 2000년02월25일	(65) 공개번호 (43) 공개일자	10-2001-0084330 2001년09월06일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자           엘지.필립스 엘시디 주식회사  
                              서울 영등포구 여의도동 20번지

(72) 발명자             박종욱  
                              경상북도구미시진평동주공아파트102-1607

(74) 대리인             특허법인네이트

(56) 선행기술조사문헌 JP09236930 A KR1020000033047 A * 심사관에 의하여 인용된 문헌	KR1020000001757 A KR1020000059689 A
---	--

심사관 : 김희태

(54) 액정 표시장치 및 액정 표시장치 제조방법

요약

본 발명은 액정 표시장치의 스위칭 소자로 쓰이는 박막 트랜지스터를 제작하기 위해 사용되는 식각공정, 현상공정, 세정공정을 저감하여 원가를 절감하고, 제품의 수율을 향상하는 방법에 관한 것이다.

이를 위해 본 발명에서는 기판에 게이트 전극을 형성하고, 상기 게이트 전극이 형성된 기판 상의 전면에 걸쳐 절연막, 반도체층, 금속층, 포토레지스트를 순서대로 적층하고, 소정의 마스크 패턴을 사용하여 1, 2 차 노광하는 방법을 사용하여 박막 트랜지스터를 제조하는 방법에 대해 개시하고 있다.

대표도

도 5c

명세서

도면의 간단한 설명

도 1은 일반적인 액정 표시장치의 한 화소부에 해당하는 단면을 도시한 단면도.

도 2는 일반적인 액정 표시장치의 한 화소부에 해당하는 평면을 도시한 평면도.

도 3a 내지 도 3e는 도 2의 절단선 III-III에 따른 단면의 제조공정을 나타내는 공정도.

도 4는 일반적인 액정 표시장치의 공정을 나타내는 순서도.

도 5a 내지 도 5d는 본 발명의 실시예에 따른 박막 트랜지스터의 제조공정을 도시한 도면.

도 6은 도 5a 내지 도 5d의 박막 트랜지스터 제조공정에 따라 제작된 박막 트랜지스터의 단면을 도시한 도면.

<도면의 주요 부분에 대한 부호의 설명>

100 : 게이트 전극 102 : 게이트 절연막

104 : 순수 반도체층 106 : 불순물 반도체층

108 : 제 2 금속층 110 : 포토레지스트

112 : 소스 전극 114 : 드레인 전극

CH : 채널

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 화상 표시장치에 관한 것으로, 더욱 상세하게는 박막 트랜지스터(Thin Film Transistor : TFT)를 포함하는 액정 표시장치(Liquid Crystal Display : LCD)의 제조방법 및 그 제조 방법에 따른 액정 표시장치에 관한 것이다.

특히, 본 발명은 액정 표시장치를 제조하는데 있어서, 사진식각공정을 간소화시켜 원가를 절감하고, 불량률을 낮출 수 있는 액정 표시장치를 제조하는 방법 및 그 방법에 의해 제조된 액정 표시장치에 관한 것이다.

액정 표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 갖고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.

따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의하여 상기 액정의 분자 배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.

현재에는 전술한 바 있는 박막 트랜지스터와 상기 박막 트랜지스터에 연결된 화소전극이 행렬 방식으로 배열된 능동행렬 액정 표시장치(Active Matrix LCD : AM-LCD)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.

일반적으로 액정 표시장치를 구성하는 기본적인 부품인 액정 패널의 구조를 살펴보면 다음과 같다.

도 1은 일반적인 액정 패널의 단면을 도시한 단면도이다.

액정 패널(20)은 여러 종류의 소자들이 형성된 두 장의 기판(2, 4)이 서로 대응되게 형성되고, 상기 두 장의 기판(2, 4) 사이에 액정층(10)이 개재된 형태로 위치하고 있다.

상기 액정 패널(20)에는 색상을 표현하는 컬러필터가 형성된 상부 기판(4)과 상기 액정층(10)의 분자 배열방향을 변환시킬 수 있는 스위칭 회로가 내장된 하부 기판(2)으로 구성된다.

상기 상부 기관(4)은 색을 구현하는 컬러필터층(8)과, 상기 컬러필터층(8)을 덮는 공통전극(12)이 형성되어 있다. 상기 공통전극(12)은 액정(10)에 전압을 인가하는 한쪽전극의 역할을 한다. 상기 하부 기관(2)은 스위칭 역할을 하는 박막 트랜지스터(S)와, 상기 박막 트랜지스터(S)로부터 신호를 인가 받고 상기 액정(10)으로 전압을 인가하는 다른 한쪽의 전극역할을 하는 화소전극(14)으로 구성된다.

상기 화소전극(14)이 형성된 부분을 화소부(P)라고 한다.

그리고, 상기 상부 기관(4)과 하부 기관(2)의 사이에 주입되는 액정(10)의 누설을 방지하기 위해, 상기 상부 기관(4)과 하부 기관(2)의 가장자리에는 실란트(sealant : 6)로 봉인되어 있다.

상기 도 1에 도시된 하부 기관(2)의 평면도를 나타내는 도 2에서 하부 기관(2)의 작용과 구성을 상세히 설명하면 다음과 같다.

하부 기관(2)에는 화소전극(14)이 형성되어 있고, 상기 화소전극(14)의 수직 및 수평 배열 방향에 따라 각각 데이터 배선(24) 및 게이트 배선(22)이 형성되어 있다.

그리고, 능동행렬 액정 표시장치의 경우, 화소전극(14)의 한쪽 부분에는 상기 화소전극(14)에 전압을 인가하는 스위칭 소자인 박막 트랜지스터(S)가 형성되어 있다. 상기 박막 트랜지스터(S)는 게이트 전극(26), 소스 및 드레인 전극(28, 30)으로 구성된다.

상기 박막 트랜지스터(S)에는 스위칭 동작에 가장 중요한 액티브층(55)이 형성된다.

상기 액티브층은 일반적으로 비정질 실리콘이 주로 사용되며, 이는 350 ℃ 이하의 저온에서 형성이 가능하기 때문이다.

또한, 상기 데이터 배선(24) 및 게이트 배선(22)의 일 끝단에는 각각 데이터 패드 및 게이트 패드(미도시)가 형성되어, 상기 박막 트랜지스터(S) 및 화소전극(14)을 각각 구동하는 구동회로(미도시)와 연결된다.

그리고, 상기 드레인 전극(30)은 상기 화소전극(14)과 드레인 콘택홀(30')을 통해 전기적으로 연결되어 있다.

또한, 상기 게이트 배선(22)의 일부분에는 캐패시터 전극(21)이 형성되며, 상기 화소전극(14)과 상기 캐패시터 전극(21)이 오버랩되어 스토리지 캐패시터( $C_{st}$ )가 형성된다. 상기 화소전극(14)과 더불어 전하를 저장하는 역할을 수행한다.

상술한 능동행렬 액정 표시장치의 동작을 살펴보면 다음과 같다.

스위칭 박막 트랜지스터(S)의 게이트 전극(26)에 전압이 인가되면, 데이터 신호가 화소전극(14)으로 인가되고, 게이트 전극(26)에 신호가 인가되지 않는 경우에는 화소전극(14)에 전압이 인가되지 않는다.

액정 표시장치를 구성하는 액정 패널의 제조공정은 매우 복잡한 여러 단계의 공정이 복합적으로 이루어져 있다. 특히, 박막 트랜지스터(S)가 형성된 하부 기관은 여러 번의 마스크 공정을 거쳐야 한다.

최종 제품의 성능은 이런 복잡한 제조공정에 의해 결정되는데, 가급적이면 공정이 간단할수록 불량률이 발생할 확률이 줄어들게 된다. 즉, 하부 기관에는 액정 표시장치의 성능을 좌우하는 주요한 소자들이 많이 형성되므로, 제조 공정을 단순화하여야 한다.

일반적으로 하부 기관의 제조공정은 만들고자 하는 각 소자에 어떤 물질을 사용하는가 혹은 어떤 사양에 맞추어 설계하는가에 따라 결정되는 경우가 많다.

예를 들어, 과거 소형 액정 표시장치의 경우는 별로 문제되지 않았지만, 12인치 이상의 대면적 액정 표시장치의 경우에는 게이트 배선에 사용되는 재질의 고유 저항 값이 화질의 우수성을 결정하는 중요한 요소가 된다. 따라서, 대면적의 액정 표시소자의 경우에는 알루미늄 또는 알루미늄 합금과 같은 저항이 낮은 금속을 사용하는 것이 바람직하다.

이하, 종래의 능동행렬 액정 표시장치의 제조공정을 도 3a 내지 도 3e를 참조하여 설명한다.

일반적으로 액정 표시장치에 사용되는 박막 트랜지스터의 구조는 역 스테거드(Inverted Staggered)형 구조가 많이 사용된다. 이는 구조가 간단하면서도 성능이 우수하기 때문이다.

또한, 상기 역 스테거드형 박막 트랜지스터는 채널 형성 방법에 따라 백 채널 에치형(back channel etch : EB)과 에치 스타퍼형(etch stopper : ES)으로 나뉘며, 구조가 간단한 백 채널 에치형 구조가 적용되는 액정 표시소자 제조공정에 관해 설명한다.

먼저, 기판(1)에 이물질이나 유기성 물질을 제거하고, 증착될 게이트 물질의 금속 박막과 유리기판의 접착성(adhesion)을 좋게 하기 위하여 세정을 실시한 후, 스퍼터링(sputtering)에 의하여 금속막을 증착한다.

도 3a는 상기 금속막 증착 후에 제 1 마스크로 패터닝하여 게이트 전극(26)과 캐패시터 전극(21)을 형성하는 단계를 도시한 도면이다. 능동 행렬 액정 표시장치의 동작에 중요한 게이트 전극(26) 물질은 RC 딜레이(delay)를 작게 하기 위하여 저항이 작은 알루미늄이 주류를 이루고 있으나, 순수 알루미늄은 화학적으로 내식성이 약하고, 후속의 고온 공정에서 힐락(hillock) 형성에 의한 배선 결함문제를 야기하므로, 알루미늄 배선의 경우는 합금의 형태로 쓰이거나 적층구조가 적용되기도 한다.

그리고 상기 게이트 전극(26)과 상기 캐패시터 전극(21)은 동일 패턴으로 형성한다.

다음으로, 도 3b를 참조하여 설명하면, 상기 게이트 전극(26) 및 캐패시터 전극(21) 형성 후, 그 상부 및 노출된 기판 전면 에 걸쳐 절연막(50)을 증착한다.

또한, 상기 게이트 절연막(50) 상에 연속으로 반도체 물질인 비정질 실리콘(a-Si:H : 52)과 불순물이 함유된 비정질 실리콘( $n^+$  a-Si:H : 54)을 증착한다.

상기 반도체 물질 증착후에 제 2 마스크로 패터닝하여 액티브층(55)을 형성한다.

상기 불순물이 함유된 비정질 실리콘(54)은 추후 생성될 금속층과 상기 액티브층(55)과의 접촉저항을 줄이기 위한 목적이다.

이후, 도 3c에 도시된 바와 같이, 금속층을 증착하고 제 3 마스크로 패터닝하여 소스 전극(28) 및 드레인 전극(30)을 형성한다. 상기 소스 및 드레인 전극(28, 30)과 동시에 상기 소스 전극(28)과 연결된 데이터 배선(24)을 형성한다.

즉, 제 3 마스크 공정에서 데이터 배선(24), 소스 전극(28), 드레인 전극(30)이 형성되게 된다.

그리고, 상기 소스 및 드레인 전극(28, 30)을 마스크로 하여 상기 소스 전극(28)과 상기 드레인 전극(30) 사이에 존재하는 옴의 접촉층을 제거하여 채널(Ch)을 형성한다.

만약, 상기 소스 전극(28)과 상기 드레인 전극(30) 사이에 존재하는 옴의 접촉층을 제거하지 않으면 박막 트랜지스터(S)의 전기적 특성에 심각한 문제가 발생할 수 있으며, 성능에서도 큰 문제가 생긴다.

또한, 상기 옴의 접촉층의 제거에는 신중한 주의가 요구된다. 실제 옴의 접촉층의 식각시에는 그 하부에 형성된 액티브층과 식각 선택비가 없으므로 액티브층을 약 50 nm 정도 과식각을 시키는데, 식각 균일도(etching uniformity)는 박막 트랜지스터(S)의 특성에 직접적인 영향을 미친다.

이후, 도 3d에 도시된 바와 같이, 절연막을 증착하고 제 4 마스크로 패터닝하여 액티브층(55)을 보호하기 위해 보호막(56)을 형성한다. 상기 보호막(56)은 액티브층(55)의 불안정한 에너지 상태 및 식각시 발생하는 잔류물질에 의해 박막 트랜지스터 특성에 나쁜 영향을 끼칠 수 있으므로 무기질의 실리콘 질화막( $\text{SiN}_x$ ) 내지는 실리콘 산화막( $\text{SiO}_2$ )이나 무기질의 BCB(Benzocyclobutene) 등으로 형성한다.

상기 보호막(56)은 높은 광투과율과 내습 및 내구성이 있는 물질의 특성을 요구한다.

상기 보호막(56) 패터닝시 콘택홀을 형성하는 공정이 추가되는데, 드레인 전극의 일부가 노출되도록 드레인 콘택홀(30')을 형성한다.

상기 드레인 콘택홀(30')은 추후 공정에서 형성될 화소전극과의 접촉을 위함이다.

도 3e에 도시된 공정은 투명한 도전물질(Transparent Conducting Oxide : TCO)을 증착하고 제 5 마스크로 패터닝하여 화소전극(14)을 형성하는 공정이다. 상기 투명한 도전물질은 ITO(Indium Tin Oxide)가 주로 쓰인다.

상기 화소전극(14)은 상기 드레인 콘택홀(30')을 통해 상기 드레인 전극(30)전기적으로 접촉하고 있다.

상술한 공정에 의해서 액정 표시장치의 박막 트랜지스터 기판은 완성되게 된다.

도 4는 상기 도 3a 내지 도 3e의 제작 공정을 나타내는 흐름도 이다.

ST200은 기판을 준비하는 단계로 유리기판(1)을 사용한다. 또한, 유리기판(1)을 세정(Cleaning)하는 공정을 포함한다. 세정은 초기 공정 중에 기판이나 막 표면의 오염, 불순물(Particle)을 사전에 제거하여 불량이 발생하지 않도록 하는 기본 개념 이외에, 증착될 박막의 접착력 강화와 박막 트랜지스터의 특성 향상을 목적으로 한다.

ST210은 금속막을 증착하는 단계로, 알루미늄 내지는 몰리브덴 등을 증착하여 형성한다. 그리고, 리소그래피 기술을 이용하여, 금속막이 테이퍼 형상을 갖도록 게이트 전극 및 캐패시터 전극을 형성하는 단계이다.

ST220은 절연막과 비정질 실리콘, 불순물이 함유된 비정질 실리콘을 증착하는 단계로, 절연막은 3000Å 정도의 두께로 실리콘 질화막 또는 실리콘 산화막을 증착한다. 상기 절연막증착 후에 연속으로 비정질 실리콘막과 불순물이 함유된 비정질 실리콘막을 연속해서 증착한다.

ST230은 크롬이나 크롬합금과 같은 금속을 증착하고 패터닝하여, 소스 전극, 드레인 전극을 형성하는 단계이다.

ST240은 ST230에서 형성된 소스 및 드레인 전극을 마스크로 하여 불순물 반도체층을 제거하여 채널을 형성하는 단계이다.

ST250은 소자들을 보호하기 위한 보호막을 형성하는 단계이다. 상기 보호막은 습기나 외부의 충격에 강한 물질이 사용된다. 상기 공정에서 각각의 소자와 연결되는 매개체로써 콘택홀이 형성된다.

ST260은 투명한 도전전극(TCO)으로 ITO를 증착하고 패터닝하여 화소전극을 형성하는 단계이다. 상기 공정에서 각각의 패드전극이 형성된다.

### 발명이 이루고자 하는 기술적 과제

상술한 능동 행렬 액정 표시장치의 제조 방법은 기본적으로 사용되는 5 마스크 방법이다. 그러나 박막 트랜지스터를 형성하는 과정에서 게이트 전극을 알루미늄으로 사용할 경우에는 알루미늄 표면에 생길 수 있는 힐락의 문제를 해결하기 위해 적어도 2개의 마스크가 더 필요하다. 따라서, 박막 트랜지스터 기판을 구성하기 위해 적어도 5 내지 6번의 마스크 공정이 필요하다.

액정 표시장치에 사용되는 박막 트랜지스터 기판을 제조하는데 있어서 사용되는 마스크 공정에는 세정, 증착, 베이킹, 포토, 현상, 식각, 박리 등 여러 공정을 수반하고 있다.

즉, 종래의 액정 표시장치의 제작공정에서는 사용되는 마스크당 사진식각공정이 추가된다. 상기와 같이 식각공정이 반복되면 이전공정에서 형성된 소자에 불량이 발생할 수 있는 단점이 있다.

한편, 상기 사진식각공정은 포토레지스트 도포공정과 노광공정, 현상공정, 식각공정, 박리공정을 포함하는 개념이다.

따라서, 상기 사진식각공정을 한번만 줄여도, 제조시간은 상당히 많이 줄어들고, 그 만큼 생산 수율과, 제조 원가 측면에서 유리하다.

따라서, 본 발명은 액정표시 장치를 제조하는데 있어서, 사용되는 사진식각공정의 수를 단축하는 방법을 제공하고, 제품의 생산수율을 향상하는데 그 목적이 있다.

**발명의 구성 및 작용**

상기와 같은 목적을 달성하기 위해 본 발명에서는 기판을 구비하는 단계와; 상기 기판 상에 제 1 금속을 증착하고 제 1 마스크로 패터닝하여 게이트 전극을 형성하는 단계와; 상기 게이트 전극이 형성된 기판의 전면에 걸쳐 절연막, 순수 반도체층, 불순물 반도체층, 제 2 금속층, 포토레지스트를 순서대로 적층하는 단계와; 상기 제 2 금속층 상에 형성된 포토레지스트를 채널부가 막힌 소스/드레인 형상의 패턴을 갖는 제 2 마스크로 1차 완전 노광하여 제 1 노광 영역을 형성하는 단계와; 상기 제 1 노광영역이 형성된 포토레지스트를 채널부가 형성된 소스/드레인 형상의 패턴을 갖는 제 3 마스크로 2차 부분 노광하여 제 2 노광영역을 형성하는 단계와; 상기 제 1, 2 노광영역을 갖는 포토레지스트를 현상하는 단계와; 현상된 포토레지스트를 마스크로 제 1 노광영역의 제 2 금속층, 불순물 반도체층, 순수 반도체층을 일괄 식각하는 단계와; 상기 부분 노광된 제 2 노광영역의 포토레지스트를 제거하는 단계와; 상기 제 2 노광영역이 제거된 포토레지스트에 의해 노출된 제 2 금속층을 식각하여 소스 및 드레인 전극을 형성하는 단계를 포함하는 박막 트랜지스터 제조방법을 제공한다.

또한, 본 발명에서는 기판 상에 제 1 금속으로 게이트 전극을 형성하는 단계와; 상기 게이트 전극이 형성된 기판의 전면에 걸쳐 절연막, 순수 반도체층, 불순물 반도체층, 제 2 금속, 포토레지스트를 순서대로 적층하고, 채널부가 막힌 소스/드레인 형상의 패턴을 갖는 제 1 마스크로 상기 포토레지스트를 1차 완전 노광하여 제 1 노광 영역과, 상기 제 1 노광영역이 형성된 포토레지스트를 채널부가 형성된 소스/드레인 형상의 패턴을 갖는 제 2 마스크로 2차 부분 노광하여 제 2 노광영역을 각각 형성하는 단계와; 상기 제 1, 2 노광영역을 갖는 포토레지스트를 현상하는 단계와; 현상된 포토레지스트를 마스크로 제 1 노광영역의 제 2 금속층, 불순물 반도체층, 순수 반도체층을 일괄 식각하는 단계와; 상기 부분 노광된 제 2 노광영역의 포토레지스트를 제거하는 단계와; 상기 제 2 노광영역이 제거된 포토레지스트에 의해 노출된 제 2 금속층을 식각하여 소스 및 드레인 전극을 형성하는 단계와; 상기 소스 및 드레인 전극과 기판 전면에 걸쳐 형성되고 상기 드레인 전극의 일부가 노출된 드레인 콘택홀을 갖는 보호막을 형성하는 단계와; 상기 보호막 상에 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉하는 화소전극을 형성하는 단계를 포함하는 액정 표시장치의 어레이기판 제조방법을 제공한다.

특히, 본 발명에서는 액티브층을 소스 및 드레인 전극부의 형성시 동시에 식각하는 방법을 제공한다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명한다.

도 5a 내지 도 5c는 본 발명에 따른 액정 표시장치의 스위칭 소자로 사용되는 박막 트랜지스터의 제작공정을 도시한 도면으로, 본 발명의 특징은 박막 트랜지스터를 제작하는 공정에 특징이 있으므로, 박막 트랜지스터 제조공정을 중심으로 설명한다.

도 5a는 기판(1) 상에 제 1 금속을 증착하고 제 1 마스크로 패터닝하여 게이트 전극(100)을 형성하는 단계를 도시한 도면이다.

상기 게이트 전극(100)의 형성에 사용되는 제 1 금속은 일반적으로 크롬(Cr), 몰리브덴(Mo) 등이 사용될 수 있으며, 알루미늄계 금속을 사용할 수 있다.

상기 알루미늄계 금속은 알루미늄-네오뎴/몰리브덴(AlNd/Mo)을 사용한다.

도 5b는 상기 게이트 전극(100)이 형성된 기판(1) 상의 전면에 게이트 절연막(102), 순수 반도체층(104), 불순물 반도체층(106), 제 2 금속층(108), 포토레지스트(110)를 연속으로 적층하는 공정을 도시한 도면이다.

상기 포토레지스트(110)는 노광된 부분이 현상되는 포지티브 포토레지스트를 사용한다.

한편, 본 발명에서는 상기 포토레지스트(110)를 2번에 걸쳐 노광한다. 즉, 제 2 마스크(200a)를 사용하여 1차 노광하고, 도 5c에 도시된 제 3 마스크(200b)로 2차 노광을 실시한다.

먼저, 1차 노광에 관해 설명하면, 상기 1차 노광에 사용되는 제 2 마스크(200a)의 패턴은 박막 트랜지스터의 채널부분이 막혀있는 소스/드레인 패턴을 사용한다. 즉, 1차 노광에 의해 상기 포토레지스트(110)에는 1차 노광영역(110a)이 형성된다.

도 5c는 제 3 마스크로 2차 노광하는 단계를 도시한 도면이다. 상기 2차 노광에 사용되는 제 3 마스크(200b)의 패턴은 채널부분이 형성된 소스/드레인 패턴을 사용한다.

이 때, 상기 2차 노광시 노광되는 빛의 세기는 1차 노광에 사용되는 빛의 세기보다 작은 세기로 노광한다.

상기와 같이 약한 빛으로 2차 노광을 실시하면 상기 포토레지스트(110)에는 2차 노광영역(110b)이 형성되는데, 상기 2차 노광영역(110b)의 포토레지스트는 전체적으로 변화가 생기지 않게 된다.

여기서, 상기 포토레지스트의 빛에 대한 변화를 살펴보면, 빛의 세기와 노광시간에 따라 포토레지스트는 소정의 화합물로 변하게 되는데, 빛의 세기가 약하거나 노광시간이 짧게 되면, 포토레지스트의 표면으로부터 소정의 두께만 화합물로 변하게 된다.

따라서, 제 3 마스크에 의해 2차 노광된 포토레지스트(110)의 2차 노광영역(110b)은 화합물로 완전히 변한 것이 아니라 포토레지스트(110)의 표면으로부터 소정의 깊이만 화합물로 변하게 된다.

상기와 같이 소정의 깊이로만 반응하도록 노광을 실시하려면 실험적으로 노광 빛의 세기를 결정해야 한다.

한편, 본 발명에서는 2차 노광을 시행하기 위해 빛의 세기를 조절하였으나, 부분투과 마스크(즉, 반투과막)를 사용하여도 무방하다.

도 5d는 1, 2 차 노광에 의해 노광된 포토레지스트(110)를 현상하고, 1차 노광영역의 하부에 형성된 제 2 금속층 및 불순물 반도체층, 순수 반도체층을 일괄 식각하는 단계를 도시한 도면이다.

도시된 도면에서와 같이 상기 1, 2 차 노광에 의해 상기 포토레지스트(110)는 1차 노광영역(110a)은 완전히 현상되고, 2차 노광영역(110b)은 반쯤 현상된 형태로 남게 된다.

도 6은 도 5d의 포토레지스트(110)에서 2차 노광에 의해 반쯤 현상된 2차 노광영역(110b)의 포토레지스트만을 제거하여 소스 및 드레인 전극(112, 114)을 형성하는 단계를 도시한 도면이다.

상기 2차 노광영역(110b)의 포토레지스트의 제거는 건식식각방법을 사용하며, 이 때, 2차 노광영역(110b) 이외의 포토레지스트(110)도 약간 식각되게 된다.

상기와 같이 2차 노광영역(110b)의 포토레지스트를 제거한후, 제 2 금속층을 식각하여 소스 및 드레인 전극(112, 114)을 형성한다.

또한, 상기 소스 및 드레인 전극(112, 114)을 마스크로하여 불순물 반도체층을 식각하여 채널(CH)을 형성한다.

상기 채널(CH)을 형성한 후, 소스 및 드레인 전극(112, 114)의 상부에 존재하는 포토레지스트(110)를 제거한다.

상술한 바와 같이 본 발명에서는 박막 트랜지스터를 형성하기 위해 3번의 마스크를 사용하였다. 이는 종래의 액정 표시장치 제조방법에서도 박막 트랜지스터를 형성하기 위해 3번의 마스크를 사용하였으나, 본 발명에서는 3번의 마스크를 사용하면서도 일괄식각 및 포토레지스트의 현상과정은 2번만 사용된다.

즉, 종래와 비교해서 사진식각공정이 한번 줄어드는 효과가 있다. 따라서, 식각공정이 감소함에 따라 불량률이 감소하여 제품의 생산수율이 증가될 뿐 아니라, 원가절감의 장점이 있다.

한편, 도 6에 도시된 박막트랜지스터의 채널(CH)형성공정 및 포토레지스트 제거공정 이후에 종래의 액정 표시장치의 제작공정을 도시한 도 3d 이후의 공정을 수행하면 액정 표시장치가 제작된다.

### 발명의 효과

상술한 본 발명의 실시예로 액정 표시장치를 제작할 경우 일괄패턴의 형성에 따라 현상, 식각, 박리, 세정공정이 각 한번씩 감소함에 따라 액정 표시장치의 불량률이 저감되는 효과가 있다.

또한, 액정 표시장치의 제작공정이 간소화됨에 따라 원가절감의 효과가 있다.

**(57) 청구의 범위**

**청구항 1.**

기판을 구비하는 단계와;

상기 기판 상에 제 1 금속을 증착하고 제 1 마스크로 패터닝하여 게이트 전극을 형성하는 단계와;

상기 게이트 전극이 형성된 기판의 전면에 걸쳐 절연막, 순수 반도체층, 불순물 반도체층, 제 2 금속층, 포토레지스트를 순서대로 적층하는 단계와;

상기 제 2 금속층 상에 형성된 포토레지스트를 채널부가 막힌 소스/드레인 형상의 패턴을 갖는 제 2 마스크로 1차 완전 노광하여 제 1 노광 영역을 형성하는 단계와;

상기 제 1 노광영역이 형성된 포토레지스트를 채널부가 형성된 소스/드레인 형상의 패턴을 갖는 제 3 마스크로 2차 부분 노광하여 제 2 노광영역을 형성하는 단계와;

상기 제 1, 2 노광영역을 갖는 포토레지스트를 현상하는 단계와;

현상된 포토레지스트를 마스크로 제 1 노광영역의 제 2 금속층, 불순물 반도체층, 순수 반도체층을 일괄 식각하는 단계와;

상기 부분 노광된 제 2 노광영역의 포토레지스트를 제거하는 단계와;

상기 제 2 노광영역이 제거된 포토레지스트에 의해 노출된 제 2 금속층을 식각하여 소스 및 드레인 전극을 형성하는 단계를 포함하는 박막 트랜지스터 제조방법.

**청구항 2.**

청구항 1에 있어서,

상기 2차 노광은 1차 노광에 비해 노광 빛의 세기가 작은 박막 트랜지스터 제조방법.

**청구항 3.**

청구항 1에 있어서,

상기 식각된 소스 및 드레인 전극을 마스크로하여 상기 소스 및 드레인 전극의 사이에 존재하는 불순물 반도체층을 제거하는 단계를 더욱 포함하는 박막 트랜지스터 제조방법.

**청구항 4.**

청구항 1 또는 청구항 3중 어느 한 항의 박막 트랜지스터 제조방법에 의해 제조된 박막 트랜지스터.

**청구항 5.**



기관 상에 제 1 금속으로 게이트 전극을 형성하는 단계와;

상기 게이트 전극이 형성된 기관의 전면에 걸쳐 절연막, 순수 반도체층, 불순물 반도체층, 제 2 금속, 포토레지스트를 순서대로 적층하고, 채널부가 막힌 소스/드레인 형상의 패턴을 갖는 제 1 마스크로 상기 포토레지스트를 1차 완전 노광하여 제 1 노광 영역과, 상기 제 1 노광영역이 형성된 포토레지스트를 채널부가 형성된 소스/드레인 형상의 패턴을 갖는 제 2 마스크로 2차 부분 노광하여 제 2 노광영역을 각각 형성하는 단계와;

상기 제 1, 2 노광영역을 갖는 포토레지스트를 현상하는 단계와;

현상된 포토레지스트를 마스크로 제 1 노광영역의 제 2 금속층, 불순물 반도체층, 순수 반도체층을 일괄 식각하는 단계와;

상기 부분 노광된 제 2 노광영역의 포토레지스트를 제거하는 단계와;

상기 제 2 노광영역이 제거된 포토레지스트에 의해 노출된 제 2 금속층을 식각하여 소스 및 드레인 전극을 형성하는 단계와;

상기 소스 및 드레인 전극과 기관 전면에 걸쳐 형성되고 상기 드레인 전극의 일부가 노출된 드레인 콘택홀을 갖는 보호막을 형성하는 단계와;

상기 보호막 상에 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉하는 화소전극을 형성하는 단계

를 포함하는 액정 표시장치의 어레이기관 제조방법.

### 청구항 6.

청구항 5에 있어서,

상기 2차 노광은 1차 노광에 비해 노광 빛의 세기가 작은 액정 표시장치의 어레이기관 제조방법.

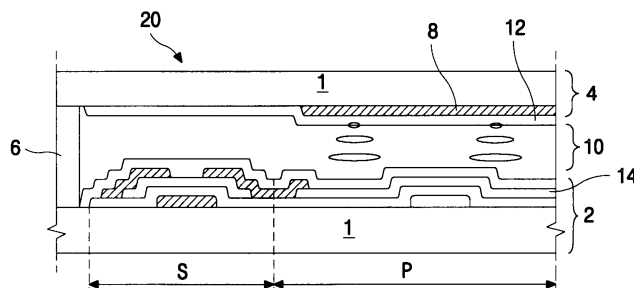
### 청구항 7.

청구항 5에 있어서,

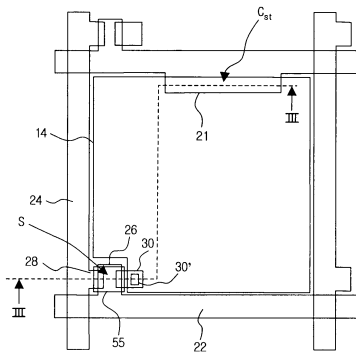
상기 식각된 소스 및 드레인 전극을 마스크로하여 상기 소스 및 드레인 전극의 사이에 존재하는 불순물 반도체층을 제거하는 단계를 더욱 포함하는 액정 표시장치의 어레이기관 제조방법.

### 도면

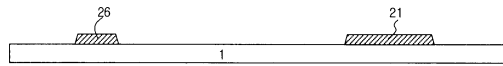
도면1



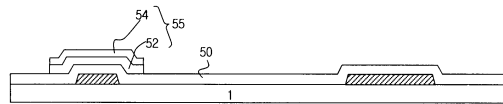
도면2



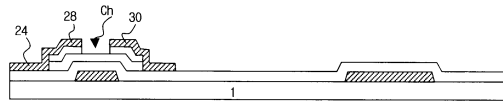
도면3a



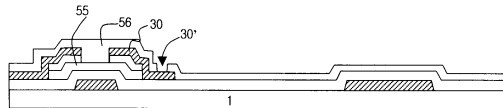
도면3b



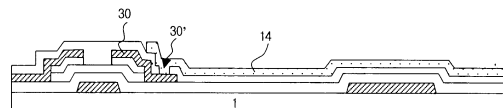
도면3c



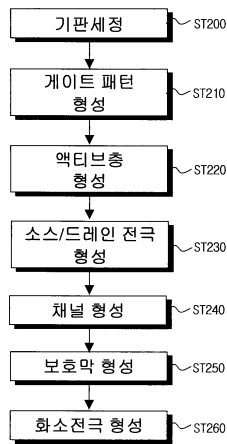
도면3d



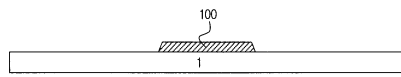
도면3e



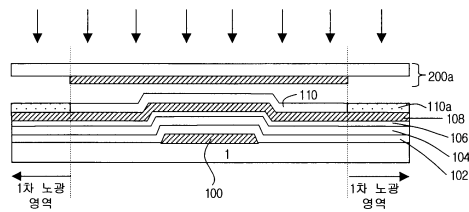
도면4



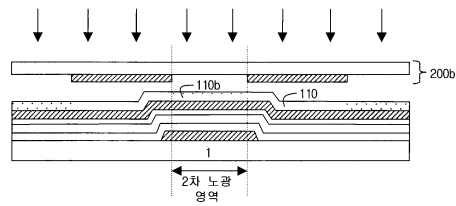
도면5a



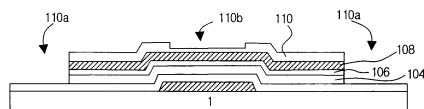
도면5b



도면5c



도면5d



도면6

