

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5714280号  
(P5714280)

(45) 発行日 平成27年5月7日(2015.5.7)

(24) 登録日 平成27年3月20日(2015.3.20)

(51) Int. Cl.	F I
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 H
HO 1 L 27/04 (2006.01)	HO 1 L 29/78 6 5 2 Q
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 L
HO 1 L 29/739 (2006.01)	HO 1 L 29/78 6 5 5 A
HO 1 L 25/00 (2006.01)	HO 1 L 25/00 B
請求項の数 7 (全 8 頁) 最終頁に続く	

(21) 出願番号 特願2010-208814 (P2010-208814)  
 (22) 出願日 平成22年9月17日(2010.9.17)  
 (65) 公開番号 特開2012-64826 (P2012-64826A)  
 (43) 公開日 平成24年3月29日(2012.3.29)  
 審査請求日 平成25年9月2日(2013.9.2)

(73) 特許権者 300057230  
 セミコンダクター・コンポーネンツ・イン  
 ダストリーズ・リミテッド・ライアビリテ  
 ィ・カンパニー  
 アメリカ合衆国 アリゾナ州 85008  
 フェニックス イースト・マクドウェル  
 ・ロード5005  
 (74) 代理人 100107906  
 弁理士 須藤 克彦  
 (72) 発明者 渡辺 雄一  
 群馬県邑楽郡大泉町坂田一丁目1番1号  
 三洋半導体株式会社内  
 (72) 発明者 山根 彰  
 群馬県邑楽郡大泉町坂田一丁目1番1号  
 三洋半導体株式会社内  
 最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

リードフレームのアイランド上に半導体チップがダイボンドされた半導体装置であって、

前記半導体チップは、

第1導電型の半導体基板、前記半導体基板の表面に配置された第2導電型の第1の半導体層、及び前記第1の半導体層の表面に配置された第1導電型の第2の半導体層からなる寄生バイポーラトランジスタと、

前記第2の半導体層が保護抵抗層として働くように、前記第2の半導体層の表面に形成された第1の電極及び第2の電極と、

前記半導体基板の裏面と直接接して該裏面を覆う金属薄膜と、を備え、

前記金属薄膜と前記アイランドとの間には、導電性ペーストが配置され、

前記半導体基板、前記第1の半導体層、前記第2の半導体層、前記第1の電極、及び前記金属薄膜が協同してサージに应答する入力電流の第1の部分を前記アイランドに流す第2のパスを形成し、

さらに、前記半導体基板と接触した分離層と、前記分離層と接触した第3の電極と、を備え、

前記半導体基板、前記分離層、及び前記第3の電極は、前記サージに应答して前記入力電流の第2の部分が流れる第1のパスとして働くことを特徴とする半導体装置。

【請求項2】

前記金属薄膜は、前記半導体基板の裏面側から、アルミニウム層、クロム層、銅層、金属層がこの順で積層されてなることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記導電性ペーストは、銀粒子を含む銀ペーストであることを特徴とする請求項 1 又は請求項 2 に記載の半導体装置。

【請求項 4】

前記第 2 の半導体層は、前記第 1 の電極を介して前記半導体チップに印加される前記サージに対する保護抵抗層であることを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置。

【請求項 5】

前記第 1 の電極は、電源と接続されていることを特徴とする請求項 1 乃至請求項 4 のいずれかに記載の半導体装置。

10

【請求項 6】

前記半導体装置は、車載向け半導体装置であることを特徴とする請求項 1 乃至請求項 5 のいずれかに記載の半導体装置。

【請求項 7】

前記半導体装置は、イグナイタ向け半導体装置であることを特徴とする請求項 1 乃至請求項 6 のいずれかに記載の半導体装置。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、半導体装置に関し、特に、リードフレーム上に半導体チップが載置された半導体装置に関する。

【背景技術】

【0002】

複数の IC チップ等の半導体チップを備えた半導体装置では、例えば図 6 に示すように、IC チップ 110A は、銅等の金属からなるリードフレームのアイランド 150 上に、導電性ペースト 140 を介してダイボンドされる。

【0003】

リードフレーム上に半導体チップが載置された半導体装置については、例えば特許文献 1, 2 に開示されている。

30

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2010 - 80914 号公報

【特許文献 2】特開 2006 - 32479 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、半導体装置の使用目的によっては、図 6 に示すように、IC チップ 110A の表面に配置されたパッド電極 111 から、サージ（振幅の立ち上がりの大きいパルス状の過電圧）が印加されやすくなる。例えば、半導体装置が車載の点火プラグを制御するイグナイタである場合、その周囲のモーター等の他の車載機器から生じるノイズを起因として大きなサージが印加されやすい。

40

【0006】

サージの大きさによっては、パッド電極 111 から半導体基板 110 の中に流れたサージ電流が、半導体基板 110 の裏面に到達し、絶縁破壊を生じさせる場合があった。そして、その際に生じた熱により、半導体基板 110 にクラックが生じて、イグナイタが故障してしまう場合があった。

【0007】

50

そこで本発明は、リードフレーム上に半導体チップが載置された半導体装置において、サージに対する耐性の向上を図るものである。

【課題を解決するための手段】

【0008】

本発明は、リードフレームのアイランド上に半導体チップがダイボンドされた半導体装置であって、前記半導体チップは、第1導電型の半導体基板、前記半導体基板の表面に配置された第2導電型の第1の半導体層、及び前記第1の半導体層の表面に配置された第1導電型の第2の半導体層からなる寄生バイポーラトランジスタと、前記第2の半導体層が保護抵抗層として働くように、前記第2の半導体層の表面に形成された第1の電極及び第2の電極と、前記半導体基板の裏面と直接接して該裏面を覆う金属薄膜と、を備え、前記金属薄膜と前記アイランドとの間には、導電性ペーストが配置され、前記半導体基板、前記第1の半導体層、前記第2の半導体層、前記第1の電極、及び前記金属薄膜が協同してサージに応答する入力電流の第1の部分を前記アイランドに流す第2のパスを形成し、さらに、前記半導体基板と接触した分離層と、前記分離層と接触した第3の電極と、を備え、前記半導体基板、前記分離層、及び前記第3の電極は、前記サージに**応答して前記入力電流の第2の部分が流れる第1のパスとして働くことを特徴とする。**

10

【発明の効果】

【0009】

本発明によれば、金属のリードフレーム上に半導体チップが載置された半導体装置において、サージに対する耐性を向上することができる。

20

【図面の簡単な説明】

【0010】

【図1】本発明の実施形態による半導体装置とその周辺回路を示す回路図である。

【図2】本発明の実施形態による半導体装置の概略構成を示す平面図である。

【図3】本発明の実施形態による半導体装置を示す断面図である。

【図4】図3の半導体装置の金属薄膜の積層構造を示す断面図である。

【図5】比較例による半導体装置を示す断面図である。

【図6】従来例による半導体装置を示す断面図である。

【発明を実施するための形態】

【0011】

30

本発明の実施形態による半導体装置について、図面を参照して説明する。図1は、この半導体装置とその周辺回路の概略構成を示す回路図である。この半導体装置は、サージ（例えば、振幅の立ち上がりの大きいパルス状の過電圧）が印加されやすい半導体装置であり、例えば、車載用のイグナイタ1であるものとする。図2は、図1のイグナイタ1の概略構成を示す平面図である。

【0012】

図1に示すように、イグナイタ1は、車載のエンジンの点火プラグ2の発火を制御する機能を有し、複数の半導体チップ、例えば、制御回路として形成されたICチップ10Aと、スイッチング素子であるIGBTチップ10B等を備える。イグナイタ1は、ICチップ10AによってIGBTチップ10Bのスイッチング動作を制御し、電源から点火コイルの1次コイル3Aに流れる電流をIGBTチップ10Bで遮断することにより自己誘導を生じさせ、点火コイルの2次コイル3Bに高電圧を発生させる。この高電圧が点火プラグ2に印加されることで発火が行われる。

40

【0013】

車載のイグナイタ1では、車載のモーター等の他の機器から生じるノイズを起因とした大きなサージが、電源端子T1や配線を介して、ICチップ10Aに印加されやすい。特に、自動車のエンジン停止に伴ってサージが発生しやすい。

【0014】

イグナイタ1を構成するICチップ10AとIGBTチップ10Bは、例えば図2に示すように、銅等の金属からなるリードフレーム50、60の各アイランド51、61上に

50

それぞれダイボンドされ、必要に応じて不図示の樹脂により封止される。なお、図の例では、ICチップ10AとIGBTチップ10Bは、ボンディングワイヤ71を介して、リード端子72と接続されている。複数のリード端子72の中の1つは、例えば電源と接続された電源端子T1として形成される。また、2つのアイランド51, 61の間には、それらを接続するチップコンデンサ4が配置されている。

#### 【0015】

以下に、リードフレーム50のアイランド51にダイボンドされたICチップ10Aについて図面を参照して説明する。図3は、イグナイタ1の中のICチップ10Aを示す断面図である。なお、図3では、イグナイタ1に形成される保護抵抗層の形成領域とその近傍を簡略化して示し、他の構成要素、例えばトランジスタの形成領域については図示を省略している。また、図4は、図3の金属薄膜30の積層構造を示す拡大断面図である。

10

#### 【0016】

図3に示すように、ICチップ10Aは、P型のシリコン基板である半導体基板10によって構成される。半導体基板10の表面において、N型の埋め込み層11が配置され、その上層にN型のエピタキシャル層12が配置されている。エピタキシャル層12の表面の一部にはP型の半導体層13が配置されている。なお、図の例では、埋め込み層11の両端は、ICチップ10Aの表面まで延びている。その埋め込み層11の両端の外側にはエピタキシャル層12が存在し、そのエピタキシャル層12の外側には、半導体基板10の表面と接続されたP型の素子分離層14が配置されている。

20

#### 【0017】

本実施形態の半導体層13は、所定の抵抗値Rによってサージ電流を弱めるためのイグナイタ1の保護抵抗層として用いられるものとする。この場合、半導体層13の表面の一方の端は、絶縁膜15の開口部を通してパッド電極16と接続されている。パッド電極16は、図1の電源端子1と接続されたボンディングワイヤ71を介して、電源に接続されている。半導体層13の他方の端は、絶縁膜15の開口部を通して配線17と接続されている。配線17は不図示の他の素子と接続されている。また、素子分離層14には、接地された配線18が絶縁膜15の開口部を通して接続されている。

#### 【0018】

ICチップ10Aの裏面側では、半導体基板10の裏面と直接接して、該裏面を覆う金属薄膜30が配置されている。金属薄膜30は、半導体基板10の裏面全体を覆っていることが好ましい。金属薄膜30とアイランド51の間には、導電性粒子と樹脂からなる導電性ペースト40が配置されている。導電性ペースト40は、金属薄膜30と直接接すると共に、接地されたアイランド51と直接接して配置されている。

30

#### 【0019】

導電性ペースト40は、導電性粒子として銀粒子を含む銀ペーストであることが好ましい。銀ペーストを用いたダイボンドによれば、他の材料、例えば無鉛半田を用いたダイボンドに比して、ボンディング時の加工温度を下げることができ、また、製造コストを低く抑える利点がある。

#### 【0020】

なお、ICチップの製造工程において、半導体基板10の裏面には、例えばバックグラインド後に、シリコン基板である半導体基板10の酸化により自然に形成される酸化膜、即ち自然酸化膜(不図示)が形成される。金属薄膜30は、この自然酸化膜を例えばプラズマエッチング処理により除去した直後に、例えば蒸着法によって半導体基板10の裏面に形成される。これにより、半導体基板10の裏面と金属薄膜30は、自然酸化膜を介さずに直接接する形になり、半導体基板10からアイランド51に安定して、電流を流すことができる。

40

#### 【0021】

図4に示すように、金属薄膜30は、ICチップ10Aの裏面、即ち半導体基板10の裏面側から、半導体基板10の裏面に直接接して形成されたアルミニウム層31、さらにクロム層32、銅層33、金層34がこの順で積層されたものである。アルミニウム層3

50

1 は、半導体基板 1 0 との接触を良好にし、クロム層 3 2 は、アルミニウム層 3 1 と銅層 3 3 の相互反応を防止し、銅層 3 3 は金属薄膜 3 0 全体の電気抵抗を低減させ、金層 3 4 は銅層 3 3 表面の酸化を防止する。金層 3 4 は、導電性粒子 4 1 (好ましくは銀粒子) と樹脂 4 2 を含む導電性ペースト 4 0 と直接接している。この金属薄膜 3 0 は、全体で例えば約 0.5  $\mu\text{m}$  ~ 1.5  $\mu\text{m}$  の膜厚を有している。

【0022】

この IC チップ 1 0 A には、図 3 の断面構成から分かるように、P 型の半導体基板 1 0 をコレクタ、N 型の埋め込み層 1 1 及びエピタキシャル層 1 2 をベース、P 型の半導体層 1 3 をエミッタとした PNP バイポーラトランジスタ、即ち寄生トランジスタ  $T_{rp}$  が形成される。

10

【0023】

そして、ボンディングワイヤ 7 1 とパッド電極 1 6 を介して半導体層 1 3 に印加されたサージの電位が、寄生トランジスタ  $T_{rp}$  をブレイクダウンさせるほど大きな場合には、半導体層 1 3 から寄生トランジスタ  $T_{rp}$  を通って、P 型の半導体基板 1 0 中にサージ電流が流れる。このサージ電流は、P 型の素子分離層 1 4 を通って、接地された配線 1 8 に流れると共に (即ち第 1 のパス)、半導体基板 1 0 の裏面から金属薄膜 3 0 を通って、接地されたアイランド 5 1 に流れる (即ち第 2 のパス)。

【0024】

なお、上記サージが半導体層 1 3 に印加されても、寄生トランジスタ  $T_{rp}$  がブレイクダウンしない場合には、サージ電流は半導体基板 1 0 には流れず、保護抵抗層である半導体層 1 3 の抵抗値 R に応じて弱められて配線 1 7 に流れる。

20

【0025】

ここで、上述した IC チップ 1 0 A の構造に対する比較例として、半導体基板 1 0 の裏面に金属薄膜 3 0 が形成されない場合を考える。この場合、図 5 の断面図に示すように、半導体基板 1 0 の裏面には、例えば半導体基板 1 0 のバックグラインド後に、シリコン基板である半導体基板 1 0 の酸化によって自然酸化膜 1 1 0 F が形成されたままである。そして、この状態のまま、自然酸化膜 1 1 0 F とアイランド 5 1 との間に、導電性ペースト 4 0 が挟まれる。

【0026】

この自然酸化膜 1 1 0 F は、半導体基板 1 0 の裏面において一様な膜厚や状態では形成されず、局所的に、絶縁耐圧が低く絶縁破壊されやすい部分、例えば膜厚の薄い部分 1 1 0 T を有して形成される。そのため、寄生トランジスタ  $T_{rp}$  を通して半導体基板 1 0 にサージ電流が流れる場合、自然酸化膜 1 1 0 F の絶縁破壊されやすい部分 1 1 0 T では、電流密度の大きなサージ電流によって絶縁破壊が起こる。その際に生じる熱によって、半導体基板 1 0 にクラック 1 0 C L が生じ、IC チップ 1 0 A が損傷してしまう。このクラック 1 0 C L は、半導体基板 1 0 から、パッド電極 1 6 と重畳する半導体層 1 3 の中まで延びる場合もあり、さらには、パッド電極 1 6 と半導体層 1 3 の界面まで延びて、IC チップ 1 0 A を貫通する場合もある。

30

【0027】

これに対して本実施形態の IC チップ 1 0 A によれば、寄生トランジスタ  $T_{rp}$  を通って P 型の半導体基板 1 0 中に流れたサージ電流は、P 型の素子分離層 1 4 と接地された配線 1 8 に向かう第 1 のパスに加えて、さらに、半導体基板 1 0 の裏面から金属薄膜 3 0 を通って、接地されたアイランドに向かう第 2 のパスに流れるため、自然酸化膜 1 1 0 F の絶縁破壊によって半導体基板 1 0 等にクラック 1 0 C L が生じることなく、IC チップ 1 0 A の損傷を防止することができる。特に、金属薄膜 3 0 が半導体基板 1 0 の裏面の全体を覆って形成される場合、第 2 のパスが広くなって、より確実に、サージ電流を半導体基板 1 0 からアイランド 5 1 に導くことができる。

40

【0028】

なお、本発明は上記実施形態に限定されず、その要旨を逸脱しない範囲で変更が可能なことはいうまでもない。

50

【0029】

例えば、上記実施形態では、ICチップ10Aの半導体層13が、イグナイタ1の保護抵抗層である場合について説明したが、本発明はこれに限定されず、他の素子、例えばトランジスタの形成領域についても適用される。この場合、トランジスタは、少なくともP型の半導体基板10、N型の埋め込み層11とエピタキシャル層12、P型の半導体層13を用いて形成される。

【0030】

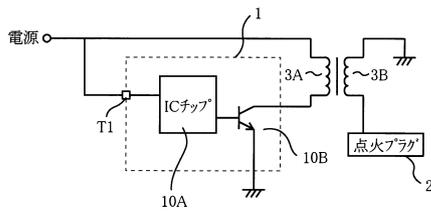
また、上記実施形態の半導体装置は車載のイグナイタ1であるものとしたが、本発明はこれに限定されず、サージが印加されやすいものであれば、他の車載半導体装置に対しても適用される。

【符号の説明】

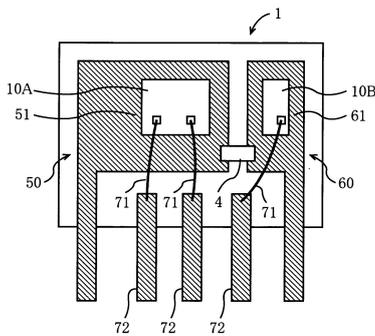
【0031】

- 1 イグナイタ
- 2 点火プラグ
- 3A 1次コイル
- 3B 2次コイル
- 4 チップコンデンサ
- 10A ICチップ
- 10B IGBTチップ
- 10 半導体基板
- 11 埋め込み層
- 12 エピタキシャル層
- 13 半導体層
- 14 素子分離層
- 15 絶縁膜
- 16 パッド電極
- 17, 18 配線
- 20 金属薄膜
- 31 アルミニウム層
- 32 クロム層
- 33 銅層
- 34 金属
- 40 導電性ペースト
- 50, 60 リードフレーム
- 51, 61 アイランド
- 71 ボンディングワイヤ
- 72 リード端子

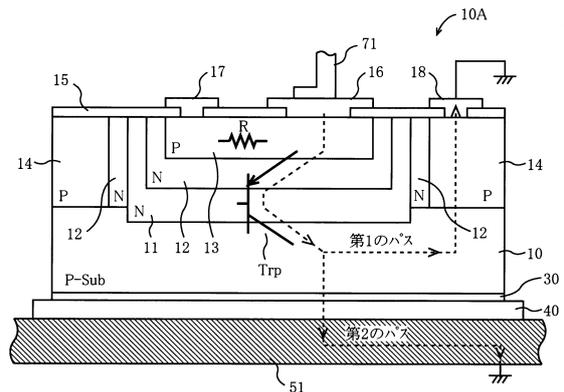
【図1】



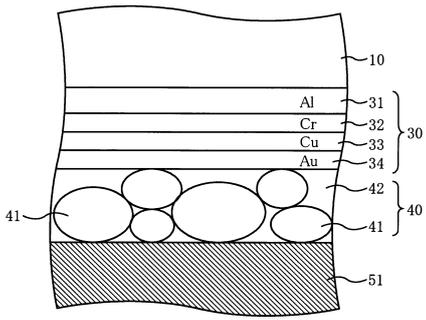
【図2】



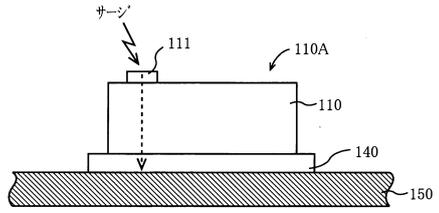
【図3】



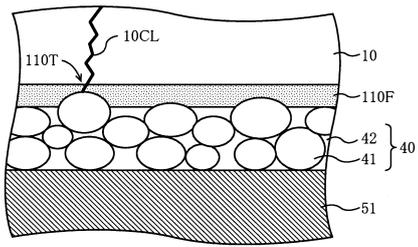
【図4】



【図6】



【図5】



---

フロントページの続き

(51)Int.Cl. F I  
H 0 1 L 23/60 (2006.01) H 0 1 L 23/56 B

(72)発明者 大石橋 康雄  
群馬県邑楽郡大泉町坂田一丁目1番1号 三洋半導体株式会社内

審査官 市川 武宜

(56)参考文献 特開2006-032479(JP,A)  
特開2003-017574(JP,A)  
特開平01-318236(JP,A)  
特開平10-335665(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H 0 1 L 2 1 / 8 2 2  
H 0 1 L 2 3 / 6 0  
H 0 1 L 2 5 / 0 0  
H 0 1 L 2 7 / 0 4  
H 0 1 L 2 9 / 7 3 9  
H 0 1 L 2 9 / 7 8