



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I398101B1

(45)公告日：中華民國 102 (2013) 年 06 月 01 日

(21)申請案號：098119990 (22)申請日：中華民國 94 (2005) 年 04 月 21 日
 (51)Int. Cl. : *H03K23/56 (2006.01)* *H03M1/48 (2006.01)*
 (30)優先權：2004/04/26 日本 2004-129389
 (71)申請人：新力股份有限公司 (日本) SONY CORPORATION (JP)
 日本
 (72)發明人：村松良德 MURAMATSU, YOSHINORI (JP)；福島範之 FUKUSHIMA, NORIYUKI
 (JP)；新田嘉一 NITTA, YOSHIKAZU (JP)；安井幸弘 YASUI, YUKIHIRO (JP)
 (74)代理人：陳長文
 (56)參考文獻：
 TW 242718 JP 06-164372
 JP 6216762 US 4837790
 US 5020082 US 5432830
 US 5920274
 審查人員：黃雅崇
 申請專利範圍項數：13 項 圖式數：26 共 0 頁

(54)名稱

計數器電路，類比數位轉換之方法，類比數位轉換器，用於偵測物理量的分佈之半導體器件，以及電子裝置

COUNTER CIRCUIT, AD CONVERSION METHOD, AD CONVERTER, SEMICONDUCTOR DEVICE FOR DETECTING DISTRIBUTION OF PHYSICAL QUANTITIES, AND ELECTRONIC APPARATUS

(57)摘要

本發明揭示一種能夠切換計數模式的非同步計數器，其包括正反器及分別提供於相鄰對之正反器間的三輸入單輸出三值開關。三值開關在三個值之間進行切換，即，正反器的非反向輸出與反向輸出及電源供應位準。三值開關的各開關根據二位元控制信號在三個輸入信號之間切換，然後將選定的信號輸入其後正反器的時脈終端。當根據控制信號切換計數模式時，將直接在模式切換前的計數值設為初始值，而在模式切換後的計數則從該初始值開始。

An asynchronous counter that is capable of switching count mode includes flip-flops, and three-input single-output tri-value switches respectively provided between the adjacent pairs of the flip-flops. The tri-value switches switch among three values, namely, non-inverting outputs and inverting outputs of the flip-flops and a power supply level. Each of the tri-value switches switch among the three input signals according to two-bit control signals, and input a selected signal to a clock terminal of a subsequent flip-flop. when count mode is switched according to the control signals, a count value immediately before the mode switching is set as an initial value, and counting after the mode switching is started from the initial value.

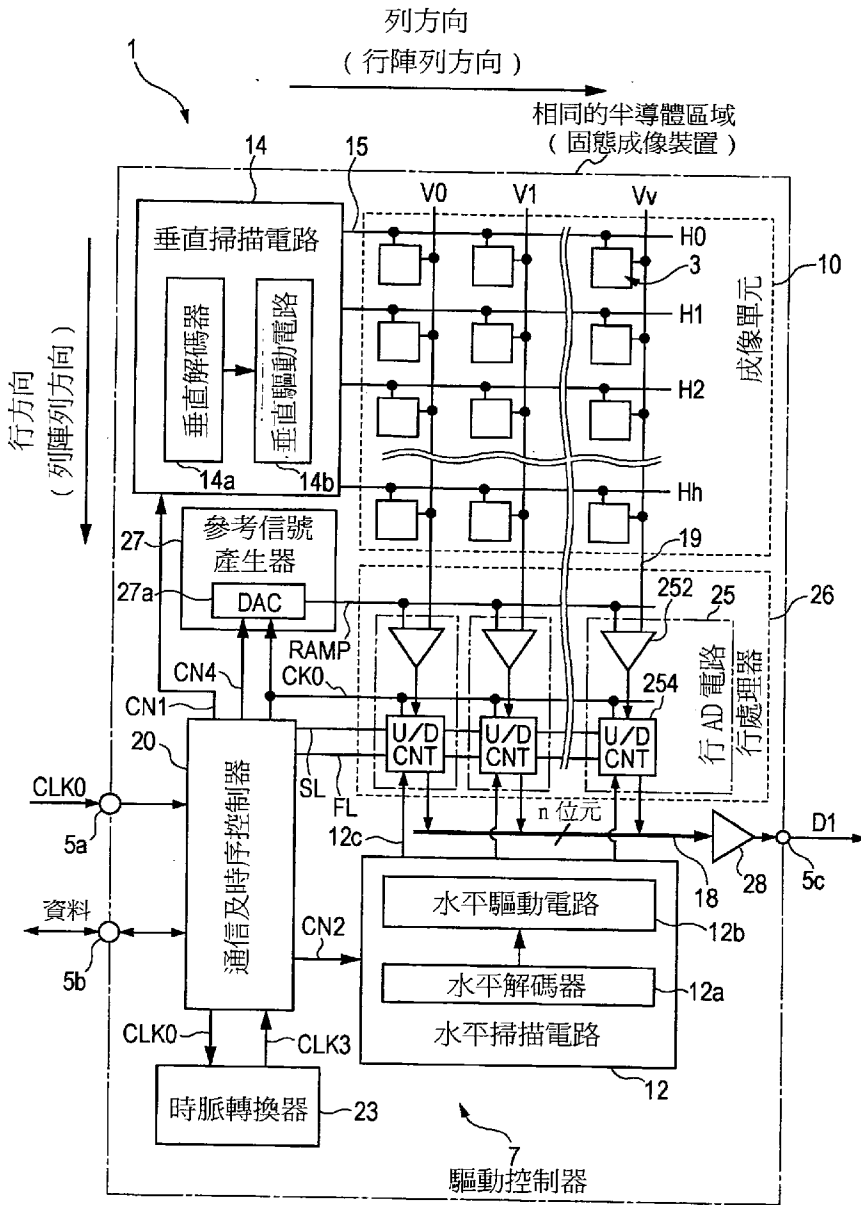


圖 11

- 1 . . . 固態成像裝置
- 3 . . . 單元像素
- 5a . . . 終端
- 5b . . . 終端
- 5c . . . 輸出終端
- 7 . . . 驅動控制器
- 10 . . . 像素單元
- 12 . . . 水平掃描電路
- 12a . . . 水平解碼器
- 12b . . . 水平驅動電路
- 12c . . . 控制線
- 14 . . . 垂直掃描電路
- 14a . . . 垂直解碼器
- 14b . . . 垂直驅動電路
- 15 . . . 列控制線
- 18 . . . 水平信號線
- 19 . . . 垂直信號線
- 20 . . . 通信及時序控制器
- 23 . . . 時脈轉換器
- 25 . . . 行AD電路
- 26 . . . 行處理器
- 27 . . . 參考信號產生器
- 27a . . . 數位至類比 (D/A)轉換器
- 28 . . . 輸出電路
- 252 . . . 電壓比較器
- 254 . . . 計數器

分割子案
中文說明書

發明專利說明書



(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：98119990

※ 申請日期：94.4.21 ※IPC 分類：H03K^{23/56}(2006.01)
H03M^{1/48}(2006.01)

原申請案號：094112727

一、發明名稱：(中文/英文)

計數器電路，類比數位轉換之方法，類比數位轉換器，用於偵測物理量的分佈之半導體器件，以及電子裝置

COUNTER CIRCUIT, AD CONVERSION METHOD, AD CONVERTER, SEMICONDUCTOR DEVICE FOR DETECTING DISTRIBUTION OF PHYSICAL QUANTITIES, AND ELECTRONIC APPARATUS

二、中文發明摘要：

本發明揭示一種能夠切換計數模式的非同步計數器，其包括正反器及分別提供於相鄰對之正反器間的三輸入單輸出三值開關。三值開關在三個值之間進行切換，即，正反器的非反向輸出與反向輸出及電源供應位準。三值開關的各開關根據二位元控制信號在三個輸入信號之間切換，然後將選定的信號輸入其後正反器的時脈終端。當根據控制信號切換計數模式時，將直接在模式切換前的計數值設為初始值，而在模式切換後的計數則從該初始值開始。

三、英文發明摘要：

An asynchronous counter that is capable of switching count mode includes flip-flops, and three-input single-output tri-value switches respectively provided between the adjacent pairs of the flip-flops. The tri-value switches switch among three values, namely, non-inverting outputs and inverting outputs of the flip-flops and a power supply level. Each of the tri-value switches switch among the three input signals according to two-bit control signals, and input a selected signal to a clock terminal of a subsequent flip-flop. When count mode is switched according to the control signals, a count value immediately before the mode switching is set as an initial value, and counting after the mode switching is started from the initial value.

四、指定代表圖：

(一)本案指定代表圖為：第 (11) 圖。

(二)本代表圖之元件符號簡單說明：

1	固態成像裝置
3	單元像素
5a	終端
5b	終端
5c	輸出終端
7	驅動控制器
10	像素單元
12	水平掃描電路
12a	水平解碼器
12b	水平驅動電路
12c	控制線
14	垂直掃描電路
14a	垂直解碼器
14b	垂直驅動電路
15	列控制線
18	水平信號線
19	垂直信號線
20	通信及時序控制器
23	時脈轉換器
25	行AD電路
26	行處理器

27	參考信號產生器
27a	數位至類比(D/A)轉換器
28	輸出電路
252	電壓比較器
254	計數器

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明有關非同步計數器電路、類比至數位(AD)轉換方法、及使用計數器電路將類比信號轉換成數位資料的AD轉換器、偵測複數個單元元件之陣列之物理量分佈的半導體器件、及電子裝置。

更明確地說，本發明有關非同步計數器及適用於電子裝置(如，偵測物理量分佈的半導體器件，如固態成像器件)之AD轉換的技術，以允許讀取代表由複數個單元元件之陣列所獲得之物理量分佈的電信號，該複數個單元元件對從外部輸入的電磁波(如光線或輻射)靈敏。

【先前技術】

各種領域都會用到供偵測物理量的半導體器件，其包括對從外部輸入的電磁波(如光線或輻射)靈敏之單元元件的線路或矩陣。

例如，在視訊裝置的領域中，使用供偵測光線(電磁波的範例)作為物理量的電荷耦合器件(CCD)、金氧半導體(MOS)、及互補式金氧半導體(CMOS)固態成像器件。這些器件讀取形式為藉由單元元件(在固態成像器件的情況中為像素)所獲得之電信號的物理量分佈。

在固態成像器件的類型中，稱為主動像素感測器(APS)或增益單元，在產生對應於由電荷產生器所產生之信號電荷之像素信號的像素信號產生器中，提供用於放大的驅動電晶體。許多CMOS固態成像器件均屬於上述類型。

在此類主動像素感測器中，為了將像素信號讀取至外部，在包括單元像素之陣列的像素單元上行使位址控制，因而可從任意選擇的個別單元像素讀取信號。也就是說，主動像素感測器係為位址控制之固態成像器件的範例。

例如，在屬於X-Y定址之固態成像器件(包括單元像素之矩陣)之類型的主動像素感測器中，使用MOS結構(MOS電晶體)的主動元件或其類似物來實施各像素，使像素本身能夠放大。也就是說，聚集在當作光電轉換器之光二極體中的信號電荷(光電子)將由主動元件放大，再將放大的信號讀取為影像資訊。

在此類型的X-Y定址固態成像器件中，例如，像素單元包括大量像素電晶體的二維陣列。對應於入射線之信號電荷在逐線基礎或逐像素基礎上開始聚集。從定址的個別像素連續讀取根據聚集之信號電荷的電流或電壓信號。在MOS(包括CMOS)固態成像器件的情況中，如位址控制的範例，根據一種經常使用的方法，將同時存取一系列上的像素以逐列從像素單元讀取像素信號。

視需要將由類比至數位轉換器將讀取自像素單元的類比像素信號轉換成數位資料。由於在輸出像素信號時將信號成分加入重設成分，因此必須藉由取得對應於重設成分之信號電壓和對應於信號成分之信號電壓間的差異來擷取真實有效的信號成分。

這亦適用於將類比像素信號轉換成數位資料的情況。最後，必須將代表對應於重設成分之信號電壓和對應於信號

成分之信號電壓間之差異的差異信號成分轉換成數位資料。為此之故，已提出各種用於AD轉換的方案，例如，說明於W. Yang等人的「An Integrated 800 x 600 CMOS Image System(整合的800 x 600 CMOS影像系統)」，ISSCC Digest of Technical Papers，第304-305頁，1999年2月(以下稱為第一非專利文件)；米本和也(Kazuya YONEMOTO)的「CCD/CMO Image Sensor no kiso to ouyo(CCD/CMO影像感測器之基礎與應用)」，CQ Publishing Co., Ltd，2003年8月10日，第一版，第201至203頁(以下稱為第二非專利文件)；今村俊文(Toshifumi IMAMURA)及山本美子(Yoshiko YAMAMOTO)的「3. Kosoku kinou CMOS imeeji sensa no kenkyuu(3.高速機能CMOS影像感測器之研究)」，2004年3月15日參閱於網際網路URL <http://www.sanken.gr.jp/project/iwataPJ/report/h12/h12index.html> (以下稱為第三非專利文件)；今村俊文、山本美子、及長谷川尚哉(Naoya HASEGAWA)的「3. Kousoku kinou CMOS imeeji sensa no kenkyuu(3.高速機能CMOS影像感測器之基礎與應用)」，2004年3月15日參閱於網際網路URL <http://www.sanken.gr.jp/project/iwataPJ/report/h14/h14index.html> (以下稱為第四非專利文件)；Oh-Bong Kwon等人，「A Novel Double Slope Analog-to-Digital Converter for a High-Quality 640x480 CMOS Imaging System(用於高品質640x480 CMOS成像系統的新型雙斜率類比至數位轉換器)」，VL3-03 1999 IEEE，第335-338頁(以下稱為第五非

專利文件)；及未審查之日本專利申請公開案第11-331883號(以下稱為第一專利文件)。

根據第一至第五非專利文件與第一專利文件中所說明之AD轉換的方案，AD轉換係使用計數器電路來執行。所用的計數器電路通常是其中正反器(計數器基本元件)和計數器時脈同步輸出計數值的同步計數器。

然而，在同步計數器的情況中，所有正反器的操作均受限於計數時脈，因而在需要較高的頻率時會有問題。

也可以使用非同步計數器作為計數器電路，如第四與第五非專利文件中所述。非同步計數器適於高速操作，因其限制操作頻率僅由第一正反器的限制頻率來決定。因此，在需要較高頻率的操作時，較佳使用非同步計數器作為計數器電路。

圖18為顯示先前技術能夠切換模式之非同步計數器的圖示。計數器電路900能夠當作4位元非同步計數器。例如，計數器電路900可藉由串接複數個負緣D正反器912、914、916、及918(統稱910)來實施。各正反器910具有連接至其D輸入終端的反向輸出NQ(表示為Q上加一條橫槓)。第一正反器910的時脈終端CK接收計數時脈CK0的輸入。

此外，計數器電路900包括二輸入單輸出開關922、924、及926(統稱920)，用於切換正反器910分別在相鄰對之正反器910間的非反向輸出Q與反向輸出NQ。各開關920根據控制器(未顯示)的控制信號SW切換兩個輸入信號，再將選定的信號輸入其後正反器910的時脈終端CK。

控制信號SW係用於切換計數器電路900在遞增計數與遞減計數之間的計數操作。當控制信號在高(H)位準時，將選擇非反向輸出Q，使計數器電路900進入遞增計數模式。另一方面，當控制信號SW在低(L)位準時，將選擇反向輸出NQ，使計數器電路900進入遞減計數模式。

然而，在圖18所示習用的非同步計數器中，無論操作模式為何，一般使用遞增/遞減計數器來執行計數，同時切換遞增/遞減計數器的處理模式。因此，雖然允許電路的小型設計，但例如在計數器遞增計數至預定值然後開始從該值遞減計數時，在切換計數模式時並未維持計數值的連續性。因此，此計數器並不適於在切換計數模式時連續執行計數(以下稱為第一問題)。這將於下文中說明。

圖19為說明圖18所示計數器電路900之操作的時序圖。

在此範例中，4位元非同步計數器根據控制信號SW在非反向輸出Q與反向輸出NQ之間切換，致使先執行遞增計數再執行遞減計數。然而，在發生從遞增計數至遞減計數的切換時，計數值卻從6變更為10。因此，無法執行遞增計數與遞減計數，且同時在使用具有高頻之脈衝列切換計數模式的前後維持計數值。

克服此問題的方案已經提出，如未審查之日本專利申請公開案第6-216762號(以下稱為第二專利文件)。根據第二專利文件，在各偶數脈衝列上提供用於反向各正反器之狀態的器件及用於初始化所有正反器的器件。

以下將說明第二專利文件中所述的計數方法。假設非同

步計數器能夠遞增計數至最大數 n ，第一脈衝列包括 i 個脈衝，及第二脈衝列包括 j 個脈衝。

事先重設計數器，然後第一脈衝列從 0 計數至 i 。然後，在將計數器之正反器的狀態反向時，得到值 i 之 n 的補數，使計數器的值變成 $n-i$ 。

然後計數器從 $n-i$ 計數至 $n-i+j$ 。相關脈衝的差 $i-j$ 是 $n-i+j$ 之 n 的補數，再次反向正反器的狀態即可獲得 $n-i+j$ 。因此，實施使用具有高頻之連續脈衝列來執行遞增計數與遞減計數的非同步計數器。

然而，根據第二專利文件中所述的方案，由於利用牽涉補數值的計算來執行遞增計數與遞減計數，這並不直接（以下稱為第二問題）。

此外，第一至第五非專利文件及第一專利文件中所述的 AD 轉換方案具有關於以下項目的缺點：電路規模、電路面積、功率消耗、和其他功能單元連接的線路數、和線路相關聯的雜訊、或消耗電流。這將於下文中說明。

先前技術之固態成像器件的建構

圖 21 為先前技術之 CMOS 固態成像器件 (CMOS 影像感測器) 的建構圖，其中 AD 轉換器與像素單元係安裝在相同的半導體基板上。如圖 21 所示，固態成像器件 1 包括：像素單元 (成像單元) 10，其中複數個單元像素 3 係配置成列與行；驅動控制器 7，其係設於像素單元 10 的外部；計數器 (CNT) 24；行處理器 26，其包括提供用於個別行的行 AD 電路 25；參考信號產生器 27，其包括數位至類比轉換器

(DAC)，以將供AD轉換的參考電壓供應至行處理器26的行AD電路25；及輸出電路28，其包括減法器電路29。

驅動控制器7包括：水平掃描電路(行掃描電路)12，其控制行位址或行掃描；垂直掃描電路(列掃描電路)14，其控制列位址或列掃描；及時序控制器21，其經由終端5a接收主時脈CLK0並產生各種內部時脈以控制水平掃描電路12、垂直掃描電路14及其類似物。

單元像素3係連接至：列控制線15，其係由垂直掃描電路14控制；及垂直信號線19，其將像素信號傳送至行處理器26。

各行AD電路25包括電壓比較器252及資料儲存單元(鎖存器)255，且其具有n位元AD轉換器的功能。電壓比較器252比較參考信號產生器27產生的參考信號RAMP和經由垂直控制線19(V0、V1、...)從單元像素3所得之各列控制線15(H0、H1、...)的類比信號。資料儲存單元255是一種記憶體，其保留電壓比較器252為完成計數器24之比較所花費之時間的結果。資料儲存單元255包括n位元鎖存器1與2，其為彼此獨立運作的儲存區域。

電壓比較器252的一個輸入終端RAMP接收由參考信號產生器27產生之梯狀參考信號RAMP的輸入；其他電壓比較器252的輸入終端RAMP亦同。電壓比較器252的其他輸入終端係連接至分別關聯之行的垂直信號線，以個別輸入像素單元10的像素信號。將自電壓比較器252輸出的信號供應至資料儲存單元255。參考信號RAMP的數位產生方式如

下：根據對應於供應自固態成像器件1外部之主時脈CLK0的計數時脈CK0(如，這些時脈的時脈頻率相等)執行計數，然後將計數值轉換成類比信號。

計數器24根據基於主時脈CLK0的計數時脈CK0(如，這些時脈的時脈頻率相同)執行計數，然後將計數輸出CK1、CK2、...、CKn和計數時脈CK0一起供應至行處理器26的行AD電路25。

也就是說，藉由將計數器24之計數輸出CK1、CK2、...、CKn的線路提供至設於個別行之資料儲存單元255的鎖存器，個別行的行AD電路25共用單一的計數器24。

行AD電路25的輸出係連接至水平信號線18。水平信號線18具有 $2n$ 位元的信號線，且係經由和個別輸出線路相關聯的 $2n$ 感測電路(未顯示)而連接至輸出電路28的減法器電路29。

時序控制器21經由控制線12c指示水平掃描電路12讀取像素資料。為回應指令，水平掃描電路12藉由連續移位水平選擇信號CH(i)，將保留在鎖存器1與2中的像素資料連續傳送至輸出電路28的減法器電路29。也就是說，水平掃描電路12執行水平(列)方向的讀取掃描。

水平掃描電路12產生水平選擇信號CH(i)以根據自固態成像器件1外部供應的主時脈CLK0執行水平(列)方向的讀取掃描，和計數時脈CK0一樣。

圖22為說明圖21所示先前技術之固態成像單元1之操作

的時序圖。

例如，對於第一讀取操作，先將計數器254的計數值重設為初始值"0"。然後，在讀取垂直信號線19(V0、V1、...)之任意列Hx之單元像素3的像素信號的第一讀取操作變穩定後，輸入參考信號產生器27產生的參考信號RAMP(在時間上變更以形成實質上斜坡波形)，再由電壓比較器252比較其和任意垂直信號線19(行編號Vx)的像素信號電壓。

此時，同時將參考信號RAMP輸入電壓比較器252的一個輸入終端RAMP，以由計數器24測量電壓比較器252的比較時間，和參考信號產生器27產生的斜坡波形電壓同步(t10)，計數器24從初始值"0"開始遞減計數作為第一計數操作。

電壓比較器252比較參考信號產生器27的斜坡參考信號RAMP和經由垂直信號線19輸入的像素信號電壓Vx。當這些電壓變成相等時，電壓比較器252使其輸出從H位準反向成L位準(t12)。

實質上和反向電壓比較器252的輸出同時，資料儲存單元255根據和計數時脈CK0同步之資料儲存單元255之鎖存器1的比較週期來鎖存計數器24的計數輸出CK1、CK2、...、CKn，藉此完成AD轉換的第一疊代(t12)。

當過了預定的遞減計數週期(時間t14)時，時序控制器21停止供應控制資料給電壓比較器252及停止供應計數時脈CK0給計數器254。因此，電壓比較器252停止產生斜坡參

考信號 RAMP。

在第一讀取操作中，讀取單元像素3的重設成分 ΔV ，重設成分 ΔV 包括每個單元像素3都不同的偏移雜訊。然而，一般而言，重設成分 ΔV 的變化很小，所有像素的重設位準都一樣，因此任意垂直信號線 19(V_x) 的輸出實質上為已知。

因此，在第一讀取操作中讀取重設成分 ΔV 時，即可藉由調整參考信號 RAMP 來縮短比較週期。根據此先前技術，在對應於7位元的計數週期(128時脈週期)中比較重設成分 ΔV 。

在第二讀取操作中，除了重設成分 ΔV 之外，還讀取對應於個別單元像素3上入射之光線量的信號成分 V_{sig} ，然後執行和第一操作同樣的操作。

更明確地說，對於第二讀取操作，先將計數器 254 的計數值重設為初始值 "0"。然後，在讀取垂直信號線 19(V_0 、 V_1 、...) 之任意列 H_x 之單元像素3之像素信號的第二讀取操作變穩定時，輸入由參考信號產生器 27 產生以在時間上按梯狀變更且具有實質上斜坡波形的參考信號 RAMP，然後電壓比較器 252 比較參考信號 RAMP 和任意垂直信號線 19(行編號 V_x) 的像素信號電壓。

此時，同時將參考信號 RAMP 輸入電壓比較器 252 的一個輸入終端 RAMP，以使用計數器 24 測量電壓比較器 252 的比較時間，和參考信號產生器 27 產生的斜坡波形電壓同步 (t_{20})，計數器 24 從初始值 "0" 開始遞減計數作為第二計數

操作。

電壓比較器 252 比較自參考信號產生器 27 的斜坡參考信號 RAMP 和經由垂直信號線 19 輸入的像素信號電壓 V_x 。當這些電壓變成相等時，電壓比較器 252 使其輸出從 H 位準反向成 L 位準 (t_{22})。

實質上和反向電壓比較器 252 的輸出同時，資料儲存單元 255 根據和計數時脈 CK0 同步的比較週期來鎖存計數器 24 的計數輸出 CK1、CK2、...、CKn，藉此完成 AD 轉換的第二疊代 (t_{22})。

此時，資料儲存單元 255 將第一計數操作的計數值與第二計數操作的計數值保留在其中的不同位置，即，在鎖存器 2 中。在第二讀取操作中，讀取單元像素 3 之重設成分 ΔV 與信號成分 V_{sig} 的組合。

當過了預定的遞減計數週期 (t_{24}) 時，時序控制器 21 停止供應控制資料給電壓控制器 252 及停止供應計數時脈 CK0 給計數器 254。因此，電壓比較器 252 停止產生斜坡參考信號 RAMP。

在完成第二計數操作之後的特定時序 (t_{28})，時序控制器 21 指示水平掃描電路 12 讀取像素資料。為回應指令，水平掃描電路 12 經由控制線 12c 連續移位供應至資料儲存單元 255 的水平選擇信號 CH(i)。

因此，將鎖存在資料儲存單元中的計數值 (即，第一疊代與第二疊代中的像素資料，各以 n 位元數位資料表示) 經由 n (總數 2n) 水平信號線 18 連續輸出至行處理器 26 的外部，

然後再輸入至輸出電路28的減法器電路29。

各像素位置的n位元減法器電路29從第二疊代的像素資料(代表單元像素3之重設成分 ΔV 與信號成分 V_{sig} 的組合)減去第一疊代的像素資料(代表單元像素3的重設成分 ΔV)，以計算單元像素3的信號成分 V_{sig} 。

然後，連續逐列執行相同操作，藉此在輸出電路28獲得代表二維影像的影像信號。

然而，在圖21所示的配置中，個別行的行AD電路共用單一的計數器24，且必須將第一與第二計數操作的結果保留在當作記憶體的資料儲存單元255中。因此，n位元信號需要兩個n位元鎖存器(每位元需要2n個鎖存器)，造成電路面積增加(以下稱為第三問題)。

此外，還需要用於將計數器24之計數時脈CK0與n個計數輸出CK1、CK2、...、CKn輸入至資料儲存單元255的線路。這將增加雜訊或功率消耗(以下稱為第四問題)。

此外，為了將第一與第二計數操作的計數值保留在資料儲存單元255的不同位置，需要用於傳送第一與第二計數操作之結果的2n條信號線，因而造成電流量增加(以下稱為第五問題)。

此外，在將信號輸出至器件外部時，為了從第二計數操作的計數值減去第一計數操作的計數值，需要將計數值導向輸出電路28之n位元減法器電路29的2n條信號線。這將增加傳送資料的雜訊或功率消耗(以下稱為第六問題)。

也就是說，必須分開個別提供保留第一讀取操作之結果

的記憶體與保留第二讀取操作之結果的記憶體(即，需要兩個記憶體)以及計數器。此外，還需要將 n 位元計數值從記憶體傳送至計數器的信號線。此外，為了將第一與第二計數操作的 n 位元計數值傳送至減法器，將需要 $2n$ 位元(雙倍)的信號。這將增加電路規模與電路面積，還會增加雜訊、消耗電流、或功率消耗。

此外，在平行執行AD轉換與讀取操作時(即，藉由管線操作)，用於保留由AD轉換所得之資料的記憶體需要和用於保留計數結果的記憶體分開。和第三問題一樣，為此之故也需要兩個記憶體，造成電路面積增加(以下稱為第七問題)。

至於克服第三問題的方法，在所提出的行AD轉換器電路中，藉由串聯提供在行中共用的計數器以及CDS處理單元與保留計數器之計數值的鎖存器(提供用於各行)，即可實施相關雙重取樣(CDS)功能與AD轉換功能。例如，這說明於第二非專利文件中。

此外，在所提出用於克服第二問題的方案中，例如，藉由在行處理器26中提供各行的計數器，即可實施AD轉換功能。例如，這說明於第三與第四非專利文件中。

在說明於第二非專利文件的行AD電路中，包括執行垂直信號線(行)之平行處理之計數器與鎖存器的AD轉換器在取得重設成分與信號成分間的差異的同時抑制像素的固定模式雜訊，以將類比信號轉換成數位信號。因此，並不需減法，單一的計數操作即已足夠。此外，用於保留由

AD轉換所得資料的記憶體可藉由鎖存器來實施。這可避免電路面積增加。也就是說，克服了第三、第五、第六、及第七問題。

然而，仍需要將計數器之計數時脈CK0與n個計數輸出輸入鎖存器的線路，因而第四問題尚未克服。

根據說明於第三及第四非專利文件的技術，將偵測光線之複數個像素的電流同時輸出至輸出匯流排上，然後執行輸出匯流排上之電流的加法與減法。然後，將信號轉換成在時間方向中具有強度的脈衝寬度信號，再由提供於個別行的計數器計數脈衝寬度信號之脈衝寬度的電路時脈週期，藉此執行AD轉換。因此，並不需用於計數輸出的線路，即，克服了第四問題。

然而，卻未說明重設成分與信號成分的處理，因此未必克服第三、第五、第六、及第七問題。重設成分與信號成分的處理並未說明於第一與第五非專利文件中。

另一方面，第一專利文件說明重設成分與信號成分的處理。為了從重設成分與信號成分擷取純影像的電壓資料，例如，藉由相關雙重取樣，將從各行之信號成分的數位資料減去重設成分的數位資料，因此避免了第六問題。

然而，根據說明於第一專利文件的技術，係於外部系統介面執行計數以產生計數信號，且將重設成分或信號成分的電壓匹配比較的參考電壓時的計數值儲存在一對提供用於各行的緩衝器中。因此，AD轉換的方案和第一非專利文件的方案相同處在於，由各行共同使用單一的計數器。

因此，無法避免第三至第五及第七問題。

【發明內容】

本發明為因應上述情況而產生，且本發明的目的在於提供能夠克服第一與第二問題的方案。更佳的是，本發明的目的在於提供能夠克服第三至第七問題中至少一個的方案。

根據本發明的一方面，其中提供一種允許選擇性執行遞增計數模式之計數或遞減計數模式之計數的非同步計數器電路。計數器電路包括初始值設定處理器，其在切換計數模式後開始計數前，將直接在切換計數模式前的一計數值設為切換計數模式時的一初始值。

根據本發明的另一方面，其中提供一種將差異信號成分轉換成數位資料的類比至數位轉換方法，差異信號成分代表含在要處理之類比信號中之參考成分與信號成分間的差異。將對應於參考成分的信號與對應於信號成分的信號和供轉換成數位資料的參考信號相比，且和比較同時，按遞減計數模式或遞增計數模式執行計數，並在完成比較時保留計數值。此時，計數模式係根據執行參考成分或信號成分的比較而切換。

根據本發明的另一方面，提供一種適於執行上述AD轉換方法的類比至數位轉換器。AD轉換器包括：比較器，以比較對應於參考成分的信號與對應於信號成分的信號和供轉換成數位資料的參考信號；及非同步計數器，以和比較器中的比較同時，按遞減計數模式或遞增計數模式執行

計數，該計數器在比較器完成比較時保留計數值。

根據本發明各方面的AD轉換方法、AD轉換器、半導體器件、及電子裝置，將要處理之包括參考成分與信號成分的信號和供AD轉換的參考信號相比，且和比較同時，使用非同步計數器按遞減計數模式或遞增計數模式執行計數，並在完成比較時保留計數值。此時，計數模式係根據執行參考成分或信號成分的比較而切換。

【實施方式】

現在將參考附圖詳細說明本發明的具體實施例。將先說明本發明各具體實施例的非同步計數器電路，然後再說明在電子裝置與半導體器件上應用非同步計數器電路的範例。

計數器電路之組態的第一具體實施例

圖1為顯示本發明之第一具體實施例之非同步計數器之基本組態的電路方塊圖。圖2為顯示第一具體實施例之基本組態之特別實施例的電路方塊圖。

如圖1所示，第一具體實施例的計數器電路400係藉由串接複數個負緣D正反器412、414、416、及418(統稱410)來實施。各正反器410具有連接至其D輸入終端的反向輸出NQ(圖1中表示為Q上加一條橫槓)。因此，計數器電路400能夠當作4位元非同步計數器。雖然正反器412、414、416、及418的四個階段(對應於四位元)如圖1所示，但實際上可提供對應於位元數的正反器數量。

此外，在個別相鄰對的正反器410之間，計數器電路400

包括三輸入單輸出三值開關422、424、426(統稱420)，以在三個值之間切換，即，非反向輸出Q、反向輸出NQ、及電源供應(Vdd)位準。各三值開關420根據供應自控制器(未顯示)的2位元控制信號SW1與SW2，在三個輸入信號之間切換，再將選定的信號輸入其後正反器410的時脈終端。

各三值開關420當作初始值設定處理器，以在切換計數模式時，將直接在模式切換前的計數值設為初始值，致使在模式切換後，計數從該值開始。

也就是說，相對於串接複數個正反器作為計數器基本元件，三值開關420係布置於個別相鄰對的正反器410之間。選擇先前正反器410的非反向輸出NQ與反向輸出Q之一作為計數器時脈，再將其供應至其後正反器410的時脈終端CK，以允許切換計數模式，然後將先前正反器410直接在模式切換前的計數值設為其後正反器410的初始值。

更明確地說，三值開關420的實施可分別藉由：一對二輸入單輸出二進制開關432與433、一對二輸入單輸出二進制開關434與435、及一對二輸入單輸出二進制開關436與437，如圖2所示。這些二進制開關將統稱為二進制開關430。

在此範例中，各二進制開關430根據於不同時序產生的切換控制信號SL與FL作為供應自控制器(未顯示)的二位元切換控制信號SW1與SW2來進行切換。

先前階段的二進制開關432、434、及436根據切換控制

信號SL來切換分別相關聯之正反器410的非反向輸出Q與反向輸出NQ，然後將結果傳遞至其後階段之相關聯之二進制開關433、435、及437的輸入終端之一。其後階段的二進制開關433、435、及437根據切換控制信號FL，在傳遞自先前階段之二進制開關432、434、及436的資料和輸入其另一個輸入終端的電源供應位準之間切換，再將結果輸入其後正反器410的時脈終端CK。

例如，先前的二進制開關430(432、434、及436)根據切換控制信號SL，選擇前面正反器430的非反向輸出NQ與反向輸出Q，再將其供應至其後二進制開關430(433、435、及437)的一個輸入終端。切換控制信號SL控制先前的二進制開關430(432、434、及436)，藉此切換計數器電路400在遞增計數與遞減計數之間的計數操作。

其後的二進制開關430(433、435、及437)根據切換控制信號FL，調整自先前二進制開關430(432、434、及436)輸出之前面正反器410之輸出(非反向輸出NQ或反向輸出Q)至後面正反器410之時脈終端的供應。

切換控制信號FL控制其後的二進制開關430(433、435、及437)，使前面正反器410之輸出(非反向輸出NQ或反向輸出Q)至後面正反器410之時脈終端的供應在切換計數模式後持續預定週期，並使對應於時脈的信號在恢復供應非反向輸出NQ或反向輸出Q時，供應至後面正反器410的時脈終端。因此，可在遞增計數模式與遞減計數模式之間切換計數模式時維持計數值的連續性。稍後將詳細說明切換控

制信號FL的功能。

藉由「維持計數值的連續性」，儘管在模式切換後開始計數前，計數值在切換計數模式時變成中斷，但將恢復先前模式的最終計數值，致使在模式切換後的計數操作從先前模式的最終計數值開始。

圖3A與3B為顯示二進制開關430之範例電路組態的圖示。圖3A顯示利用傳送閘極實施各開關的範例。所有電路元件均使用CMOS技術來實施。

和先前的二進制開關432、434、及436相關聯，提供傳送閘極442與443。和其後的二進制開關433、435、及437相關聯，提供傳送閘極446與447。這些傳送閘極將統稱為傳送閘極440。

傳送閘極442的輸入接收前面之正反器410的反向輸出NQ。傳送閘極443的輸入接收前面之正反器410的非反向輸出Q。傳送閘極442與443的輸出共同連接至傳送閘極446的輸入。傳送閘極447的輸入係連接至電源供應位準。傳送閘極446與447的輸出共同連接至後面之正反器410的時脈終端CK。

各傳送閘極440係藉由包括N通道電晶體n1與P通道電晶體p1的CMOS開關來實施。電晶體n1與p1的閘極(控制輸入終端)對應於切換控制信號SL與FL或反向的切換控制信號NSL與NFL的輸入終端。反向信號NSL係由反向切換控制信號SL的反向器444產生，反向信號NFL則由反向切換控制信號FL的反向器448產生。

包括電晶體 n1 與 p1 的 CMOS 開關藉由在電晶體 n1 的閘極為高位準及電晶體 p1 的閘極為低位準時開啟，選擇性輸出前面之正反器 410 的非反向輸出 Q 或反向輸出 NQ。可使用包括電晶體 n1 或電晶體 p1 的 N 通道 MOS 電晶體開關或 P 通道 MOS 電晶體開關取代 CMOS 開關。然而，在該情況中，將發生有關定限電壓 V_{th} 的問題。因此，在此具體實施例中，將使用由電晶體 n1 與 p1 所形成的 CMOS 開關。

圖 3B 顯示利用邏輯閘極實施各開關的範例。和先前的二進制開關 432、434、及 436 相關聯，提供三個二輸入 NAND 閘極 452、453、及 454。和其後的二進制開關 433、435、及 437 相關聯，提供由二輸入 NOR 閘極 456 所形成的 OR 閘極與反向器 457。

NAND 閘極 452 的一個輸入接收由反向器 455 反向切換控制信號 SL 所獲得的反向信號 NSL，及 NAND 閘極 453 的一個輸入接收切換控制信號 SL。NAND 閘極 452 的另一個輸入接收前面之正反器 410 的反向輸出 NQ，NAND 閘極 453 的另一個輸入則接收前面之正反器 410 的非反向輸出 Q。NAND 閘極 452 與 453 的輸出連接至 NAND 閘極 454 的輸入。

NOR 閘極 456 的一個輸入終端接收 NAND 閘極 454 的輸出，及其另一個輸入終端接收切換控制信號。NOR 閘極 456 的輸出係由反向器 457 反向，然後經導向後面之正反器 410 的時脈終端 CK。

在圖 3A 或圖 3B 中，各先前二進制開關 432、434、及 436 在切換控制信號 SL 處於高位準時選擇性輸出非反向輸出

Q，並在切換控制信號SL處於低位準時選擇性輸出反向輸出NQ。

各其後二進制開關433、435、及437在切換控制信號FL處於低位準時選擇性輸出相關聯之先前二進制開關432、434、或436的輸出，並在切換控制信號FL處於高位準時選擇性輸出電源供應位準(高位準)。

計數器電路之操作的第一具體實施例

圖4為說明圖2所示第一具體實施例之計數器電路之操作的時序圖；圖5A與5B為說明第一具體實施例中正反器410之輸出變更的圖示。

如上述，在切換控制信號SL處於高位準及切換控制信號FL處於低位準時，各先前的二進制開關432、434、及436選擇性輸出非反向輸出Q，且各其後的二進制開關433、435、及437選擇性輸出先前二進制開關432、434、或436的輸出。因此，在各相鄰對的正反器410之間，將前面之正反器410的非反向輸出Q輸入後面之正反器410的時脈終端CK。

在此配置中，在將時脈CK0輸入第一正反器410的時脈終端CK時，在非反向輸出Q之各負緣的正反器410之間發生狀態轉變，致使計數器電路400執行遞增計數操作(計數值0至6的週期)。

在執行遞增計數操作持續特定週期後，當時脈CK0停止且將切換控制信號SL從高位準反向成低位準(t30)時，計數器電路400從遞增計數模式切換成遞減計數模式，並在恢

復時脈CK0時開始遞減計數。在此範例中，在執行從計數值0至計數值6的遞增計數之後，將切換控制信號SL從高位準切換成低位準。

根據t30的切換控制信號切換計數模式，該對二進制開關430選擇前面之正反器410的反向輸出NQ，並將其輸入後面之正反器410的時脈終端CK。

此時，當前面之正反器410的非反向輸出Q處於高位準時，即當反向輸出NQ處於低位準時，藉由切換控制信號SL，將負緣(從H轉變成L)施加於後面之正反器410的時脈終端CK，以反向後面之正反器410的輸出(t30+)。

在圖5A中，將第二正反器410的輸出從低位準反向成高位準，並也將第三正反器410的輸出反向(t30+)。在圖5B中，將第二正反器410的輸出從高位準反向成低位準(t30+)。

也就是說，只有在正反器410在非反向輸出Q處於高位準的其後階段，即，反向輸出NQ在切換計數模式時處於低位準，計數值才開始中斷。

此外，當反向後面之正反器410的輸出時，如果將其反向輸出NQ從低位準反向成高位準，則將更後面之正反器410的時脈終端CK拉成高位準，因而不會使輸出反向(t30++，圖5A的第三階段)。

另一方面，在將反向輸出NQ從高位準反向成低位準時，將負緣施加於更後面之正反器410的時脈終端CK，因而使後面之正反器410的輸出反向(t30++，圖5B的第三階

段)。

同樣地，將反向輸出NQ之反向資料(從H至L)的效應傳播至其中將反向輸出NQ從低位準反向成高位準的正反器410。在此範例中，計數值從"6"變更為"10"，如圖4所示。

也就是說，不用採取任何措施，在發生從遞增計數至遞減計數的切換時，計數值變成中斷且不予維持計數值的連續性，致使在切換前後維持計數值的同時無法執行遞增計數與遞減計數。

因此，在此具體實施例中，在切換供切換計數模式的切換控制信號SL之後，在將供遞減計數之時脈CK0的負緣輸入第一正反器410之前，將主動H單次脈衝施加於其後的二進制開關433、435、及437作為切換控制信號FL(t32至t34)。

因此，將電源供應位準(高位準)輸入所有負緣正反器410的時脈終端CK。然而，負緣正反器410的輸出在輸入切換控制信號FL的單次脈衝前後並不會變更。

然後，當過了單次脈衝週期(t34)時，將前面之正反器410的反向輸出NQ再次輸入時脈終端CK。此時，當前面之正反器410的反向輸出NQ處於低位準時，將負緣施加於後面之正反器410的時脈終端CK，以反向後面之正反器410的輸出。

在圖5A中，將第二正反器410的輸出從高位準反向成低位準(t34+)。在圖5B中，將第二正反器410的輸出從低位準反向成高位準，並也將第三正反器410的輸出反向(t34+)。

此外，當反向正反器410的輸出時，如果將其反向輸出NQ從低位準反向成高位準，則將後面之正反器410的時脈終端CK拉成高位準，因而不會使輸出反向(t_{34++} ，圖5B的第三階段)。

另一方面，在將反向輸出NQ從高位準反向成低位準時，將負緣施加於更後面之正反器410的時脈終端CK，因而使後面之正反器410的輸出反向(t_{34++} ，圖5A的第三階段)。同樣地，將反向輸出NQ之反向(從H至L)的效應傳播至其中將反向輸出NQ從低位準反向成高位準的正反器410。

因此，在根據切換控制信號SL而反向輸出以回應計數模式之切換的各正反器410中，再次反向輸出，以恢復計數值。

當在上述操作後再次輸入時脈CK0時，在反向輸出NQ之各負緣(即，非反向輸出Q之各正緣)的正反器410之間發生狀態轉變，致使計數器電路400執行遞減計數操作(計數值為6至1的週期)。

如上述，使用第一具體實施例的計數器電路400，在藉由施加主動H單次脈衝作為切換控制信號FL，將正反器410的時脈終端強行一次拉至高位準後，將在從遞增計數切換成遞減計數時變更的計數值恢復成模式切換後的狀態。如果前面之正反器410的反向輸出NQ在恢復模式切換後的狀態時處於低位準，則反向後面之正反器410的輸出，藉此恢復原始的計數值。

因此，實質上維持切換計數模式前的計數值。因此，可在維持計數值之連續性的同時，在遞增計數後執行遞減計數。

和遞增計數相比，在負方向中執行遞減計數。因此，藉由按i執行遞增計數，然後按j執行遞減計數，即可因計數器電路400的計數而獲得減算 $i-j$ 的結果。有利的是，因在遞增計數與遞減計數之間切換模式所獲得的計數值並未牽涉補數值，因而能夠直接獲得減算的結果。

使用非同步計數器電路400，即可直接利用非同步計數器連續執行遞增計數與遞減計數，這至今藉由增加簡單的開關都很難達成。由於在遞增計數與遞減計數之間切換時維持切換前的值，因而得以連續執行遞增計數與遞減計數或是遞減計數與遞增計數，並得以獲得遞增計數之計數值與遞減計數之計數值間的減算結果。

已在其中發生從遞增計數切換成遞減計數之範例的背景中說明第一具體實施例。如果只是切換計數模式，則在從遞減計數切換成遞增計數時，也無法維持計數值的連續性。在如上述恢復模式切換後的原始計數值前，使用切換控制信號FL強行一次將正反器410的時脈終端拉至高位準，實質上可以維持切換計數模式前的計數值，可以在維持計數值之連續性的同時，在遞減計數後連續執行遞增計數。

此外，即使在任意按組合執行遞增計數與遞減計數時，仍可以行使控制，以在模式切換時恢復原始的計數值。

雖然在第一具體實施例中未偵測計數的溢流，但隨時可使用已知技術來實施針對溢流的措施，例如，藉由增加用於溢流的附加位元或藉由使用用於進位或借位的位元。

計數器電路之組態的第二具體實施例

圖6為顯示本發明之非同步計數器之第二具體實施例之組態的電路方塊圖，其係對應於圖2所示第一具體實施例的特別電路方塊圖。

在第二具體實施例中，和第一具體實施例一樣，分別在相鄰對的正反器510之間提供三輸入單輸出三值開關522、524、526(統稱520)，各開關根據控制器(未顯示)的二位元控制信號SW1與SW2在三個輸入信號間切換，再將選定的信號輸入後面之正反器510的時脈終端CK。

各三輸入單輸出三值開關520當作初始值設定處理器，以將直接在模式切換前的計數值設為初始值，致使在模式切換後的計數從此初始值開始。

各正反器510根據正緣而非負緣來運作，且為了處理邊緣操作的反向，提供於正反器510之間各三值開關520在三個值之間進行切換，即，相關聯之正反器510的非反向輸出Q與反向輸出NQ及接地(GND)位準。

更明確地說，如圖6所示，在第二具體實施例的計數器電路500中，三輸入單輸出三值開關520分別包括：一對二輸入單輸出二進制開關532與533、一對二輸入單輸出二進制開關534與535、及一對二輸入單輸出二進制開關536與537。這些二進制開關將統稱為二進制開關530。

和各先前的二進制開關532、534、及536一樣，第一具體實施例中先前的二進制開關432、434、及436根據切換控制信號SL，在相關聯之正反器510的非反向輸出Q與反向輸出NQ之間進行切換，再將結果傳遞至相關聯之其後二進制開關533、535、或537的一個輸入終端。

各其後的二進制開關533、535、及537根據切換控制信號FL，在傳遞自先前二進制開關532、534、或536的資料與輸入另一個輸入終端的接地位準之間進行切換，再將結果輸入後面之正反器510的時脈終端CK。也就是說，第二具體實施例和第一具體實施例的不同之處在於，可將三值開關520中其後之二進制開關的輸入之一從電源供應位準變更為接地位準。

各先前二進制開關532、534、及536在切換控制信號SL處於高位準時選擇性輸出非反向輸出Q，並在切換控制信號SL處於低位準時選擇性輸出反向輸出NQ。各其後二進制開關533、535、及537在切換控制信號FL處於低位準時選擇性輸出相關聯之先前二進制開關532、534、或536的輸出，並在切換控制信號FL處於高位準時輸出接地位準(低位準)。

計數器電路之操作的第二具體實施例

圖7為說明圖6所示第二具體實施例之計數器電路500之操作的時序圖。圖8A與8B為說明第二具體實施例中正反器510之輸出變更的圖示。

和其中遞增計數或遞減計數係根據負緣的第一具體實施

例相反，第二具體實施例已經修改致使遞增計數或遞減計數係根據正緣。其基本構想和第一具體實施例中的相同，且所達成的好處也相同。

例如，在切換控制信號SL處於低位準及切換控制信號FL處於低位準時，各先前的二進制開關532、534、及536選擇性輸出反向輸出NQ，且各其後的二進制開關533、535、及537選擇性輸出先前二進制開關532、534、或536的輸出。因此，在各相鄰對的正反器510之間，將前面之正反器510的反向輸出NQ輸入後面之正反器510的時脈終端CK。

在此配置中，在將時脈CK0輸入第一正反器510的時脈終端CK時，在非反向輸出Q之各負緣的正反器510(例如，在反向輸出NQ之各正緣)之間發生狀態轉變，致使計數器電路500執行遞增計數操作(計數值0至6的週期)。

在執行遞增計數操作持續特定週期後，當時脈CK0停止且將切換控制信號SL從低位準反向成高位準(t40)時，計數器電路500從遞增計數模式切換成遞減計數模式，並在恢復時脈CK0時開始遞減計數。在此範例中，在執行從計數值0至計數值6的遞增計數之後，將切換控制信號SL從低位準切換成高位準。

根據t40的切換控制信號SL切換計數模式，該對二進制開關530選擇前面之正反器510的非反向輸出Q，並將其輸入後面之正反器510的時脈終端CK。

此時，當前面之正反器510的反向輸出NQ處於高位準

時，藉由切換控制信號SL，將正緣(從L至H)施加於後面之正反器510的時脈終端CK，以反向後面之正反器510的輸出(t40+)。

在圖8A中，將第二正反器510的輸出從低位準反向成高位準，並也將第三正反器510的輸出反向(t30+)。在圖8B中，將第二正反器510的輸出從高位準反向成低位準(t30+)。

也就是說，只有在正反器510在反向輸出NQ處於低位準的其後階段，即，非反向輸出Q在切換計數模式時處於高位準，計數值才開始中斷。

在反向後面之正反器510的輸出時，如果將其非反向輸出Q從高位準反向成低位準，則使更後面之正反器510的時脈終端CK產生脈衝至低位準，使其輸出未受到反向(t40++，圖8A的第三階段)。

另一方面，在將非反向輸出Q從低位準反向成高位準時，將正緣施加於更後面之正反器510的時脈終端CK，以反向正反器510的輸出(t40++，圖8B的第三階段)。

同樣地，將反向非反向輸出Q之資料的效應(從L至H)傳播至其中將非反向輸出Q從高位準反向成低位準的正反器510。在此範例中，計數值從"6"變更為"10"，如圖7所示。

也就是說，不用採取任何措施，和第一具體實施例一樣，在發生從遞增計數至遞減計數的切換時，計數值變成中斷，因而無法維持計數值的連續性。因此，無法在切換前後維持計數值的同時連續執行遞增計數與遞減計數。

因此，在第二具體實施例中，在供切換計數模式的切換控制信號SL之後，在將供遞減計數之時脈CK0的正緣輸入第一正反器510之前，將主動H單次脈衝施加於其後的二進制開關533、535、及537作為切換控制信號FL(t42至t44)。

因此，將接地位準(低位準)輸入所有正緣正反器510的時脈終端CK。然而，正緣正反器510的輸出在輸入切換控制信號FL的單次脈衝前後並不會變更。

然後，當過了單次脈衝週期(t44)時，將前面之正反器510的非反向輸出Q再次輸入時脈終端CK。此時，如果前面之正反器510的非反向輸出Q處於高位準時，將正緣施加於後面之正反器510的時脈終端CK，以反向後面之正反器510的輸出。

在圖8A中，將第二正反器510的輸出從低位準反向成高位準(t44+)。在圖8B中，將第二正反器510的輸出從高位準反向成低位準，並也將第三正反器510的輸出反向(t44+)。

此外，當反向正反器510的輸出時，如果將其反向輸出NQ從高位準反向成低位準，則將後面之正反器510的時脈終端CK拉成低位準，因而不會使其輸出反向(t44++，圖8B的第三階段)。

另一方面，在將反向輸出NQ從低位準反向成高位準時，將正緣施加於更後面之正反器510的時脈終端CK，因而使後面之正反器510的輸出反向(t44++，圖8A的第三階段)。同樣地，將反向非反向輸出Q之資料的效應(從L至H)傳播至其中將非反向輸出Q從高位準反向成低位準的正反

器 510。

因此，同樣在第二具體實施例的組態中，在其中根據切換控制信號 SL 而反向輸出以回應計數模式之切換的各正反器 510 中，再次反向輸出，以恢復原始的計數值。

當在上述操作後再次輸入時脈 CK0 時，在反向輸出 NQ 之各負緣 (即，非反向輸出 Q 之各正緣) 的正反器 510 之間發生狀態轉變，致使計數器電路 500 執行遞減計數操作 (計數值為 6 至計數值為 0 的週期)。

如上述，使用第二具體實施例的計數器電路 500，藉由施加主動 H 單次脈衝作為切換控制信號 FL，在恢復模式切換後的階段前，在從遞增計數切換成遞減計數時變更的計數值將正反器 510 的時脈終端強行一次拉至低位準。如果前面之正反器 510 的非反向輸出 Q 在恢復模式切換後的狀態時處於高位準，則反向後面之正反器 510 的輸出，藉此恢復原始的計數值。

因此，實質上維持切換計數模式前的計數值。因此，可在維持計數值之連續性的同時，在遞增計數後執行遞減計數。

和遞增計數相比，在負方向中執行遞減計數。因此，藉由按 i 執行遞增計數，然後按 j 執行遞減計數，即可因計數器電路 400 的計數而獲得減算 $i-j$ 的結果。

已在其中發生從遞增計數切換成遞減計數之範例的背景中說明第二具體實施例。如果只是切換計數模式，則在從遞減計數切換成遞增計數時，也無法維持計數值的連續

性。在如上述恢復模式切換後的原始計數值前，在使用切換控制信號FL強行一次將正反器510的時脈終端拉至低位準，實質上可以維持切換計數模式前的計數值，可以在維持計數值之連續性的同時，在遞減計數後連續執行遞增計數。

此外，即使在按組合任意執行遞增計數與遞減計數時，仍可以行使控制，以在模式切換時恢復原始的計數值。

雖然在第二具體實施例中未偵測計數的溢流，但隨時可使用已知技術來實施針對溢流的措施，例如，藉由增加用於溢流的附加位元或藉由使用用於進位或借位的位元。

計數器電路之組態的第三具體實施例

圖9為顯示本發明之非同步計數器之第三具體實施例之組態的電路方塊圖，其係對應於圖2所示第一具體實施例的特別電路方塊圖。

在第三具體實施例的計數器電路400中，另外提供配置如下：用於切換輸入圖2所示第一具體實施例之計數器電路400中第一正反器412之時脈終端CK的時脈信號。此外，在整體的計數器電路400中，使用時脈CK0作為最低有效位元Q0，且和第一具體實施例相比，將作為其他位元Qx(在此具體實施例中為Q1至Q4)之正反器410的計數輸出移位一位元而成為更高。

更明確地說，第三具體實施例中的計數器電路400包括：反向器462，以反向時脈CK0；及二輸入單輸出二進制開關464，以選擇由反向器462所反向的時脈CK0或反向

時脈NCK0，並將其輸入第一正反器412的時脈終端CK，即，反向時脈CK0與否的開關。

二進制開關464在切換控制信號SL處於高位準時選擇性輸出時脈CK0，同時在切換控制信號SL處於低位準時選擇性輸出反向時脈NCK0。

計數器電路之操作的第三具體實施例

圖10為說明圖9所示第三具體實施例之計數器電路400之操作的時序圖。

和其中遞增計數或遞減計數係根據負緣的第一具體實施例相反，在第三具體實施例中，使用時脈CK0作為最低有效位元Q0。雖然將省略對應於有關圖5A與5B之說明的說明，但其基本構想和第一具體實施例中的相同，並可達成相同的好處。

此外，藉由使用時脈CK0作為最低有效位元Q0，可將計數位元數增加一，即，和第一具體實施例相比，已經加倍。此外，由於時脈CK0的高位準與低位準有助於產生計數值，因此計數操作係根據時脈CK0的兩個邊緣來執行，致使計數操作的速度加倍。

和第二具體實施例對第一具體實施例的應用一樣，也可以正緣正反器510取代負緣正反器410來修改第三具體實施例，致使遞增計數或遞減計數係根據正緣來執行。

非同步計數器的應用

現在，將說明本發具具體實施例之非同步計數器在電子裝置與半導體器件上應用的範例。下文將在使用為X-Y定

址固態成像器件範例之CMOS成像器件的範例背景中說明。假設藉由NMOS電晶體來實施CMOS成像器件的所有像素。

然而，這只是範例，各具體實施例的應用並不限於MOS成像器件。可將所有說明如下的具體實施例應用於任何供偵測物理量分佈的半導體器件，包括對自外部輸入之電磁波(如光線或輻射)靈敏之單元元件的線路或矩陣。

固態成像器件之建構的第一具體實施例

圖11為顯示本發明第一具體實施例之半導體器件之CMOS固態成像器件(CMOS影像感測器)之建構的示意圖。CMOS固態成像器件亦為本發明明具體實施例的電子裝置。

固態成像器件1包括像素單元，其中複數個像素各包括感光器元件(為電荷產生器的範例)，感光器元件輸出對應於入射光線量的電壓信號，該等像素係配置成列與行(即，配置成二維矩陣形狀)。在固態成像器件1中，提供和個別行相關聯的相關雙重取樣(CDS)處理單元與類比至數位轉換器(ADC)。

「提供和個別行相關聯的CDS處理單元與ADC」是指提供實質上和各行之垂直信號線19平行的複數個CDS處理單元與ADC。該複數個CDS處理單元與ADC從平面圖看時，均設於像素單元10相對於行方向的一端上(在輸出側上，即，在從圖11所見的下側)，或分別分開設於像素單元10相對於行方向的一端上(在輸出側上，即，在從圖11所見的下側)及另一端上(在從圖11所見的上側)。在後者的情況

中，較佳將執行相對於水平方向之水平掃描的水平掃描單元分開設於兩端上，使水平掃描單元彼此獨立運作。

在提供和個別行相關聯之CDS處理單元與ADC的典型範例中，在設於成像單元之輸出側上的區域(稱為行區域)中，提供和個別行相關聯的CDS處理單元與ADC，並連續讀取信號至輸出側。也就是說，此配置為基於行的配置。並不限於基於行的配置，亦可提供和各組(如，兩個)相鄰垂直信號線19(行)相關聯的CDS處理單元與ADC，或可提供和各組每第N條(N為正整數，其間有(N-1)條線路)垂直信號線19(行)相關聯的CDS處理單元與ADC。

根據以上除了基於行之配置的配置，複數個垂直信號線19(行)共用CDS處理單元與ADC，以提供供應複數個行之像素信號(供應自像素單元10)至CDS處理單元與ADC的切換電路。例如，根據下游執行的處理，必須提供保留輸出信號的記憶體。

在任何情況中，藉由提供用於複數個垂直信號線19(行)的CDS處理單元與ADC，致使逐行讀取像素信號後執行像素信號的處理，和其中在個別單元像素中執行同樣信號處理的配置相比，各單元像素的建構較為簡化。這允許影像感測器具有增加數量的像素，允許其按縮減的大小來實施，且允許以較低的成本進行製造。

此外，還可以由提供和個別行相關聯的複數個信號處理器同時處理一條線路的像素信號。和在輸出電路中或器件外部由CDS處理單元與ADC執行處理的情況相比，這允許

以較低的速度來操作信號處理器。這就功率消耗、頻寬特性、雜訊等而言非常有利。換言之，在使功率消耗與頻寬特性相等時，允許將感測器整體進行高速操作。

在基於行之配置的情況中，將允許低速操作。這就功率消耗、頻寬特性、雜訊等而言非常有利。也很有利的是，並不需要切換電路。除非另外指明，否則下文將在基於行之配置的背景中說明各具體實施例。

如圖 11 所示，第一具體實施例的固態成像器件 1 包括：像素單元(成像單元)10，其中複數個單元像素 3 係配置成列與行；驅動控制器 7，其係設於像素單元 10 的外部；行處理器 26；參考信號產生器 27，用於將供 AD 轉換的參考電壓供應至行處理器 26；及輸出電路 28。

視需要，可在設置行處理器 26 的相同半導體區域中，在行處理器 26 的上游或下游提供用於放大信號的自動增益控制 (AGC) 電路。當在行處理器 26 的上游行使 AGC 時，將執行類比放大。當在行處理器 26 的下游行使 AGC 時，將執行數位放大。由於信號位準可能在只是放大 n 位元數位資料時下降，因此較佳在轉換成數位信號之前執行類比放大。

驅動控制器 7 行使連續讀取像素單元 10 之信號的控制。例如，驅動控制器 7 包括：水平掃描電路(行掃描電路)12，以控制行定址與行掃描；垂直掃描電路(列掃描電路)14，以控制列定址與列掃描；及通信及時序控制器 20，以產生內部時脈。

固態成像器件 1 包括時脈轉換器 23，其為高速時脈產生

器的範例，該產生器產生具有頻率高於輸入時脈之時脈的脈衝，如通信及時序控制器20附近的虛線所示。固態成像裝置1的終端5a接收主時脈CLK0的輸入。主時脈CLK0具有當作各種驅動脈衝之基本的脈衝，以從像素單元10將要處理的類比像素信號擷取至行處理器26。

藉由使用源自於時脈轉換器23之高速時脈產生的信號，即可快速執行如AD轉換的操作。此外，需要高速計算的動作擷取或壓縮可以使用高速時脈來執行。此外，還可序列化行處理器26的平行資料輸出並可輸出序列視訊資料D1至器件的外部。因此，此配置允許以小於由AD轉換所得資料之位元數的終端數按高速輸出。

時脈轉換器23包括乘法器電路23a，以產生具有時脈頻率快於輸入時脈頻率的脈衝。時脈轉換器23從通信及時序控制器20接收低速時脈CLK2，並從其中產生具有為兩倍高或甚至更高之頻率的時脈。時脈轉換器的乘法器電路23a是 k_1 乘法器電路，其中 k_1 代表低速時脈CLK2之頻率的乘法器，且可使用各種已知電路來實施。

儘管為了簡單明瞭而在圖11省略了一些列與行，但實際上，在各列與各行上配置了數十至數千的單元像素3。各單元像素3通常包括：光二極體，作為感光器元件(電荷產生器)；及像素內放大器，其具有放大的半導體器件(如，電晶體)。

像素內放大器係藉由如浮動擴散放大器來實施。例如，可以使用：放大器，其包括四個關於電荷產生器的電晶

體，即，為電荷讀取器(傳送閘/讀取閘)之範例的讀取選擇電晶體；重設電晶體，其為重設閘的範例；垂直選擇電晶體；及源極隨耦器放大電晶體，其為偵測浮動擴散之電位變更之偵測器的範例。此配置常見於CMOS感測器。

或者，如說明於日本專利第2708455號，可使用包括三個電晶體的配置，即：放大電晶體，以放大對應於電荷產生器所產生之信號電荷且連接至汲極線路(DRN)的信號電壓；重設電晶體，以重設電荷產生器；及讀取選擇電晶體(傳送閘)，其係經由傳送線路(TRF)由垂直移位暫存器進行掃描。

至於驅動控制器7的其他組件，則提供水平掃描電路12、垂直掃描電路14、及通信及時序控制器20。水平掃描電路12當作讀取行處理器26之計數值的讀取掃描器。驅動控制器7的組件和使用製造半導體積體電路所用技術之單晶矽或其類似物的半導體區域的像素單元10一起形成，以形成為半導體系統之範例的固態成像器件。

單元像素3係經由供列選擇的列控制線15而連接至垂直掃描電路14，且經由垂直信號線19而連接至其中提供個別行之行AD電路25的行處理器26。列控制線15一般係指從垂直掃描電路14延伸至像素中的線路。

水平掃描電路12與垂直掃描電路14分別包括解碼器，因此移位操作(掃描)始於回應供應自通信及時序控制器20的控制信號CN1與CN2。因此，列控制線15包括傳送各種脈衝信號的線路，以驅動單元像素3(如，重設脈衝RST、傳

送脈衝 TRF、及控制脈衝 DRN)。

雖未顯示，但通信及時序控制器 20 包括：對應於時序產生器的功能塊(讀取位址控制器的範例)，以供應操作特定時序之成分與脈衝信號所需的時脈；及對應於通信介面的功能塊，以經由終端 5a 接收主時脈 CLK0、經由終端 5b 接收指示操作模式或其類似物的資料 DATA、及輸出包括固態成像裝置 1 之資訊的資料。

例如，通信及時序控制器 20 將水平位址信號輸出至水平解碼器 12a 及將垂直位址信號輸出至垂直解碼器 14a，使個別解碼器 12a 與 14a 選擇對應的列與行。

由於單元像素 3 係配置成二維矩陣形狀，將逐列(按直行的方式)存取及擷取由像素信號產生器 5 產生及經由垂直信號線在行方向中輸出的類比像素信號，即，執行垂直掃描讀取。然後，執行列方向(即，行陣列的方向)的存取，將像素信號(在此具體實施例中為數位化像素資料)讀取至輸出側，即，執行水平掃描讀取。這可用來改進讀取像素信號或像素資料的速度。顯然地，並不限於掃描讀取，可藉由隨機存取讀取僅需要之單元像素 3 的資訊，即，藉由直接指定要讀取之單元像素 3 的位址。

此外，在此具體實施例中，通信及時序控制器 20 將時脈 CLK1(具有和經由終端 5a 輸入之主時脈 CLK0 的相同頻率)、具有一半頻率的時脈、或具有進一步分割之頻率的低速時脈供應至器件中的組件，如水平掃描電路 12、垂直掃描電路 14、或行處理器 26。以下，一般將具有一半頻率

的時脈及具有甚至更低頻率的時脈稱為低速時脈CLK2。

垂直掃描電路14選擇像素單元10的列並供應該列需要的脈衝。例如，垂直掃描電路14包括：垂直解碼器14a，用於定義要在垂直方向中讀取的列(即，用於選擇像素單元10的列)；及垂直驅動電路14b，用於供應脈衝至其中以驅動由垂直解碼器14a定義之讀取列位址上單元像素3的列控制線15。除了讀取信號的列，垂直解碼器14a亦選擇電子遮光器或其類似物的列。

水平掃描電路12，和低速時脈CLK2同步，連續選擇行處理器26的行AD電路25，將行AD電路25的信號導向水平信號線(水平輸出線)18。例如，水平掃描電路12包括：水平解碼器12a，以定義要在水平方向中讀取的行(以選擇行處理器26中的個別行AD電路25)；及水平驅動電路12b，以根據由水平解碼器12a所定義的讀取位址將行處理器26的信號導向水平信號線18。水平信號線18的數量對應於由行AD電路25處理之信號的位元數 n (n 為正整數)。例如，如果 n 為十，則相應地提供位元數 n 的十條水平信號線18。

在建構如上述的固態成像器件1中，逐行經由垂直信號線19將單元像素3輸出的像素信號供應至行處理器26的行AD電路25。

行處理器26的各行AD電路25接收一條線路之像素的信號，然後再處理這些信號。例如，各行AD電路25包括類比至數位轉換器(ADC)，以根據低速時脈CLK2將類比信號轉換成如10位元數位資料。

雖然稍後將會詳細說明ADC的建構，但根據時脈信號的計數係始於將斜坡參考信號(參考電壓)RAMP供應至電壓比較器時，然後將經由垂直信號線19輸入的類比像素信號和參考信號RAMP相比，以執行計數直到獲得脈衝信號，藉此執行AD轉換。

此時，就經由垂直信號線19輸入的電壓模式像素信號適當地配置電路和AD轉換，重設直接在像素前之信號位準間的差異(雜訊位準)，然後根據所接收光線量計算真實信號位準 V_{sig} 。因此，得以移除稱為固定模式雜訊(FPN)或重設雜訊的雜訊成分。

經由根據供應自水平掃描電路12之水平選擇信號驅動的垂直選擇開關(未顯示)，將由行AD電路25數位化的像素資料傳送至水平信號線18，然後再將其輸入至輸出電路28。位元數不限於10，可小於10(如，8)或大於10(如，14)。

根據上述建構，包括當作電荷產生器之感光器元件之矩陣的像素單元10逐條線路連續輸出個別行的像素信號。然後，將像素單元10中圖框影像(即，對應於感光器矩陣的影像)呈現為整個像素單元10的一組像素信號。

參考信號產生器與行AD電路的細節

參考信號產生器27包括數位至類比轉換器(DAC)27a。和計數時脈CK0同步，參考信號產生器27基於通信及時序控制器20的控制資料CN4產生梯狀斜坡波形，然後將斜坡波形作為供AD轉換的參考電壓(ADC參考信號)供應至行處理器26的個別行AD電路25。雖未顯示，但較佳提供移除雜

訊的濾波器。

根據供應自時脈轉換器23的高速時脈(如，由乘法器電路產生之經乘算的時脈)來產生鋸齒狀梯狀波，即可使此波變得比以下情況快：根據經由終端5a輸入之主時脈CLK0所產生的波。

自通信及時序控制器20供應至參考信號產生器27之DAC 27a的控制資料CN4使數位資料相對於時間的變更比率成為固定，致使斜坡電壓在各比較操作上具有相同的梯度(變更比率)。例如，在各單位時間中，按1變更計數值。

各行AD電路25包括：電壓比較器252，以比較由參考信號產生器27之DAC 27a產生的參考信號RAMP和經由各列控制線15(H0、H1、...)的垂直信號線19(V0、V1、...)從單元像素3獲得的類比像素信號；及計數器254，以計數完成電壓比較器252之比較操作的時間並保留結果。因此，行AD電路25具有n位元AD轉換的功能。

通信及時序控制器20當作根據電壓比較器252執行像素信號之重設成分 ΔV 或信號成分 V_{sig} 的比較操來切換計數器254之計數模式的控制器。將指示按遞減計數模式或遞增計數模式操作計數器254的控制信號CN5自通信及時序控制器20輸入至各行AD電路25的計數器254。

除了從通信及時序控制器20至各行AD電路之計數器254的時脈CK0，還輸入切換控制信號SL，以指示計數器254按遞減計數模式或遞增計數模式進行操作，及輸入切換控制信號FL，以在切換計數模式時維持計數值的連續性。

電壓比較器 252 的一個輸入終端 RAMP 接收由參考信號產生器 27 產生之梯狀參考信號 RAMP 的輸入；其他電壓比較器 252 的輸入終端 RAMP 亦同。電壓比較器 252 的其他輸入終端係分別連接至關聯之行的垂直信號線 19，致使能夠自像素單元 10 個別輸入像素信號。將自電壓比較器 252 輸出的信號供應至計數器 254。

計數時脈 CK0 係自通信及時序控制器 20 輸入計數器 254 的時脈終端 CK；其他計數器 254 的時脈終端 CK 亦同。

雖未顯示計數器 254 的建構，但計數器 254 可藉由以下方式來實施：將由圖 21 所示鎖存器形成之資料儲存單元 255 的線路變更為同步計數器的線路，且計數器 254 根據單一計數時脈 CK0 的輸入在內部執行計數。和梯狀電壓波形一樣的計數時脈 CK0 係根據供應自時脈轉換器 23 的高速時脈（如，經乘算的時脈）而產生，因此計數時脈 CK0 能夠比經由終端 5a 輸入的主時脈 CLK0 更加快速。

n 位元計數器 254 可藉由 n 個鎖存器的組合來實施，因此和由圖 21 所示之 n 個鎖存器的兩個線路形成的資料儲存單元 255 相比，可將電路規模縮減一半。此外，並不需要計數器 24，因而和圖 21 所示配置相比，總大小變得極為精簡。

如稍後詳細說明，第一具體實施例中的計數器 254 使用不管計數模式的共用遞增/遞減計數器 (U/D CNT)，且能夠在遞減計數操作與遞增計數操作之間切換（即，交替運作）。

此外，第一具體實施例中的計數器254使用和計數時脈CK0非同步輸出計數值的非同步計數器。更明確地說，參考圖1至4所述之第一具體實施例的計數器電路400係用作基本元件。

在同步計數器的情況中，所有正反器(計數器的元件)的操作將受限於計數時脈CK0。另一方面，在非同步計數器的情況中，僅由第一正反器(計數器的元件)的限制頻率決定操作限制頻率。因此，在需要較高頻率的操作時，較佳使用非同步計數器作為計數器254。

計數器254經由控制線12c接收水平掃描電路12的控制脈衝。計數器254具有保留計數結果的鎖存功能，且其保留計數輸出值直到經由控制線12c接收控制脈衝的指令。

如上述，建構如上述的行AD電路25係提供用於個別的垂直信號線19(V0、V1、...)，以形成為直行平行ADC塊的行處理器26。

個別行AD電路25的輸出係連接至水平信號線18。如上述，水平信號線18包括對應於行AD電路25之位元寬度的n位元信號線。水平信號線18係經由和個別輸出線路相關聯之n個感測電路(未顯示)而連接至輸出電路28。

在上述建構中，行AD電路25執行像素信號讀取週期中的計數，並依特定時序輸出計數結果。亦即，首先，電壓比較器252比較自參考信號產生器27供應的斜坡波形和經由垂直信號線19輸入的像素信號電壓。當這些電壓相等時，將反向電壓比較器252的輸出(在此具體實施例中從H

位準變更為L位準)。

和由參考信號產生器27產生的斜坡波形電壓同步，計數器254按遞減計數模式或遞增計數模式開始計數。在計數器254經通知比較器252之輸出的反向後，計數器254停止計數並鎖存電流計數值作為像素資料，藉此完成AD轉換。

然後，藉由根據在特定時序經由控制線12c從水平掃描電路12輸入之水平選擇信號CH(i)的移位操作，計數器254經由輸出終端5c連續輸出儲存的像素資料至行處理器26的外部或像素單元10之晶片的外部。

固態成像器件1可包括其他各種信號處理電路，但因其和此具體實施例的說明沒有直接的關係而未顯示此種電路。

計數器的第一範例組態

圖12為顯示計數器254之第一範例組態的電路方塊圖。在第一範例中，非同步計數器的基本組態和參考圖1至4所述之第一具體實施例的計數器電路400相同。然而，另外提供閘電路，以根據由電壓比較器252的比較結果，對圖2所示第一具體實施例之計數器電路400中第一正反器412的時脈終端CK控制時脈信號的輸入。

更明確地說，第一範例中的計數器254包括二輸入AND閘極472，其輸出係連接至第一正反器412的時脈終端。AND閘極472的一個輸入終端接收電壓比較器252之比較結果的輸入，另一個輸入終端則從通信及時序控制器20接收

計數器時脈CK0的輸入。

因此，輸入第一正反器412之時脈終端的時脈是電壓比較器252的輸出與計數時脈CK0邏輯乘積(AND)。據此，即可根據電壓比較器252的比較週期來執行計數。

更明確地說，為了啟動由參考信號產生器27產生參考信號RAMP，通信及時序控制器20將控制資料CN4與計數時脈CK0供應至參考信號產生器27。參考信號產生器27根據控制資料CN4和計數時脈CK0同步從初始值開始計數，並藉由在各時脈週期中按預定級距大小減少電壓來產生梯狀斜坡波形，以將所產生的參考信號RAMP供應至電壓比較器252。

電壓比較器252搜尋其中斜坡波形參考信號RAMP匹配對應於單元像素3之像素信號之參考成分或信號成分之電壓的點，然後在找到匹配時將其輸出拉至低位準。

計數器254一般接收供應至參考信號產生器27的計數器時脈CK0。AND閘極262利用供應自電壓比較器252的比較輸出來閘控計數器時脈CK0。

因此，在用於比較的參考信號RAMP變得小於對應於像素信號之參考成分或信號成分的電壓時，將停止供應計數時脈至非同步計數器400的第一正反器412，因而無法進一步執行計數。因此，最後寫入各正反器410的值是代表對應於像素信號之參考成分或信號成分之電壓的數位值。

也就是說，計數器254根據從產生用於電壓比較器252之比較的斜坡波形參考信號RAMP的時間至參考信號RAMP

匹配像素信號之參考成分或信號成分的時間的計數時脈CK0來執行計數，藉此獲得對應於參考成分或信號成分之強度的數位資料。

計數器的第二範例組態

圖13A為顯示計數器254之第二範例組態的電路方塊圖，及圖13B為說明其操作的時序圖。在第二範例中，和第一範例一樣，非同步計數器的基本組態和圖2所示之第一具體實施例的計數器電路400相同。然而，在控制將時脈信號輸入第一正反器412之時脈終端CK之AND閘極472的先前階段處，另外提供正緣D正反器474與延遲電路476。

延遲電路476能夠將供應自通信及時序控制器20的計數器時脈CK0延遲預定週期(如，一個時脈週期)即已足夠，如圖13B所示。延遲電路476可以藉由各種已知的電路組態來實施，例如，藉由使用閘極延遲。

D正反器474的D輸入終端接收電壓比較器252的比較結果。D正反器474的時脈終端CK從通信及時序控制器20接收計數器時脈CK0。D正反器474的非反向輸出Q係輸入AND閘極472的一個輸入終端。因此，D正反器474和計數器時脈CK0的上升邊緣同步輸出電壓比較器252的輸出。

AND閘極472的另一個輸入終端經由延遲電路476從通信及時序控制器20接收計數器時脈CK0。AND閘極472的輸出係連接至第一正反器412的時脈終端。

在第一範例組態中，使用AND閘極472作為控制將時脈信號輸入第一正反器412之時脈終端CK的功能元件。然

而，在使用此類簡單的AND閘極時，可能會發生因時序偏差或其類似物所造成的gridge或其他雜訊。

相反地，藉由取得邏輯乘積(AND)，同時如第二範例同步化比較器輸出和計數器時脈CK0的邊緣(在此範例中為上升邊緣)，即可和計數器時脈CK0同步，利用第一正反器412的時脈終端擷取電壓比較器252的比較結果。這因減輕gridge或其類似物的效應而為較佳。

雖然使用圖2所示第一具體實施例的計數器電路400作為圖12與圖13A所示計數器254之非同步計數器的基本組態，但隨時可使用第二與第三具體實施例的計數器電路400與500實施同樣的遞增/遞減計數器。

固態成像器件之操作的第一具體實施例

圖14為說明圖1所示第一具體實施例之固態成像器件1之行AD電路25之操作的圖示。例如，作為將像素單元10之單元像素3感測的類比像素信號轉換成數位信號的機構，依特定梯度減少之斜坡波形參考信號RAMP的點匹配單元像素3之像素信號中參考成分或信號成分的電壓。然後，根據產生用於比較之參考信號RAMP的時間和對應於像素信號之參考成分或信號成分之信號匹配參考信號的時間間的計數時脈來執行計數，藉此獲得對應於參考成分或信號成分之強度的計數值。

在輸出自垂直信號線19的像素信號中，信號成分Vsig顯示在當作參考成分的重設成分 ΔV (包括像素信號的雜訊)之後。在執行參考成分(重設成分 ΔV)的第一疊代後，執行包

括除了參考成分(重設成分 ΔV)之外之信號成分 V_{sig} 之信號的第二疊代。現在，將更明確地說明其操作。

對於讀取的第一疊代，通信及時序控制器 20 將計數器 254 的計數值重設為初始值 "0"，並將切換控制信號 SL 拉至低位準，使計數器 254 進入遞減計數模式。當讀取自垂直信號線 19 (V_0 、 V_1 、...) 之任意列 Hx 上單元像素 3 的第一疊代變穩定時，通信及時序控制器 20 將用於產生參考信號 RAMP 的控制資料 CN4 供應至參考信號產生器 27。

為回應控制資料 CN4，參考信號產生器 27 輸入在時間上依斜坡狀方式變更的斜坡波形作為電壓比較器 252 之一個輸入終端 RAMP 的比較電壓。電壓比較器 252 比較 RAMP 波形比較電壓和供應自像素單元 10 之垂直信號線 19 (V_x) 的像素信號電壓。

和將參考信號 RAMP 輸入電壓比較器 252 的輸入終端 RAMP 同時，為了由提供用於各列之計數器 254 測量電壓比較器 252 所比較的時間，和參考信號產生器 27 產生的斜坡波形電壓同步 (t_{10})，將通信及時序控制器 20 的計數時脈 CK0 輸入計數器 254 的時脈終端，並如第一計數操作，從初始值 "0" 開始遞減計數。也就是說，朝負方向開始計數。

電壓比較器 252 比較供應自參考信號產生器 27 的斜坡參考信號 RAMP 和經由垂直信號線 19 輸入的像素信號電壓 V_x ，然後在這些電壓變成相等時 (t_{12})，將其輸出從 H 位準反向成 L 位準。也就是說，電壓比較器 252 比較對應於重設

成分 V_{rst} 的電壓信號和參考信號 RAMP，然後在過了對應於重設成分 V_{rst} 之強度的時間後產生主動低(L)脈衝信號，將脈衝信號輸出至計數器 254。

為回應脈衝信號，計數器 254 實質上和電壓比較器 252 之輸出的反向同時停止計數，然後鎖存電流計數值作為像素資料，藉此完成 AD 轉換 (t_{12})。也就是說，計數器 254 在產生供應至電壓比較器 252 的斜坡參考信號 RAMP 時開始遞減計數，然後根據時脈 CK0 繼續計數直到藉由比較獲得主動低(L)脈衝信號，藉此獲得對應於重設成分 V_{rst} 之強度的計數值。

在過了預定的遞減計數週期 (t_{14}) 時，通信及時序控制器 20 停止供應控制資料至電壓比較器 252 及停止供應計數時脈 CK0 至計數器 254。因此，電壓比較器 252 停止產生斜坡參考信號 RAMP。

在第一疊代的讀取中，藉由電壓比較器偵測像素信號電壓 V_x 中的重設位準 V_{rst} 來執行計數，即，讀取單元像素 3 的重設成分 ΔV 。

在重設成分 ΔV 中，將各單元像素 3 有所不同的雜訊算為偏移。然而，一般而言，重設成分 ΔV 的變化很小，且重設位準 V_{rst} 實質上對所有像素都相同，因此任意垂直信號線 19 之重設成分 ΔV 的輸出值實質上為已知。

因此，在讀取重設成分 ΔV 的第一操作中，即可藉由調整斜坡電壓來縮短遞減計數週期(比較週期 t_{10} 至 t_{14})。在此具體實施例中，用於重設成分 ΔV 之比較的最大週期為

對應於7位元(128時脈週期)的計數週期。

在第二讀取操作中，除了重設成分 ΔV ，還讀取對應於各單元像素3之入射光線量的信號成分 V_{sig} ，然後執行和第一讀取操作相同的操作。更明確地說，通信及時序控制器20先將切換控制信號SL拉至高位準，使計數器254進入遞增計數模式(t16)。

如上述，當遞減計數模式與遞增計數模式之間發生切換時，計數值變成中斷，因而無法維持計數值的連續性。也就是說，無法在切換前後維持計數值的同時執行遞減計數與遞增計數。

因此，在供應計數時脈CK0以按遞增計數模式開始比較與計數前，將主動H單次脈衝供應至計數器254作為切換控制信號FL(t17至t18)。因此，強行使構成非同步計數器254之正反器410的時脈終端一次產生達高位準的脈衝，然後再返回模式切換後的狀態。因此，如上述，使在從遞減計數切換成遞增計數時變更的計數值恢復成原始的計數值。

然後，當讀取自垂直信號線19(V0、V1、...)之任意列Hx之單元像素3的第二疊代變穩定時，通信及時序控制器20將用於產生參考信號RAMP的控制資料CN4連同時脈CK0供應至參考信號產生器27。

為回應控制資料CN4，參考信號產生器27輸入在時間上依斜坡狀方式變更的斜坡波形作為電壓比較器252之一個輸入終端RAMP的比較電壓。電壓比較器252比較斜坡波形比較電壓(參考信號RAMP)和供應自像素單元10之任意垂

直信號線19(V_x)的像素信號電壓。

和將參考信號RAMP輸入電壓比較器252的輸入終端RAMP同時，為了由設於各列的計數器254測量電壓比較器252的比較時間，和參考信號產生器27產生的斜坡波形電壓同步(t_{20})，通信及時序控制器20將計數時脈CK0輸入計數器254的時脈終端。然後，如同第二計數操作，和第一計數操作相反，遞增計數始於對應於第一讀取操作中所得單元像素3之重設成分 ΔV 的計數值。也就是說，在正方向中開始計數。

電壓比較器252比較經由垂直信號線19輸入的像素信號電壓 V_x 和供應自參考信號產生器27的斜坡參考信號RAMP。當這些電壓變成相等時，電壓比較器252使其輸出從H位準反向成L位準(t_{22})。也就是說，電壓比較器252比較對應於信號成分 V_{sig} 的電壓信號和參考信號RAMP，並在過了對應於信號成分 V_{sig} 之強度的時間後產生主動低(L)脈衝信號，再將脈衝信號供應至計數器254。

實質上和反向電壓比較器252的輸出同時，計數器254停止計數並鎖存電流計數值作為像素資料，藉此完成AD轉換(t_{22})。也就是說，計數器254在開始產生供應至電壓比較器252的斜坡參考信號RAMP時開始遞減計數，然後根據時脈CK0繼續計數直到藉由比較獲得主動低(L)脈衝信號，藉此獲得對應於信號成分 V_{sig} 之強度的計數值。

在過了預定的遞減計數週期(t_{24})時，通信及時序控制器20停止供應控制資料至電壓比較器252及停止供應計數時

脈CK0至計數器254。因此，電壓比較器252停止產生斜坡參考信號RAMP。

在第二讀取操作中，在執行計數的同時由電壓比較器252偵測像素信號電壓 V_x 的信號成分 V_{sig} ，以讀取單元像素3的信號成分 V_{sig} 。

在此具體實施例中，計數器254在第一讀取操作中執行遞減計數及在第二讀取操作中執行遞增計數。因此，計數器254根據以下算式(1)自動執行減法，並保留減法結果的計數值。

$$(\text{第二比較週期的計數值}) - (\text{第一比較週期的計數值}) \quad (1)$$

可將算式(1)重新整理為算式(2)，使計數器254保留的計數值對應於信號成分 V_{sig} 。

$$(\text{第二比較週期}) - (\text{第一比較週期}) = (\text{信號成分 } V_{sig} + \text{重設成分 } \Delta V + \text{行AD電路25的偏移成分}) - (\text{重設成分 } \Delta V + \text{行AD電路25的偏移成分}) = (\text{信號成分 } V_{sig})$$

也就是說，如上述，藉由透過兩個讀取及計數操作之計數器254的減法，即，第一讀取操作的遞減計數與第二讀取操作的遞增計數，即可移除包括各單元像素3之變化的重設成分 ΔV 與各行AD電路25的偏移成分。因此，只有對應於各單元像素3之入射光線量的信號成分 V_{sig} 藉由簡單的組態進行擷取。此時，有利的是，亦可移除重設雜訊。

因此，在此具體實施例中，行AD電路25的操作如同相關雙重取樣(CDS)處理單元以及將類比像素信號轉換成數位像素資料的AD轉換器。

此外，由於算式(2)之計數值所代表的像素資料代表正的信號電壓，因此並不需要補充操作，所以和現有系統的相容性很高。

在第二讀取操作中，讀取對應於入射光線量的信號成分 V_{sig} 。因此，為了允許決定大範圍的光線量，必須提供長的遞增計數週期 (t_{20} 至 t_{24} ，比較)，以大幅變更供應至電壓比較器 252 的斜坡電壓。

因此，在此具體實施例中，將信號成分 V_{sig} 之比較的最大週期選為對應於 10 位元 (1024 時脈週期) 的計數週期。也就是說，將重設成分 ΔV (參考成分) 之比較的最大週期選為比信號成分 V_{sig} 的短。對重設成分 ΔV (參考成分) 與信號成分 V_{sig} ，並不選擇相同的比較最大週期 (即，AD 轉換的最大週期)，而是將重設成分 ΔV (參考成分) 之比較的最大週期選為比信號成分 V_{sig} 的短，致使兩個疊代上的總 AD 轉換週期變得比較短。

在此情況下，第一疊代與第二疊代間之比較的位元數有所不同。然而，藉由將通信及時序控制器 20 的控制資料供應至參考信號產生器 27 並使參考信號產生器 27 根據控制資料產生斜坡電壓，將參考信號 RAMP 中斜坡電壓的梯度 (即，變更的速率) 在第一疊代與第二疊代之間維持相同。由於藉由數位控制產生斜坡電壓，因此很容易在第一疊代與第二疊代之間維持相同的斜坡電壓梯度。因此，可使 AD 轉換的精確性相等，所以藉由遞增/遞減計數器可獲得算式(1)之減法的正確結果。

在完成第二計數操作之後的特定時序(t_{28})，通信及時序控制器 20 指示水平掃描電路 12 讀取像素資料。為回應指令，水平掃描電路 12 經由控制線 12c 連續移位供應至計數器 254 的水平選擇信號 CH(i)。

因此，由計數器 254 保留之算式(2)的計數值，即，以 n 位元數位資料代表的像素資料，將經由 n 個水平信號線 18 從輸出終端 5c 連續輸出至行處理器 26 的外部或包括像素單元 10 之晶片的外部。然後，對各列重複同樣操作，藉此獲得代表二維影像的視訊資料 D1。

如上述，根據第一具體實施例的固態成像器件，兩個計數操作係使用非同步遞增/遞減計數器來執行，同時切換遞增/遞減計數器的處理模式。此外，在包括單元像素 3 之矩陣的配置中，提供直行平行 AD 電路，即，提供用於個別行的行 AD 電路 25。

由於使用非同步計數器，因此僅由第一正反器的限制頻率決定限制操作頻率，因而允許高速操作。即使在藉由執行兩個疊代的 AD 轉換以將參考成分與信號成分間的差異信號成分轉換成數位資料時，仍可整體快速執行 AD 轉換，因而能夠縮短 AD 轉換週期。

此外，由於第二計數操作，可直接從各行的信號成分減去參考成分(重設成分)。因此，用於保留和參考成分與信號成分相關聯之計數結果的記憶體可藉由計數器的鎖存功能來實施。因此，不需要和計數器分開提供用於保留藉由 AD 轉換所得資料的特別記憶體。

此外，並不需要用於從信號成分減去參考成分的特別減法器。因此，和先前技術相比，可縮減電路規模或電路面積。此外，還可避免雜訊增加、電流增加、或功率消耗增加。

此外，由於行AD電路包括比較器與計數器，無論位元數為何，均可藉由操作用於切換計數模式之計數器與控制線的單一計數時脈來控制計數。因此，並不需要先前技術中將計數器之計數值導向記憶體所需的信號線。這可避免雜訊增加或功率消耗增加。

也就是說，在相同晶片上具有AD轉換器的固態成像器件1中，當作AD轉換器的行AD電路25係藉由一對電壓比較器252與計數器254來實施，計數器254結合執行遞減計數遞增計數，及將基本成分(在此具體實施例中為重設成分)和要處理之信號之信號成分間的差異轉換成數位資料。這可避免有關以下項目的問題：電路規模、電路面積、功率消耗、和其他功能單元連接之線路數、和線路相關聯的雜訊或消耗電流。

固態成像器件之建構的第二具體實施例

圖15為顯示本發明第二具體實施例之CMOS固態成像器件(CMOS影像感測器)之建構的示意圖。在第二具體實施例的固態成像器件1中，和第一具體實施例的固態成像器件1相比，修改的是行AD電路25的建構。

在第二具體實施例的行AD電路25中，在計數器254的後續階段，提供：資料儲存單元256，以當作用於保留計數

器 254 之計數結果的 n 位元記憶體；及開關 258，其係布置於計數器 254 與資料儲存單元 256 之間。

開關 258 從通信及時序控制器 20 接收特定時序的記憶體傳送指令脈衝 CN8 作為控制脈衝；其他行的開關 258 亦同。在接收記憶體傳送指令脈衝 CN8 後，開關 258 將關聯之計數器 254 的計數值傳送至資料儲存單元 256。資料儲存單元 256 儲存已傳送的計數值。

在特定時序在資料儲存單元 256 中儲存計數器 254 之計數值的方案並不限於在其間提供開關 258。例如，可直接使計數器 254 與資料儲存單元 256 彼此連接，且控制輸出可由記憶體傳送指令脈衝 CN8 啟動計數器 254 的終端。或者，可將記憶體傳送指令脈衝 CN8 用作決定資料儲存單元 256 擷取資料之時序的鎖存器時脈。

資料儲存單元 256 經由控制線 12c 自水平掃描電路 12 接收控制脈衝。資料儲存單元 256 保留接收自計數器 254 的計數值直到經由控制線 12c 接收控制脈衝的指令。

水平掃描電路 12 具有讀取掃描器的功能如下：在行處理器 26 之個別電壓比較器 252 與計數器 254 執行其個別操作的同時，讀取由個別資料儲存單元 256 保留之計數值。

根據上述第二具體實施例的建構，可將由計數器 254 保留的計數結果傳送至資料儲存單元 256。因此，可由計數器 254 控制計數（即，AD 轉換）及讀取計數結果至彼此獨立之水平信號線 18 的操作。這允許由管線操作同時執行對外部的 AD 轉換與讀取信號操作。

固態成像器件之操作的第二具體實施例

圖 16 為說明圖 15 所示第二具體實施例之固態成像器件 1 之行 AD 電路 25 之操作的時序圖。行 AD 電路 25 中的 AD 轉換的執行方式和第一具體實施例相同，因此將省略其詳細說明。

在第二具體實施例中，在第一具體實施例的建構中加入資料儲存單元 256。包括 AD 轉換的基本操作和第一具體實施例中的相同。然而，在計數器 254 的操作之前 (t_{30})，根據通信及時序控制器 20 的記憶體傳送指令脈衝 CN8，將和先前列 Hx-1 相關聯的計數結果傳送至資料儲存單元 256。

根據第一具體實施例，只能在第二讀取操作(即，完成 AD 轉換)之後將像素資料輸出至行處理器 26 的外部，因此讀取操作受到限制。相反地，根據第二具體實施例，在第一讀取操作(AD 轉換)之前將代表先前減法結果的計數值傳送至資料儲存單元 256，因此讀取操作不會受到限制。

因此，可同時執行經由水平信號線 18 與輸出電路 28 將信號從資料儲存單元 256 輸出至外部的操作和讀取目前列 Hx 之信號與由計數器 254 計數的操作，以允許更有效的信號輸出。

雖然上文已說明本發明的各具體實施例，但本發明的範疇並不限於這些具體實施例。對這些具體實施例所做的各種修改或改進在不背離本發明之精神下均為可行，且其修改與改進均含在本發明的範疇中。

上述具體實施例並非用來限制申請專利範圍，且並不一

定需要這些具體實施例的所有特徵。上述具體實施例包括本發明的各種層面，且本發明的各種方面可藉由適當結合所述特徵來擷取。即使去除這些具體實施例的某些特徵，只要能夠達成同樣的好處，仍可擷取包括其餘特徵的配置作為本發明的方面。

例如，在上述的具體實施例中，為了將切換計數模式時變更的計數值恢復成原始的計數值，強行將作為計數器基本元件之正反器(鎖存器)的時脈終端一次拉成高位準(在負緣的情況中)或低位準(在正緣的情況中)，然後返回模式切換後的狀態。然而，將切換計數模式時變更之計數值恢復成原始值的方案並不限於上述方案。

圖17顯示將切換計數模式時中斷之計數值恢復成原始計數值的另一種範例配置。作為非同步計數器的基本組態，配置計數器電路600致使能夠使用已知技術載入任意初始值。

例如，計數器電路600包括正反器610與鎖存器620。圖17所示的範例處理4位元資料。

構成非同步計數器電路600之正反器610的反向輸出 NQ_n 係連接至正反器610的D終端(D0至D3)。此外，將構成非同步計數器電路600之正反器610的非反向輸出 Q_n 輸入鎖存器620(圖17的四個鎖存器)的D終端(D0至D3)。將鎖存器620的非反向輸出輸入相關聯之正反器610的資料設定終端 D_{in0} 至 D_{in3} 。

由鎖存器620(圖17的四個鎖存器)根據相關聯的時脈 CK_x

鎖存構成非同步計數器之正反器610的非反向輸出 Q_n ，因而保留前一個時脈週期的狀態。相關聯的時脈 CK_x 係指輸入個別正反器610之時脈終端的時脈。根據計數模式而定，使用先前正反器的非反向輸出或反向輸出。

在以切換控制信號SL切換計數模式後，將切換控制信號FL輸入正反器610的負載終端LD，即可將鎖存器620保留的資料寫入正反器610，即，設定初始值。因此，將直接在切換計數模式時變更之計數值前的計數值設定至正反器610。也就是說，恢復直接在切換計數模式時變更之計數值前的計數值。因此，可維持在切換計數模式前的計數值，因而可繼續計數同時在模式切換後維持計數值的連續性。

據此，即可直接從信號成分減去參考成分，因而不需要從信號成分減去參考成分的特別減法器電路。此外，不必將資料傳送至減法器。這可避免雜訊增加、電流增加、或功率消耗增加。

此外，雖然在上述具體實施例中使用邊緣觸發的正反器，但也可使用位準觸發的正反器。

此外，在上述具體實施例中，雖然提供用於各行之包括電壓比較器252與計數器254的行AD電路25並將信號逐行轉換成數位資料，但並不限於上述配置，也可以提供用於複數個行的單一行AD電路25，且具有在各行中切換的切換電路。

此外，雖然在設於像素單元10之讀取側上的行區域中實

施AD轉換功能，但亦可在其他區域中實施AD轉換功能。例如，以類比將像素信號輸出至水平信號線18，然後在將像素信號傳遞至輸出電路28之前先進行AD轉換。

即使在此情況下，將要處理之包括參考成分與信號成分的信號和供AD轉換的參考信號相比，在比較的同時，按遞減計數模式或遞增計數模式執行計數，保留完成比較時的計數值，根據執行參考成分或信號成分的比較來切換計數模式，即可因遞減計數模式與遞增計數模式的執行計數而獲得代表參考成分與信號成分間之差異的數位資料。

因此，用於保留和參考成分與信號成分相關聯之計數結果的記憶體可以藉由計數器的鎖存器功能來實施，因而不需要和計數器分開提供用於保留藉由AD轉換所獲得之資料的特別記憶體。為所有行提供單一的AD轉換器即已足夠。雖然需要高速轉換，但和上述具體實施例相比，已縮減電路規模。

此外，在上述具體實施例中，在一個像素的像素信號中，信號成分 V_{sig} 在時間上出現在重設成分 ΔV (參考成分)之後，及後續階段的處理器處理正極性的信號(此正值隨著信號位準越大而越大)。在第一處理疊代中，執行重設成分 ΔV (參考成分)的比較與遞減計數，及在第二處理疊代中，執行信號成分 V_{sig} 的比較與遞增計數。然而，無論參考成分與信號成分的時間順序為何，可按照成分與計數模式的任意組合與處理順序。根據處理順序，在第二疊代中獲得的數位資料變成負值，在此情況中，可執行校正或採

取其他合適的措施。

顯然地，當像素單元10的裝置架構使得必須在信號成分 V_{sig} 後讀取重設成分 ΔV (參考成分)且後續階段的處理器處理正極性的信號時，有效的是在第一處理疊代中執行信號成分 V_{sig} 的比較與遞減計數，及在第二處理疊代中執行重設成分 ΔV (參考成分)的比較與遞增計數。

此外，雖然已在包括NMOS單元像素為範例之感測器的背景中說明具體實施例，但並不限於此範例，在考量相反電位關係(考量電位的相反極性)的情況下，對於包括PMOS單元像素之感測器，亦可達成和上述具體實施例相同的操作與好處。

此外，雖然在包括為回應所光線接收而產生信號電荷之像素單元之CMOS感測器(作為能夠藉由位址控制任意選擇及讀取個別單元像素之信號之固態成像器件的範例)的背景中說明各具體實施例，但可為回應一般電磁波(如紅外線、紫外線、或X光，但不限於光線)而產生信號電荷。可將上述具體實施例的特徵應用於包括輸出對應於所接收電磁波之類比信號之大量單元元件的半導體器件。

已在以下範例的背景中說明各具體實施例：AD轉換器(上述範例的行AD電路)包括：比較器，以比較對應於參考成分的信號與對應於信號成分的信號和供AD轉換的參考信號；及計數器，以使用非同步計數器按遞減計數模式或遞增計數模式執行計數並將完成比較時的計數值保留在比較器中。然而，上述具體實施例的AD轉換方案可應用於

任何採用 AD 轉換以在兩個信號成分之間轉換差異信號成分的電子裝置，並不限於固態成像器件。

例如，藉由在根據擷取自固態成像器件 1 之類比像素信號以使用比較器與計數器的固態成像器件 1 外部執行 AD 轉換，即可建構電子裝置如下：獲得真實信號成分的數位資料(像素資料)並根據像素資料執行所需的數位信號處理。

此外，不一定要將就有關具體實施例所說明的 AD 轉換器提供為含在固態成像器件或電子裝置中，而可提供為形式為積體電路(IC)或 AD 轉換模組的獨立器件。

在此情況下，雖然可提供包括比較器與非同步計數器的 AD 轉換器，但也可以提供一種 IC 如下：其中參考信號產生器可產生供 AD 轉換的參考信號，再將其供應至比較器；及其中控制器可根據比較器執行參考成分或信號成分的比較來切換計數器中的計數模式，該控制器係設於相同的半導體基板或包括離散晶片之組合的模組上。

除了圖 11 所示的結構，本發明的成像器件可具有其他結構。圖 23 為本發明模組類型之成像器件的方塊圖，其包括處理輸出信號的信號處理單元 71 與光學系統 72。

因此，可以整合的方式處理需要控制比較器與非同步計數器之操作的功能單元，以促進零件的處理與管理。此外，由於按 IC 或模組的形式整合供 AD 轉換所需的元件，因此促進固態成像器件或電子裝置之成品的製造。

【圖式簡單說明】

圖 1 為顯示本發明之非同步計數器之第一具體實施例之

基本組態的電路方塊圖；

圖 2 為顯示第一具體實施例之基本組態之特別實施例的電路方塊圖；

圖 3A 與 3B 為顯示二進制開關之範例電路組態的圖示；

圖 4 為說明圖 2 所示第一具體實施例之計數器電路之操作的時序圖；

圖 5A 與 5B 為顯示第一具體實施例中正反器之輸出變更的圖示；

圖 6 為顯示本發明之非同步計數器之第二具體實施例之組態的電路方塊圖；

圖 7 為說明圖 6 所示第二具體實施例之計數器電路之操作的時序圖；

圖 8A 與 8B 為顯示第二具體實施例中正反器之輸出變更的圖示；

圖 9 為顯示本發明之非同步計數器之第三具體實施例之組態的電路方塊圖；

圖 10 為說明圖 9 所示第三具體實施例之計數器電路之操作的時序圖；

圖 11 為顯示本發明第一具體實施例之 CMOS 固態成像器件之建構的示意圖；

圖 12 為顯示計數器之第一範例組態的電路方塊圖；

圖 13A 為顯示計數器之第二範例組態的電路方塊圖，及圖 13B 為說明其操作的時序圖；

圖 14 為說明圖 11 所示第一具體實施例之固態成像器件之

行AD電路之操作的時序圖；

圖15為顯示本發明第二具體實施例之CMOS固態成像器件之建構的示意圖；

圖16為說明圖15所示第二具體實施例之固態成像器件之行AD電路之操作的時序圖；

圖17為顯示切換計數模式時恢復計數值之配置之另一範例的圖示；

圖18為顯示先前技術能夠切換模式之非同步計數器之範例的圖示；

圖19為說明圖18所示之計數器電路之操作的時序圖；

圖20為顯示第二專利文件中所提配置的圖示；

圖21為顯示先前技術之CMOS固態成像器件的示意圖，其中AD轉換器與像素單元係安裝在相同的半導體基板上；

圖22為說明圖21所示先前技術之固態成像器件之操作的時序圖；

圖23為本發明模組類型之成像器件的方塊圖。

【主要元件符號說明】

1	固態成像裝置
3	單元像素
5	像素信號產生器
5a-5d	終端
7	驅動控制器
10	像素單元

12	水平掃描電路
12a	水平解碼器
12b	水平驅動電路
12c	控制線
14	垂直掃描電路
14a	垂直解碼器
14b	垂直驅動電路
15	列控制線
18	水平信號線
19	垂直信號線
20	通信及時序控制器
21	時序控制器
23	時脈轉換器
23a	乘法器電路
24	計數器
25	行AD電路
26	行處理器
27	參考信號產生器
27a	數位至類比(D/A)轉換器
28	輸出電路
29	減法器電路
71	信號處理單元
72	光學系統

252	電壓比較器
254	計數器
255	資料儲存單元
256	資料儲存單元
258	開關
262	AND閘極
400	計數器電路
410	正反器
412	正反器
414	正反器
416	正反器
418	正反器
420	開關
422	開關
424	開關
426	開關
430	開關
432-437	開關
440	傳送閘極
442	傳送閘極
443	傳送閘極
444	反向器
446	傳送閘極

447	傳送閘極
448	反向器
452	NAND閘極
453	NAND閘極
454	NAND閘極
456	NOR閘極
457	反向器
462	反向器
464	開關
472	AND閘極
474	正反器
476	延遲電路
500	計數器電路
510	正反器
520	開關
522	開關
524	開關
526	開關
532	開關
537	開關
600	計數器電路
610	正反器
620	鎖存器

900	計數器電路
910	正反器
912	正反器
914	正反器
916	正反器
918	正反器
920	開關
922	開關
924	開關
926	開關

七、申請專利範圍：

1. 一種允許選擇性執行按遞增計數模式計數或按遞減計數模式計數的非同步計數器電路，該計數器電路包含：
一起始值設定處理器，其當改變該等計數模式時維持計數值之連續性；
作為該計數器基本元件且彼此串聯的複數個正反器；及
一初始階段時脈開關，以根據該計數模式切換供應至一初始階段正反器之一時脈終端之一計數器時脈的極性，其中使用輸入至該初始階段時脈開關的該計數器時脈作為一計數值的一最低有效位元。
2. 如請求項1之非同步計數器電路，進一步包括一計數器處理器，其被配置當在該等計數模式之間切換發生時，一跑動計數值被中斷，在該等計數模式間有一間隔，並且當一模式開始時，該跑動計數值被恢復為該跑動計數值被中斷前的值。
3. 如請求項2之非同步計數器電路，其中當藉由一第二控制信號從該等計數模式轉換的計數值切換至切換計數模式之前的該計數值時，該計數器處理器控制該等正反器的多個時脈終端切換電力供應位準或接地位準。
4. 一種將一差異信號成分轉換成數位資料的類比至數位轉換方法，該差異信號成分代表含在要處理之一類比信號中之一參考成分與一信號成分間的一差異，該方法係使用允許選擇性執行按一遞增計數模式的計數或按一遞減計數模式的計數的一非同步計數器電路來執行且包括步

驟如下：

在一第一處理疊代中，比較對應於該參考成分與該信號成分之一的一信號和供轉換成數位資料的一參考信號，且，和該比較同時，根據一計數器時脈按該遞減計數模式與該遞增計數模式之一計數並在完成該比較時保留一計數值；及

在一第二處理疊代中，比較該參考成分與該信號成分之另一個和該參考信號，且在比較的同時，按該遞減計數模式與該遞增計數模式之另一個來計數並在完成該比較時保留一計數值，其中

該計數器電路包括一起始值設定處理器，其當改變該等計數模式時維持計數值之連續性；作為該計數器基本元件且彼此串聯的複數個正反器；及一初始階段時脈開關，以根據該計數模式切換供應至一初始階段正反器之一時脈終端之一計數器時脈的極性，其中使用輸入至該初始階段時脈開關的該計數器時脈作為一計數值的一最低有效位元。

5. 如請求項4之類比至數位轉換方法，其中按該遞減計數模式與該遞增計數模式的該計數係在切換一共同的遞增/遞減計數器之處理模式的同時使用該遞增/遞減計數器來執行。
6. 如請求項4之類比至數位轉換方法，其中該第二處理疊代中的該計數係始於該第一處理疊代中保留的該計數值。

7. 如請求項4之類比至數位轉換方法，其中使該參考信號在該第一處理疊代與該第二處理疊代之間具有相同的變更特性。
8. 如請求項4之類比至數位轉換方法，其中將為要處理之一先前信號保留在該第二處理疊代的該計數值儲存在一資料儲存單元中，及在為要處理之一目前信號執行該第一處理疊代與該第二處理疊代時，和該資料儲存單元同時讀取該計數值。
9. 如請求項4之類比至數位轉換方法，其中要處理之該信號係為由一單元信號產生器產生且在供偵測一物理量分佈之一半導體器件中以一行方向輸出的一類比單元信號，該半導體器件包括單元元件的一矩陣，該等單元元件的各單元元件包括一電荷產生器，以產生對應於入射電磁波的電荷；及包括該單元信號產生器，以產生對應於由該電荷產生器產生之該電荷的一單元信號。
10. 如請求項9之類比至數位轉換方法，其中逐列捕捉由該單元信號產生器產生且以該行方向輸出的該類比單元信號，及逐列為該等單元元件的各單元元件執行該第一處理疊代與該第二處理疊代。
11. 一種固態影像裝置，包括：
 - 一非同步計數器電路，其被允許選擇性執行按遞增計數模式計數或按遞減計數模式計數，
 - 其中，
 - 該非同步計數器包括一計數器處理器，其包括一起始

值設定處理器，其當改變該等計數模式時維持計數值之連續性；作為該計數器基本元件且彼此串聯的複數個正反器；及一初始階段時脈開關，以根據該計數模式切換供應至一初始階段正反器之一時脈終端之一計數器時脈的極性，其中使用輸入至該初始階段時脈開關的該計數器時脈作為一計數值的一最低有效位元。

12. 如請求項11之固態影像裝置，其中該非同步計數器進一步包括一計數器處理器，其被配置當在該等計數模式之間切換發生時，一跑動計數值被中斷，在該等計數模式間有一間隔，並且當一模式開始時，該跑動計數值被恢復為該跑動計數值被中斷前的值。
13. 如請求項12之固態影像裝置，其中當藉由一第二控制信號從該等計數模式轉換的計數值切換至切換計數模式之前的該計數值時，該計數器處理器控制該等正反器的多個時脈終端切換電力供應位準或接地位準。

八、圖式：

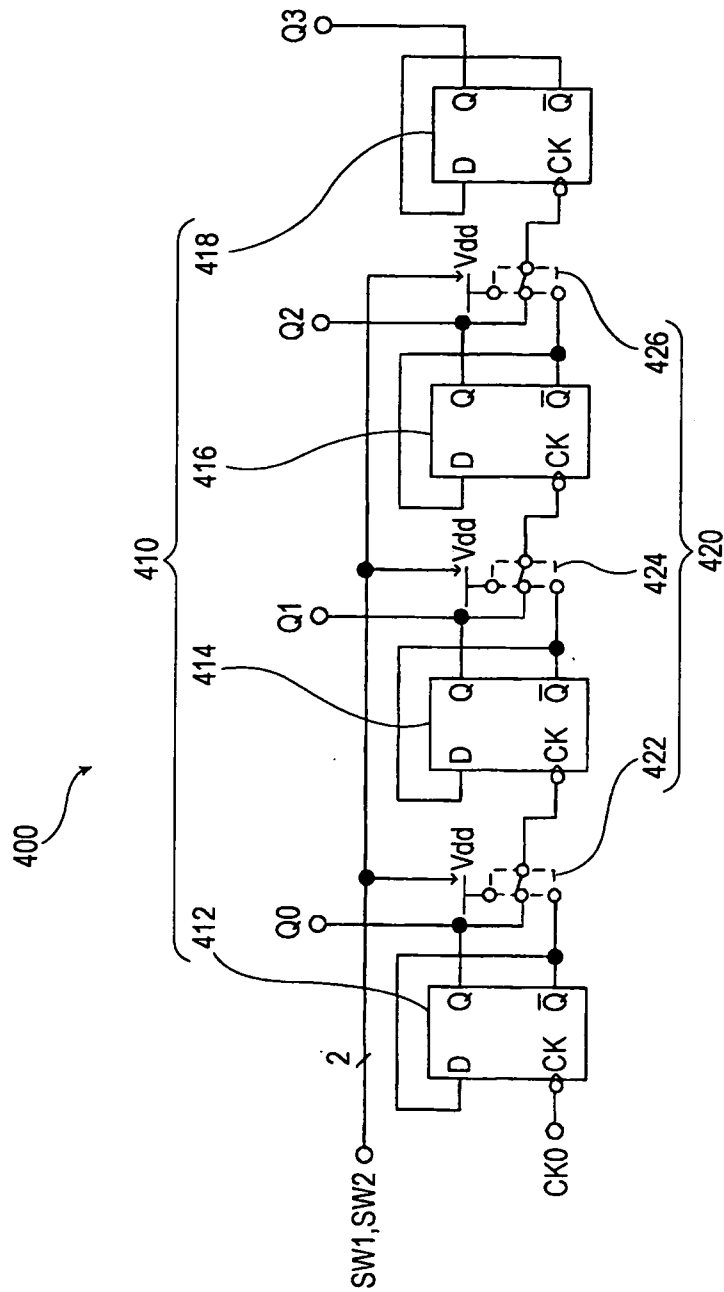


圖 1

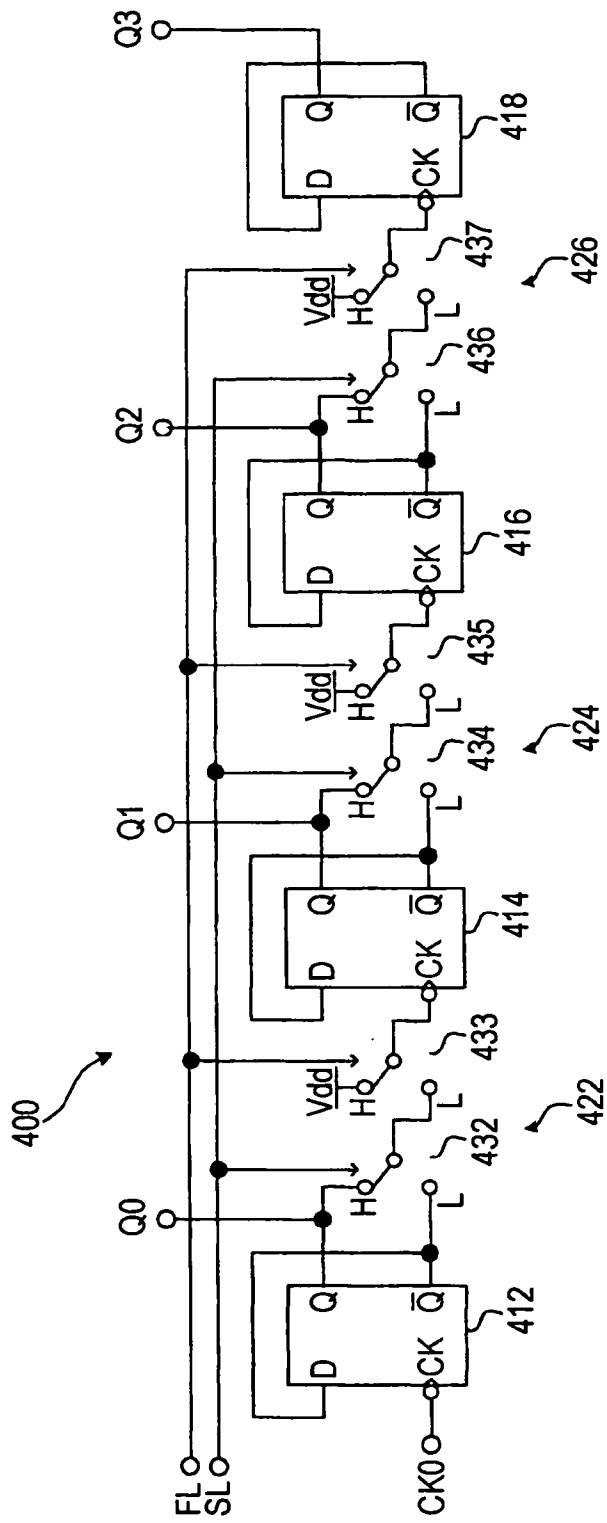


圖 2

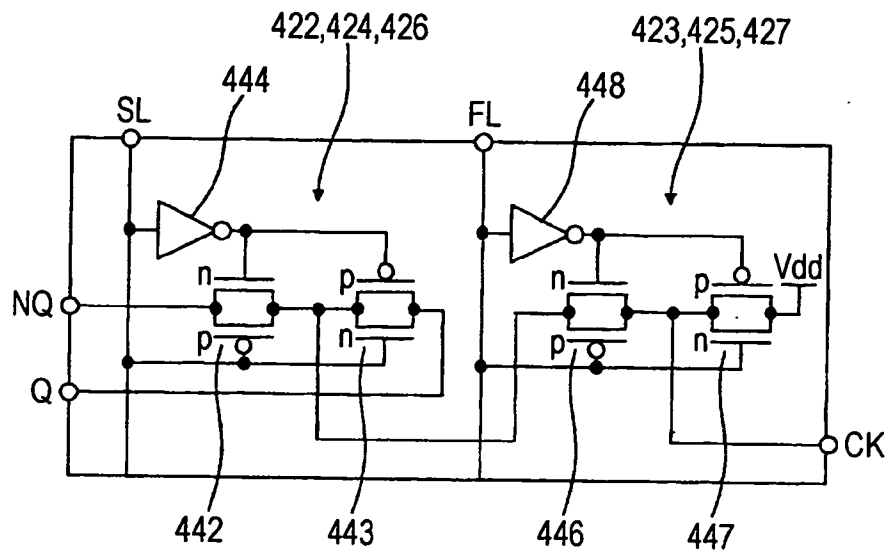


圖 3A

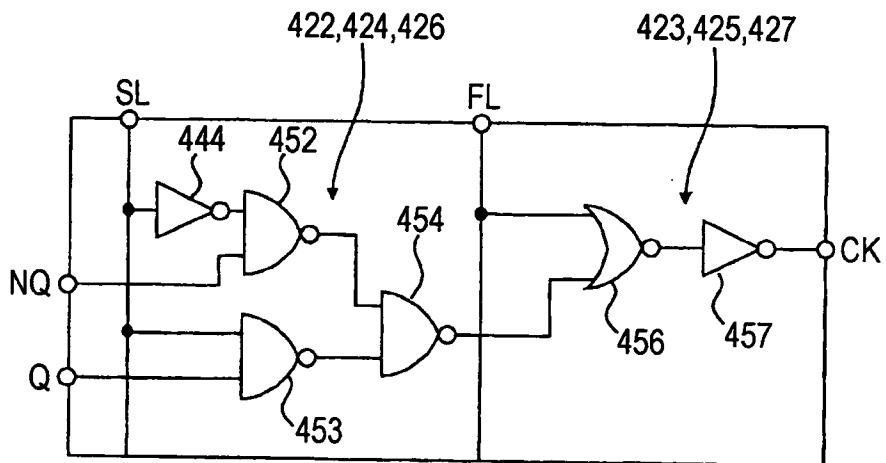


圖 3B

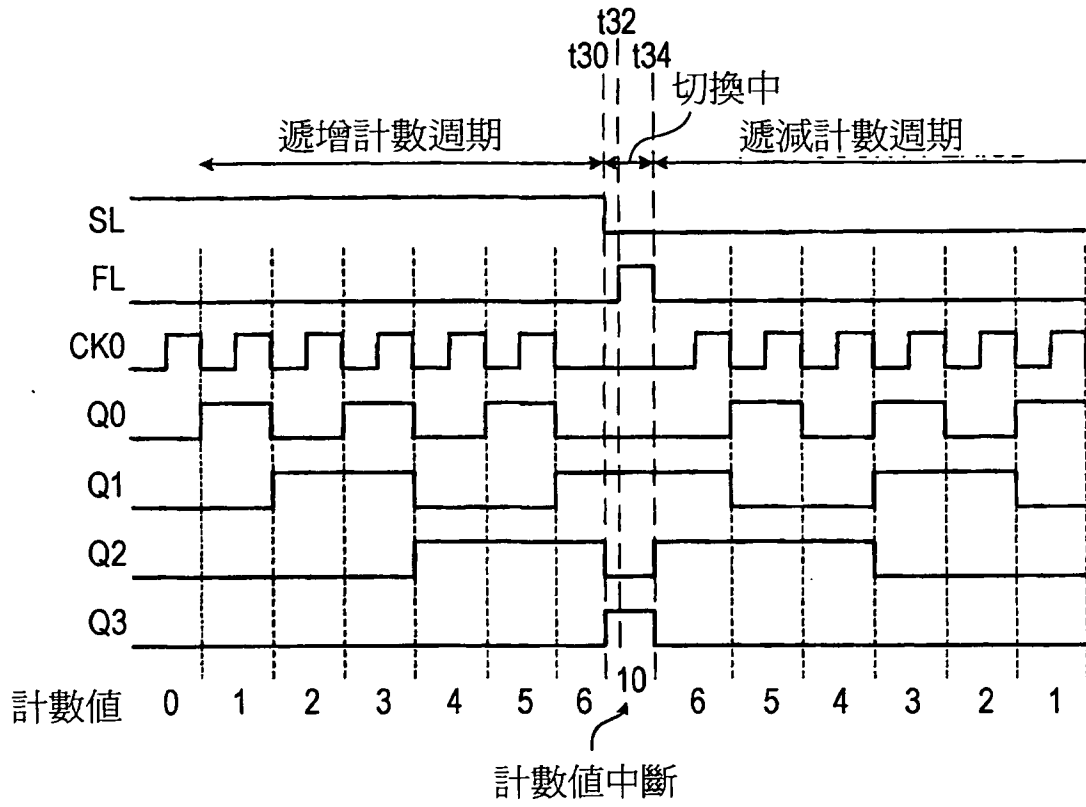


圖 4

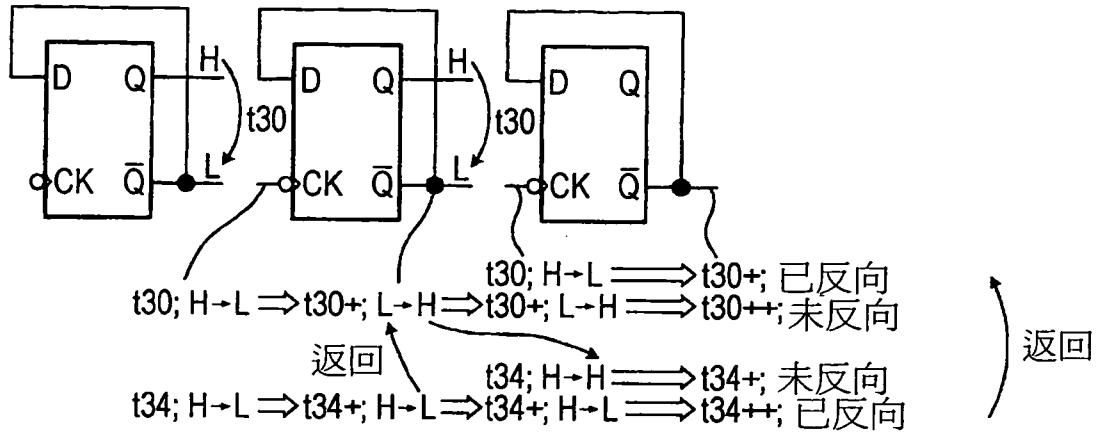


圖 5A

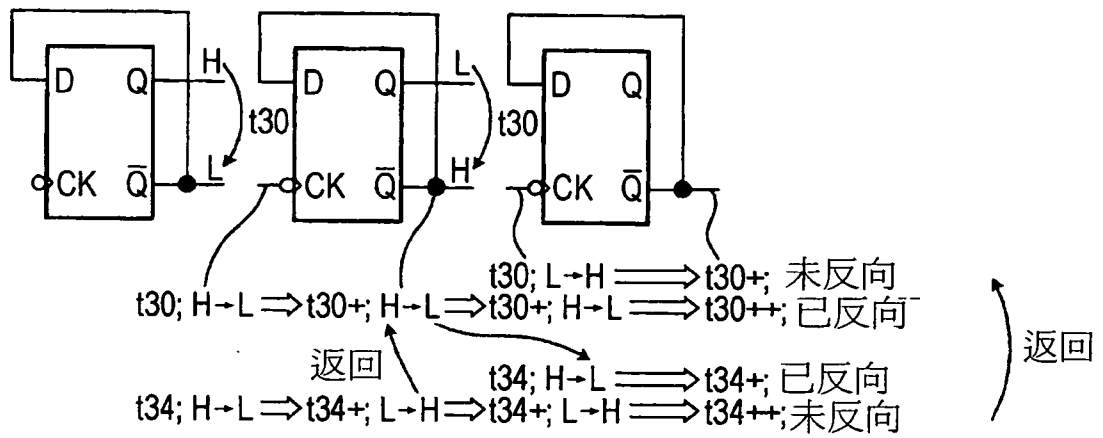


圖 5B

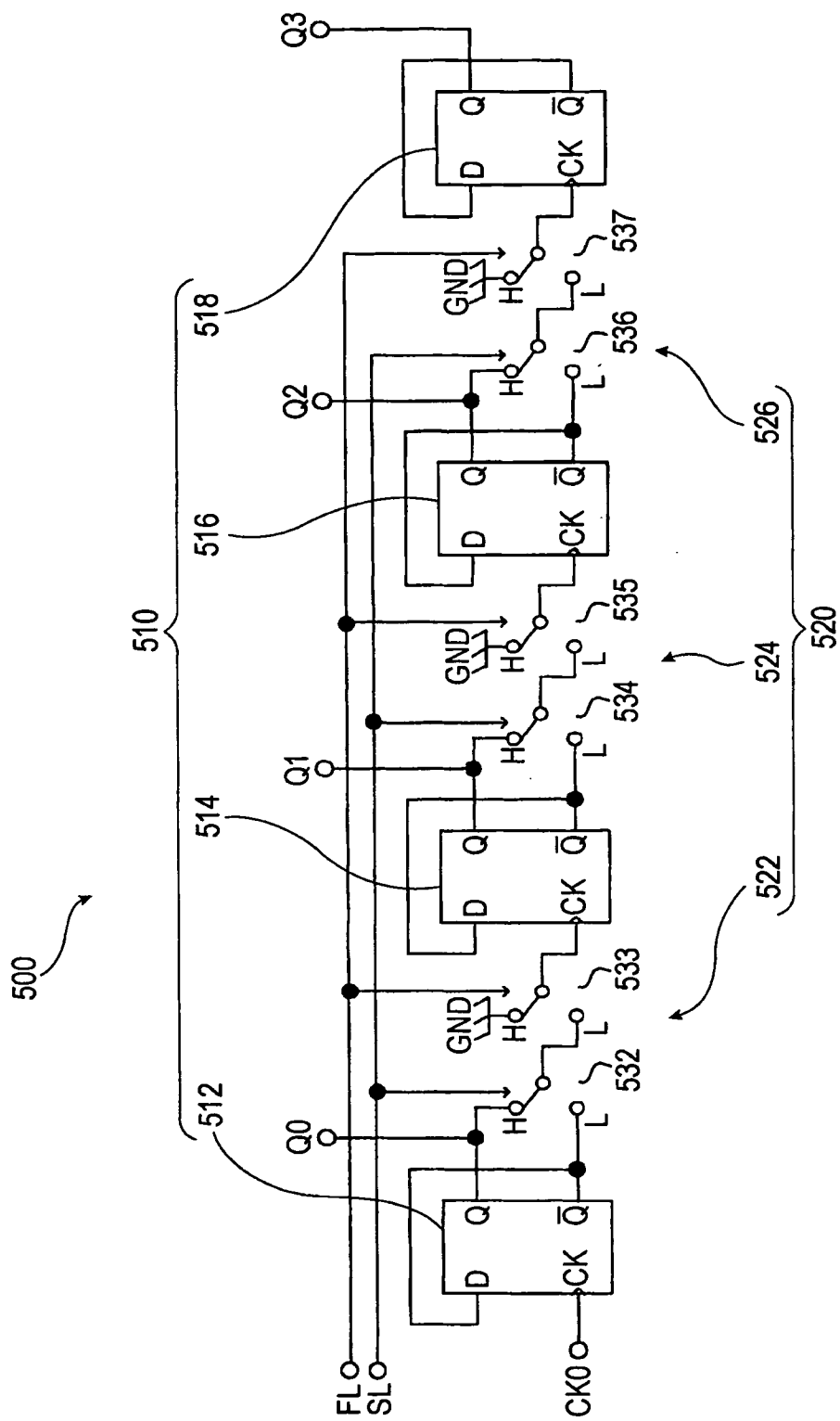


圖 6

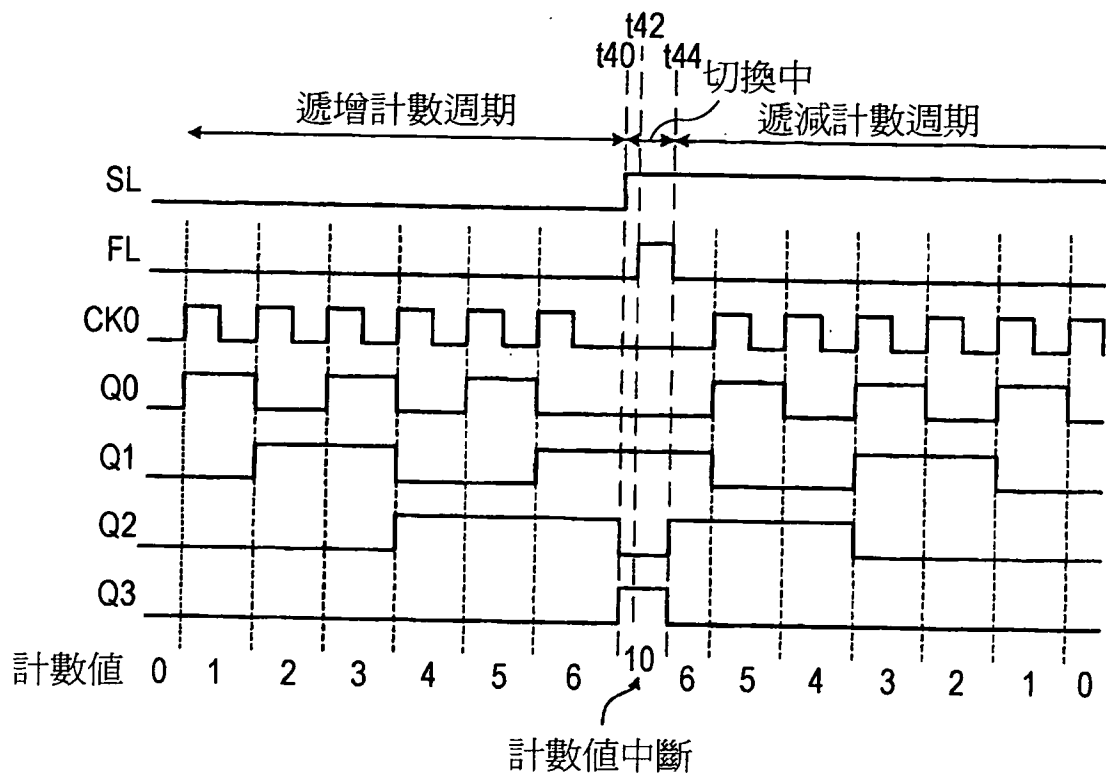


圖 7

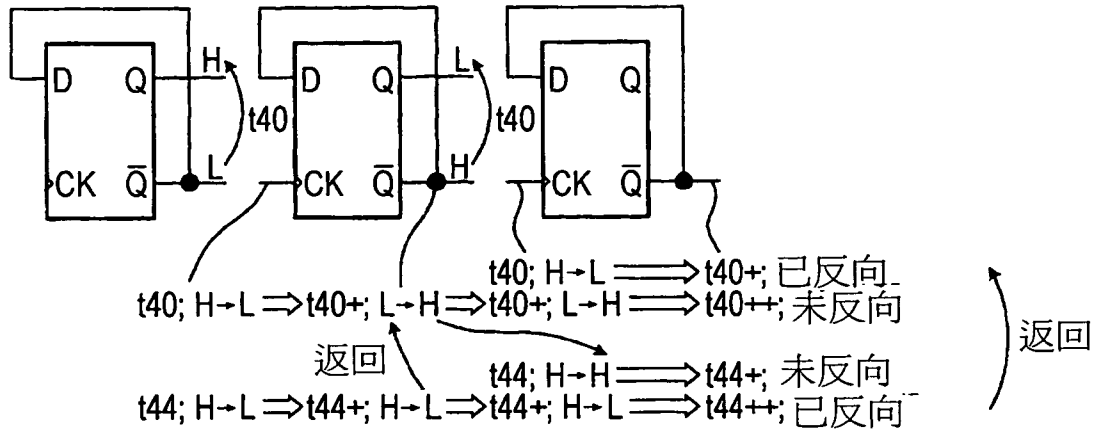


圖 8A

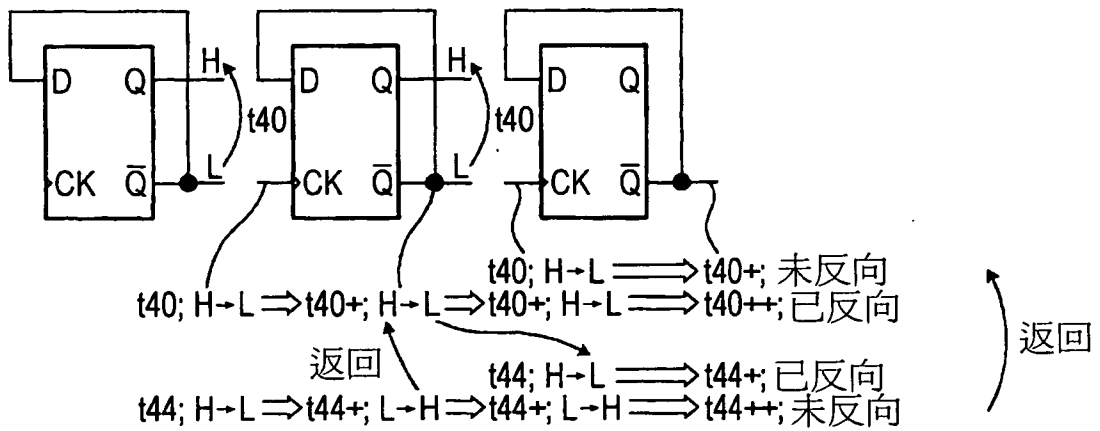


圖 8B

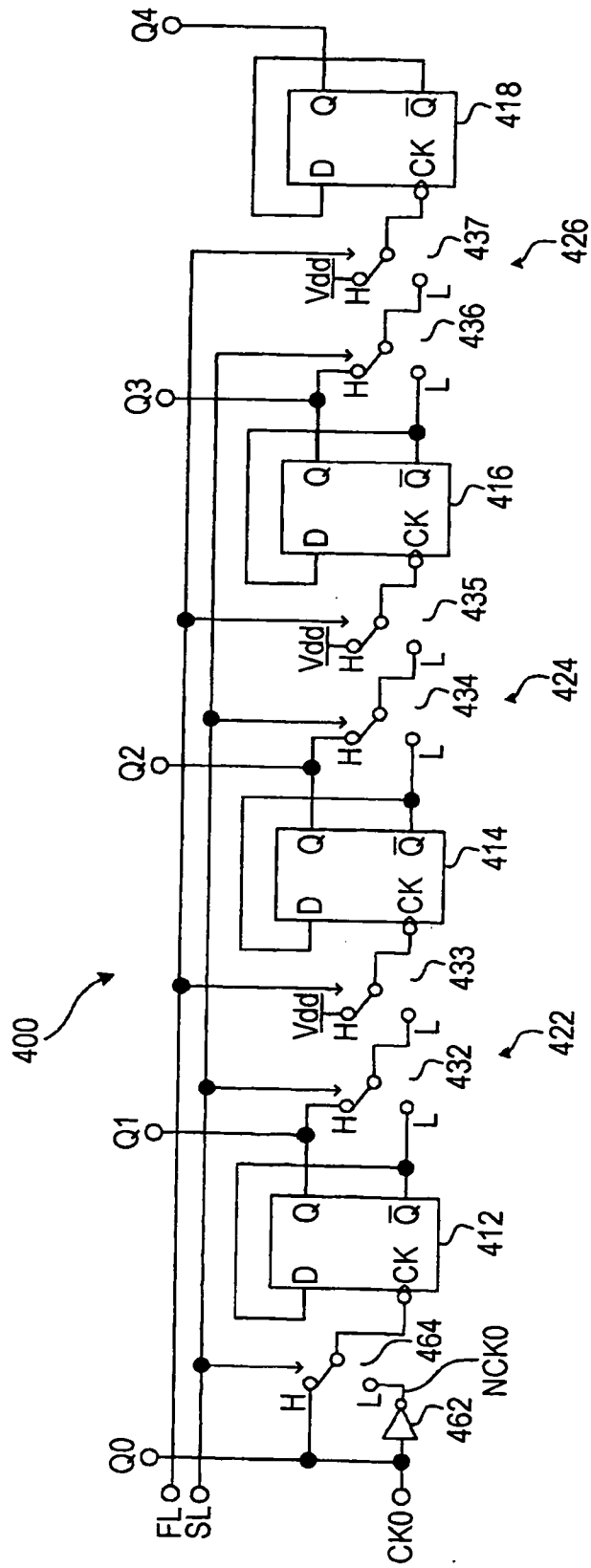


圖 9

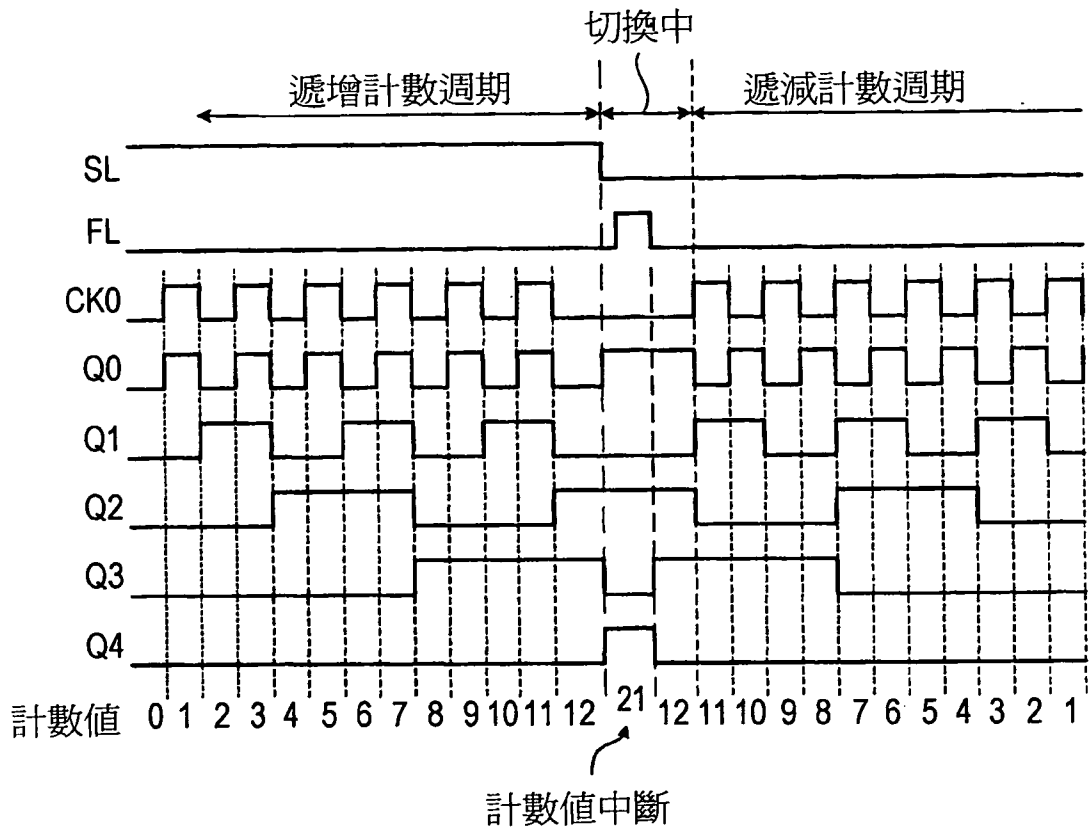


圖 10

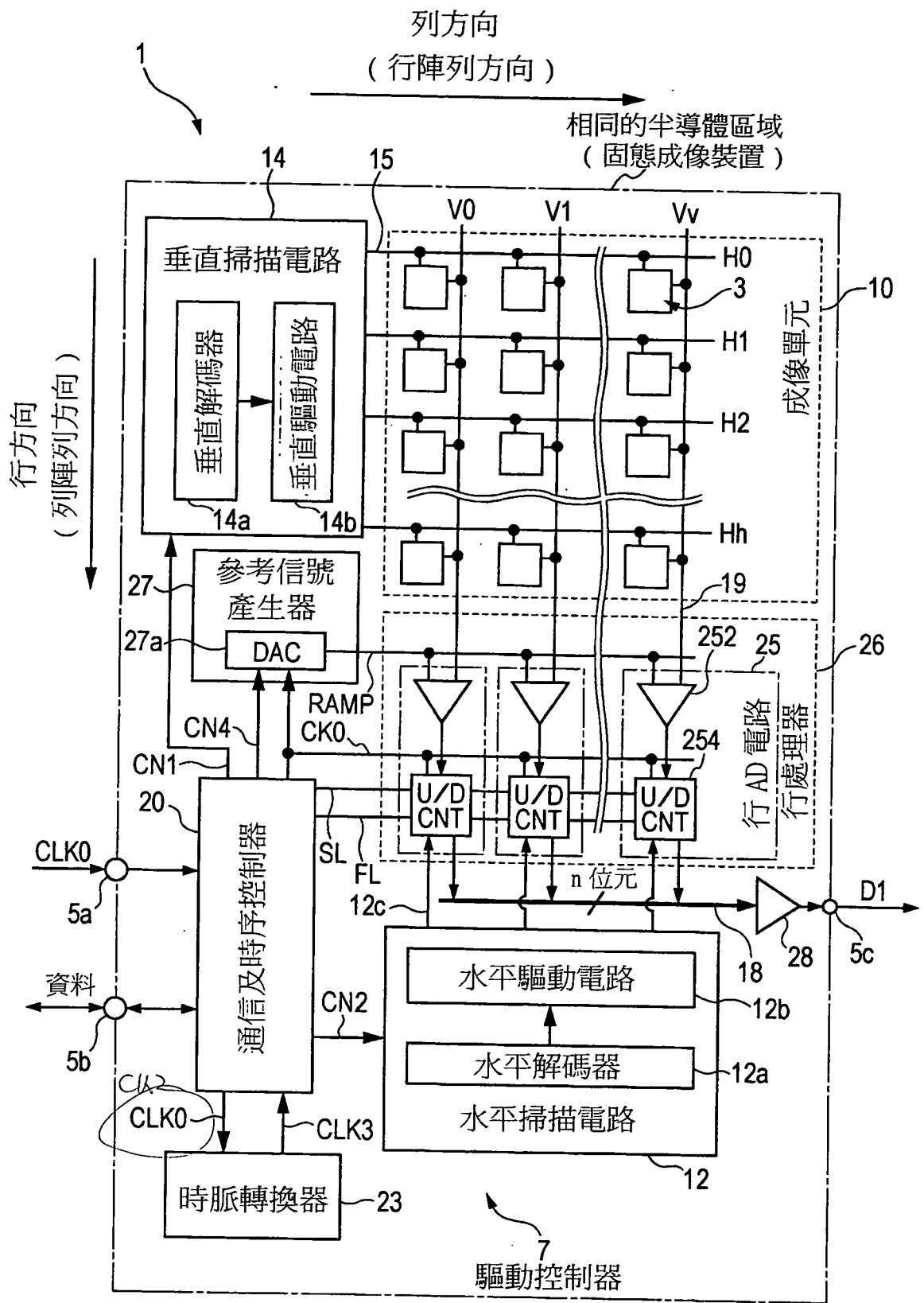


圖 11

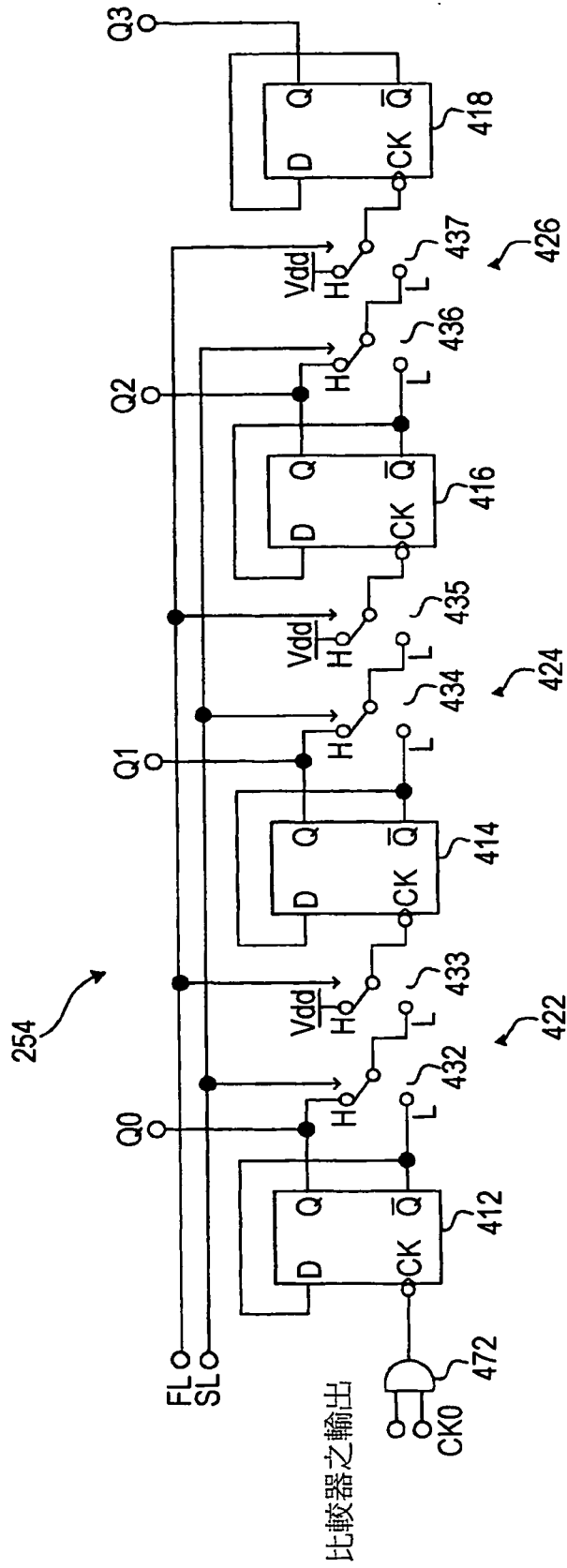


圖 12

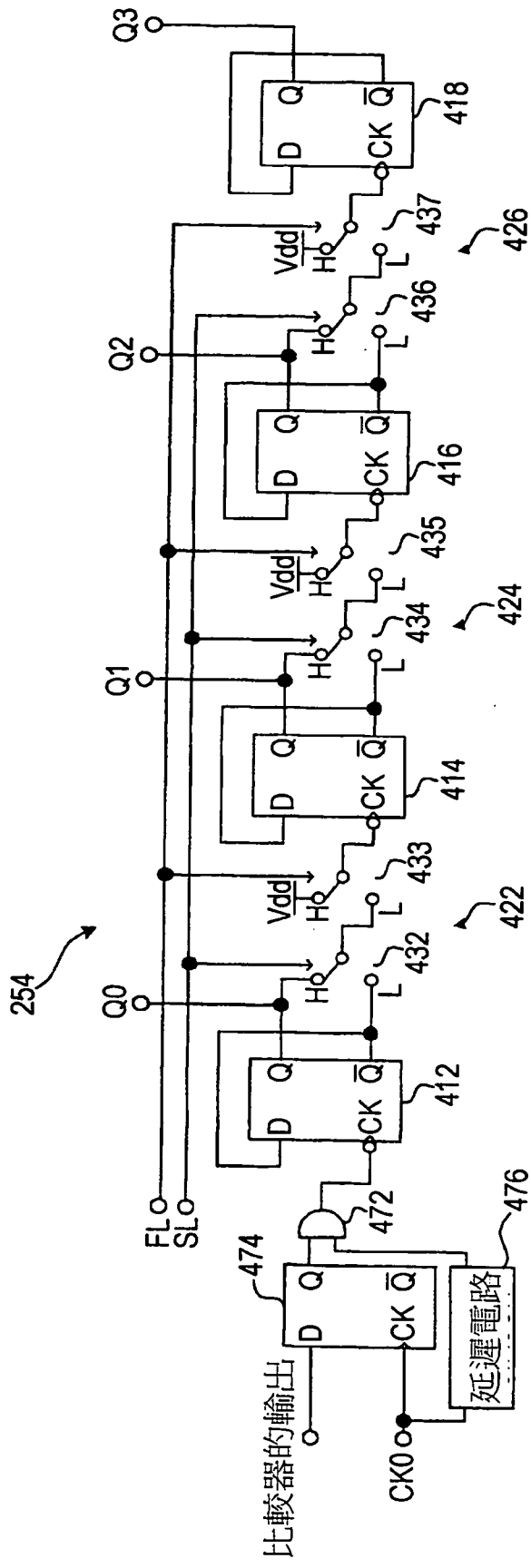


圖 13A

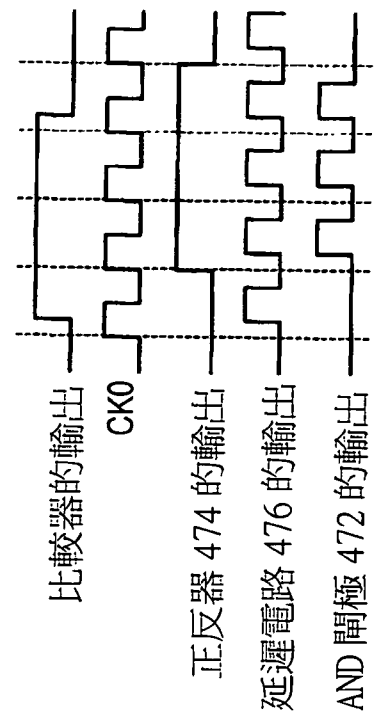


圖 13B

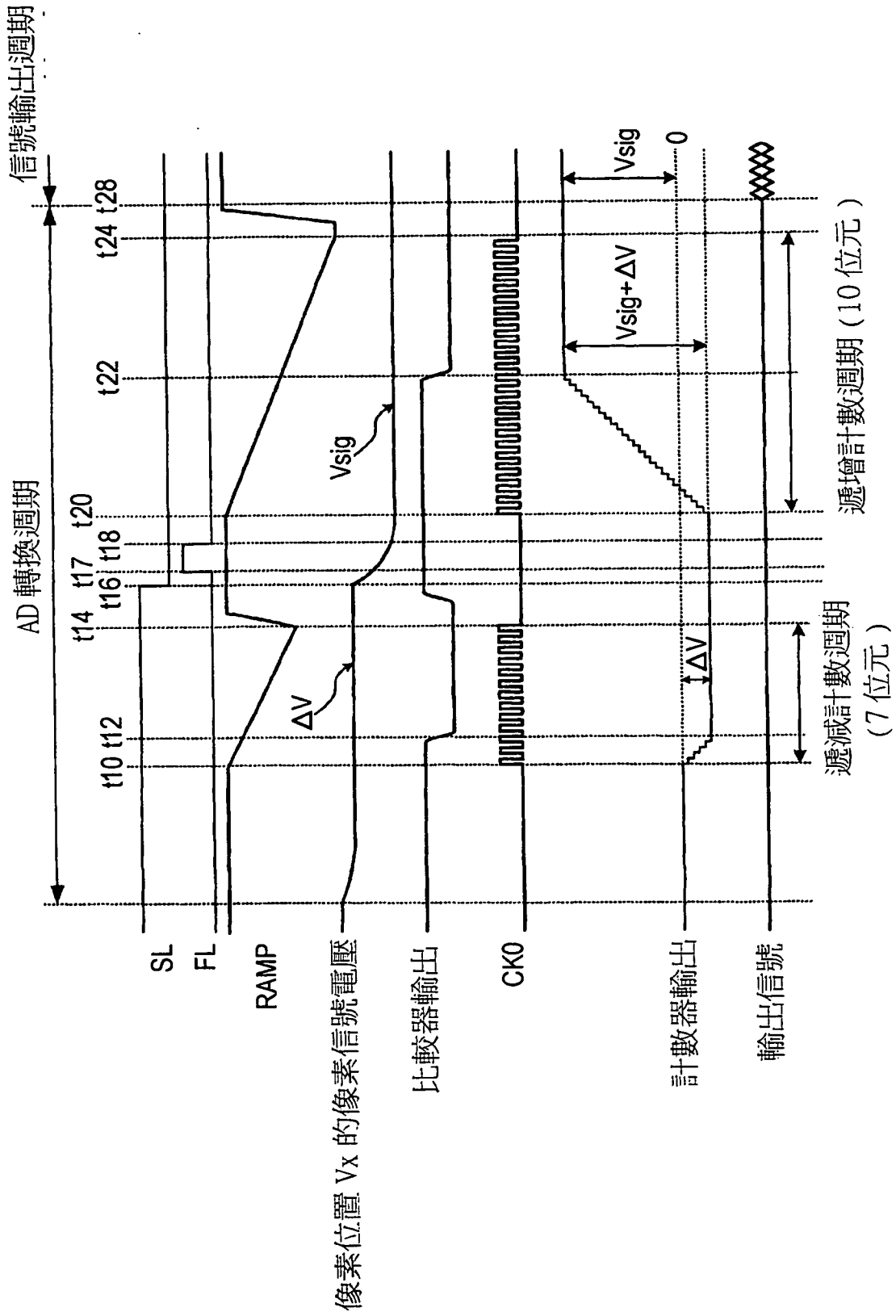


圖 14

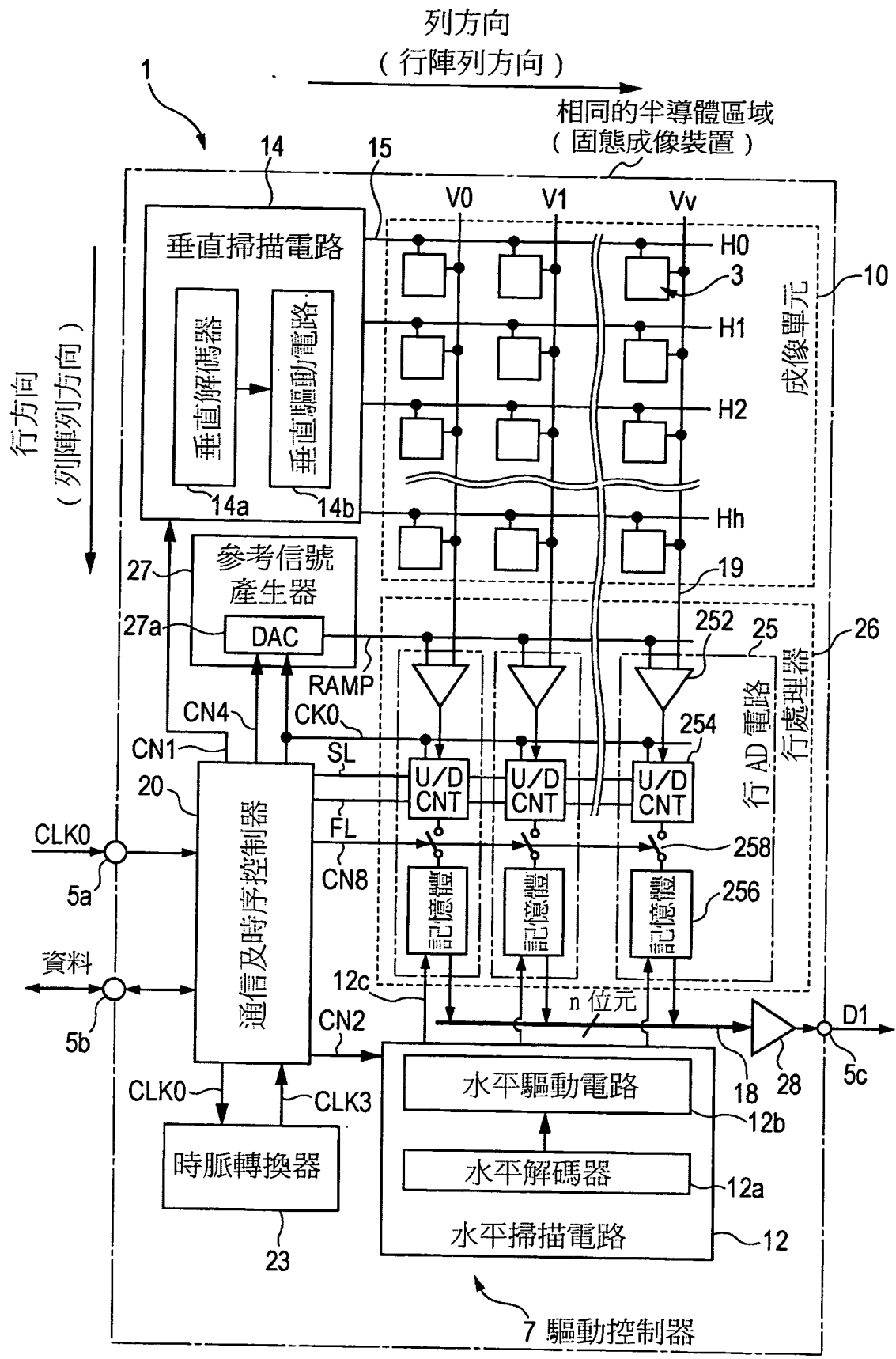


圖 15

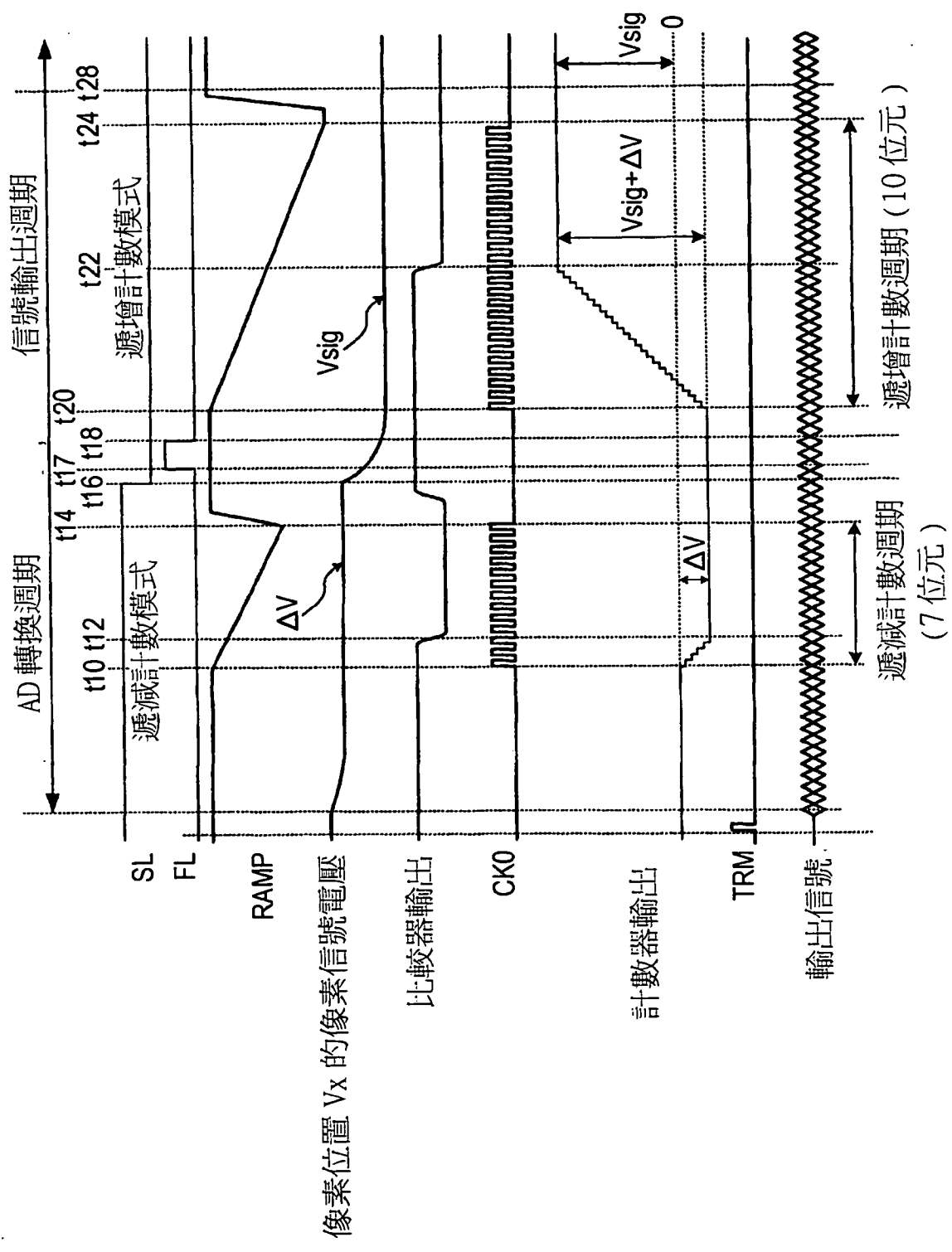


圖 16

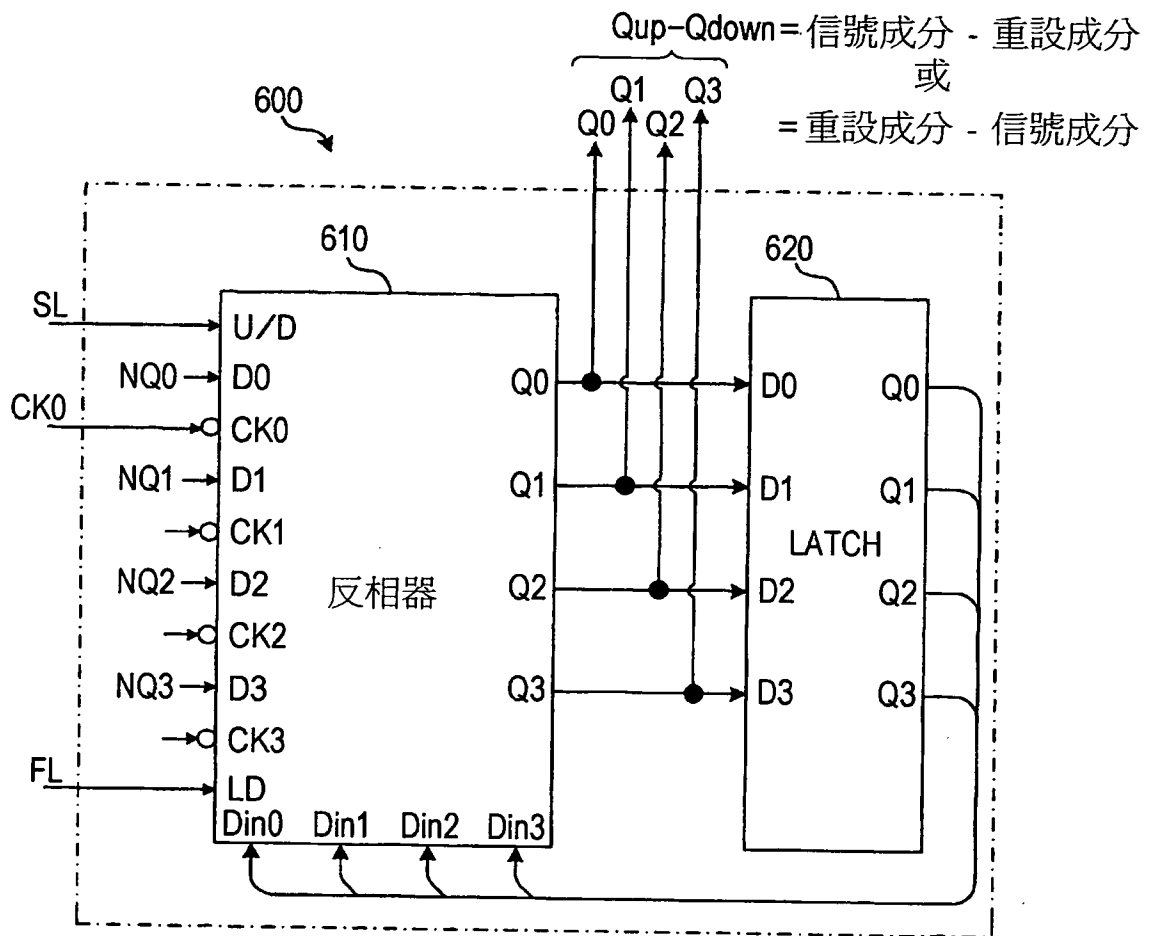


圖 17

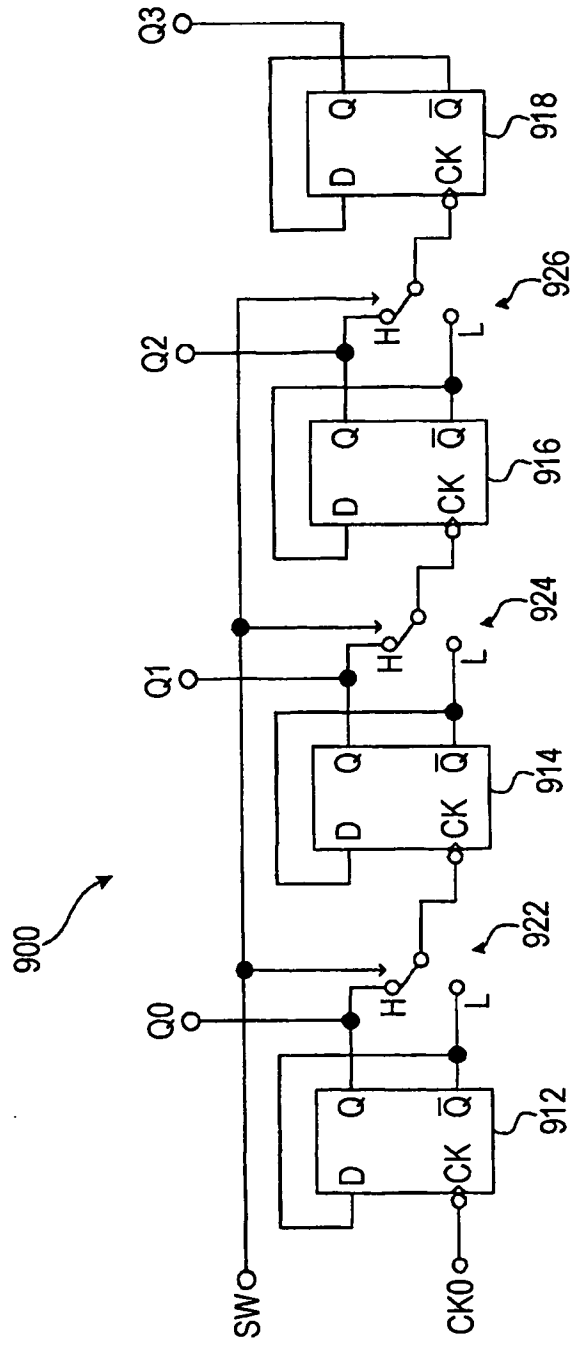


圖 18

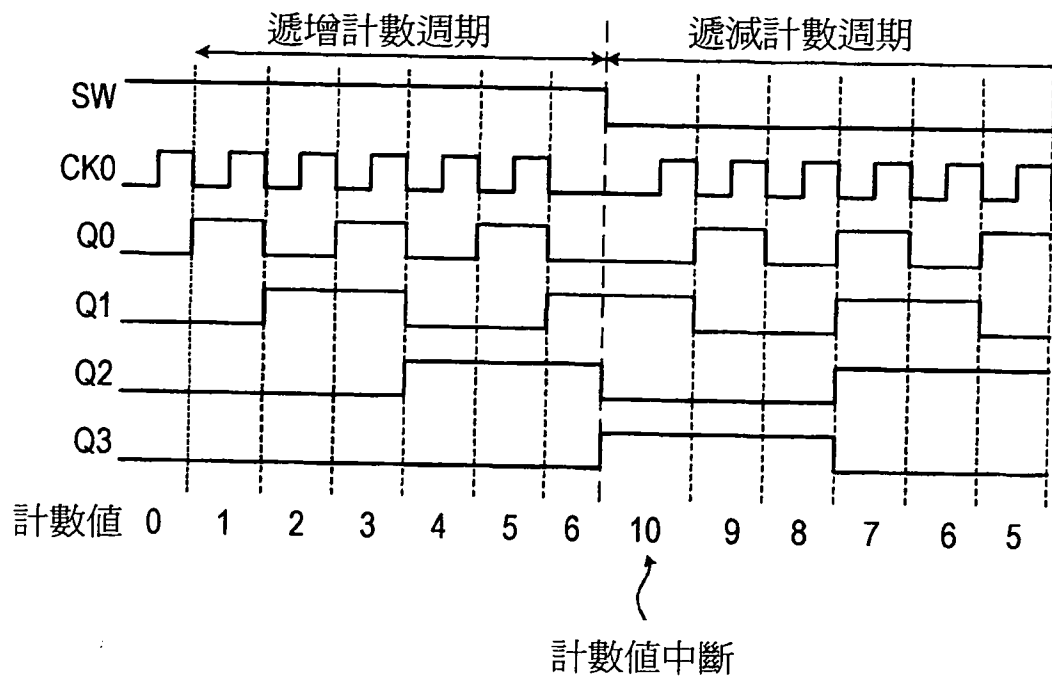


圖 19

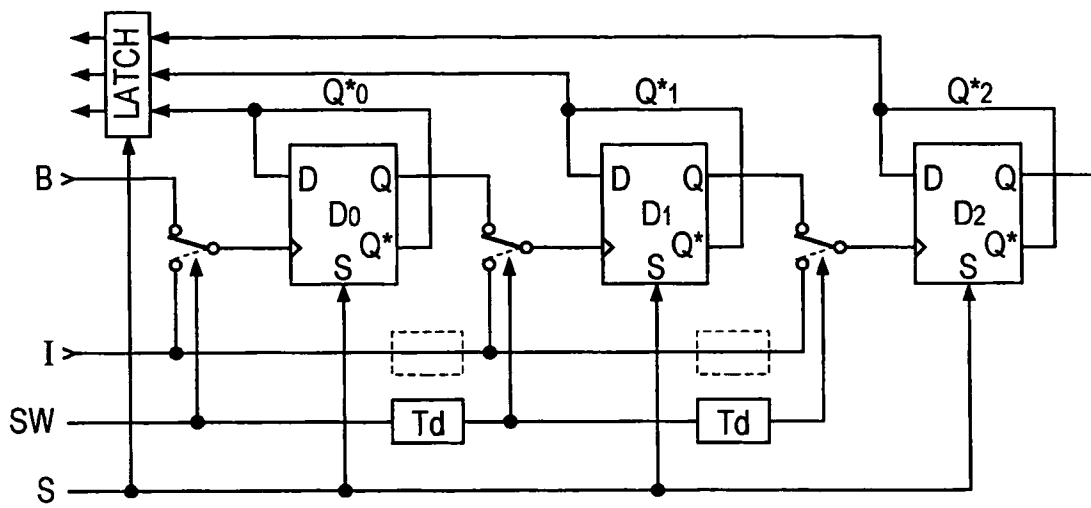


圖 20

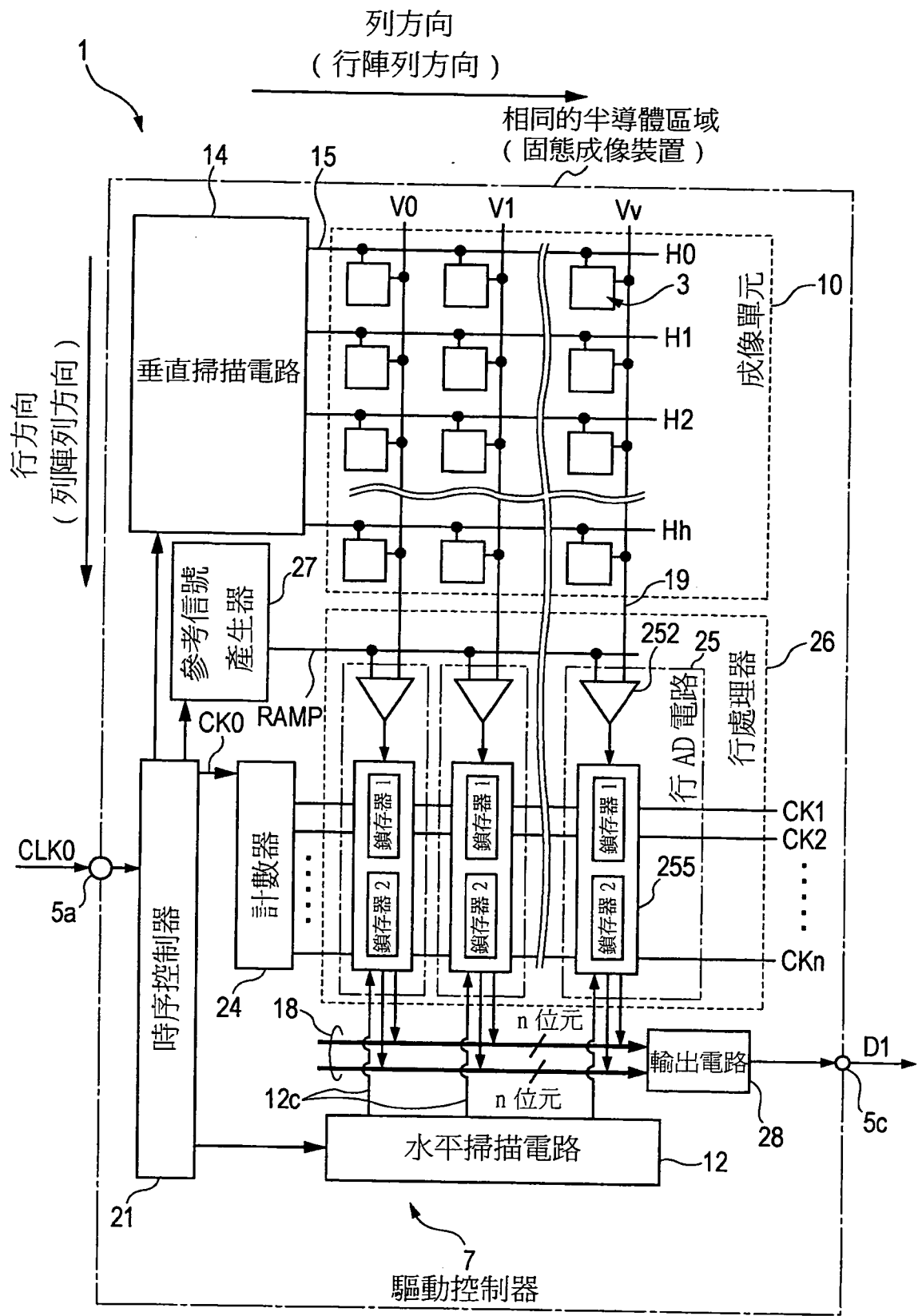


圖 21

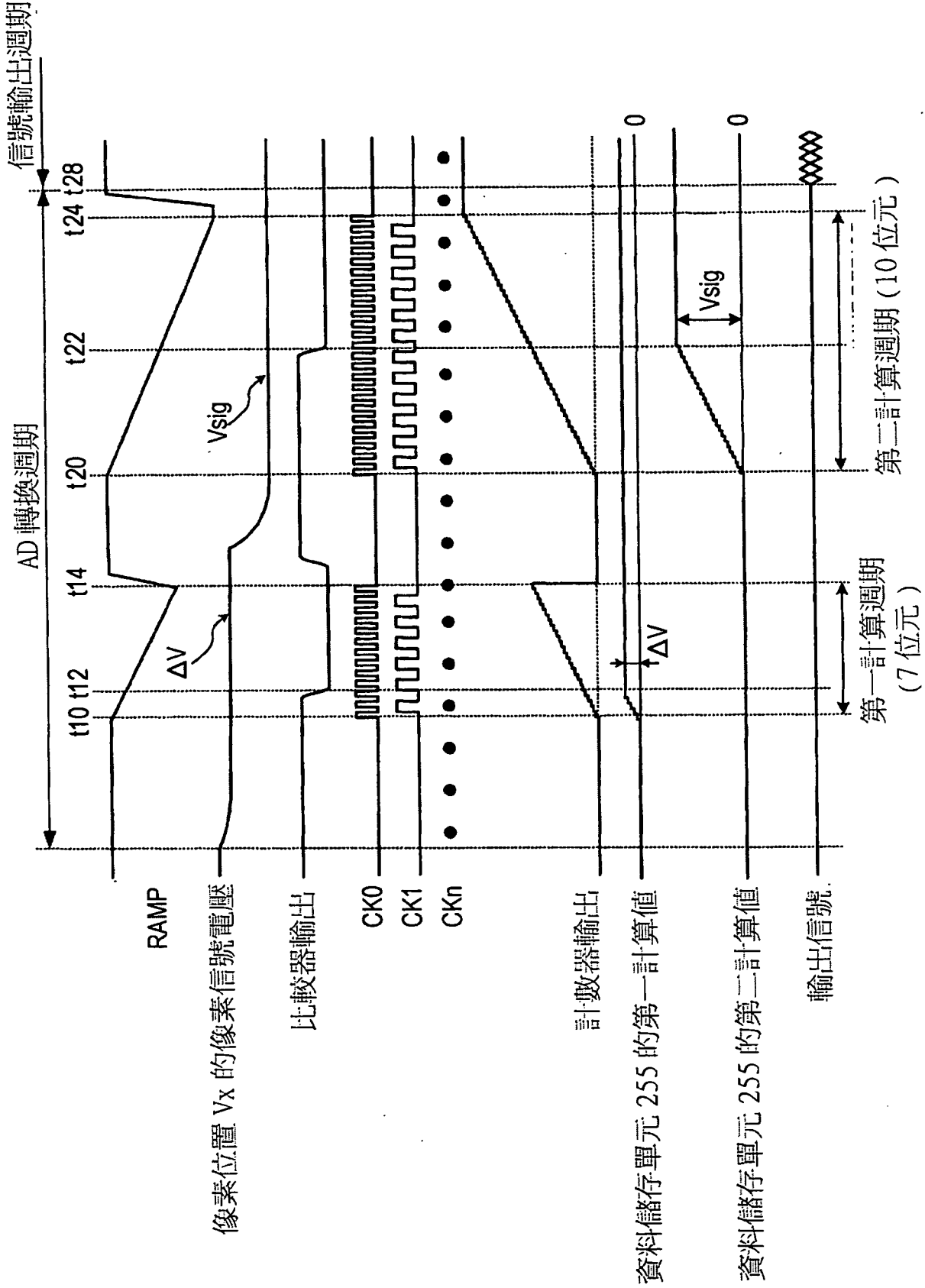


圖 22

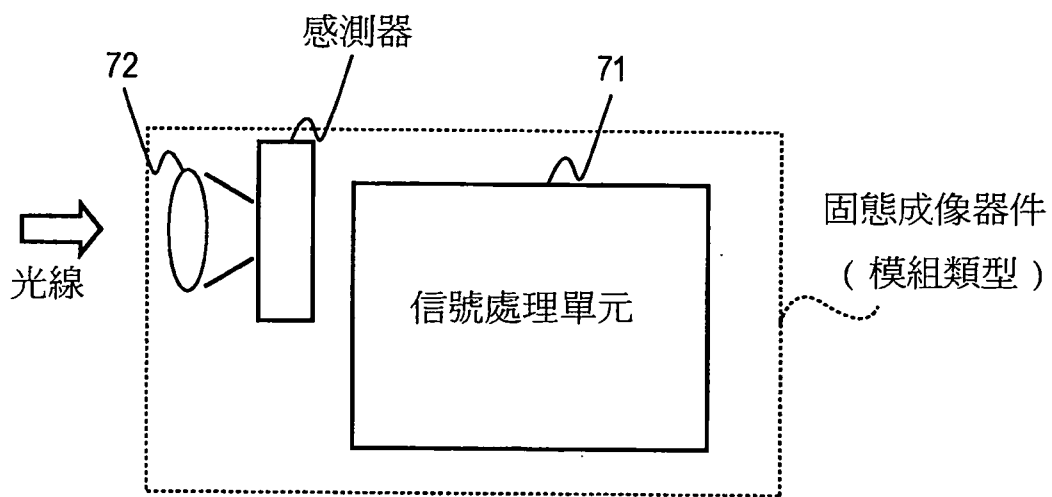


圖 23