

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 29/786 (2006.01)

G02F 1/1368 (2006.01)



[12] 发明专利申请公开说明书

[21] 申请号 200480003008.8

[43] 公开日 2006年3月8日

[11] 公开号 CN 1745480A

[22] 申请日 2004.8.12

[21] 申请号 200480003008.8

[30] 优先权

[32] 2003.8.18 [33] JP [31] 294583/2003

[86] 国际申请 PCT/JP2004/011610 2004.8.12

[87] 国际公布 WO2005/018006 日 2005.2.24

[85] 进入国家阶段日期 2005.7.28

[71] 申请人 东芝松下显示技术有限公司

地址 日本东京

[72] 发明人 松浦由纪 石田有亲

[74] 专利代理机构 上海专利商标事务所有限公司

代理人 李玲

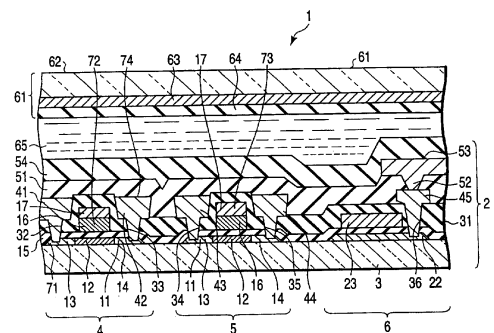
权利要求书 2 页 说明书 14 页 附图 6 页

[54] 发明名称

阵列基底液晶显示装置和制作阵列基底的方法

[57] 摘要

以小岛形状的多个多晶硅薄膜(71)形成的其上的玻璃基底(3)上,形成栅绝缘薄膜(15)。对在栅绝缘薄膜(15)上形成的第一金属层(72)做图形,以在面向产生薄膜晶体管(4,5)的栅绝缘薄膜(15)上形成栅电极(16)。在栅绝缘薄膜(15)上,形成第二金属层(73),以覆盖栅电极(16)。在薄膜晶体管(4,5)的栅电极(16)上接线部分(17)。



1. 一种阵列基底，包括：

透明基底；

多个多晶半导体层，设置在透明基底的一个主表面上；

栅绝缘薄膜，设置在透明基底的该主表面上，以覆盖这多个多晶半导体层；

第一导电层，设置成经由该栅绝缘薄膜面向该多个多晶半导体层中的一个；

以及

第二导电层，包括设置在该第一导电层的一个主表面上并电连接到该第一导电层的接线部分，和设置成经由该栅绝缘薄膜，面向这多个多晶半导体层中的任何另外一个的电容器接线部分，并在这多个多晶半导体层中的该另外一个和电容器接线部分的本身之间形成电容。

2. 根据权利要求 1 所述阵列基底，其特征在于，其中该第二导电层具有的电阻值比第一导电层的电阻值低。

3. 根据权利要求 1 所述阵列基底，其特征在于，其中该第一导电层由含钼的合金制成，和该第二导电层由含铝的合金制成。

4. 根据权利要求 1 所述阵列基底，其特征在于，其中该第一导电层由钼-钨和钼-钽中的一个制成，和该第二导电层由铝与铝-铜中的至少一个，和钼，钛与氮化钛中的至少一个层叠薄膜制成。

5. 根据权利要求 1 所述的阵列基底，其特征在于，其中面向电容器接线部分的该多晶半导体层用 p-型掺杂剂和 n-型掺杂剂中的任何一个来掺杂。

6. 一种液晶显示装置，包括：

阵列基底，根据权利要求 1 至 5 之一形成；

对面基底，面向该阵列基底设置；以及

液晶，在该对面基底和该阵列基底之间引入。

7. 一种制作阵列基底的方法，包括：

在透明基底的一个主表面上形成多个多晶半导体层；

在该透明基底的该主表面上形成栅绝缘薄膜，以覆盖该多个多晶半导体层；

在该栅绝缘薄膜的一个表面上形成第一导电层；

在该第一导电层制作图形，从而形成面向该多个多晶半导体层中的有关一

个的一对栅电极；

用该对栅电极中的有关一个，对面向该对栅电极中的有关一个的多晶半导体层中的一个掺杂，从而形成 p-型开关元件的源区和漏区；

用该对栅电极中的另一个，对面向该对栅电极中的另一个的多晶半导体层中的另一个掺杂，且不面向该对栅电极中的任何一个的多晶半导体层中的某另一个掺杂，从而形成 n-型开关元件的源区和漏区和辅助电容器的电容器部分；

在该栅绝缘薄膜的该主表面上形成第二导电层以覆盖该对栅电极；以及

对该第二导电层制作图形，以形成分别面向该对栅电极的一对接线部分和面向多晶半导体层的某另一个的该辅助电容器的辅助电容器部分，它不面向该对栅电极的任何一个。

8. 根据权利要求 7 所述的制造阵列基底的方法，其特征在于，其中该第二导电层被直接形成在该栅绝缘薄膜的该主平面上，来包括多个栅电极。

9. 根据权利要求 7 所述的制造阵列基底的方法，其特征在于，还包括：

在该栅绝缘薄膜的该主表面上形成夹层绝缘薄膜，以覆盖多个栅电极；

在该夹层绝缘薄膜中形成多个连接到该多个栅电极的导电部分；以及

在该夹层绝缘薄膜上形成第二导电层以覆盖该多个导电部分，从而把该第二导电层电连接到该多个栅电极。

阵列基底液晶显示装置 和制作阵列基底的方法

技术领域

本发明涉及一种包括开关元件，液晶显示装置的阵列基底和制作该阵列基底的方法。

背景技术

近年来，作为液晶显示装置，一种系统型液晶装置已在市场上面世。在这系统型液晶装置中不仅是简单的驱动电路，即 X 驱动器电路和 Y 驱动器电路，而且诸如 DAC(数字-模拟变换器)电路的外部电路也按照常规用 TAB(胶带自动结合)安装，并把它组合在其玻璃基底的主表面上，并制成诸如 SRAM 或 DRAM 的存储器功能元件和光传感器。

这种类型的液晶显示装置需要一个作为高性能开关元件的薄膜晶体管，并要求低功耗和高断路率。为了要获得高性能和高断路率的液晶显示装置，必需把用作第一金属层的栅接线和信号接线变细。此外，为了获得低功耗(H 共同逆驱动)和诸如 DA 变换器的内建电路，必需降低 MOS 电容器部分的平带电压(V_{fb})。

如果使栅接线和信号接线变细就会增加栅接线成信号接线的电阻，所以就增加功耗，从而减少了电路电源的幅度。为了避免这一点，要求低电阻的接线材料。此外，接线变细意味着把在 $3\mu\text{m}$ 到 $5\mu\text{m}$ 范围内的典型常规的接线宽度减小到在 $0.5\mu\text{m}$ 到 $2\mu\text{m}$ 的范围之内。

在多晶半导体层被用作 MOS 电容部分的情况下，使用下面的方法来降低 MOS 电容部分的平带电压。这就是，把磷(P)或硼(B)的杂质注入到多晶半导体层，以把它制成 n-型或 p-型。

现在描述制作用于液晶显示装置的阵列基底方法的具体示例。就是说，在玻璃基底上形成无定形半导体层，然后用激光束对该半导体层退火把它转换到多晶半导体层，还要对它制作图形。此后，在玻璃基底上形成栅绝缘层来覆盖多晶半导体层。

此外，像素辅助电容器必需至少具有某个数量；否则不可能保持像素辅助电

容。为此，栅绝缘薄膜的厚度最好尽可能地小。为了达到这点，在结构上，要把栅绝缘薄膜形成于多晶半导体层上，而把用于栅电极的薄层形成于栅绝缘层上。所以，在形成这栅电极之前，将这电阻制作图形，并通过掺杂注入一种 n-型掺杂剂（PH₃），从而形成 n-沟薄膜晶体管（TFT）的各 n⁺-区，像素电容器和用途电路部分的电容器区的电容器部分。

此外，在覆盖所有 n⁺-区，像素电容器和电路部分的电容器部分的栅绝缘薄膜上，形成栅电极层，于是，对用作 p-沟薄膜晶体管（TFT）的栅电极制作图形。此后，注入作为杂质的 p-型掺杂剂（B₂H₅），从而形成 p-沟薄膜晶体管的 n⁺-区。

接下来，对 n-沟薄膜晶体管侧的栅电极制作图形，并对各 n-沟薄膜晶体管和 p-沟薄膜晶体管退火。于是，激活了 n-沟薄膜晶体管的 n⁺-区和 p-沟薄膜晶体管的 p⁺-区。其后，在包含 n-沟和 p-沟薄膜晶体管栅电极的栅绝缘薄膜上形成夹层绝缘层薄膜。

此外，在夹层绝缘薄膜中形成接触小孔，以便使 n-沟薄膜晶体管的 n⁺-区和 p-沟薄膜晶体管的 p⁺-区互通，并在包括接触小孔的夹层绝缘薄膜上形成导电层。此后，对导电层制作图形以形成电连接到 n-沟薄膜晶体管的 n⁺-区和 p-沟薄膜晶体管的 p⁺-区的源电极和漏电极。刚才描述的这样一种常规结构在，例如，日本专利公开申请公告第 2002-359292 号（第 7 页到第 10 页，图 8 和 9）中有所讨论。

在这文件中讨论的液晶显示器装置的栅接线，采用了诸如钼-钨（MoW）或钼-钽（Mo Ta）的含有钼（Mo）的合金。这液晶显示装置的栅电极是这样来形成的，使得栅接线，像素电容器接线和电路电容器接线的引线用集成法形成在一层薄层中。

作为具有能完全承受住在约 500℃到 600 的范围中热激活退火的高耐热性的材料，钼合金在常规上被用作栅电极。但是，具有厚度为 300nm 的钼合金的薄层电阻高达 0.5Ω/cm²，且当把这样一种薄层形成为狭长的导线时，电阻增加得更多。为此，不可能把栅电极变细。

为了要降低栅电极的电阻，考虑应该使用一种更为普通的材料，例如，铝（AL）或诸如铝-铜（Al-Cu）的铝合金，这材料具有的电阻比铜合金的电阻低，但是，当使用这样一种铝合金时，由于在稍后热激活步骤中的温度是高的，所以，这接线容易被短路。此外，由电迁移造成的电阻变坏，在接线中容易产生断裂，造成可靠性低的问题。更准确地说，如果在热激活期间，在高温时对铝或铝合金退火，就产生小丘，从而在接线电线之间造成短路。为此，从加工过程的观点来看，要降低栅

电极的电阻是非常困难的。

另一方面，当使用铝-钕(Al Nd)时，即使在 500°C 或更小的温度时进行退火，虽不会发生这种可靠性的问题，但结果是导致低的加工准确性和低产量的缺点。更准确地说，当使用铝-钕材料时，使接线变细到 2 μm 或更小，在湿腐蚀步骤中，要控制在接线宽度中的分布范围是困难的，从而在薄膜晶体管栅电极的长度中造成大的分布范围。这在薄膜晶体管的晶体管特性中造成一个分布。在这些情况下，通常是使用能控制导线宽度分布范围的干腐蚀方法。

发明内容

但是，在液晶显示装置的栅电极由铝-钕制成且栅电极受到干腐蚀时，大量诸如氯化铝 (AlCl_3) 的腐蚀产品附着到干腐蚀装置工作室的内壁表面上，从而使得难以改善生产率。为此，要利用铝-钕作为在产品的加工过程中需要使电极变细的栅电极材料是困难的。因此，常规技术必然带来不能容易地使栅电极变细和不能降低其电阻的缺点。

由于上述情况，本发明已有所要达到的目的，而这目的是要提供一种薄的第一导电层，并可降低其电阻的阵列基底和一种使用这种阵列基底的液晶显示装置，以及制作阵列基底的方法。

根据本发明的一个方面，提供一种阵列基底，包括：

透明的基底；

在透明基底一个主表面上设置的多个多晶半导体层；

在透明基底主表面上设置的栅绝缘薄膜，以覆盖这多个多晶半导体层；

第一导电层，它通过栅薄膜设置并面向多个多晶半导体层中的一个；以及

第二导电层，它包括设置在第一导电层的一个主表面上并电连接到第一导电层的接线部分，并通过栅绝缘薄膜面向多个多晶半导体层中的任何另一个设置的电容器接线部分，并在多个多晶半导体层中的另一个和电容器接线部分的本身之间形成电容。

根据本发明的另一方面，提供一种液晶显示装置，包括：

阵列基底，包括：透明基底，在透明基底一个主表面上设置的多个多晶半导体层；在透明基底主表面上设置的栅绝缘薄膜，以覆盖多个多晶半导体层；通过栅绝缘薄膜设置的第一导电层，面向多个多晶半导体层中的一个；在第一导电层的一个主表面上设置的包括接线部分的第二导电层，并电连接到第一导电层，并通过栅

绝缘薄膜设置的电容器接线部分，面向多个多晶半导体层中的任何另一个，以及在多个多晶半导体层中的另一个和电容器接线部分它本身之间形成电容。

面向阵列基底设置的对面基底，以及

在对面基底和阵列基底之间引入的液晶。

根据本发明的另一方面，提供一种制作阵列基底的方法，包括：

在透明基底的一主表面上形成多个多晶半导体层；

在透明基底该主表面上形成栅绝缘薄膜，以覆盖该多个多晶半导体层；

在栅绝缘薄膜的一表面上，形成第一导电层；

对第一导电层制作图形，从而形成面向有关的多个多晶半导体层中一个的一对栅电极；

使用该对栅电极中有关的一个，对面向该对栅电极中有关的一个的多个多晶半导体层中的一个掺杂，从而形成 p-型开关元件的源区和漏区；

使用该对栅电极中的另一个，和不面向该对栅电极中任何一个的多晶半导体层中的另一个。对面向该对栅电极中另一个的多个多晶半导体层中的另一个掺杂，从而形成 n-型开关元件的源区和漏区，和辅助电容器的电容器部分；

在栅绝缘薄膜主表面上，形成第二导电层，以覆盖该栅电极；以及

对第二导电层制作图形，以形成分别面向栅电极对的一对接线部分，和面向多晶半导体层的另一个的辅助电容器的辅助电容器部分，它不面向该栅电极对的任何一个。

附图简述

图 1 是示出根据本发明第一实施例液晶显示装置的说明性横截面图；

图 2 是示出在制作在图 1 中示出的液晶显示装置中的一步骤的说明性横截面图，此处把第一导电层形成在传输光的基底上；

图 3 是显示在制作液晶显示装置中的一步骤的说明性横截面图，此处掺杂在待形成 p-沟型薄膜晶体管的源区和漏区的部段上进行；

图 4 是示出在制作液晶显示装置中的一步骤的说明性横截面图，此处掺杂是在待形成 n-沟型薄膜晶体管的源区和漏区，和辅助电容器的电容部分的部段上进行；

图 5 是示出在制作液晶显示装置中的一步骤的说明性横截面图，此处，把第二金属层形成于栅绝缘薄膜上，以覆盖栅电极；

图 6 是示出在制作液晶显示装置中的一步骤的说明性横截面图，此处对第二导电层制作图形；

图 7 是示出在制作液晶显示装置中的一步骤的说明性横截面图，此外，在包含接线部分和电容器接线部分的栅绝缘薄膜上形成夹层绝缘层；

图 8 是示出在制作液晶显示装置中的一步骤的说明性横截面图，此处，在夹层绝缘层中形成接触小孔；

图 9 是示出在制作液晶显示装置中的一步骤的说明性横截面图，此处，对形成在夹层绝缘层上以覆盖接触小孔的导电层制作图形；

图 10 是示出在制作液晶显示装置中的一步骤的说明性横截面图，此处，在夹层绝缘层中形成保持薄膜以覆盖源电极，漏电极和引线电极；

图 11 是示出根据本发明第二实施例液晶显示装置的说明性横截面图；

图 12 是示出在制作在图 11 示出的液晶显示装置中的一步骤的说明性横截面图，此处，在栅绝缘薄膜上形成第一夹层绝缘薄膜，以覆盖栅电极；

图 13 是示出在制作液晶显示装置中的一步骤的说明性横截面图，此处，在第一夹层绝缘薄膜中形成接触小孔；

图 14 是示出在制作液晶显示装置中的一步骤的说明性横截面图，此外，在第一夹层绝缘薄膜上形成第二金属层以覆盖接触小孔；

图 15 是示出在制作液晶显示装置中的一步骤的说明性横截面图，此处，对第二金属层制作图形；

图 16 是示出在制作液晶显示装置中的一步骤的说明性横截面图，此外，在栅绝缘薄膜上形成第二夹层绝缘层，以覆盖接线部分和电容器接线部分；

图 17 是示出在制作液晶显示装置中的一步骤的说明性横截面图，此外，在第二夹层绝缘层中形成接触小孔；

图 18 是示出在制作液晶显示装置中的一步骤的说明性横截面图，此外，对在第二夹层绝缘上形成的，以覆盖这接触小孔的导电层制作图形；以及

图 19 是示出在制作液晶显示装置中的一步骤的说明性横截面图，此外，在第二夹层绝缘层上形成保护薄膜，以覆盖源电极，漏电极和引线电极。

具体实施方式

首先，参考图 1 到 10，现在描述根据本发明第一实施例液晶显示装置的结构。在图 1 到 10 中，作为平板显示型的液晶显示装置 1 是一种薄膜晶体管型的液

晶显示装置，它包括大致上做成矩形平板的阵列基底 2。阵列基底 2 包括玻璃基底 3，它是起着大致上透明的如矩形平板那样的绝缘基底作用的透明基底。在玻璃基底 3 的作为主表面中之一的上表面上，形成一层内涂层，它是一叠氮化硅薄膜，氧化硅薄膜等。

每个对液晶显示装置都起着 n-型开关元件作用的多个 n-沟 (n-ch) 型薄膜晶体管 (TFT) 4 形成于内涂薄层上的基体中。此外，每个对液晶显示装置都起着 p-型开关元件作用的多个 p-沟 (p-ch) 型薄膜晶体管 (TFT) 5，每个都起着辅助电容器作用的多个象素辅助电容器 6，形成于内涂薄层上的基体中。

此外，各个薄膜晶体管 4 和晶体管 5 中的有关一个被构成对配置，以形成一象素结构元件。每对薄膜晶体管 4 和有关的薄膜晶体管 5 包括多晶硅层 11，它是在内涂层上形成的多晶半导体层。多晶硅层 11 由用激光束退火的无定形硅形成的多晶硅制成，这无定形硅是一种无定形半导体。多晶硅层 11 包括在多晶硅层的中央部段处设置的沟道区 12，并用作激活层。在沟道区 12 的两侧，分别形成彼此面对的源区 13 和漏区 14，它们是 n^+ -区或 p^+ -区。

作为具有绝缘性质的氧化硅薄膜的栅绝缘薄膜 15 被层叠在内涂层上，以覆盖沟道区 12，源区 13 和漏区 14。此外，由第一金属层 72 制成，用作第一导电层的栅电极 16，被层叠在栅绝缘薄膜 15 的一部段上，与沟道区 12 相对。第一金属层 72 由含钼 (Mo) 的合成制成，更准确地说，是钼-钨 (MoW)。有关的栅电极 16，通过栅绝缘薄膜 15 面向薄膜晶体管 4 和 5 的沟道区 12，工具有与沟道区 12 的宽度大致相同的宽度。

在各个栅电极 16 上，层叠用途栅接线的接线部分 17。接线部分 17 由用作第二导电层的第二金属层 73 制成。各接线部分 17 与各有关的栅电极 16 电连接，并是设置在栅电极之间的接线部分，具有与各栅电极 16 的宽度相同的宽度。注意，各接线部分 17 由具有电阻值低于各栅电极 16 电阻值的材料制成。

同时，在延伸到薄膜晶体管 4 和 5 的内涂层上，层叠由多晶硅制成的象素辅助电容器 6。象素辅助电容器 6 被设置在 p-型薄膜晶体管 5 的附近，它是在相对于薄膜晶体管 5 的对 n-沟型薄膜晶体管 4 的对面一侧上。

象素辅助电容器 6 被配置在与形成在玻璃基底 3 上的薄膜晶体管 4 和 5 的同一平面上。象素辅助电容 6 包括一电容器部分。电容器部分 22 由通过用激光束退火无定形硅形成的多晶硅制成这无定形硅是一种无定形半导体。在用来形成各薄膜晶体管 4 和 5 的多晶硅层 11 的同一步骤中，形成电容器部分 22。并被层叠在内涂

层上。

在内涂层上层叠栅绝缘薄膜 15，以覆盖电容器部分 22。在对电容器部分 22 相对的栅绝缘薄膜 15 的一部分上，层叠由第二金属层 73 制成的电容器接线部分 23。注意，第二金属层 73 与薄膜晶体管 4 和 5 的金属层是同一薄层。电容器接线部分 23 被配置在电容器部分 22 的宽度方向上的电容器部分 22 的一侧上，它是在 p-沟型薄膜晶体管 5 侧。换句话说，电容器接线部分 23 被配置在相对于电容器部分 22 在它的宽度方向上的中央部分来说，更靠近 p-沟型薄膜晶体管 5 的位置上。

各个这样形成的电容器接线部分 23，通过在电容器接线部分 23 和有关的电容器部分 22 之间的有关栅绝缘薄膜 15，在它本身和有关电容器部分 22 之间形成一电容器。在同一步骤中形成各电容器接线部分 23 并由与薄膜晶体管 4 和 5 的接线部分 17 的相同材料制成。所以，电容器接线部分 23 具有的电阻值比薄膜晶体管 4 和 5 的接线部分 17 的电阻值低。

一层具有绝缘性质、用作氧化硅薄膜的夹层绝缘薄膜 31 被层叠在栅绝缘薄膜 15 上，以覆盖各电容器接线部分 23 和薄膜晶体管 4 和 5 的接线部分 17。在夹层绝缘薄膜 31 和栅绝缘薄膜 15 中，分别形成接触小孔 32，33，34，35 和 36，作为导电部分接通这些薄膜。

在薄膜晶体管 4 的源区 13 和漏区 14 上，形成接触小孔 32 和 33，它们位于 n-沟型薄膜晶体管 4 栅电极 16 的有关侧上。打通接触小孔 32 是与 n-沟型薄膜晶体管 4 的源区 13 连通，而打通接触小孔 33 是与 n-沟型薄膜晶体管 4 的漏区 14 连通。

在薄膜晶体管 5 的源区 13 和漏区 14 上，形成接触小孔 34 和 35，它们位于 p-沟型薄膜晶体管 5 栅电极 16 的有关侧上。打通接触小孔 34 是与 p-沟型薄膜晶体管 5 的源区 13 连通，而打通接触小孔 35 是与 p-沟型薄膜晶体管 5 的漏区 14 连通。打通接触小孔 36 是与像素辅助电容器 6 的电容器部分 22 连通。

源电极 41 被层叠在与 n-沟型薄膜晶体管 4 源区 13 连通的接触小孔 32 中。源电极 41 是用作导电层的信号线。通过接线小孔 32 把源电极 41 电连接到 n-沟型薄膜晶体管 4 的源区 13。漏电极 42 被层叠在与 n-沟型薄膜晶体管 4 漏区 14 连通的接触小孔 33 中。漏电极 42 是用作导电层的信号线。通过接触小孔 33 把漏电极 42 电连接到 n-沟型薄膜晶体管 4 的漏区 14。

源电极 43 被层叠在与 p-沟型薄膜晶体管 5 源区 13 连通的接触小孔 34 中。源电极 43 是用作导电层的信号线。通过接触小孔 34 把源电极 43 电连接到 p-沟

型薄膜晶体管 5 的源区 13。源电极 44 被层叠在与 p-沟型薄膜晶体管 5 漏区 14 连接的接触小孔 35 中。漏电极 44 是用作导电层的信号线。通过接触小孔 33 把漏电极 44 电连接到 p-沟型薄膜晶体管 5 的漏区 14。引线电极 45 被层叠在与象素辅助电容器 6 的电容器部分 22 连通的接触小孔 36 中。引线电极 45 是由用作栅引线接线的导电层制成。

另一方面，保护薄膜 51 被层叠在包含薄膜晶体管 4 和 5 的源电极 41 与 43 和漏电极 42 与 44，以及象素辅助电容器 6 的引线电极 45 的夹层绝缘薄膜 31 上，好象覆盖各薄膜晶体管 4 和 5 以及象素辅助电容器 6 那样。在保护薄膜 51 中打通接触小孔 52 以穿通该薄膜来制作导电部分。打通接触小孔 52 与象素辅助电容器 6 的引线电极 45 连通。

在保护薄膜 51 上层叠多个象素电极 53，以覆盖接触小孔 52。通过接触小孔 52 把象素电极 53 电连接到引线电极 45。就是说，通过引线电极 45，把象素电极 53 电连接到象素辅助电容器 6 的电容器部分 22。象素电极 53 由薄膜晶体管 4 和 5 中的任何一个控制。此时，在包括象素电极 53 的保护薄膜 51 上层叠匹配薄膜 54。

另一方面，成矩形板状在对面的基底 61 被配置在阵列基底 2 的对面。在对面基底 61 包括玻璃基底 62，它是具有矩形板形状、用作大致透明的绝缘基底的透明基底。把在对面基底 63 设置在玻璃基底 62 的面向阵列基底 2 的一侧的主表面上。此外，在对面基底 63 上层叠匹配薄膜 64。而且，液晶 65 被容纳在对面基底 61 的匹配薄膜 64 和阵列基底 2 的匹配基底 54 之间。

接下来，将描述根据第一实施例的一种制作阵列基底的方法。

首先，采用 CVD(化学气相沉积)方法，在玻璃基底 3 上形成厚度为 50nm 的无定形硅薄膜。无定形硅薄膜由无定形硅制成，它是一种无定形半导体。然后，把激发态基态复合的激光束施加到在玻璃基底 3 上的无定形硅薄膜(即，用激光束退火)用于晶化，以把无定形硅薄膜转变为多晶硅薄膜 71，它是多晶半导体层。此外，较佳的是，应把多晶硅薄膜 71 的厚度在 40nm 到 80nm 的范围内。

接下来，通过掺杂把乙硼烷 B₂H₅ 注入多晶硅薄膜 71 中，并通过光刻步骤做成象小岛那样的形式。此处，注入到多晶硅薄膜 71 的硼浓度被设定到多于 10¹⁶/cm³ 和少于 10¹⁷/cm³。随着把硼注入到多晶硅薄膜 71，各薄膜晶体管 4 和 5 的阈值电压变得可控制。

此外，通过 PE(加强的等离子体)-CVD 法，在包括象小岛那样的多晶硅薄膜 71 上形成厚度为 100nm 的栅绝缘薄膜 15。

接下来,如图2所示,在栅绝缘薄膜15上,形成具有厚度为300nm的钼-钨合金(MoW),从而形成用作第一导体层的第一金属层72。钼-钨合金(MoW)产生各薄膜晶体管4和5的栅电极16。此处,第一金属层72的薄层电阻是 $0.5\Omega/\text{cm}^2$ 。注意,除钼-钨(MoW)以外,还可通过形成钼-钨(MoTa)薄膜制成第一金属层72。

此后,用光刻方法,对在该图中未示出的抗蚀层制作图形,来覆盖不包括在p-沟薄膜晶体管5的栅电极16两侧的产生源区13和漏区14部分的部段。随后,通过使用包含氟和氧的混合气体的等离子体腐蚀第一金属层72,以除去在薄膜晶体管5的多晶硅层11两侧上的部分。此处,p-沟栅电极16的接线宽度被在大于 $1.0\mu\text{m}$ 和小于 $2.0\mu\text{m}$ 。

在等离子体腐蚀之后,用有机碱性溶液除去在栅绝缘薄膜15上的抗蚀层。

于是,如图3所示,用在等离子体腐蚀后仍留着的第一金属层72,通过掺杂,把p-型掺杂剂即乙硼烷(B_2H_5)注入到产生p-沟型薄膜晶体管5的源区13和漏区14。注意,进行乙硼烷的掺杂,降低多晶硅层11的电阻值,并具有与金属的欧姆接触。乙硼烷到多晶硅层11的注入是在加速电压为50KeV和剂量为 10^{15}cm^{-2} 下进行的。

接下来,用光刻工艺对在该图中未示出的抗蚀层制作图形,以覆盖产生n-沟型薄膜晶体管4,和p-沟型薄膜晶体管5的栅电极16的部分。然后,通过用含有氟和氧的混合气体的等离子体来腐蚀第一金属层72,以除去产生n-沟型薄膜晶体管4的源区13和漏区14,和象素辅助电容器6的部分。此处,n-沟型薄膜晶体管4的栅电极16的接线宽度也被设定到大于 $1.0\mu\text{m}$ 和小于 $2.0\mu\text{m}$ 。

在等离子体腐蚀之后,用有机碱性溶液除去在栅绝缘薄膜15上的抗蚀层。

然后,如图14所示,用光刻工艺,对抗蚀层70,在产生于第一金属层72中的n-沟薄膜晶体管4的栅电极16,和p-沟薄膜晶体管5的部分制作图形。然后,把n-型掺杂剂,即(PH_3)通过掺杂,注入到产生n-沟型薄膜晶体管4的源区13与漏区14的多晶硅层11和象素辅助电容器6的电容器部分22的部分。注意,磷化氢到多晶硅层11的注入是在加速电压为70Kev和剂量当量为 10^{15}cm^{-2} 下进行的。

此处,为了把n-沟型薄膜晶体管4制成LDD(轻掺杂的漏)结构,对产生n-沟型薄膜晶体管4的第一金属层72的部分再次腐蚀以减少它的厚度是可能的,并轻掺杂n-型掺杂剂以形成n-区。

随着使用产生 n-沟型薄膜晶体管 4 栅电极 16 的第一金属层 72 作为同一掩膜, 可进行重掺杂和轻掺杂这两种掺杂。所以, 可减小 LDD 区的长度, 来进一步改善 n-沟型薄膜晶体管 4 的晶体管特性 (离子性质)。

此后, 各 n-沟薄膜晶体管 4 和 p-沟薄膜晶体管 5 的源区 13 和漏区 14, 和像素辅助电容器 6 的电容器部分 22, 在温度高于 400°C 和低于 500°C 下经受退火, 从而激活源区 13, 漏区 14 和电容部分 22, 此处, p-沟型薄膜晶体管 5 的各 p⁺区, 即, 源区 13 和漏区 14, 的薄层电阻被设定到 3KΩ/cm², 和 n-沟型薄膜晶体管 4 的各 n⁺区, 即源区 13 和漏区 14 的薄层电阻被设定到 2 KΩ/cm²。

接下来, 如图 5 所示, 在包括薄膜晶体管 4 和 5 的栅电极 16 的栅绝缘薄膜 15 上直接形成第二金属层 73, 第二金属层 73 由低电阻材料薄膜制成, 并用作产生使晶体管 4 和 5 的栅电极 16 彼此连接的接线部分 17, 和像素辅助电容器 6 的电容器接线部分 23 的第二导电层。

应注意, 第二金属层 73 具有厚度分别为 50nm/300nm/75nm 的钛 (Ti) /铝-铜 (AlCu) /钛 (Ti) 的三层层叠结构。第二金属层 73 的薄层电极被设定为 0.12Ω/cm²。可能有另外的方法, 即第二金属层 73 具有钛 (Ti) /氮化钛 (TiN) 铝-铜 (AlCu) /钛 (Ti) 氮化钛 (TiN) 的五层结构, 或者, 其中把铝-铜由纯铝替代 (即例如, Ti/Al/Ti) 的结构, 或者, 铝-钕 (AlNd) /钼 (Mo) 的结构。

此后, 如图 6 所示, 对第二金属层 73 在光刻工艺中制作图形, 以形成连接第一金属层 72 的栅电极接线部分 17 和电容接线部分 23。此处, 如果第二金属层 73 包含铝 (Al) 或铝-铜 (AlCu), 则用以氯为基的金属气体进行干腐蚀。如果第二金属层 73 包含铝-钕 (AlNd), 则实行湿腐蚀。

接下来, 如图 7 所示, 用 PE-CVD 法, 在包括接线部分 17 和电容器接线部分 23 的栅绝缘薄膜 15 上, 形成具有厚度为 600nm 的二氧化硅薄膜, 用作夹层绝缘薄膜 31。

接着, 如图 8 所示, 用光刻工艺, 制作分别连接到各薄膜晶体管 4 和 5 的源区 13 和漏区 14, 和像素辅助电容器 6 的电容器部分 22 的接触小孔 32, 33, 34, 35 和 36。

此后, 用溅射法, 在包括各接触小孔 32, 33, 34, 35 和 36 的夹层绝缘薄膜 31 上形成, 例如, 具有厚度为 50nm 的钼 (Mo) 层和厚度为 500nm 的铝 (Al) 层的层叠薄膜。该层叠薄膜用作产生信号线接线的导电层 74。

接着, 如图 9 所示, 用光刻工艺腐蚀导电层 74, 以形成源电极 41 与 43,

漏电极 42 与 44 和引线电极 45。此处，在导电层 74 由诸如铝 (Al) 或铝-铜 (AlCu) 的金属材料形成的场合下，通过用氯气体腐蚀来对它制作图形。

此外，如图 10 所示，用 PE-CVD 法，在包括源电极 41 与 43，漏电极 42 与 44 和引线电极 45 的夹层绝缘薄膜 31 的整个表面上，形成具有厚度为 500nm 的氮化硅薄膜。这氮化硅薄膜是保护薄膜 51。

接着，在光刻工艺中腐蚀保护层 51，以在保护层 51 中形成延伸到象素辅助电容器 6 的引线电极 45 的接触小孔 52。对这腐蚀，使用等离子体腐蚀，它采用四氟化碳 (CF₄) 气体和氧气体。

此后，用溅射，在保护薄膜 51 上形成象素电极 53，它是一种透明的导电薄膜，以覆盖接触小孔 52。然后，用光刻工艺和腐蚀工艺，所象素电极 53 做成象素形状的图形。对象素电极 53 的腐蚀，使用乙二酸 (H₂OOC-COOH)。

此处，按常规，n-沟型薄膜晶体管和 p-沟型薄膜晶体管的栅电极被各个形成，以具有双层结构，从而连接由低电阻金属制成的接线部分。在刚才提到的常规情况下，除薄膜形成工艺，光刻工艺和腐蚀工艺之外，把光刻工艺，n⁺掺杂工艺和抗蚀层除去工艺加在一起作为用于形成第二金属层的工艺。因此，增加了步骤次数，从而降低生产率。

尤其是，在象素辅助电容器由多晶硅栅绝缘薄膜，和栅电极制成的电容器部分制成的场合下，在栅电极形成前，通过掺杂，用作为 n-型掺杂剂的磷化氢 (P+3) 注入到将产生电容器部分的多晶硅层部分是按常规要求的。

作为一种解决办法，第一实施例提出，其中，象素辅助电容器 6 包括由多晶硅，栅绝缘薄膜 15 和电容器接线部分 23 制成的电容器 22 部分，它是低电阻的接线部分。在本实施例中，用于形成象素辅助电容器 6 的电容器部分 22 的 n⁺掺杂操作是在用于形成 n-沟型薄膜晶体管 4 的源区 13 和漏区 14 的同一步骤中，于同时进行的。

结果是，可省去包括光刻步骤，n⁺掺杂步骤和抗蚀层去除步骤的电容器形成工艺。因此，可减小栅电极 16 的宽度，和降低它们的电阻值，而又把步骤减到最少。总之，液晶显示装置 1 可获得高的分辨率，高的开度和低的功耗，且在同时，可把由 TAB 装配的常规存储电路和驱动电路内装于液晶显示装置 1 中，正如按常规的那样。

此外，把各 n-沟型薄膜晶体管 4 和 p-沟型薄膜晶体管 5 形成得要具有栅电极 16 和接线部分 17 的双层结构。所以，必须在热激之前形成的栅电极 16，

由有热阻力的材料制成，且在热激活之后，用于象素辅助电容器 6 的电容器接线部分 23 的长期运转部分的第二金属层 73 由低电阻材料制成。照这样，可把用于各薄膜晶体管 4 和 5 的栅电极 16 的稳定导线做得很狭并有低的电阻。

正如在上面描述的，要把各薄膜晶体管 4 和 5 做得具有双层结构，并改变象素辅助电容器 6 的结构。具有这个配置，可降低薄膜晶体管 4 和 5 栅电极 16 的电阻，同时把用于形成阵列基底 2 的步骤在次数方面的增加抑制到最小。

接下来，参考图 11 到 19，将讨论本发明第二实施例液晶显示装置的结构。

除了下面的各方面之外，示于图 11 到 19 的液晶显示装置 1，基本类似于在图 1 到 10 中示出的液晶显示装置 1。就是说，在栅绝缘薄膜 15 上形成第一夹层绝缘薄膜 81，在第一夹层绝缘薄膜 81 中，形成作为连接到有关栅电极 16 的导电部分的接触小孔 82 和 83。此后，在第一夹层绝缘薄膜 81 上，形成第二金属层 73 以覆盖接触小孔 82 和 83。

换句话说，液晶显示装置 1 具有这样一种结构，这结构要把夹层绝缘薄膜 31 形成得要有第一夹层绝缘薄膜 81 和第二夹层绝缘薄膜 84 的两层组成部分，并在第一夹层绝缘薄膜 81 和第二夹层绝缘薄膜 84 之间形成第二金属层 73。即，在液晶显示装置 1 中，形成第一金属层 72，然后通过第一夹层绝缘薄膜 81 形成第二金属薄层 73。

在栅绝缘薄膜 15 上，层叠第一夹层绝缘薄膜 81，以覆盖各栅电极 16。此外，在第一夹层绝缘薄膜 81 中，形成接触小孔 82 和 83，并在固定于有关栅电极 16 上的位置处，以垂直于表面方向的方向穿过。各接触小孔 82 和 83 具有与栅电极 16 的宽度相同的宽度。在接触小孔 82 和 83 中，分别形成接线部分 17。把各接线部分 17 电连接到栅电极 16 中有关的一个。

在第一夹层绝缘薄膜 81 上层叠第二夹层绝缘薄膜 84，以覆盖接线部分 17 和电容器接线部分 23。在第二夹层绝缘薄膜 84，第一夹层绝缘薄膜 81 和栅绝缘薄膜 15 中，打通接触小孔 32，33，34，35 和 36，在垂直于各表面方向的纵向方面上，以上下的方向穿透这些薄膜的每一层。

接下来，将描述根据第二实施例的制作阵列基底的方法。

注意，直至栅绝缘薄膜 15 上，栅电极 16 的形成，与示于图 2 到 4 的第一实施例的步骤是相似的。

在那个步骤之后，如图 12 所示，用 PE-CVD 方法，在栅绝缘薄膜 15 上形成具有厚度为 50nm，产生第一夹层绝缘薄膜 81 的氧化硅层，以覆盖栅电极 16。

此外，第一夹层绝缘薄膜 81 的厚度是这样来确定的。使得象素辅助电容器 6 的电容值大于在产品说明书上指出的电容值。

接下来，如图 13 所示，为了与有关栅电极 16 耦合，通过光刻步骤，在第一夹层绝缘薄膜 81 中，形成接触小孔 82 和 83。

此后，如图 14 所示，在第一夹层绝缘薄膜 81 上，形成由产生连接栅电极 16 的接线部分 17，和象素辅助电容器 6 的电容器接线部分 23 的低电阻材料薄膜制成的第二金属层 73，以覆盖接触小孔 82 和 83。接着，如图 15 所示，光刻步骤和腐蚀步骤按这个顺序进行。在这里进行的光刻步骤和腐蚀步与第一实施例的这两个步骤是类似的。

此外，如图 16 所示，在第一夹层绝缘薄膜 81 上，形成用作第二夹层绝缘薄膜 84 的，具有厚度为 600nm 的氧化硅薄膜，以覆盖各接线部分 17 和电容器接线部分 23。

此后，如图 17 所示，通过光刻工艺，分别在第二夹层绝缘薄层 84，第一夹层绝缘薄膜 81 和栅绝缘薄膜 15 中，形成在那里穿透的多个接触小孔 32, 33, 34, 35 和 36。

接着，如图 18 所示，在第二夹层绝缘薄膜 84 上，形成用作信号线接线部分的导电层 74，以覆盖每个这些接触小孔 32, 33, 34, 35 和 36。然后，用光刻工艺腐蚀导电层 74，以形成源电极 41 和 43，漏电极 42 和 44，以及引线电极 45。

接下来，如图 19 所示，用 PE-CVD 方法，在夹层绝缘薄膜 71 的整个表面上，形成产生保护薄膜 51 的氮化硅薄膜，以覆盖电极 41 和 43，漏电极 42 和 44，以及引线电极 45。

此后，用光刻工艺腐蚀保护薄膜 51，以形成接触小孔 52，然后，在包括接触小孔 52 的保护薄膜 51 上，形成象素电极 53。

正如在上面描述的，根据第二实施例，要把夹层绝缘薄膜 31 形成具有第一夹层绝缘薄膜 81 和第二夹层绝缘薄膜 84 的双层结构。所以，与第一实施例相比，加工步骤数比用于形成接触小孔 82 和 83 的步骤数较大。但是，在同时，当在腐蚀第二金属层 73 时，第一金属层 72 的栅电极 16 由第一夹层绝缘薄膜 81 保护。结果，在本实施例中，不需进行高选择比的腐蚀，从而，对第二金属层 73，使它有可能简化腐蚀工艺。

当通过腐蚀形成第一金属层 72 的栅电极 16 时，栅绝缘薄膜 15 被过度腐

蚀达 30nm。所以，在形成高性能薄膜晶体管 4 和 5, 以包括这些栅电极 16 和栅绝缘薄膜 15 的场合下，这过度腐蚀的栅绝缘薄膜 15 造成产生像素辅助电容器 6 的栅绝缘薄膜 15 部分的厚度变薄的问题。

在通过激光退火形成多晶硅薄膜 71 的场合下, 在多晶硅薄膜 71 的表面上, 可能不合乎需要地形成投影。所以, 如果产生像素辅助电容器 6 的电容器部分 22 的栅绝缘薄膜 15 部分的厚度, 由多晶硅薄膜 71 形成的电容器部分和由第二金属层 73 形成的电容接线部分 23 不是彼此充分地绝缘的话, 从而在电容器部分 22 和电容器接线部分 23 之间造成泄漏。结果, 在液晶显示装置 1 中引起点缺陷, 它可导致产量的降低。

所以, 用这第二实施例, 可改善生产率, 特别是在用于液晶显示装置 1 的栅绝缘薄膜 15 厚度是小的场合下 (例如, 90nm 或更小)。

应注意, 在上面描述的各实施例中, 在像素辅助电容器 6 的电容器部分 22 和电容器接线部分 23 之间的电容被用作用于驱动液晶显示装置 1 的电路部分电容器。

第一金属层 72 可由含钼的中外合金形成, 即, 钼-钨 (HoW) 和钼-钽 (MoTa) 中的任何一种

第二金属层 73 可由含铝 (Al) 的合金的层叠薄膜制成, 即, 铝 (Al) 和铝-铜, 和钼 (Mo), 钛 (Ti) 与氮化钛 (TiN) 中的至少一种。

工业适用范围

用本发明可分别收缩和降低栅接线的厚度和电阻, 同时把加工步骤数抑制到最小, 所以可获得高清晰度、高孔径和低功耗的液晶显示装置。同时, 成为有可能生产包括配备用 TAB 常规方法装置的存储电路和驱动电路的薄膜晶体管的液晶显示装置。

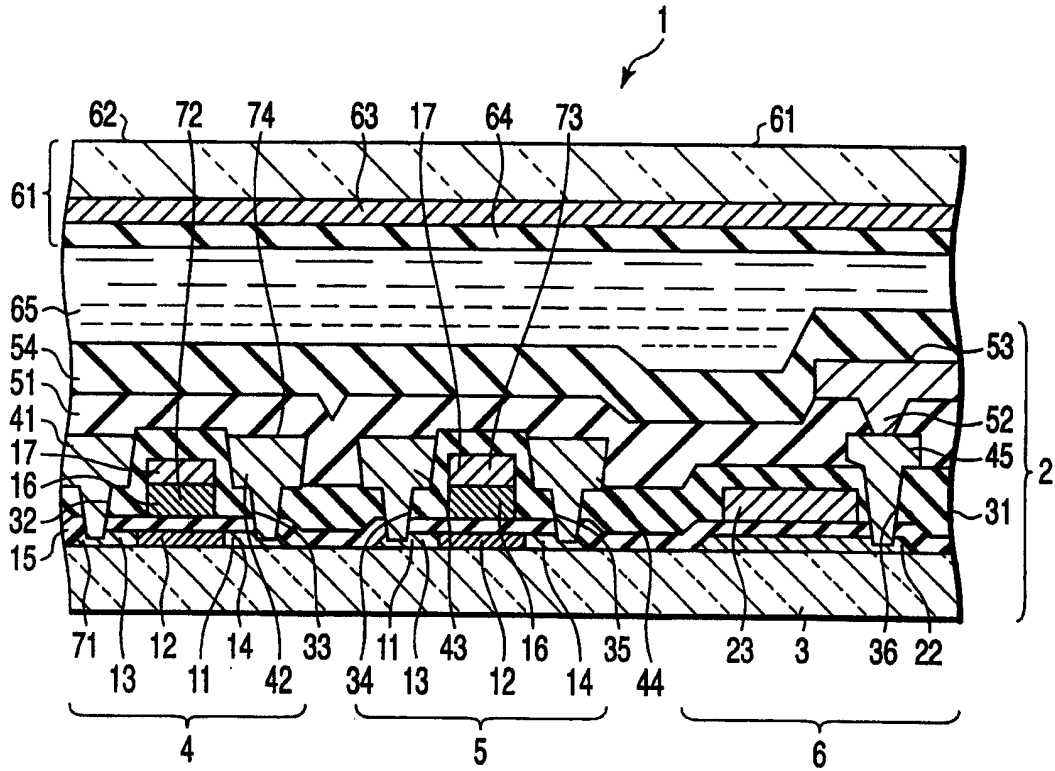


图 1

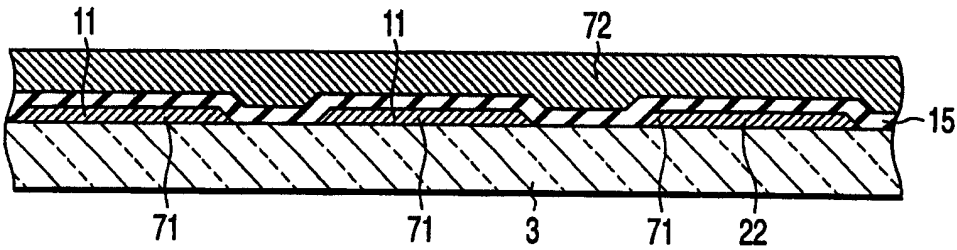


图 2

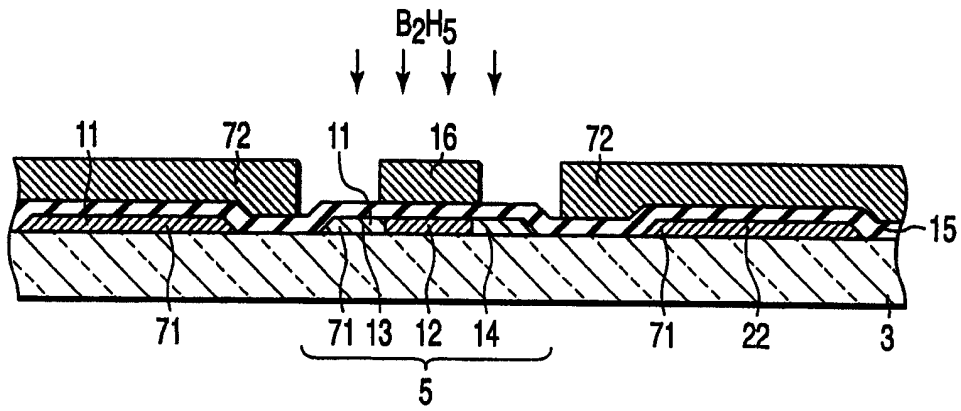


图 3

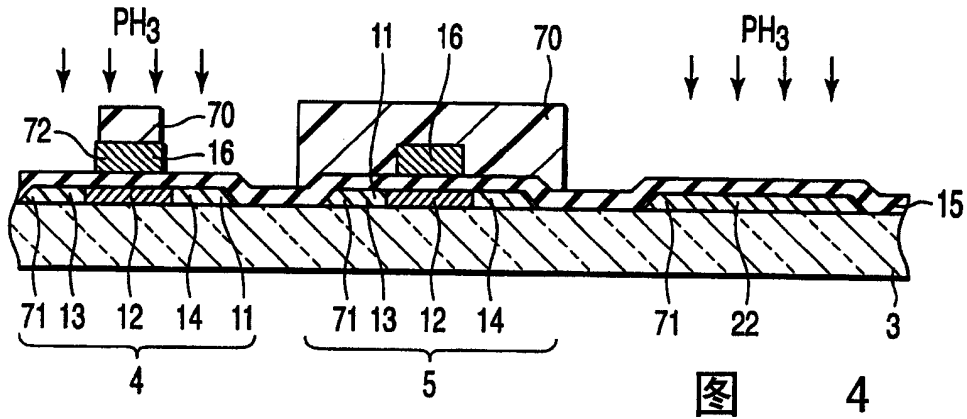


图 4

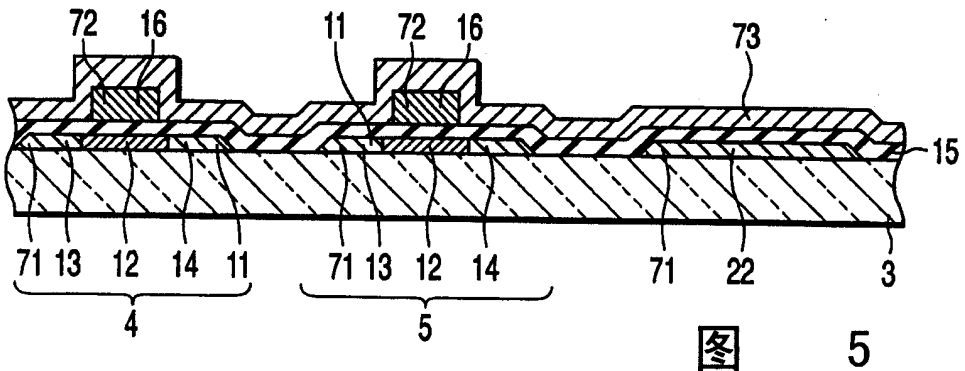


图 5

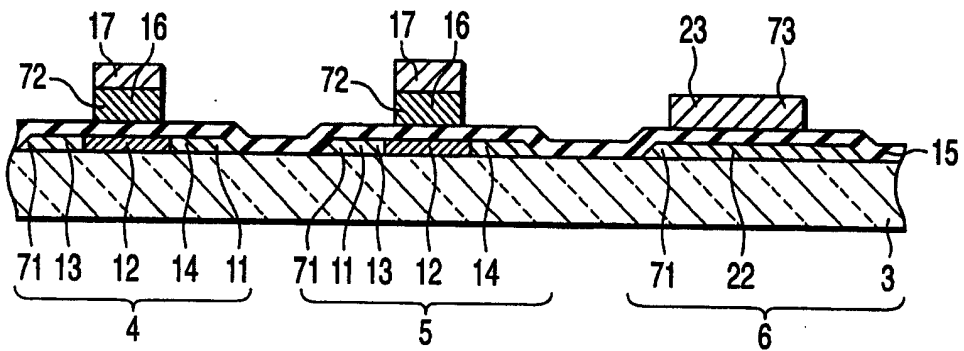


图 6

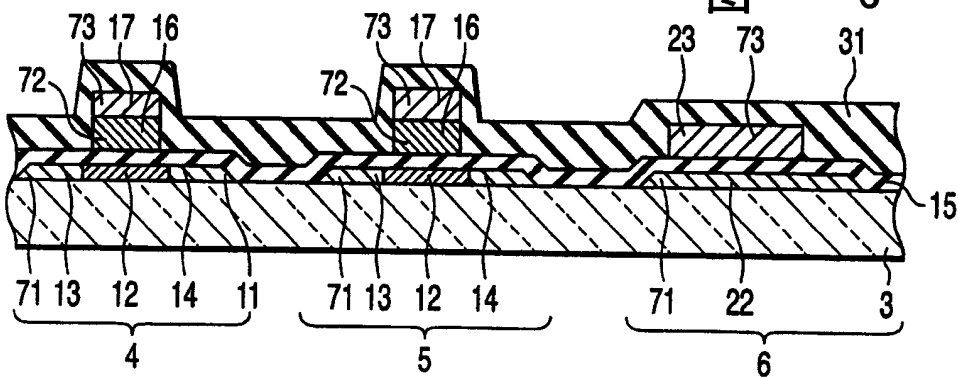


图 7

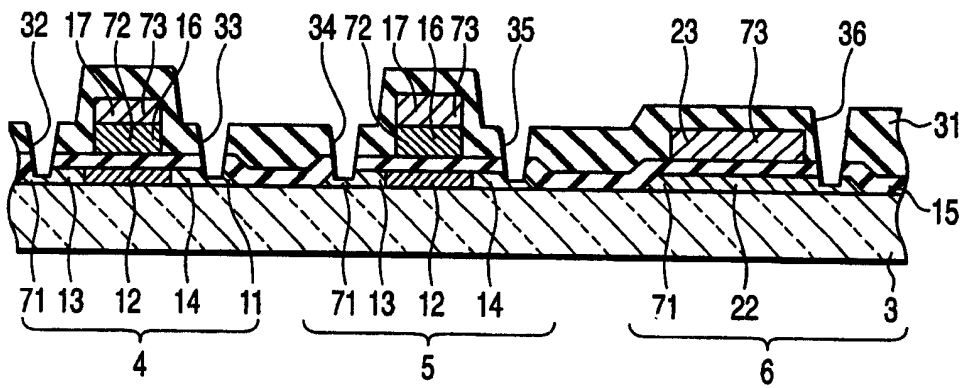


图 8

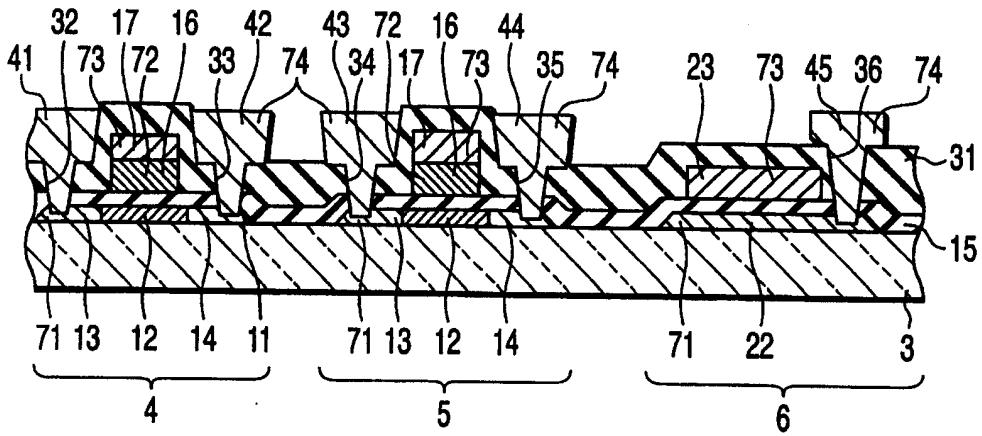


图 9

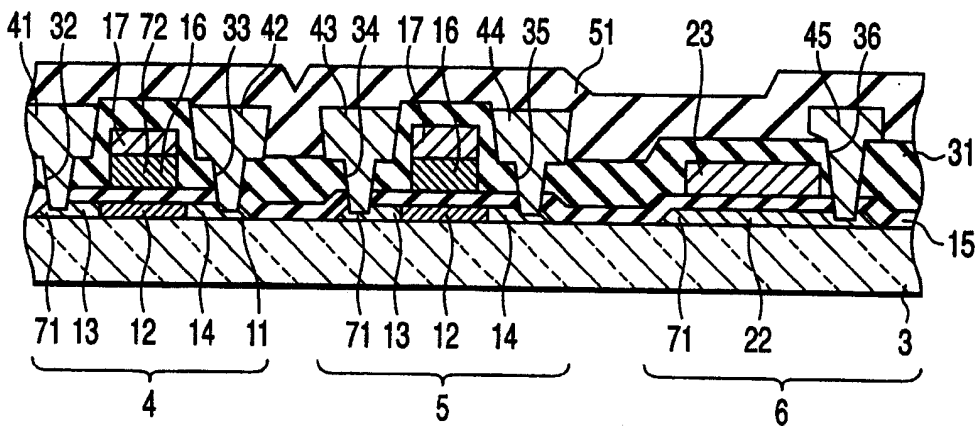


图 10

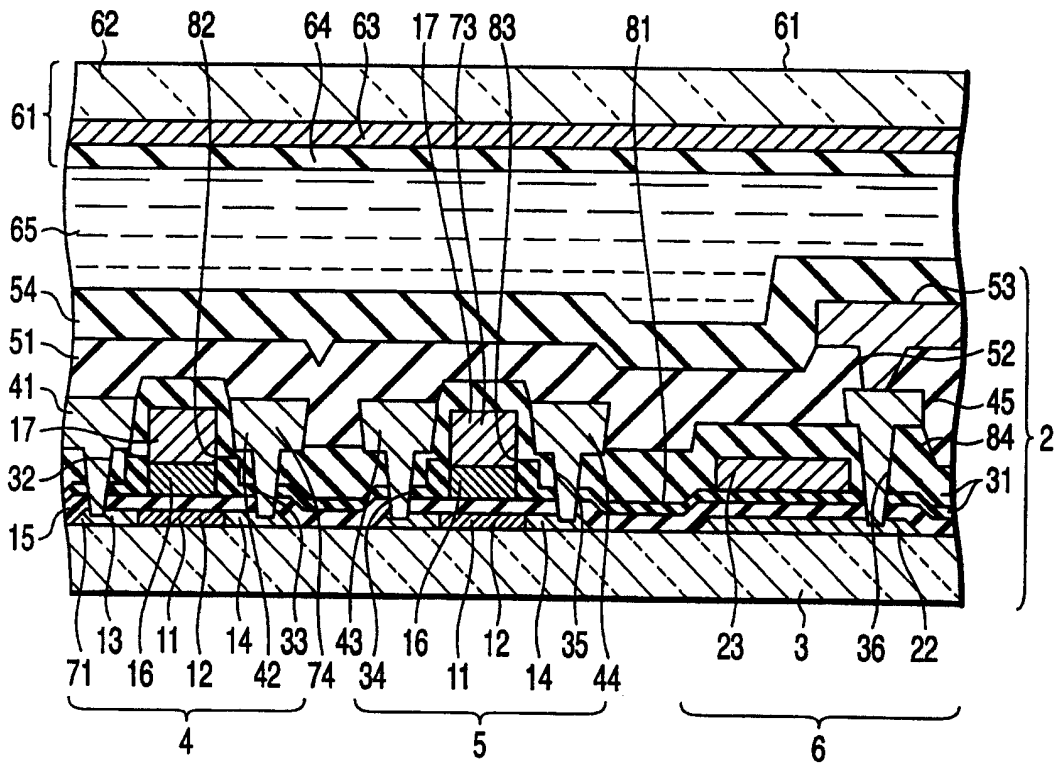


图 11

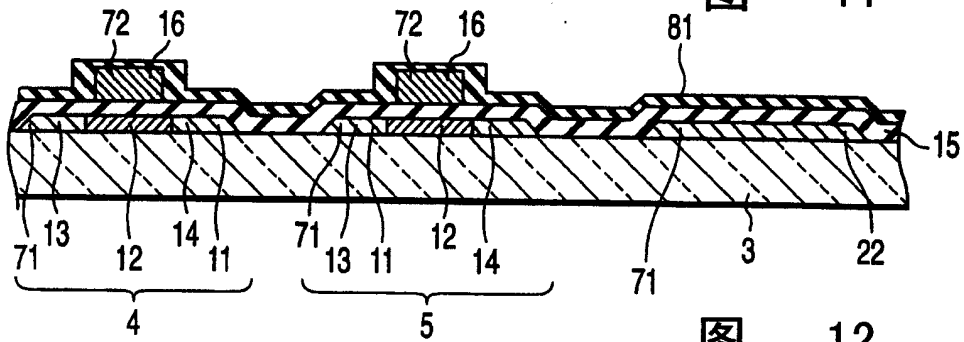


图 12

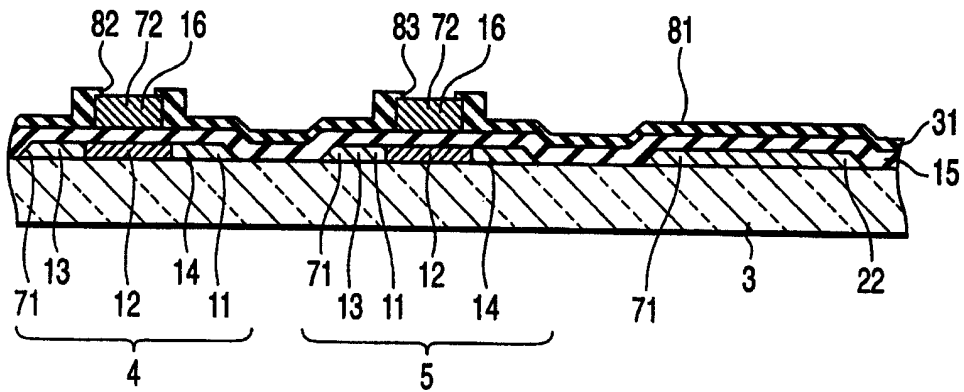


图 13

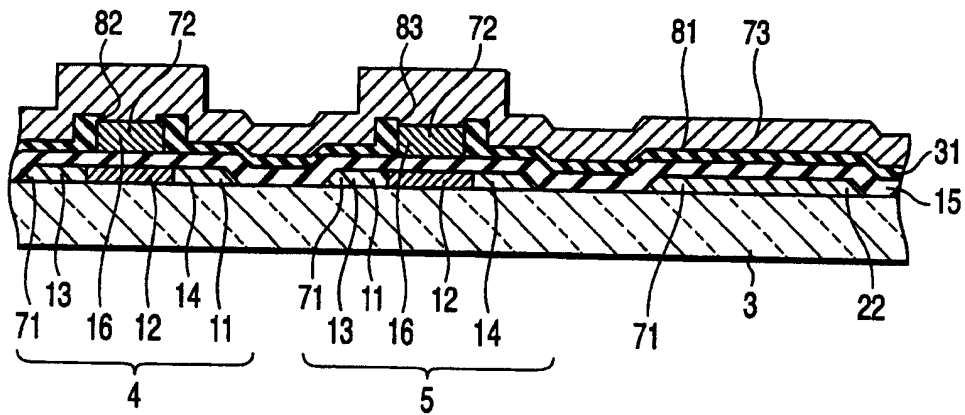


图 14

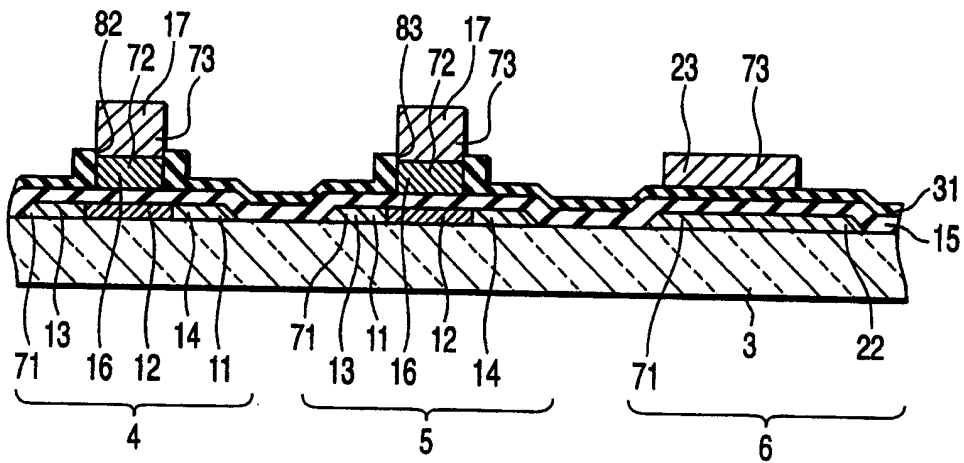


图 15

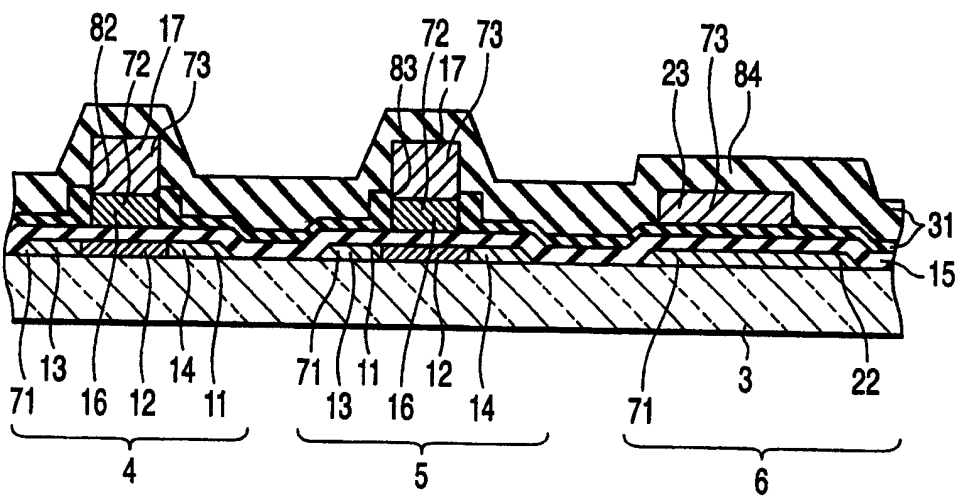


图 16

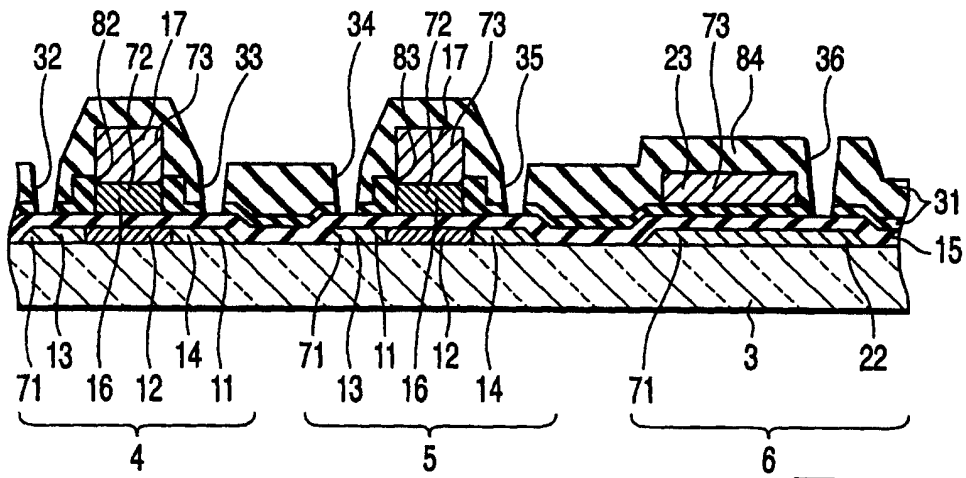


图 17

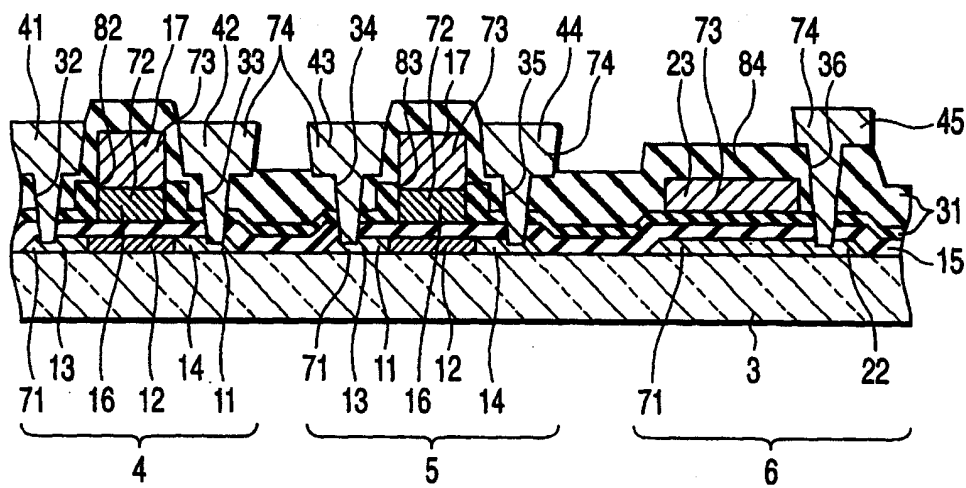


图 18

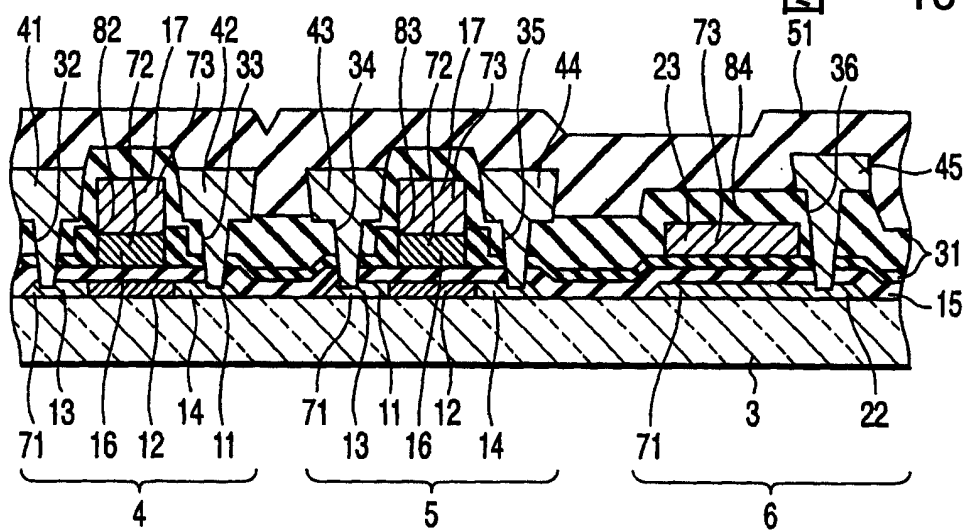


图 19