

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-233933

(P2005-233933A)

(43) 公開日 平成17年9月2日(2005.9.2)

(51) Int. Cl.⁷

GO 1 R 31/3183
GO 1 R 31/28
GO 6 F 1/04

F I

GO 1 R 31/28 Q
GO 6 F 1/04 3 O 2 Z
GO 1 R 31/28 H

テーマコード (参考)

2 G 1 3 2

審査請求 未請求 請求項の数 13 O L (全 11 頁)

(21) 出願番号 特願2004-335727 (P2004-335727)
(22) 出願日 平成16年11月19日 (2004.11.19)
(31) 優先権主張番号 特願2004-10681 (P2004-10681)
(32) 優先日 平成16年1月19日 (2004.1.19)
(33) 優先権主張国 日本国 (JP)

(71) 出願人 302062931
NECエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753番地
(74) 代理人 100103894
弁理士 冢入 健
(72) 発明者 神林 孝匡
神奈川県川崎市中原区下沼部1753番地
NECエレクトロニクス株式会社内
Fターム(参考) 2G132 AA01 AB01 AB08 AC03 AD06
AE14 AE22 AG01 AG08 AK09
AK13 AL33

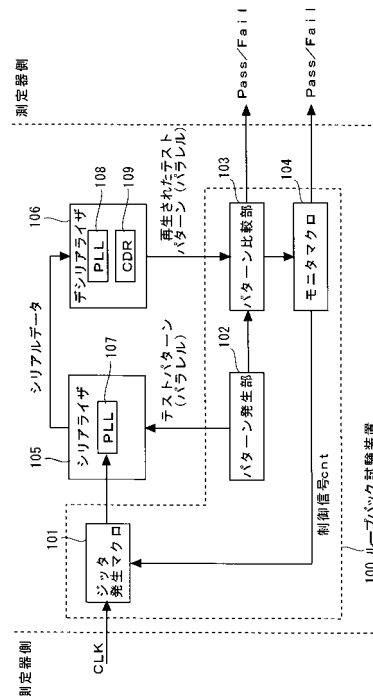
(54) 【発明の名称】 組合せ試験方法及び試験装置

(57) 【要約】

【課題】 送信装置の出力信号が高速でも所望量のジッタを含む信号を入力する受信装置のテストを簡易に行える組合せ試験方法の提供。

【解決手段】 PLL回路107はジッタ発生マクロ101よりジッタが印加された基準クロック信号を入力し、32逓倍した逓倍クロック信号を生成する。シリアライザ105は、PLL回路107が生成する逓倍クロック信号に同期しパターン発生部102からのテストパターンをシリアル変換したシリアルデータを出力する。デシリアライザ106は、シリアルデータからパラレルデータを再生する。当該逓倍クロック信号には基準クロック信号に印加されたジッタが重畳されているためデシリアライザ106に入力されるシリアルデータには所定量のジッタを超える量のジッタが重畳されている。パターン比較部103はデシリアライザ106が正しくテストパターンを再生できたか判定する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 の周波数を有する第 1 クロック信号を入力し前記第 1 の周波数よりも高い第 2 の周波数を有する第 2 クロック信号を生成する PLL 回路と、第 1 形式のデータを第 2 形式のデータに変換し、該第 2 形式のデータを前記第 2 クロック信号に同期して出力するデータ変換部とを有する送信装置、及び、前記第 2 形式のデータを受信し、該受信した第 2 形式のデータから前記第 1 形式のデータを再生するデータ再生部を有する受信装置を組合せ試験する試験方法であって、

前記第 1 クロック信号に所定量のジッタを印加して前記 PLL 回路に入力し、

前記送信装置に入力する第 1 形式のデータと、前記受信装置で再生された第 1 形式のデータとが一致するか否かを判定することを特徴とする組合せ試験方法。 10

【請求項 2】

前記所定量のジッタを印加する頻度を、複数の頻度の内から選択可能とした、請求項 1 に記載の組合せ試験方法。

【請求項 3】

前記第 1 形式のデータがパラレルデータであり、前記第 2 形式のデータがシリアルデータである、請求項 1 又は 2 に記載の組合せ試験方法。

【請求項 4】

前記所定量のジッタを、前記送信装置の出力における第 2 データのジッタ量が $0.4UI$ 以上 $0.6UI$ 以下となるように選定する、請求項 1 ~ 3 の何れか一に記載の組合せ試験方法。 20

【請求項 5】

前記組合せ試験がループバック試験である、請求項 1 ~ 4 の何れか一に記載の組合せ試験方法。

【請求項 6】

第 1 の周波数を有する第 1 クロック信号を入力し前記第 1 の周波数よりも高い第 2 の周波数を有する第 2 クロック信号を生成する PLL 回路と、第 1 形式のデータを第 2 形式のデータに変換し、該第 2 形式のデータを前記第 2 クロック信号に同期して出力するデータ変換部とを有する送信装置、及び、前記第 2 形式のデータを受信し、該受信した第 2 形式のデータから前記第 1 形式のデータを再生するデータ再生部を有する受信装置を組合せ試験する試験装置であって、 30

前記第 1 クロック信号に所定量のジッタを印加し、該所定量のジッタが印加された第 1 クロック信号を前記 PLL 回路に入力するジッタ印加手段と、

前記送信装置に入力する第 1 形式のデータと、前記受信装置で再生された第 1 形式のデータとが一致するか否かを判定する判定手段とを備えることを特徴とする組合せ試験装置。

【請求項 7】

前記第 1 形式のデータを、テストパターンとして生成するパターン発生器を更に備える、請求項 6 に記載の組合せ試験装置。

【請求項 8】

前記ジッタ印加手段は、複数の頻度の内から任意の頻度を選択し、該選択された頻度で前記所定量のジッタを印加する、請求項 6 又は 7 に記載の組合せ試験装置。 40

【請求項 9】

前記ジッタ印加手段は、前記第 1 クロック信号及び該第 1 クロック信号と相補なクロック信号をそれぞれゲートに入力する差動対トランジスタと、該差動対トランジスタと直列に接続され、周波数が可変に設定されるパルス列をゲートに入力する直列トランジスタとを備える、請求項 8 に記載の組合せ試験装置。

【請求項 10】

前記ジッタ印加手段が選択する頻度を指定し、該指定した頻度と、前記判定手段によって判定された結果とを対応付けて出力するモニタマクロを更に備える、請求項 8 又は 9 に 50

記載の組合せ試験装置。

【請求項 1 1】

前記組合せ試験がループバック試験である、請求項 1 ~ 4 の何れかーに記載の組合せ試験装置。

【請求項 1 2】

クロック信号に基づいてパラレル形式のテストパターンをシリアル形式に変換するシリアルライザと、

前記シリアルライザから出力されたシリアル形式のテストパターンをパラレル形式に変換するデシリアルライザと、

前記シリアルライザに対して入力するテストパターンと、前記デシリアルライザから出力されるテストパターンを比較する比較回路と、

前記シリアルライザに供給されるクロック信号に対してジッタを付加する組合せ試験装置。

【請求項 1 3】

クロック信号に対してジッタを付加し、

ジッタが付加されたクロック信号に基づいてパラレル形式のテストパターンをシリアルデータに変換し、

シリアルデータをパラレルデータに変換し、

変換されたパラレルデータと、前記テストパターンを比較する組合せ試験方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、組合せ試験方法及び試験装置に関し、更に詳しくは、第 1 形式のデータを第 2 形式のデータに変換する送信装置から送信された信号を、第 2 形式のデータから第 1 形式のデータを再生する受信装置に入力し、送信装置から送信された信号と、受信装置で再生された信号とが一致するか否かを判定する組合せ試験方法及び試験装置に関する。

【背景技術】

【0002】

近年、半導体装置では、データの転送速度が高速化しており、例えば数 G b p s (ギガビット/秒)といった高いデータレートでの伝送が実現されている。一般に、パラレル伝送では、信号間のスキュー調整が困難となるため、高速伝送には、シリアル伝送が用いられる傾向にある。図 7 は、2 つの半導体装置の間で、パラレルデータをシリアル伝送により伝送する様子について示している。半導体装置 A (201) 及び半導体装置 B (202) は、それぞれ、伝送路 203 とのインタフェース部分に送受信装置 (S e r D e s : シリアルライザ・デシリアルライザ) 204 及び 205 を有する。

【0003】

各送受信装置 204、205 は、シリアルライザ 210 とデシリアルライザ 220 とを有する。シリアルライザ 210 は、例えば、312.5 MHz に対応するデータレートで入力された 8 ビットのパラレルデータを、2.5 GHz に対応するデータレートのシリアルデータに変換し、そのシリアルデータを伝送路 203 に出力する。デシリアルライザ 220 は、伝送路 203 を介してシリアルデータを入力し、そのシリアルデータをシリアルライザ 210 とは逆の規則で変換して、312.5 MHz に対応するデータレートのパラレルデータ (8 ビット) を再生する。

【0004】

図 8 は、送受信装置 204 (又は 205) をループバック試験する際の様子を示している。シリアルライザ 210 が出力するシリアルデータは数 G b p s といった高速であるため、シリアルデータを用いて、直接にデータの良否を評価することは困難である。このため、通常、送受信装置の機能評価では、シリアルライザ 210 とデシリアルライザ 220 とを組み合わせて、同図に示すように、シリアルライザ 210 が出力するシリアルデータをデシリアルライザ 220 に入力し、デシリアルライザ 220 がデータを正しく再生できるか否かを試

10

20

30

40

50

験する手法が用いられる。

【0005】

シリアルライザ210は、PLL (Phase Lock Loop) 回路211を有しており、そのPLL回路211には、基準クロック信号CLKが入力される。PLL回路211は、例えば、78.125MHzの基準クロック信号CLKを32逓倍し、2.5GHzの逓倍クロック信号を発生する。パターン発生部231は、312.5MbpsのPRBS (Pseudo Random Bit Sequence) 信号を発生し、そのPRBS信号を、テストパターンとしてシリアルライザ210に入力する。シリアルライザ210は、入力されたテストパターンをシリアルデータに変換し、そのシリアルデータを、PLL回路211が発生する2.5GHzの逓倍クロック信号に同期して出力する。

10

【0006】

シリアルライザ210が出力するシリアルデータには、パラレルデータのデータレートに対応した周波数を有するクロック信号が埋め込まれており、デシリアルライザ220は、入力されたシリアルデータから、CDR (clock and data recovery) 221によって、その埋め込まれたクロック信号を再生しつつ、パラレルデータ (テストパターン) を再生する。パターン比較部232は、パターン発生部231によってシリアルライザ210に入力されたテストパターンと、デシリアルライザ220によって再生されたテストパターンとを比較し、両者が一致するときにはPass (良) と判定し、一致しないときにはFail (不良) と判定する。このテスト結果は、測定器に入力され、測定器は、テスト結果Pass又はFailを表示する。

20

【0007】

ところで、シリアルライザ210は、その内部で、除去しきれないジッタとして、2.5Gbps (周期400ps) のシリアルデータに対して、0.15UI (Unit Interval : データ周期に対するジッタ量の割合) (60ps) 程度のジッタを発生している。このため、上記ループバック試験では、デシリアルライザ220は、シリアルデータに0.15UIのジッタが重畳された状態で、パラレルデータを正しく再生できるか否かがテストされていることとなる。しかし、実際の伝送路203 (図7) では、シリアルデータに0.4UI ~ 0.6UI程度のジッタが重畳されることがある。このため、デシリアルライザ220が、0.15UIのジッタを有するシリアルデータから正しくパラレルデータを再生できるか否かをテストするだけでは製品テストとしては不足であり、ループバック試験において、シリアルデータに0.4UI ~ 0.6UI程度のジッタが重畳された状態で、デシリアルライザ220をテストしたいという要求がある。

30

【0008】

0.4UI ~ 0.6UI程度のジッタが重畳されたシリアルデータから正しくパラレルデータを再生できるか否かをテストするためには、デシリアルライザ220に入力するシリアルデータに、その範囲のジッタを印加する必要がある。従来、送信側から出力される信号にジッタを印加する技術としては、特許文献1に記載された技術がある。この技術では、図8のシリアルライザ210からデシリアルライザ220までに相当する信号ラインにジッタ印加部を設けて、シリアルデータに直接にジッタを印加している。また、ジッタが重畳された信号を発生させる別の技術としては、特許文献2に記載された技術がある。この技術では、PLL回路を構成する電圧制御発振器の入力にジッタ信号を印加して、所望の量のジッタが重畳された周期性信号を発生させている。

40

【特許文献1】特開2002-368827号公報 (図7)

【特許文献2】特開平10-224213号公報 (図1及び図6)

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかしながら、図8に示すループバック試験において、特許文献1と同様にシリアルデータに直接にジッタを印加する場合には、シリアルデータは非常に高速であるため、高価なジッタ発生装置が必要になるという問題がある。また、特許文献2に記載された技術は

50

、周期性信号にジッタを印加する技術であり、時々刻々と変化するシリアルデータにジッタを印加する技術ではない。このため、このようなジッタ発生装置を、そのままループバック試験に適用することはできない。

【課題を解決するための手段】

【0010】

本発明の組合せ試験方法は、第1の周波数を有する第1クロック信号を入力し前記第1の周波数よりも高い第2の周波数を有する第2クロック信号を生成するPLL回路と、第1形式のデータを第2形式のデータに変換し、該第2形式のデータを前記第2クロック信号に同期して出力するデータ変換部とを有する送信装置、及び、前記第2形式のデータを受信し、該受信した第2形式のデータから前記第1形式のデータを再生するデータ再生部を有する受信装置を組合せ試験する試験方法であって、前記第1クロック信号に所定量のジッタを印加して前記PLL回路に入力し、前記送信装置に入力する第1形式のデータと、前記受信装置で再生された第1形式のデータとが一致するか否かを判定することを特徴とする。

10

【0011】

本発明の組合せ試験方法では、第2の周波数を有する第2クロック信号よりも周波数が低い第1クロック信号にジッタを印加することにより、第2の周波数に対応するデータレートで送信装置から出力される第2形式のデータにジッタを重畳させる。従来、データレートが高いデータにジッタを印加するためには、高速信号に対応した高価なジッタ発生装置を用いる必要があったが、本発明では、ジッタを印加する信号が低速な第1クロック信号であるため、高価なジッタ発生装置は必要とされない。このため、所望の量のジッタが重畳された第2形式のデータを入力する受信装置が、第1形式のデータを正しく再生できるか否かを、簡易に試験することができる。

20

【発明の効果】

【0012】

本発明の組合せ試験方法及び上記方法を具現化した試験装置は、第2の周波数を有する第2クロック信号よりも周波数が低い第1クロック信号にジッタを印加することにより、第2の周波数に対応するデータレートで送信装置から出力される第2形式のデータにジッタを重畳させため、受信装置が、所望の量のジッタが重畳された第2形式のデータに基づいて第1形式のデータを正しく再生できるか否かを、簡易に試験することができる。

30

【発明を実施するための最良の形態】

【0013】

以下、図面を参照し、本発明の実施形態例に基づいて、本発明を更に詳細に説明する。図1は、本発明の一実施形態例のループバック試験装置を示している。このループバック試験装置100は、ジッタ発生マクロ101と、パターン発生部102と、パターン比較部103と、モニタマクロ104とを有する。ループバック試験装置100は、送信装置を構成するシリアライザ105、及び、受信装置を構成するデシリアライザ106と同じ半導体装置に内蔵される。ループバック試験装置100は、シリアライザ105とデシリアライザ106とを組み合わせたループバック試験により、それらの機能を試験する。

40

【0014】

パターン発生部102は、PRBS信号を発生し、そのPRBS信号をパラレルデータのテストパターンとしてシリアライザ105に入力する。ジッタ発生マクロ101は、測定器から、例えば78.125MHzの基準クロック信号CLK(第1クロック信号)を入力し、その基準クロック信号CLKに、所定量のジッタ、例えば100psのジッタを印加する。ジッタ発生マクロ101は、所定量のジッタを複数の周期(頻度)で印加可能である。ジッタ発生マクロ101が所定量のジッタを印加する周期は、モニタマクロ104から入力する制御信号cntにより制御される。

【0015】

図2は、ジッタ発生マクロ101の構成例を示している。ジッタ発生マクロ101は、パルス発生器110、差動対トランジスタM1及びM2、直列トランジスタM3、差動対

50

トランジスタM4及びM5、負荷、定電流源112とを有する。図2に示す構成例では負荷として抵抗111a~111dを利用したものを示している。パルス発生器110は、モニタマクロ104から入力する制御信号cntに基づいて、組合せ試験時には、例えば1MHz、2MHz、3MHz、4MHz、及び、5MHzの何れかの周波数のパルス信号を出力し、また通常動作時には一定レベルの信号を出力する。なお、パルス発生器110が出力するパルス信号はトランジスタM3がオフするレベル以下にはならないように設定される。

差動対トランジスタM1及びM2のゲートは、それぞれ、一对の相補クロック信号を入力する端子T1及びB1に接続される。直列トランジスタM3のゲートは、パルス発生器110の出力に接続される。組合せ試験時には、直列トランジスタM3を流れる電流は、パルス発生器110から直列トランジスタM3のゲートに入力されるパルス信号のレベル及びトランジスタM3の特性に基づいて変化する。

10

【0016】

直列トランジスタM3を流れる電流が変化することにより、トランジスタM1及びM2の特性に基づいて、一对の相補クロック信号の出力である端子B2及びT2の出力振幅が、図3に示すように変化する。差動対トランジスタM4及びM5のゲートは、それぞれ一对の相補クロック信号を入力する端子B2及びT2に接続される。差動対トランジスタM4及びM5のゲートに、図3に示すような振幅の変化する信号が入力され、トランジスタM4及びM5の特性及び振幅変化の波形なまりによる遅延変動により、一对の相補クロック信号の出力端子B3及びT3の出力は、図4に示すようなジッタを含んだ信号となる(観測されるジッタ幅を図4の破線波形で示している)。ジッタ発生マクロ101の構成例により、所定量のジッタが基準クロック信号CLKに印加される。

20

【0017】

シリアライザ105は、PLL回路107を有し、ジッタ発生マクロ101を介して入力する基準クロック信号CLKに基づいて動作する。シリアライザ105は、例えば312.5Mbpsのデータレートでパターン発生部102から入力するテストパターンを、所定の規則でパラレル-シリアル変換し、シリアルデータ化されたテストパターンを、例えば2.5Gbpsのデータレートのシリアルデータで出力する。

【0018】

図5(a)及び(b)は、それぞれシリアライザ105の各部の動作をタイミングチャートで示している。PLL回路107は、同図(a)に示されるように、ジッタ発生マクロ101によってジッタが印加された基準クロック信号CLKを入力し、例えばその基準クロック信号CLKを32逓倍した2.5GHzの逓倍クロック信号(第2クロック信号)を発生する。この逓倍クロック信号には、基準クロック信号CLKに印加された所定量のジッタが重畳されている。シリアライザ105は、同図(b)に示されるように、パターン発生部102から入力した、8ビットのテストパターンをシリアルデータに変換し、そのシリアルデータを、PLL回路107が発生した逓倍クロック信号に同期して出力する。

30

【0019】

ジッタ発生マクロ101が基準クロック信号CLKに印加する所定量のジッタが100psであるとき、ジッタ発生マクロ101を介して基準クロック信号CLKを入力するPLL回路107は、100psのジッタが重畳された逓倍クロック信号を発生する。シリアライザ105内では、除去しきれないジッタとして、60ps程度のジッタが発生しており、シリアライザ105は、シリアライザ105内で発生するジッタ(60ps)に、ジッタ発生マクロ101によって基準クロック信号CLKに印加されたジッタ(100ps)を加えた160ps(0.4UI)のジッタを有するシリアルデータを出力する。ジッタ発生マクロ101が基準クロック信号CLKに印加するジッタ量は、通常のシリアライザ105及びデシリアライザ106の使用態様を考慮して、シリアルデータに重畳されるジッタが例えば0.4UI~0.6UIの範囲となるように選定される。

40

【0020】

50

デシリアライザ106は、PLL回路108及びCDR109を有する。デシリアライザ106は、シリアルデータ化されたテストパターンを、2.5Gbpsのデータレートで入力する。デシリアライザ106は、入力したシリアルデータを、シリアライザ105の平行-シリアル変換とは逆の規則でシリアル-平行変換し、この変換によって平行データに戻されたテストパターンを、312.5Mbpsのデータレートで出力する。

【0021】

図6は、デシリアライザ106の各部の動作をタイミングチャートで示している。デシリアライザ106は、PLL回路108が発生するクロック信号に同期して、160psのジッタが重畳されたシリアルデータを入力する。シリアライザ105によって出力されたシリアルデータには、平行データのデータレートに対応する周波数を有するクロック信号が埋め込まれており、CDR109は、入力されたシリアルデータから、埋め込まれたクロック信号CLKPを再生する。また、デシリアライザ106は、入力したシリアルデータを、シリアライザ105での平行-シリアル変換とは逆の規則でシリアル-平行変換し、この変換により得られた平行データであるテストパターンを出力する。

10

【0022】

パターン比較部103には、デシリアライザ106でシリアル-平行変換によって再生されたテストパターンが入力される。パターン比較部103は、デシリアライザ106によって再生されたテストパターンと、シリアライザ105に入力されたテストパターン、即ちパターン発生部102から入力されたテストパターンとを比較し、両者が一致するか否かによってビットエラー発生の有無を判定する。パターン比較部103は、外部に、ビットエラーが発生しないときにはテスト結果Passを出力し、ビットエラーが発生したときにはテスト結果Failを出力する。

20

【0023】

モニタマクロ104は、ジッタ発生マクロ101に対して制御信号cntを送信し、シリアルデータに、所定量のジッタが重畳される頻度を制御する。モニタマクロ104は、基準クロック信号CLKにジッタが印加される周期と、その周期でジッタを印加した際のテスト結果(Pass又はFail)とを対応付けて測定器に出力する。ループバック試験装置100では、モニタマクロ104が送信する制御信号によって、例えば基準クロック信号CLKにジッタを印加する周期を1MHz、2MHz、・・・と徐々に増やしていき、ジッタ印加の各周期で、デシリアライザ106が正しくテストパターンを再生できるか否かをテストし、デシリアライザ106のジッタ耐量を評価する。

30

【0024】

本実施形態例では、所定量のジッタを印加した基準クロック信号CLKをPLL回路107に入力して、シリアライザ105が出力するシリアルデータに、シリアライザ105内で発生する除去しきれないジッタを超える所望の量のジッタを重畳させている。一般に、データレートが高い高速信号にジッタを印加する場合には、高速信号に対応した高価な測定器やジッタ発生装置が必要である。本実施形態例では、例えば78.125MHzと、シリアルデータに比して低速な基準クロック信号CLKにジッタを印加する構成を採用しているため、高速な信号に対応した測定器やジッタ発生装置を必要とすることなく、シリアルデータに所望のジッタが重畳された状態で、シリアライザ105及びデシリアライザ106をループバック試験することができる。また、ループバック試験装置100をLSI等の半導体装置に内蔵したため、既存の測定器やLSIテスト等を使用することができ、特殊な測定器やLSIテストを必要としないという利点もある。

40

【0025】

ここで、シリアルデータに重畳されるジッタの周波数帯1MHz~5MHzは、デシリアライザ106のCDR109の追従特性からすると追従することが困難な周波数帯であり、デシリアライザ106のジッタ耐量評価において重要な周波数領域である。従来、この周波数帯のジッタに対するデシリアライザ106のジッタ耐量を評価するためには、1

50

MHz ~ 5 MHz の周期でジッタが重畳されたシリアルデータを発生させる高速なパターンジェネレータが必要であり、このパターンジェネレータは高価であるという問題があった。

【0026】

本実施形態例では、モニタマクロ104が、送信する制御信号cntによって、基準クロック信号CLKにジッタを印加する周期を制御し、ジッタ印加の各周期について、デシリアライザ106が正しくテストパターンを再生できるか否かをテストしている。本実施形態例では基準クロック信号CLKにジッタを印加してシリアルデータにジッタを重畳させているため、1MHz ~ 5MHzの周波数帯のジッタに対するデシリアライザ106のジッタ耐量評価を、簡易に行うことができる。このため、例えばデシリアライザ106のジッタ耐量を顧客に対してデモンストレーションする際に、高価なパターンジェネレータ等を用意する必要がない。

10

【0027】

なお、上記実施形態例では、シリアライザ105及びデシリアライザ106が同じ半導体装置に搭載され、組合せ試験が、ループバック試験として構成される例について説明したが、本発明の組合せ試験は、ループバック試験として構成されてなくてもよく、ある半導体装置に搭載されるシリアライザ105と、その半導体装置とは異なる半導体装置に搭載されるデシリアライザ106とを組み合わせることもできる。

【0028】

以上、本発明をその好適な実施形態例に基づいて説明したが、本発明の組合せ試験方法及び試験装置は、上記実施形態例にのみ限定されるものではなく、上記実施形態例の構成から種々の修正及び変更を施したものも、本発明の範囲に含まれる。

20

【図面の簡単な説明】

【0029】

【図1】本発明の一実施形態例の組合せ試験装置によるループバック試験の様子を示すブロック図である。

【図2】ジッタ発生マクロ101の構成を示す回路図である。

【図3】T2及びB2の信号波形を示す図である。

【図4】T3及びB3の信号波形を示す図である。

【図5】(a)及び(b)は、それぞれシリアライザ105の各部の動作を示すタイミングチャートである。

30

【図6】デシリアライザ106の各部の動作を示すタイミングチャートである。

【図7】2つの半導体装置の間のシリアル伝送の様子を示すブロック図である。

【図8】送受信装置204(又は205)のループバック試験の様子を示すブロック図である。

【符号の説明】

【0030】

100 : ループバックテスト装置

101 : ジッタ発生マクロ

102 : パターン発生部

103 : パターン比較部

104 : モニタマクロ

105 : シリアライザ

106 : デシリアライザ

107、108 : PLL回路

109 : CDR

110 : パルス発生器

111a ~ 111d : 抵抗

112 : 定電流源

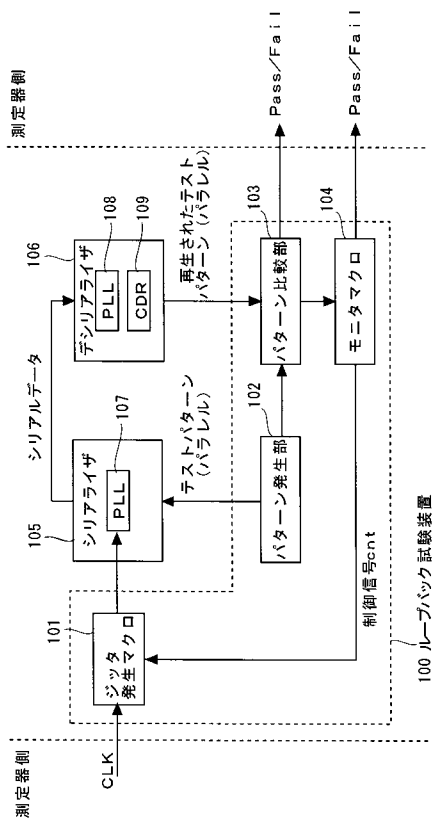
M1 ~ M5 : トランジスタ

40

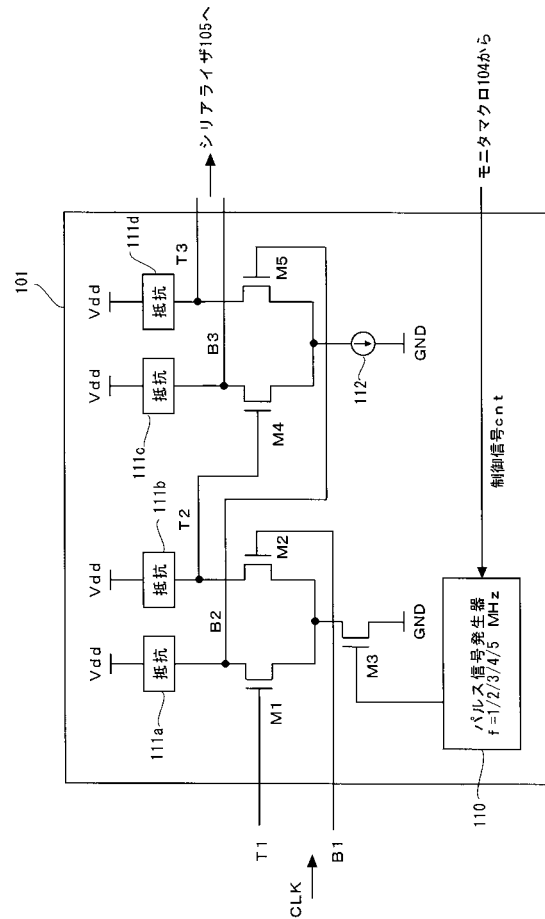
50

- 201、202：半導体装置
- 203：伝送路
- 204、205：送受信装置
- 210：シリアライザ
- 211：PLL回路
- 220：デシリアライザ
- 221：CDR
- 231：パターン発生部
- 232：パターン比較部

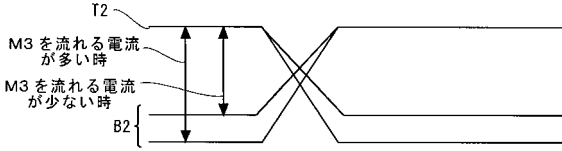
【図1】



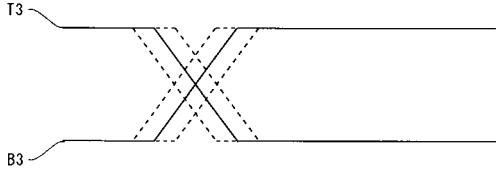
【図2】



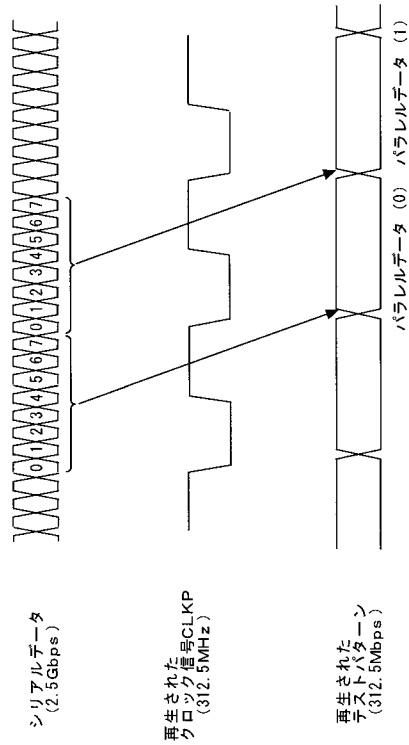
【 図 3 】



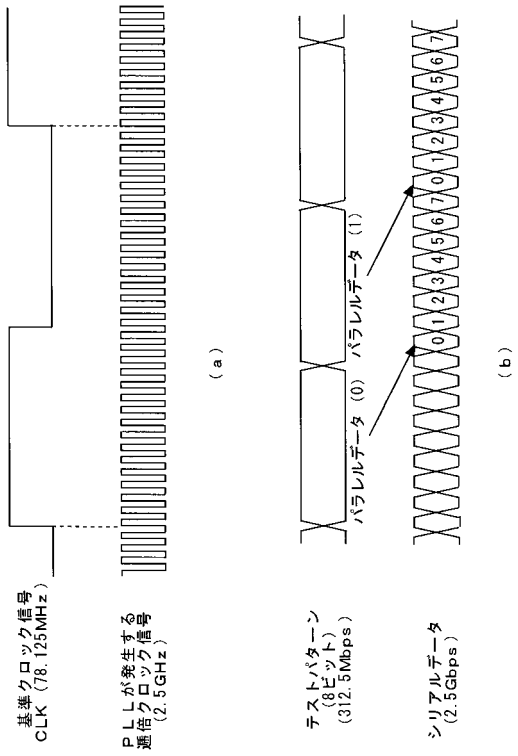
【 図 4 】



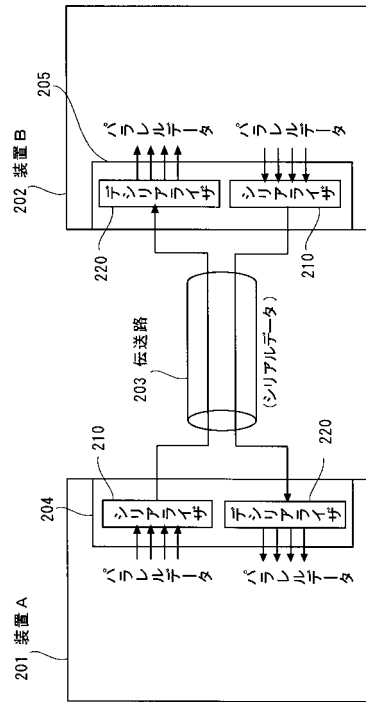
【 図 6 】



【 図 5 】



【 図 7 】



【図 8】

