



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е И З О Б Р Е Т Е Н И Я

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 907796

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 30.06.80 (21) 2947993/18-21

с присоединением заявки № —

(23) Приоритет —

Опубликовано 23.02.82. Бюллетень № 7

Дата опубликования описания 25.02.82

(51) М. Кл.³

H 03 K 13/03

(53) УДК 681.325
(088.8)

(72) Авторы
изобретения

А. И. Воителев и Л. М. Лукьянов

(71) Заявитель

Всесоюзный научно-исследовательский институт
электромеханики

(54) ПАРАЛЛЕЛЬНО-ПОСЛЕДОВАТЕЛЬНЫЙ АНАЛОГО-ЦИФРОВОЙ
ПРЕОБРАЗОВАТЕЛЬ

Изобретение относится к импульсной технике и используется при создании управляющих вычислительных комплексов.

Известен параллельно-последовательный аналого-цифровой преобразователь, содержащий преобразователь параллельного считывания, регистр, первый и второй цифро-аналоговые преобразователи, коммутатор, первый и второй аналоговые сумматоры, первый, второй и третий усилители, блок управления и входную шину, при этом входная шина через первый усилитель соединена с первым входом коммутатора, второй и третий входы которого соединены соответственно через второй и третий усилители с выходами первого и второго аналоговых сумматоров, выход коммутатора через преобразователь параллельного считывания соединен с первыми входами регистра, соединенного вторыми входами с первыми выходами блока уп-

равления и с четвертыми входами коммутатора, первый и второй выходы регистра соединены с входами соответственно первого и второго цифро-аналоговых преобразователей. (ЦАП), выходы которых соединены с первыми входами соответственно первого и второго аналоговых сумматоров, а второй вход преобразователя параллельного считывания соединен с вторым выходом блока управления. Кроме этого, в нем выход первого усилителя соединен с вторым входом первого аналогового сумматора, а выход второго усилителя соединен с вторым входом второго аналогового сумматора [1].

Недостатком данного преобразователя является низкое быстродействие.

Цель изобретения - повышение быстродействия.

Поставленная цель достигается тем, что в параллельно-последовательный аналого-цифровой преобразователь, содержащий входную шину, которая

через первый усилитель соединена с первым входом коммутатора, второй и третий входы которого соединены соответственно через второй и третий усилители с выходами первого и второго аналоговых сумматоров, выход коммутатора через преобразователь параллельного считывания соединен с первыми входами регистра, вторые входы которого соединены с первыми выходами блока управления и с четвертыми входами коммутатора, первые и вторые выходы регистра соединены с входами соответственно первого и второго цифро-аналоговых преобразователей, выходы которых соединены с первыми входами соответственно первого и второго аналоговых сумматоров, второй вход преобразователя параллельного считывания соединен с вторым выходом блока управления, дополнительно введены источник напряжения и два переключателя, причем выход источника напряжения соединен с первыми входами переключателей, второй вход и выход первого переключателя соединены соответственно с выходом первого усилителя и с вторым входом первого аналогового сумматора, второй вход и выход второго переключателя соединены соответственно с выходом второго усилителя и с вторым входом второго аналогового сумматора, а третьи входы первого и второго переключателей соединены соответственно с третьим и с четвертым выходами блока управления.

На фиг. 1 приведена структурная схема предложенного устройства; на фиг. 2 - временные диаграммы работы основных узлов устройства при выполнении аналого-цифрового преобразователя.

Параллельно-последовательный аналого-цифровой преобразователь содержит входную шину 1, усилители 2, 3 и 4, аналоговые сумматоры 5 и 6, цифро-аналоговые преобразователи 7 и 8, коммутатор 9, преобразователь параллельного считывания 10, регистр 11, блок управления 12, переключатели 13 и 14, источник напряжения 15, выходные шины результирующего кода 16 и интерфейсные вход и выход 17.

На фиг. 2 обозначены сигнал 18 на выходе коммутатора 9, сигналы 19 и 20 на выходах соответственно усилителей 3 и 4, импульсы 21 считывания, формируемые на втором выходе

блока 12, выходные сигналы 22 и 23 соответственно цифро-аналоговых преобразователей 7 и 8, сигналы 24 и 25 на управляющих входах соответственно переключателей 13 и 14, выходной интерфейсный сигнал 26 блока 12.

Преобразователь работает следующим образом.

Преобразование начинается с приходом импульса по интерфейсному входу 17, по которому блок 12 вырабатывает сигналы на первых выходах, поступающие на четвертые входы коммутатора 9 и на вторые входы регистра 11. В результате коммутатор 9 подключает на вход преобразователя 10 сигнал с выхода усилителя 2, обеспечивающего необходимую нагрузочную способность входному аналоговому сигналу, поступающему через входную шину на вход этого усилителя. В регистре 11 открываются входы старших разрядов для приема параллельного кода с выходов преобразователя 10. После этого блок 12 формирует первый импульс считывания 21, поступающий на второй вход преобразователя 10. Импульсный код, образованный на выходах последнего, записывается в старшие разряды регистра 11. Выходы этих разрядов воздействуют на первый ЦАП 7, на выходе которого формируется сигнал 22, поступающий на первый вход сумматора 5, на второй вход которого начинает поступать сигнал с выхода усилителя 2 через переключатель 13, так как блок 12 изменяет сигнал 24 на его управляющем входе одновременно с появлением первого импульса считывания 21.

Поскольку до этого переключения на входе усилителя 3 входной сигнал равен выходному сигналу источника 15, значение которого равно $I_{\text{макс}}/2$ ($K+1$) (где $I_{\text{макс}}$ - максимально возможное значение выходного сигнала усилителя 3, равное максимальному значению выходного сигнала усилителя 2; K - число разрядов, получаемых в каждом такте преобразователя), а коэффициенты усиления усилителей 3 и 4 равны значению 2^K , то выходной сигнал 19 усилителя 3 равен половине его возможного максимального значения. Поэтому при переходе ко второму такту изменение сигнала на выходе усилителя 3 происходит в два раза быс-

тнее, так как оно определяется половиной диапазона изменения входного сигнала. Время изменения определяется пунктирными линиями, обозначенными на диаграмме сигнала 19. После выполнения первого считывания блок 12 изменяет сигналы на первых выходах так, что коммутатор 9 на вход преобразователя 10 подключает выход усилителя 3, а также открывает для приема средние разряды регистра 11. Через время, определяемое максимально возможным изменением выходного сигнала усилителя 3, блок 12 формирует второй импульс считывания 21, и код с выходов преобразователя 10 записывается в средние разряды регистра 11.

В результате этого начинает изменяться сигнал 23 на выходе второго ЦАП 8.

После второго считывания блок 12 снова изменяет сигналы на первых своих выходах, а также на управляющем входе переключателя 14. В регистре 11 открываются входы младших разрядов, коммутатор подключает на вход преобразователя 10 выход усилителя 4, а переключатель 14 подает на второй вход выходной сигнал усилителя 3. После этого начинает изменяться сигнал 20 на выходе усилителя 4. Максимально возможное изменение сигнала на выходе.

Через время, определяемое максимально возможным изменением сигнала на выходе усилителя 3 (пунктирные линии на диаграмме сигнала 20), блок 12 формирует третий импульс считывания 21, по которому производится запись кода в младшие разряды регистра 11. На этом процесс преобразования заканчивается, а блок 12 вырабатывает выходной интерфейсный сигнал 26, по которому можно снимать код результата преобразования с выходов 16 всех разрядов регистра 11.

После того, как код результата считан с выходов регистра 11, блок 12 устанавливает в исходное состояние разряды регистра 11, изменяет управляющие сигналы 24 и 25 на управляющих входах переключателей 13 и 14, а также изменяет сигналы на своих первых выходах, подключая ко входу преобразователя 10 выход усилителя 3, чем подготавливается очередное преобразование.

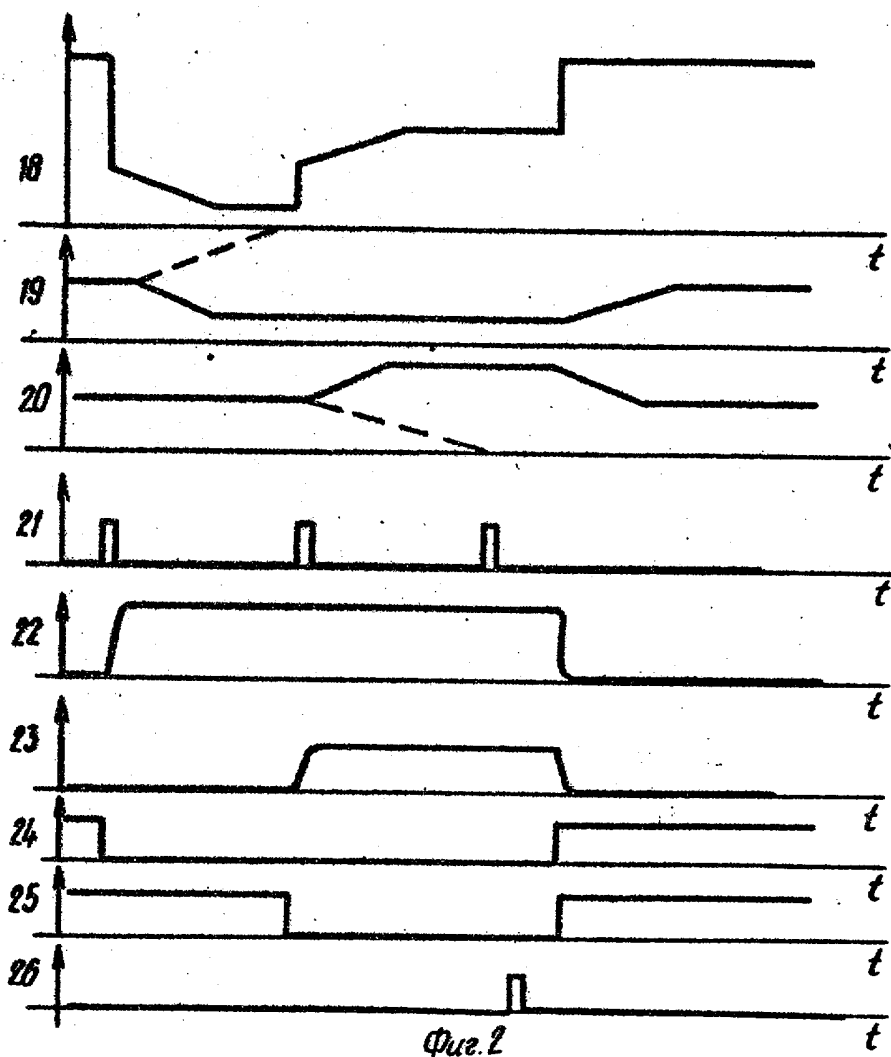
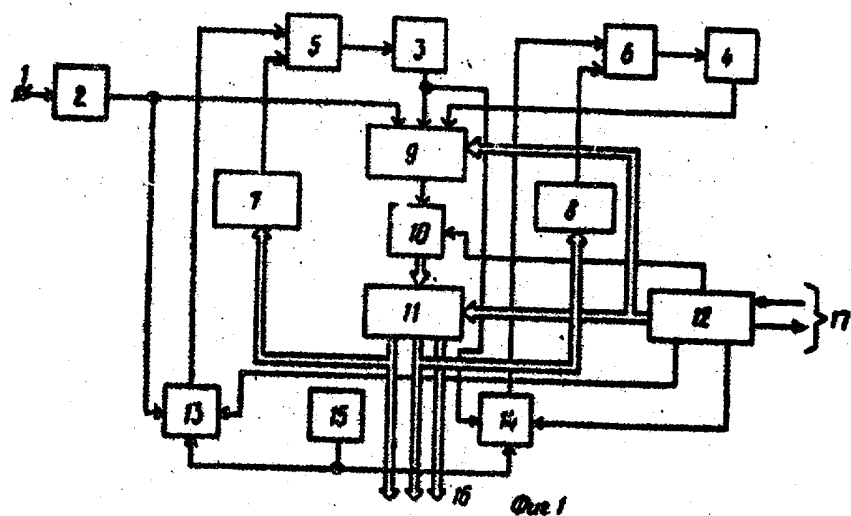
Таким образом, введение новых элементов и их взаимосвязей позволяет в два раза сократить время изменения сигнала на выходе усилителей 3 и 4, чем существенно повышается быстродействие преобразования.

Формула изобретения

Параллельно-последовательный аналого-цифровой преобразователь, содержащий входную шину, которая через первый усилитель соединена с первым входом коммутатора, второй и третий входы которого соединены соответственно через второй и третий усилители с выходами первого и второго аналоговых сумматоров, а выход коммутатора через преобразователь параллельного считывания соединен с первыми входами регистра, вторые входы которого соединены с первыми выходами блока управления и с четвертыми входами коммутатора, первые и вторые выходы регистра соединены с входами соответственно первого и второго цифро-аналоговых преобразователей, выходы которых соединены с первыми входами соответственно первого и второго аналоговых сумматоров, второй вход преобразователя параллельного считывания соединен с вторым выходом блока управления, отличающийся тем, что, с целью повышения быстродействия, в него введены источник напряжения и два переключателя, причем выход источника напряжения соединен с первыми входами переключателей, второй вход и выход первого переключателя соединены соответственно с выходом первого усилителя и с вторым входом первого аналогового сумматора, второй вход и выход второго переключателя соединены соответственно с выходом второго усилителя и с вторым входом второго аналогового сумматора, а третьи входы первого и второго переключателей соединены соответственно с третьим и с четвертым выходами блока управления.

Источники информации,

принятые во внимание при экспертизе
1. "IEEE International Convention Record" 1966, v.14, N 3, p. 39-43, fig. 2 (прототип).



Фиг. 2