

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁴ H01L 29/76	(11) 공개번호 (43) 공개일자	특 1986-0007753 1986년 10월 17일
(21) 출원번호	특 1986-0001554	
(22) 출원일자	1986년 03월 05일	
(30) 우선권주장	42708 1985년 03월 06일 일본(JP)	
(71) 출원인	후지쓰 가부시끼 가이샤 야마모토 다쿠마	
(72) 발명자	일본국 가나가와켄 가와사끼시 나가하라구 가미고 다나카 1015반찌 고우사까 구니미쓰	
(74) 대리인	일본국 가나가와켄 가와사끼시 나가하라구 가미고 다나카 1015반찌 후지쓰 가부시끼 가이샤 내 고오또 구니히꼬 일본국 가나가와켄 가와사끼시 나가하라구 가미고 다나카 1015반찌 후지쓰 가부시끼 가이샤 내 문기상, 조기호	

심사청구 : 있음

(54) 반도체 집적회로

요약

내용 없음

대표도

도2

명세서

[발명의 명칭]

반도체 집적회로

[도면의 간단한 설명]

제2도 본 발명에 의한 반도체 집적회로 내의 입력회로의 기본 구성도.
제3도는 본 발명에 의한 반도체 집적회로의 일 실시예의 입력회로의 상세도.
제4도 제3도에 도시된 회로에서 입력신호가 그에 입력될 때 각종 지점들에서의 전기 전위를 설명하는 도표.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음.

(57) 청구의 범위

청구항 1

상이한 전도성의 한쌍의 제1 및 제2 트랜지스터들과 레벨 전이 회로를 포함하는 인버터 회로를 포함하되, 제1 트랜지스터는 상기 레벨전이 회로를 통하여 입력신호를 공급받고, 제2 트랜지스터는 상기 입력신호를 직접 공급받으며, 상기 레벨전의 회로는 상기 인버터 회로내의 토직 레벨을 판별하기 위한 과도 레벨의 입력신호가 수신될 때 상기 레벨 전이 회로를 통하여 입력된 상기 신호의 레벨은 제1 트랜지스터의 임계레벨 근처로 전이되는 것이 특징인 반도체 집적회로.

청구항 2

제1항서, 상기 레벨 전이 회로는 정전류원과 상기 정전류원에 연결되는 제3 트랜지스터를 포함하는 소오스 플로워 회로로서 형성되며, 상기 입력신호는 상기 제3 트랜지스터의 게이트에 공급되며, 그리고 레벨 전이된 출력레벨은 상기 제3 트랜지스터의 소오스로 부터 출력되는 것이 특징인 반도체 집적회로.

청구항 3

제2항에서, 상기 정전류원은 제4 트랜지스터, 제5 트랜지스터, 전원 전압을 분배하기 위한 제6 트랜지스

터, 그리고, 상기 전원전압과 상기 제1 트랜지스터 사이에 연결된 제7 트랜지스터에 의해 구성되며, 상기 제4 트랜지스터와 상기 제5 트랜지스터 간의 연결 지점의 제1 전위는 상기 제1 트랜지스터의 임계레벨 근처에 세트되며, 상기 제5 트랜지스터와 상기 제6 트랜지스터간의 연결 지점의 제2 전위는 상기 과도 레벨로서 세트되며, 또한 상기 제1 전위는 상기 제7 트랜지스터의 게이트에 인가되는 것이 특징인 반도체 집적회로.

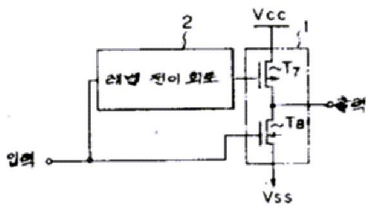
청구항 4

제3항에서 제8 트랜지스터가 상기 제6 트랜지스터와 평형을 맞추도록 상기 제3 트랜지스터와 직렬로 제공되며, 제9 트랜지스터가 예정된 레벨에 의해 상기 제2 트랜지스터의 소오스를 상승시키도록 상기 제2 트랜지스터와 직렬로 제공되는 것이 특징인 반도체 집적회로.

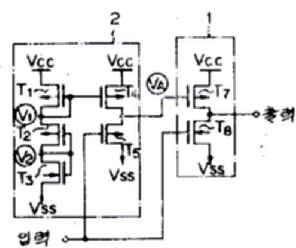
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면2



도면3



도면4

