



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0014680
(43) 공개일자 2015년02월09일

- (51) 국제특허분류(Int. Cl.)
G11C 16/00 (2006.01) H01L 27/115 (2006.01)
- (21) 출원번호 10-2013-0090200
(22) 출원일자 2013년07월30일
심사청구일자 없음
- (71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
- (72) 발명자
김남국
경기 용인시 기흥구 금화로58번길 10, 408동 1306호 (상갈동, 금화마을주공4단지아파트)
이남재
충북 청주시 흥덕구 두꺼비로 53, 103동 1301호 (산남동, 산남푸르지오아파트)
(뒷면에 계속)
- (74) 대리인
강신섭, 문용호, 이용우

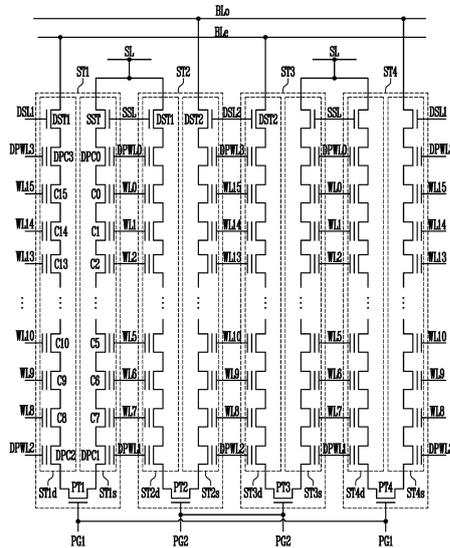
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 반도체 메모리 장치

(57) 요약

반도체 메모리 장치는 비트라인들과 소스 라인 사이에 형성된 메모리 스트링들을 포함하고, 비트라인들과 소스 라인은 기판 상에 형성되고, 각각의 메모리 스트링은 비트라인 및 기판에 형성된 파이프 트랜지스터들 사이에 연결된 제1 셀 스트링과 소스 라인 및 파이프 트랜지스터 사이에 연결된 제2 셀 스트링을 포함하는 메모리 블록, 및 프로그램 동작, 리드 동작 및 소거 동작을 위해 메모리 스트링들로 동작 전압들을 인가하고, 메모리 블록에서 같은 비트라인에 연결된 메모리 스트링들의 파이프 트랜지스터들로 서로 다른 파이프 게이트 전압을 인가하도록 구성된 동작 회로를 포함한다.

대표도 - 도4



(72) 발명자

한광희

충북 청주시 흥덕구 대농로 17, 106동 903호 (복대동, 신영지웰시티1차아파트)

김일책

서울 도봉구 도봉로185길 17-6, (도봉동)

안상현

충북 청주시 흥덕구 진재로31번길 26, 202호 (복대동)

특허청구의 범위

청구항 1

제1 파이프 트랜지스터, 제1 비트라인 및 상기 제1 파이프 트랜지스터 사이에 연결된 제1 상위 셀 스트링과, 상기 제1 파이프 트랜지스터 및 소스 라인 사이에 연결된 제1 하위 셀 스트링을 포함하는 제1 메모리 스트링;

제2 파이프 트랜지스터, 제2 비트라인 및 상기 제2 파이프 트랜지스터 사이에 연결된 제2 상위 셀 스트링과, 상기 제2 파이프 트랜지스터 및 상기 소스 라인 사이에 연결된 제2 하위 셀 스트링을 포함하는 제2 메모리 스트링;

제3 파이프 트랜지스터, 상기 제1 비트라인 및 상기 제3 파이프 트랜지스터 사이에 연결된 제3 상위 셀 스트링과, 상기 제3 파이프 트랜지스터 및 상기 소스 라인 사이에 연결된 제3 하위 셀 스트링을 포함하는 제3 메모리 스트링; 및

제4 파이프 트랜지스터, 상기 제2 비트라인 및 상기 제4 파이프 트랜지스터 사이에 연결된 제4 상위 셀 스트링과, 상기 제4 파이프 트랜지스터 및 소스 라인 사이에 연결된 제4 하위 셀 스트링을 포함하는 제4 메모리 스트링을 포함하며,

상기 제1 및 제4 파이프 트랜지스터들의 게이트들이 서로 연결되고, 상기 제2 및 제3 파이프 트랜지스터들의 게이트들이 서로 연결되는 반도체 메모리 장치.

청구항 2

제 1 항에 있어서,

상기 제1 내지 제4 하위 셀 스트링들은 상기 소스 라인과 연결되는 소스 셀렉트 트랜지스터와, 상기 소스 셀렉트 트랜지스터에 연결되는 메모리 셀들을 포함하는 반도체 메모리 장치.

청구항 3

제 2 항에 있어서,

상기 제1 내지 제4 하위 셀 스트링들은 상기 소스 셀렉트 트랜지스터 및 상기 메모리 셀 사이에 연결된 제1 더미 패스 메모리 셀을 더 포함하는 반도체 메모리 장치.

청구항 4

제 2 항에 있어서,

상기 제1 내지 제4 하위 셀 스트링들은 상기 메모리 셀들 중 마지막 메모리 셀에 연결된 제2 더미 패스 메모리 셀을 더 포함하는 반도체 메모리 장치.

청구항 5

제 1 항에 있어서,

상기 제1 내지 제4 상위 셀 스트링들은 비트라인과 연결되는 드레인 셀렉트 트랜지스터 및 상기 드레인 셀렉트 트랜지스터에 연결되는 메모리 셀들을 포함하고,

상기 제1 및 제4 상위 셀 스트링들에 포함된 드레인 셀렉트 트랜지스터들의 게이트들은 서로 연결되고, 상기 제2 및 제3 상위 셀 스트링들에 포함된 드레인 셀렉트 트랜지스터들의 게이트들은 서로 연결되는 반도체 메모리

장치.

청구항 6

제 5 항에 있어서,

상기 제1 내지 제4 상위 셀 스트링들은 상기 메모리 셀들 중 마지막 메모리 셀에 연결된 제3 더미 패스 메모리 셀을 더 포함하는 반도체 메모리 장치.

청구항 7

제 5 항에 있어서,

상기 제1 내지 제4 상위 셀 스트링은 상기 드레인 셀렉트 트랜지스터와 상기 메모리 셀 사이에 연결된 제4 더미 트랜지스터를 더 포함하는 반도체 메모리 장치.

청구항 8

기관에 형성된 제1 및 제2 파이프 게이트들;

상기 제1 파이프 게이트 내에 형성된 제1 및 제4 수평 채널층들;

상기 제2 파이프 게이트 내에 형성된 제2 및 제3 수평 채널층들;

상기 기관의 서로 다른 영역 상에 적층된 제1 도전막들 및 제2 도전막들;

상기 제1 및 제2 도전막들 상에 형성된 소스 라인 및 비트라인들;

상기 제1 내지 제4 수평 채널층들과 상기 소스 라인 사이에 각각 연결되고 상기 제1 도전막들을 관통하도록 형성된 제2, 제3, 제6 및 제7 수직 채널층들;

상기 제1 및 제3 수평 채널층들과 제1 비트라인 사이에 각각 연결되고, 상기 제2 도전막들을 관통하도록 형성된 제1 및 제5 수직 채널층들; 및

상기 제2 및 제4 수평 채널층들과 제2 비트라인 사이에 각각 연결되고, 상기 제2 도전막들을 관통하도록 형성된 제4 및 제8 수직 채널층들을 포함하는 반도체 메모리 장치.

청구항 9

제 8 항에 있어서,

상기 제2, 제3, 제6 및 제7 수직 채널층들과 상기 제1 도전막들의 사이와 상기 제1, 제4, 제5 및 제8 수직 채널층들과 상기 제2 도전막들 사이에 배치된 전하 저장막을 더 포함하는 반도체 메모리 장치.

청구항 10

제 8 항에 있어서,

상기 제1 파이프 게이트가 상기 제2 파이프 게이트를 둘러싸도록 배치되는 반도체 메모리 장치.

청구항 11

제 8 항에 있어서,

상기 제1 도전막들 중 최상부 도전막은 소스 셀렉트 라인이 되고 나머지 도전막들은 워드라인이 되는 반도체 메모리 장치.

청구항 12

제 11 항에 있어서,

상기 최상부 도전막의 하부에 위치하는 도전막과 최하부 도전막은 더미 패스 워드라인이 되는 반도체 메모리 장치.

청구항 13

제 8 항에 있어서,

상기 제2 도전막들 중 최상부 도전막은 드레인 셀렉트 라인이 되고 나머지 도전막들은 워드라인이 되는 반도체 메모리 장치.

청구항 14

제 13 항에 있어서,

상기 최상부 도전막의 하부에 위치하는 도전막과 최하부 도전막은 더미 패스 워드라인이 되는 반도체 메모리 장치.

청구항 15

비트라인들과 소스 라인 사이에 형성된 메모리 스트링들을 포함하고, 상기 비트라인들과 상기 소스 라인은 기판 상에 형성되고, 각각의 메모리 스트링은 상기 비트라인 및 상기 기판에 형성된 파이프 트랜지스터들 사이에 연결된 상위 셀 스트링과 상기 소스 라인 및 상기 파이프 트랜지스터 사이에 연결된 하위 셀 스트링을 포함하는 메모리 블록; 및

프로그램 동작을 위해 상기 메모리 스트링들로 동작 전압들을 인가하고, 상기 메모리 블록에서 같은 비트라인에 연결된 메모리 스트링들의 상기 파이프 트랜지스터들로 서로 다른 전압을 인가하도록 구성된 동작 회로를 포함하는 반도체 메모리 장치.

청구항 16

제 15 항에 있어서, 상기 프로그램 동작 시,

상기 동작 회로는 메모리 스트링들 중 선택된 메모리 스트링의 파이프 트랜지스터에 인가되는 전압보다 더 높은 전압을 비선택된 메모리 스트링의 파이프 트랜지스터에 인가하도록 구성되는 반도체 메모리 장치.

청구항 17

제 16 항에 있어서,

상기 선택된 메모리 스트링의 파이프 트랜지스터와 비선택 워드라인들에는 패스 전압이 인가되는 반도체 메모리 장치.

청구항 18

제 17 항에 있어서,
상기 선택된 메모리 스트링의 더미 패스 워드라인들에 패스 전압이 인가되는 반도체 메모리 장치.

청구항 19

제 15 항에 있어서, 상기 프로그램 동작 시,
상기 메모리 스트링들 중 비선택 메모리 스트링의 채널 영역에서 부스팅 레벨을 조절하기 위하여, 상기 동작 회로는 상기 메모리 스트링들의 비선택 워드라인들로 인가되는 패스 전압과 다른 전압을 상기 메모리 스트링들의 더미 패스 워드라인들로 인가하도록 구성되는 반도체 메모리 장치.

청구항 20

제 15 항에 있어서,
상기 메모리 블록에서 같은 비트라인에 연결된 메모리 스트링들의 상기 파이프 트랜지스터들의 게이트들은 서로 분리되고,
다른 비트라인들에 연결된 메모리 스트링들의 상기 파이프 트랜지스터들의 게이트들은 서로 연결되는 반도체 메모리 장치.

명세서

기술분야

[0001] 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 파이프 트랜지스터를 포함하는 반도체 메모리 장치에 관한 것이다.

배경기술

[0002] 데이터 저장 용량을 늘이기 위해서는 정해진 면적에 더 많은 수의 메모리 셀들을 형성해야 한다. 이를 위해 메모리 셀 사이즈를 줄이고 있으나 메모리 셀의 사이즈를 줄이는 데에는 한계가 있다. 다른 방안으로써 반도체 기판으로부터 메모리 셀들을 수직으로 적층하는 3차원 구조의 메모리 블록(또는 메모리 스트링)이 제시되고 있다. 이러한 3차원 구조의 메모리 스트링은 실리콘으로 이루어진 수직 채널을 포함한다.

[0003] 최근에는 메모리 스트링을 3차원 구조로 형성함에 따른 전기적 특성 저하를 방지할 수 있는 방안도 함께 요구되고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 실시예는 전기적 특성을 향상시킬 수 있는 반도체 메모리 장치를 제공한다.

과제의 해결 수단

[0005] 본 발명의 실시예에 따른 반도체 메모리 장치는 제1 파이프 트랜지스터, 제1 비트라인 및 제1 파이프 트랜지스터 사이에 연결된 제1 상위 셀 스트링 및 제1 파이프 트랜지스터 및 소스 라인 사이에 연결된 제1 하위 셀 스트링을 포함하는 제1 메모리 스트링과, 제2 파이프 트랜지스터, 제2 비트라인 및 제2 파이프 트랜지스터 사이에 연결된 제2 상위 셀 스트링 및 제2 파이프 트랜지스터 및 소스 라인 사이에 연결된 제2 하위 셀 스트링을 포함

하는 제2 메모리 스트링과, 제3 파이프 트랜지스터, 제1 비트라인 및 제3 파이프 트랜지스터 사이에 연결된 제3 상위 셀 스트링 및 제3 파이프 트랜지스터 및 소스 라인 사이에 연결된 제3 하위 셀 스트링을 포함하는 제3 메모리 스트링, 및 제4 파이프 트랜지스터, 제2 비트라인 및 제4 파이프 트랜지스터 사이에 연결된 제4 상위 셀 스트링 및 제4 파이프 트랜지스터 및 소스 라인 사이에 연결된 제4 하위 셀 스트링을 포함하는 제4 메모리 스트링을 포함하며, 제1 및 제4 파이프 트랜지스터들의 게이트들이 서로 연결되고, 제2 및 제3 파이프 트랜지스터들의 게이트들이 서로 연결된다.

[0006]

본 발명의 다른 실시예에 따른 반도체 메모리 장치는 기판에 형성된 제1 및 제2 파이프 게이트들과, 제1 파이프 게이트 내에 형성된 제1 및 제4 수평 채널층들과, 제2 파이프 게이트 내에 형성된 제2 및 제3 수평 채널층들과, 기판의 서로 다른 영역 상에 적층된 제1 도전막들 및 제2 도전막들과, 제1 및 제2 도전막들 상에 형성된 소스 라인 및 비트라인들과, 제1 내지 제4 수평 채널층들과 소스 라인 사이에 각각 연결되고 제1 도전막들을 관통하도록 형성된 제2, 제3, 제6 및 제7 수직 채널층들과, 제1 및 제3 수평 채널층들과 제1 비트라인 사이에 각각 연결되고, 제2 도전막들을 관통하도록 형성된 제1 및 제5 수직 채널층들, 및 제2 및 제4 수평 채널층들과 제2 비트라인 사이에 각각 연결되고, 제2 도전막들을 관통하도록 형성된 제4 및 제8 수직 채널층들을 포함한다.

[0007]

본 발명의 다른 실시예에 따른 반도체 메모리 장치는 비트라인들과 소스 라인 사이에 형성된 메모리 스트링들을 포함하고, 비트라인들과 소스 라인은 기판 상에 형성되고, 각각의 메모리 스트링은 비트라인 및 기판에 형성된 파이프 트랜지스터들 사이에 연결된 상위 셀 스트링과 소스 라인 및 파이프 트랜지스터 사이에 연결된 하위 셀 스트링을 포함하는 메모리 블록, 및 프로그램 동작, 리드 동작 및 소거 동작을 위해 메모리 스트링들로 동작 전압들을 인가하고, 메모리 블록에서 같은 비트라인에 연결된 메모리 스트링들의 파이프 트랜지스터들로 서로 다른 파이프 게이트 전압을 인가하도록 구성된 동작 회로를 포함한다.

발명의 효과

[0008]

본 발명의 실시예는 반도체 메모리 장치의 전기적 특성을 향상시킬 수 있다.

도면의 간단한 설명

[0009]

- 도 1은 본 발명의 실시예에 따른 반도체 메모리 장치를 설명하기 위한 블록도이다.
- 도 2a 및 도 2b는 도 1의 메모리 블록에 포함된 메모리 스트링을 설명하기 위한 도면들이다.
- 도 3a 내지 도 3c는 도 2a의 메모리 스트링에 포함된 메모리 소자를 설명하기 위한 사시도들이다.
- 도 4는 도 1의 메모리 블록에 포함된 메모리 스트링들의 접속 관계를 설명하기 위한 회로도이다.
- 도 5는 도 1의 메모리 블록에 포함된 메모리 스트링들의 접속 관계를 설명하기 위한 단면도이다.
- 도 6은 도 1의 메모리 블록에 포함된 메모리 스트링들의 접속 관계를 설명하기 위한 평면도이다.
- 도 7은 본 발명의 실시예에 따른 반도체 메모리 장치의 동작 방법을 설명하기 위한 파형도이다.
- 도 8은 본 발명의 실시예에 따른 메모리 시스템을 간략히 보여주는 블록도이다.
- 도 9는 프로그램 동작을 수행하는 퓨전 메모리 장치 또는 퓨전 메모리 시스템을 간략히 보여주는 블록도이다.
- 도 10은 본 발명의 실시예에 따른 플래시 메모리 장치를 포함한 컴퓨팅 시스템을 간략히 보여주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0010]

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명의 범위는 본원의 특허 청구 범위

에 의해서 이해되어야 한다.

- [0011] 도 1은 본 발명의 실시예에 따른 반도체 메모리 장치를 설명하기 위한 블록도이다.
- [0012] 도 1을 참조하면, 반도체 메모리 장치는 메모리 어레이(110) 및 동작 회로(120~140)를 포함한다. 메모리 어레이(110)는 다수의 메모리 블록들을 포함한다. 각각의 메모리 블록은 다수의 메모리 스트링들을 포함한다. 각각의 메모리 스트링들은 다수의 메모리 셀들을 포함한다. 플래시 메모리 장치의 경우, 메모리 블록은 플래시 메모리 셀을 포함할 수 있다. 예로써, 메모리 블록은 폴리실리콘의 플로팅 게이트나 질화막의 전하 저장막을 포함하는 플래시 메모리 셀들을 포함할 수 있다.
- [0013] 특히, 메모리 블록은 비트라인들과 각각 연결되고 소스 라인과 병렬로 연결되는 메모리 스트링들을 포함할 수 있다. 메모리 스트링들은 반도체 기판 상에 2차원 구조나 3차원 구조로 형성될 수 있다. 3차원 구조의 메모리 스트링을 포함하는 메모리 블록에 대하여 보다 구체적으로 설명하기로 한다.
- [0014] 도 2a 및 도 2b는 도 1의 메모리 블록에 포함된 메모리 스트링을 설명하기 위한 도면들이다.
- [0015] 도 2a 및 도 2b를 참조하면, 반도체 기판(미도시) 상에 리세스부를 포함하는 파이프 게이트(PG)가 형성되고, 파이프 게이트(PG)의 리세스부 내에 파이프 채널층(PC)이 형성된다. 파이프 채널층(PC) 상에는 다수의 수직 채널층들(SP1, SP2)이 형성된다. 한쌍의 수직 채널층들 중 제2 수직 채널층(SP2)의 상부는 소스 라인(SL)과 연결되고, 제1 수직 채널층(SP1)의 상부는 비트라인(BL)과 연결된다. 수직 채널층들(SP1, SP2)은 폴리실리콘으로 형성될 수 있다.
- [0016] 제1 수직 채널층(SP1)의 서로 다른 높이에서 제1 수직 채널층(SP1)을 감싸도록 다수의 도전막들(DSL, WLn~WLk+1)이 형성된다. 또한, 제2 수직 채널층(SP2)의 서로 다른 높이에서 제2 수직 채널층(SP2)을 감싸도록 다수의 도전막들(SSL, WLo~WLk)이 형성된다. 수직 채널층들(SP1, SP2)의 표면과 파이프 채널층(PC)의 표면에는 전하 저장막을 포함하는 다층막(미도시)이 형성되며, 다층막은 수직 채널층들(SP1, SP2)과 도전막들(DSL, WLn~WLk+1, SSL, WLo~WLk)의 사이와 파이프 채널층(PC)과 파이프 게이트(PC)의 사이에도 위치한다.
- [0017] 제1 수직 채널층(SP1)을 감싸는 최상부 도전막은 드레인 셀렉트 라인(DSL)이 되고, 드레인 셀렉트 라인(DSL)의 하부 도전막들은 워드라인들(WLn~WLk+1)이 될 수 있다. 워드라인들로 사용되는 도전막들 중 일부는 더미 워드라인이 될 수 있다. 제2 수직 채널층(SP2)을 감싸는 최상부 도전막은 소스 셀렉트 라인(SSL)이 되고, 소스 셀렉트 라인(SSL)의 하부 도전막들은 워드라인들(WLo~WLk)이 될 수 있다. 워드라인들로 사용되는 도전막들 중 일부는 더미 워드라인이 될 수 있다.
- [0018] 다시 말해, 반도체 기판의 서로 다른 영역 상에는 제1 도전막들(SSL, WLo~WLk)과 제2 도전막들(DSL, WLn~WLk+1)이 적층된다. 제1 도전막들(SSL, WLo~WLk)을 관통하는 제2 수직 채널층(SP2)은 소스 라인(SL)과 파이프 채널층(PC) 사이에 수직으로 연결된다. 제2 도전막들(DSL, WLn~WLk+1)을 관통하는 제1 수직 채널층(SP1)은 비트 라인(BL)과 파이프 채널층(PC) 사이에 수직으로 연결된다.
- [0019] 드레인 셀렉트 라인(DSL)이 제1 수직 채널층(SP1)을 감싸는 부분에서 드레인 선택 트랜지스터(DST)가 형성되고, 워드라인들(WLn~WLk+1)이 제1 수직 채널층(SP1)을 감싸는 부분에서 메인 셀 트랜지스터들(Cn~Ck+1)이 각각 형성된다. 소스 셀렉트 라인(SSL)이 제2 수직 채널층(SP2)을 감싸는 부분에서 소스 선택 트랜지스터(SST)가 형성되고, 워드라인들(WLo~WLk)이 제2 수직 채널층(SP2)을 감싸는 부분에서 메인 셀 트랜지스터들(C0~Ck)이 각각 형성된다.
- [0020] 상기의 구조에 의해, 메모리 스트링은 비트 라인(BL) 및 파이프 채널층(PC) 사이에 기판과 수직으로 연결되는 드레인 셀렉트 트랜지스터(DST) 및 메인 셀 트랜지스터들(Cn~Ck+1)과 공통 소스 라인(CSL) 및 파이프 채널층(PC) 사이에 기판과 수직으로 연결되는 소스 셀렉트 트랜지스터(SST) 및 메인 셀 트랜지스터들(C0~Ck)을 포함할 수 있다. 상기의 구조에서 셀렉트 트랜지스터(DST 또는 SST)와 메인 셀 트랜지스터(Cn 또는 C0) 사이에 더미 셀 트랜지스터가 더 연결되고, 메인 셀 트랜지스터(Ck+1 또는 Ck)와 파이프 트랜지스터(PT) 사이에 더미 셀 트랜지스터가 더 연결될 수도 있다.
- [0021] 도 2a에서 형성되는 메모리 셀의 구조를 보다 구체적으로 설명하면 다음과 같다. 도 3a 내지 도 3c는 도 2a의 메모리 스트링에 포함된 메모리 소자를 설명하기 위한 사시도들이다.

- [0022] 도 3a 내지 도 3c를 참조하면, 본 발명의 실시 예들에 따른 3차원 불휘발성 메모리 소자는 도면에 도시되지 않은 기관 상부로 돌출되며 다수행 및 다수열을 포함하는 매트릭스를 구성하는 수직 채널층들(SP)을 포함한다. 수직 채널층(SP) 각각은 중심부가 절연막(319)으로 채워진 관(tube) 형태로 형성되거나, 표면과 중심부가 반도체 물질막으로 형성된 기둥 형태로 형성될 수 있다.
- [0023] 수직 채널층(SP)은 교대로 적층된 다층의 층간 절연막(311A~311D) 및 다층의 도전막들(331A~331C)에 의해 둘러싸인다. 다층의 층간 절연막(311A~311D) 및 다층의 도전막들(331A~331C)은 인접한 수직 채널층(SP)의 열 사이에 형성되며, 다층의 층간 절연막(311A~311D)을 관통하여 열 방향을 따라 확장된 절연막(341)에 의해 분리된다.
- [0024] 도전막들(331A~331C)은 서로 인접한 층의 층간 절연막들(311A~311D) 사이에 트렌치(T) 내에 형성되며, 트렌치(T) 별로 분리된다. 트렌치(T)는 워드 라인(WL)이 형성될 영역을 정의하는 공간일 수 있다.
- [0025] 도전막들(331A~331C) 각각은 베리어 메탈 패턴(327a)으로 둘러싸인다. 베리어 메탈 패턴(327a)은 트렌치(T) 내에 형성되며, 트렌치(T)별로 분리된다.
- [0026] 수직 채널층(SP)과 베리어 메탈 패턴들(327a) 사이에는 전하 차단막(323)이 개재되며, 베리어 메탈 패턴들(327a)과 전하 차단막(323) 사이에는 확산 방지막(325)이 개재된다. 또한, 전하 차단막(323)과 수직 채널층(SP) 사이에는 전하 저장막(317)이 개재되며, 전하 저장막(317)과 수직 채널층(SP) 사이에는 터널 절연막(318)이 개재된다.
- [0027] 전하 저장막(317) 및 터널 절연막(318)은 수직 채널층(SP) 외벽을 감싸도록 형성될 수 있다.
- [0028] 전하 차단막(323)은 도 4a에 도시된 바와 같이 트렌치(T) 표면을 따라 형성되어 베리어 메탈 패턴(327a)을 감싸도록 형성되거나, 도 4b 및 도 4c에 도시된 바와 같이 수직 채널층(SP) 외벽을 감싸도록 형성될 수 있다.
- [0029] 확산 방지막(325)은 도 4a 및 도 4b에 도시된 바와 같이 트렌치(T) 표면을 따라 형성되어 베리어 메탈 패턴(327a)을 감싸도록 형성될 수 있다. 또는 확산 방지막(325)이 절연막인 경우, 도 4c에 도시된 바와 같이 수직 채널층(SP)의 외벽을 감싸도록 형성될 수 있다.
- [0030] 상기에서 트렌치(T) 내부의 도전막들(331A~331C) 각각과 이를 감싸는 베리어 메탈 패턴(327a)은 워드 라인(WL)으로 이용될 수 있다. 워드 라인(WL)과 수직 채널층(SP)의 교차부에 메모리 셀 트랜지스터가 정의된다. 상술한 구조에 따라 본 발명의 일 실시 예에 따른 메모리 셀 트랜지스터는 수직 채널층(SP)을 따라 적층되어 3차원적으로 배열된다.
- [0031] 도전막(331A~331D)은 폴리 실리콘막 또는 폴리 실리콘막에 비해 저항이 낮으며, 일함수가 큰 물질막으로 형성될 수 있다. 예를 들어, 도전막(331A~331D)은 텅스텐(W)으로 형성될 수 있다. 도전막(331A~331D)을 일함수가 큰 물질막으로 형성한 경우, 전하 차단막(323)을 통해 전하 저장막 쪽으로 전하가 백터널링하는 현상을 줄일 수 있다. 백터널링 현상이 줄어들면, 메모리 셀의 리텐션 특성이 증가된다.
- [0032] 베리어 메탈 패턴(327a)은 높은 일함수의 도전막(331A~331D)과 전하 차단막(323) 사이의 반응을 저지하는 물질로 형성될 수 있다. 또한 베리어 메탈 패턴(327a)은 백터널링 현상을 줄이기 위해, 일함수가 높은 물질막으로 형성될 수 있다.
- [0033] 다시, 도 1을 참조하면, 동작 회로는 제어 회로(120), 전압 공급 회로(130) 및 읽기/쓰기 회로(140)를 포함할 수 있다.
- [0034] 동작 회로(120~140)는 선택된 메모리 스트링들에 포함된 메모리 셀들의 프로그램 동작, 소거 동작, 검증 동작 및 리드 동작을 수행하도록 구성된다. 이러한 동작 회로는 프로그램 동작, 소거 동작, 검증 동작 및 리드 동작을 제어하기 위한 제어 회로(120)와 제어 회로(120)의 제어에 따라 프로그램 동작, 소거 동작, 검증 동작 및 리드 동작을 수행하도록 구성된 전압 공급 회로(130) 및 읽기/쓰기 회로(140)를 포함한다. 프로그램 동작, 소거 동작, 검증 동작 및 리드 동작을 수행하기 위하여, 전압 공급 회로(130)는 동작 전압들을 선택된 메모리 블록의 로컬 라인들(예, 도 4의 DSL1~DSL2, DPWL0~DPWL4, WLn~WLk, SSL, PG1~PG2)과 소스 라인(SL)으로 선택적으로 출력하고, 읽기/쓰기 회로(140)는 비트라인들(도 4의 BLe, BLo)의 프리차지/디스차지를 제어하거나 비트라인들(BLe, BLo)의 전류 흐름을 센싱하도록 구성된다. 각각의 구성 요소에 대해 구체적으로 설명하면 다음과 같다.
- [0035] 제어 회로(120)는 외부로부터 명령 신호에 응답하여 프로그램 동작, 소거 동작, 검증 동작 및 리드 동작을 수행

하기 위한 동작 전압들(도 7 참조)이 원하는 레벨로 발생될 수 있도록 전압 공급 회로(130)를 제어하기 위한 전압 제어 신호를 출력한다. 그리고, 제어 회로(120)는 프로그램 동작, 소거 동작, 검증 동작 및 리드 동작을 수행하기 위해 읽기/쓰기 회로(140)에 포함된 읽기/쓰기 회로들(또는 페이지 버퍼들)을 제어하기 위한 제어 신호들을 출력한다. 또한, 제어 회로(120)는 어드레스 신호가 입력되면 이들에 의해 컬럼 어드레스 신호와 로우 어드레스 신호를 생성한다. 여기서, 로우 어드레스에 따라 선택되는 메모리 블록과 워드라인이 결정되고 선택된 워드라인과 비선택된 워드라인들에 인가되는 동작 전압들이 달라진다.

[0036] 제어 회로(120)는 프로그램 동작과 프로그램 검증 동작을 포함하는 프로그램 루프가 ISPP(Increment Step Pulse Programming) 방식으로 진행되도록 전압 공급 회로(130) 및 읽기/쓰기 회로(140)를 제어할 수 있다. 또한, 제어 회로(120)는 소거 동작과 소거 검증 동작을 포함하는 소거 루프가 ISPE(Increment Step Pulse Erasing) 방식으로 진행되도록 전압 공급 회로(130) 및 읽기/쓰기 회로(140)를 제어할 수 있다.

[0037] 전압 공급 회로(130)는 제어 회로(120)의 전압 제어 신호에 응답하여 메모리 셀들의 프로그램 동작, 소거 동작, 검증 동작 및 리드 동작에 따라 필요한 동작 전압들(예, 소거 전압, 프로그램 전압, 패스 전압, 리드 전압, 파이프 게이트 전압, 셀렉트 게이트 전압, 프로그램 금지 전압, 프로그램 허용 전압, 접지 전압 등등)을 생성하고, 제어 회로(120)의 로우 어드레스 신호에 응답하여 선택된 메모리 블록의 로컬 라인들과 소스 라인으로 동작 전압들을 선택적으로 출력한다.

[0038] 이러한 전압 공급 회로(130)는 전압 생성 회로(미도시)와 로우 디코더(미도시)를 포함할 수 있다. 전압 생성 회로는 제어 회로(120)의 전압 제어 신호에 응답하여 동작 전압들을 생성하고, 로우 디코더는 제어 회로(120)의 로우 어드레스 신호에 응답하여 동작 전압들을 메모리 블록들 중 선택된 메모리 블록의 로컬 라인들과 소스 라인으로 전달한다. 이렇듯, 이하에서 설명되는 동작 전압들의 출력과 변경은 제어 회로(120)의 전압 제어 신호에 따라 전압 공급 회로(130)에 의해 이루어진다.

[0039] 읽기/쓰기 회로(140)는 비트라인들을 통해 메모리 어레이(110)의 메모리 블록들과 연결된다. 프로그램 동작 시 읽기/쓰기 회로(140)는 제어 회로(120)의 제어 신호와 메모리 셀들에 저장하기 위한 데이터에 따라 비트라인들을 선택적으로 프리차지한다. 프로그램 검증 동작이나 리드 동작 시 제어 회로(120)의 제어 신호에 따라, 읽기/쓰기 회로(140)는 비트라인들을 프리차지한 후 비트라인들의 전압 변화나 전류를 센싱하여 메모리 셀로부터 독출된 데이터를 래치한다.

[0040] 상기에서 설명한 구성 요소들의 동작 방법은 도 7에서 구체적으로 설명하기로 한다.

[0041] 이하, 메모리 블록에 포함된 메모리 스트링들의 접속 관계를 보다 구체적으로 설명하기로 한다.

[0042] 도 4는 도 1의 메모리 블록에 포함된 메모리 스트링들의 접속 관계를 설명하기 위한 회로도이다.

[0043] 도 4를 참조하면, 메모리 블록은 다수의 메모리 스트링들을 포함하며, 각각의 비트라인마다 2개의 메모리 스트링들이 연결될 수 있다. 즉, 메모리 블록은 제1 비트라인들 또는 이븐 비트라인들(BLe; 편의상 하나의 이븐 비트라인만 도시됨) 및 소스 라인(SL) 사이에 연결된 메모리 스트링들(ST1, ST3; 편의상 2개의 메모리 스트링들만 도시됨)과 제2 비트라인들 또는 오드 비트라인들(BLo; 편의상 하나의 오드 비트라인만 도시됨) 및 소스 라인(SL) 사이에 연결된 메모리 스트링들(ST2, ST4; 편의상 2개의 메모리 스트링들만 도시됨)을 포함할 수 있다. 특히, 메모리 블록 내에서 이븐 비트라인(BLe)에 연결된 메모리 스트링들(ST1, ST3)의 파이프 트랜지스터들(PT1, PT3)의 게이트들(PG1, PG2)은 서로 분리되고, 오드 비트라인(BLo)에 연결된 메모리 스트링들(ST2, ST4)의 파이프 트랜지스터들(PT2, PT4)의 게이트들(PG2, PG1)은 서로 분리된다. 또한, 메모리 블록 내에서 이븐 비트라인(BLe)과 오드 비트라인(BLo)에 각각 연결된 메모리 스트링들(ST1, ST4)의 파이프 트랜지스터들(PT1, PT4)의 게이트들(PG1)은 서로 연결되고, 이븐 비트라인(BLe)과 오드 비트라인(BLo)에 각각 연결된 메모리 스트링들(ST2, ST3)의 파이프 트랜지스터들(PT2, PT3)의 게이트들(PG2)은 서로 연결된다. 보다 구체적으로 설명하면 다음과 같다.

[0044] 메모리 블록 내에서 이븐 비트라인(BLe)과 소스 라인(SL) 사이에는 제1 메모리 스트링(ST1) 및 제3 메모리 스트링(ST3)이 연결된다. 메모리 블록 내에서 오드 비트라인(BLo)과 소스 라인(SL) 사이에는 제2 메모리 스트링(ST2) 및 제4 메모리 스트링(ST4)이 연결된다. 비트라인들(BLe, BLo)과 소스 라인(SL)은 기판 상에 형성된다. 각각의 메모리 스트링은 파이프 트랜지스터를 포함하며, 파이프 트랜지스터는 기판에 형성된다.

[0045] 제1 메모리 스트링(ST1)은 제1 파이프 트랜지스터(PT1), 제1 상위 셀 스트링(ST1d) 및 제1 하위 셀 스트링

(ST1s)을 포함한다. 제1 상위 셀 스트링(ST1d)은 이븐 비트라인(BLe) 및 제1 파이프 트랜지스터(PT1) 사이에 연결되고, 제1 하위 셀 스트링(ST1s)은 제1 파이프 트랜지스터(PT1) 및 소스 라인(SL) 사이에 연결된다.

[0046] 제2 메모리 스트링(ST2)은 제2 파이프 트랜지스터(PT2), 제2 상위 셀 스트링(ST2d) 및 제2 하위 셀 스트링(ST2s)을 포함한다. 제2 상위 셀 스트링(ST2d)은 오드 비트라인(BLo) 및 제2 파이프 트랜지스터(PT2) 사이에 연결되고, 제2 하위 셀 스트링(ST2s)은 제2 파이프 트랜지스터(PT2) 및 소스 라인(SL) 사이에 연결된다.

[0047] 제3 메모리 스트링(ST3)은 제3 파이프 트랜지스터(PT3), 제3 상위 셀 스트링(ST3d) 및 제3 하위 셀 스트링(ST3s)을 포함한다. 제3 상위 셀 스트링(ST3d)은 이븐 비트라인(BLe) 및 제3 파이프 트랜지스터(PT3) 사이에 연결되고, 제3 하위 셀 스트링(ST3s)은 제3 파이프 트랜지스터(PT3) 및 소스 라인(SL) 사이에 연결된다.

[0048] 제4 메모리 스트링(ST4)은 제4 파이프 트랜지스터(PT4), 제4 상위 셀 스트링(ST4d) 및 제4 하위 셀 스트링(ST4s)을 포함한다. 제4 상위 셀 스트링(ST4d)은 오드 비트라인(BLo) 및 제4 파이프 트랜지스터(PT4) 사이에 연결되고, 제4 하위 셀 스트링(ST4s)은 제4 파이프 트랜지스터(PT4) 및 소스 라인(SL) 사이에 연결된다.

[0049] 제1 및 제4 파이프 트랜지스터들(PT1, PT4)의 게이트들(PG1)이 서로 연결되고, 제2 및 제3 파이프 트랜지스터(PT2, PT3)의 게이트들(PG2)이 서로 연결된다.

[0050] 각각의 하위 셀 스트링은 소스 라인(SL)과 연결되는 소스 셀렉트 트랜지스터(SST) 및 소스 셀렉트 트랜지스터(SST)에 연결되는 메모리 셀들(C0~C7)을 포함한다. 각각의 하위 셀 스트링은 소스 셀렉트 트랜지스터(SST) 및 메모리 셀(Co) 사이에 연결된 제1 더미 패스 메모리 셀(DPC0)을 더 포함할 수 있으며, 메모리 셀들 중 마지막 메모리 셀(C7)에 연결된 제2 더미 패스 메모리 셀(DPC1)을 더 포함할 수도 있다. 각각의 하위 셀 스트링은 제1 및 제2 더미 패스 메모리 셀들(DPC0, DPC1) 중 어느 하나의 더미 패스 메모리 셀만 포함하거나 둘 다 포함할 수 있다.

[0051] 각각의 상위 셀 스트링은 비트라인(예, BLe)과 연결되는 드레인 셀렉트 트랜지스터(예, DST1) 및 드레인 셀렉트 트랜지스터(예, DST1)에 연결되는 메모리 셀들(C15~C8)을 포함한다. 제1 및 제4 상위 셀 스트링들(ST1d, ST4d)에 포함된 드레인 셀렉트 트랜지스터들(DST1)의 게이트들(또는 드레인 셀렉트 라인들)(DSL1)은 서로 연결되고, 제2 및 제3 상위 셀 스트링들(ST2d, ST3d)에 포함된 드레인 셀렉트 트랜지스터들(DST2)의 게이트들(또는 드레인 셀렉트 라인들)(DSL2)은 서로 연결된다. 또한, 각각의 상위 셀 스트링들은 메모리 셀들(C15~C8) 중 마지막 메모리 셀(C8)에 연결된 제3 더미 패스 메모리 셀(DPC2)을 더 포함할 수 있으며, 드레인 셀렉트 트랜지스터와 메모리 셀(C15) 사이에 연결된 제4 더미 트랜지스터(DPC3)를 더 포함할 수도 있다.

[0052] 메모리 블록 내에서 같은 비트라인(예, BLe)에 연결된 메모리 스트링들(예, ST1, ST3)은 게이트들(또는 드레인 셀렉트 라인들)(DSL1, DSL2)이 분리된 드레인 셀렉트 트랜지스터들(DST1, DST2)을 각각 포함한다. 따라서, 프로그램 동작 시 드레인 셀렉트 트랜지스터들(DST1, DST2)에 의해 메모리 스트링들(예, ST1, ST3) 중 하나의 메모리 스트링만 비트라인에 전기적으로 연결될 수 있다. 즉, 같은 비트라인(예, BLe)에 연결된 메모리 스트링들(예, ST1, ST3) 중 하나의 메모리 스트링의 프로그램 동작만 실시할 수 있다.

[0053] 이하, 상기에서 설명한 메모리 블록의 단면 구조 및 평면 구조를 설명하기로 한다. 도 5는 도 1의 메모리 블록에 포함된 메모리 스트링들의 접속 관계를 설명하기 위한 단면도이다. 도 6은 도 1의 메모리 블록에 포함된 메모리 스트링들의 접속 관계를 설명하기 위한 평면도이다.

[0054] 도 5 및 도 6을 참조하면, 메모리 블록은 제1 및 제2 파이프 게이트들(PG1, PG2), 제1 내지 제4 수평 채널들(CHp1~CHp4), 제1 도전막들(SSL, DPWL0, WL0~WL7, DPWL1), 제2 도전막들(DSL, DPWL3, WL15~WL8, DPWL2) 및 제1 내지 제8 수직 채널층들(CHd1~CHd4, CHs1~CHs4)을 포함한다.

[0055] 메모리 블록의 제1 및 제2 파이프 게이트들(PG1, PG2)은 기판(SUB)에 형성된다. 또한, 제1 및 제2 파이프 게이트들(PG1, PG2)과 기판(SUB) 사이에는 절연막(미도시)이 더 형성될 수 있다. 제1 및 제4 수평 채널층들(CHp1, CHp4)은 제1 파이프 게이트(PG1) 내에 형성된다. 구체적으로, 제1 파이프 게이트(PG1)에 트랜치들이 형성되며, 제1 파이프 게이트(PG1)의 트랜치들 내에 제1 및 제4 수평 채널층들(CHp1, CHp4)이 각각 형성된다. 제2 및 제3 수평 채널층들(CHp2, CHp3)은 제2 파이프 게이트(PG2) 내에 형성된다. 구체적으로, 제2 파이프 게이트(PG2)에 트랜치들이 형성되며, 제2 파이프 게이트(PG2)의 트랜치들 내에 제2 및 제3 수평 채널층들(CHp2, CHp3)이 각각 형성된다.

[0056] 제1 도전막들(SSL, DPWL0, WL0~WL7, DPWL1) 및 제2 도전막들(DSL, DPWL3, WL15~WL8, DPWL2)은 기판(SUB)의 서

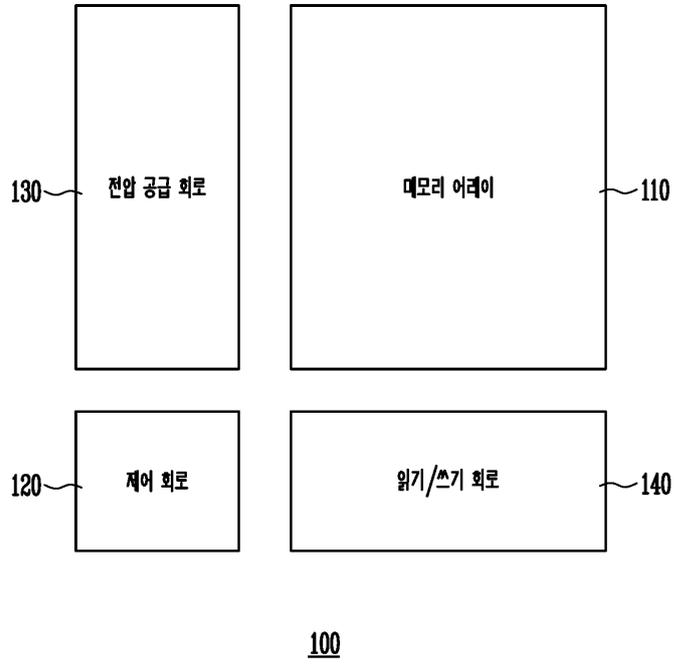
로 다른 영역 상에 적층된다.

- [0057] 소스 라인(SL) 및 비트라인들(BLe, BLo)은 제1 및 제2 도전막들(SSL, DPWL0, WL0~WL7, DPWL1, DSL, DPWL3, WL15~WL8, DPWL2)을 포함하는 기판(SUB) 상에 형성된다.
- [0058] 제2, 제3, 제6 및 제7 수직 채널층들(CHs1~CHs4)은 제1 내지 제4 수평 채널층들(CHp1~CHp4)과 소스 라인(SL) 사이에 각각 연결되고, 제1 도전막들(SSL, DPWL0, WL0~WL7, DPWL1)을 관통하도록 형성된다. 제1 및 제5 수직 채널층들(CHd1, CHd3)은 제1 및 제3 수평 채널층들(CHp1, CHp3)과 제1 비트라인(BLe) 사이에 각각 연결되고, 제2 도전막들(DSL, DPWL3, WL15~WL8, DPWL2)을 관통하도록 형성된다. 제4 및 제8 수직 채널층들(CHd2, CHd4)은 제2 및 제4 수평 채널층들(CHp2, CHp4)과 제2 비트라인(BLo) 사이에 각각 연결되고, 제2 도전막들(DSL, DPWL3, WL15~WL8, DPWL2)을 관통하도록 형성된다.
- [0059] 한편, 제2, 제3, 제6 및 제7 수직 채널층들(CHs1~CHs4)과 상기 제1 도전막들(SSL, DPWL0, WL0~WL7, DPWL1)의 사이와 제1, 제4, 제5 및 제8 수직 채널층들(CHd1~CHd4)과 제2 도전막들(DSL, DPWL3, WL15~WL8, DPWL2) 사이에 배치된 전하 저장막(CTL)을 더 포함할 수 있다. 전하 저장막(CTL)은 파이프 채널층들(CHp1~CHp4)과 파이프 게이트들(PG1, PG2) 사이에도 배치될 수 있다.
- [0060] 제1 파이프 게이트(PG1)는 제2 파이프 게이트(PG2)를 둘러싸도록 배치될 수 있다.
- [0061] 제1 도전막들(SSL, DPWL0, WL0~WL7, DPWL1) 중 최상부 도전막은 소스 셀렉트 라인(SSL)이 되고 나머지 도전막들은 워드라인(WL0~WL7)이 될 수 있다. 한편, 최상부 도전막(SSL)의 하부에 위치하는 도전막과 최하부 도전막은 더미 패스 워드라인(DPWL0, DPWL1)이 될 수 있다.
- [0062] 제2 도전막들(DSL, DPWL3, WL15~WL8, DPWL2) 중 최상부 도전막은 드레인 셀렉트 라인(DSL)이 되고 나머지 도전막들은 워드라인(WL8~WL15)이 될 수 있다. 한편, 최상부 도전막(DSL)의 하부에 위치하는 도전막과 최하부 도전막은 더미 패스 워드라인(DPWL2, DPWL3)이 될 수 있다.
- [0063] 제1 비트 라인(또는 이븐 비트라인)(BLe)과 제2 비트 라인(또는 오드 비트라인)(BLo)은 라인 형태로 평행하게 형성될 수 있다. 제1 및 제3 메모리 스트링들(ST1, ST3)이 제1 비트라인(BLe)에 연결되고 제2 및 제4 메모리 스트링들(ST2, ST4)이 제2 비트라인(BLo)에 연결되므로, 제1 내지 제4 메모리 스트링들(ST1~ST4)은 지그재그 형태로 배열될 수 있다.
- [0064] 이하, 상기에서 설명한 구조의 메모리 블록을 포함하는 반도체 메모리 장치의 동작 방법을 설명하기로 한다. 도 7은 본 발명의 실시예에 따른 반도체 메모리 장치의 동작 방법을 설명하기 위한 파형도이다.
- [0065] 도 4 및 도 7을 참조하면, 메모리 블록은 비트라인들(BLe, BLo)과 소스 라인(SL) 사이에 형성된 메모리 스트링들(ST1~ST4)을 포함한다. 비트라인들(BLe, BLo)과 소스 라인(SL)은 기판 상에 형성되고, 각각의 메모리 스트링(예, ST1)은 비트라인(예, BLe) 및 기판에 형성된 파이프 트랜지스터(PT1) 사이에 연결된 상위 셀 스트링(ST1d)과 소스 라인(SL) 및 파이프 트랜지스터(PT1) 사이에 연결된 하위 셀 스트링(ST1s)을 포함한다.
- [0066] 동작 회로는 프로그램 동작을 위해 메모리 스트링들(ST1~ST4)로 동작 전압들을 인가한다. 특히, 동작 회로는 메모리 블록에서 같은 비트라인(예, BLe)에 연결된 메모리 스트링들(ST1, ST3)의 파이프 트랜지스터들(PT1, PT3)의 게이트들(PG1, PG2)로 서로 다른 전압을 인가하도록 구성된다. 프로그램 동작을 예로써 구체적으로 설명하면 다음과 같다.
- [0067] T1 : 제1 구간(프리차지 구간)
- [0068] 프로그램 동작은 프리차지 구간, 프로그램 구간 및 디스차지 구간을 포함할 수 있다. 프리차지 구간에서는 비선택된 비트라인(예, BLe)에는 양전위의 프로그램 금지 전압이 인가된다. 선택된 비트라인(예, BLo)에는 메모리 셀에 저장되는 데이터에 따라 프로그램 금지 전압 또는 프로그램 허용 전압(예, 접지 전압)이 인가된다. 예를 들어, 메모리 셀에 '1' 데이터(또는 소거 데이터)가 저장되는 경우 선택된 비트라인(BLo)에 프로그램 금지 전압이 인가되고, '0' 데이터(또는 프로그램 데이터)가 저장되는 경우 선택된 비트라인(BLo)에 프로그램 허용 전압이 인가될 수 있다.
- [0069] 선택된 비트라인(BLo)에 연결된 메모리 스트링들(ST2, ST4) 중 선택된 메모리 스트링(예, ST4)의 드레인 셀렉트 라인(DSL1)에는 양전위의 드레인 셀렉트 전압(Vds11)이 인가된다. 그리고, 비선택된 메모리 스트링(예, ST2)의 드레인 셀렉트 라인(DSL2)에는 접지 레벨의 드레인 셀렉트 전압(0V)이 인가된다.

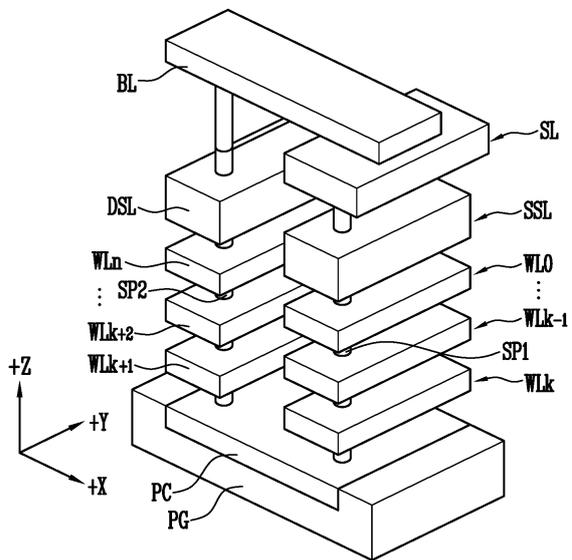
- [0070] 소스 셀렉트 라인(SSL)에는 접지 전압이 인가되고, 소스 라인(SL)에 양전압(예, 전원 전압)이 인가된다. 한편, 더미 패스 워드라인들(DPWL<0:3>)에는 양전압(또는 패스 전압)이 인가된다.
- [0071] 특히, 동작 회로는 선택된 메모리 스트링(ST4)에 포함된 파이프 트랜지스터(PT4)의 파이프 게이트(PG1)에 인가되는 전압(예, 패스 전압)의 레벨(A)보다 더 높은 레벨(B)의 전압을 비선택된 메모리 스트링(ST2)에 포함된 파이프 트랜지스터(PT2)의 파이프 게이트(PG2)에 인가하도록 구성된다. 파이프 게이트(PG1)에는 비선택 워드라인들에 인가되는 패스 전압과 동일한 전압이 인가될 수 있다.
- [0072] 비선택 메모리 스트링(ST2)의 파이프 트랜지스터(PT2)로 패스 전압보다 더 높은 전압이 인가됨에 따라, 비선택 메모리 스트링(ST2)의 채널 영역에서 채널 부스팅 현상을 향상시킬 수 있다. 그 결과, 후속으로 진행되는 프로그램 동작에서 비선택 메모리 스트링(ST2)에 포함된 메모리 셀들의 프로그램 디스터브 현상을 개선할 수 있다.
- [0073] 한편, 프로그램 동작 시, 비선택 메모리 스트링(ST2)의 채널 영역에서 부스팅 레벨을 조절하기 위하여, 동작 회로는 메모리 스트링들의 비선택 워드라인들로 인가되는 패스 전압과 다른 전압을 더미 패스 워드라인들(DPWL0~DPWL3)로 인가하도록 구성될 수 있다. 예로써, 채널 부스팅 레벨을 보다 더 높이는 경우 동작 회로는 더미 패스 워드라인들(DPWL0~DPWL3)로 인가되는 전압을 상승시키고, 채널 부스팅 레벨을 낮추는 경우 동작 회로는 더미 패스 워드라인들(DPWL0~DPWL3)로 인가되는 전압을 낮출 수 있다.
- [0074] T2 : 제2 구간(프로그램 구간)
- [0075] 메모리 셀에 데이터를 저장하기 위하여 프로그램 동작이 진행된다.
- [0076] 프로그램 동작을 위해, 동작 회로는 워드라인들(WL0~WL15)에 패스 전압(Vpass)을 인가한 후, 선택된 워드라인에는 프로그램 전압(VPGM)을 인가한다. 프로그램 전압이 인가된 워드라인의 메모리 셀들은 워드라인과 채널의 높은 전압차에 의해 전자가 전하 저장막으로 주입될 수 있다.
- [0077] 이때, 비선택 메모리 스트링에서는 채널 부스팅이 발생하여 워드라인과 채널 사이의 전압차가 낮기 때문에 비선택 메모리 셀의 전하 저장막으로 전자가 주입되지 않는다. 특히, 파이프 게이트(PG2)로 더 높은 레벨(B)의 파이프 게이트 전압이 인가되기 때문에 채널 부스팅이 보다 더 세게 발생하여 워드라인과 채널 사이의 전압차가 보다 더 낮아진다. 따라서, 비선택 메모리 셀의 전하 저장막으로 전자가 주입되는 것을 보다 더 차단할 수 있다.
- [0078] 한편, 제1 드레인 셀렉트 라인(DSL1)에 인가된 드레인 셀렉트 전압(Vds11)은 동작 특성 향상을 위해 접지 레벨로 낮아졌다가 다시 드레인 셀렉트 전압(Vds12)이 제1 드레인 셀렉트 라인(DSL1)으로 인가될 수 있다. 이 경우, 먼저 드레인 셀렉트 전압(Vds11)은 정상 레벨보다 높게 인가될 수 있다.
- [0079] T3 : 제3 구간(디스차지 구간)
- [0080] 프로그램 동작이 종료되면 메모리 블록으로 인가된 동작 전압들이 접지 레벨로 낮아지고, 로컬 라인들에 인가된 전압들이 디스차지된다.
- [0081] 도 8은 본 발명의 실시예에 따른 메모리 시스템을 간략히 보여주는 블록도이다.
- [0082] 도 8을 참조하면, 본 발명의 실시예에 따른 메모리 시스템(700)은 불휘발성 메모리 장치(720)와 메모리 컨트롤러(710)를 포함한다.
- [0083] 불휘발성 메모리 장치(720)는 앞서 설명한 반도체 메모리 장치를 포함한다. 메모리 시스템(700)이 앞서 설명한 반도체 메모리 장치를 포함함으로써, 전체적인 전기적 특성이 향상될 수 있다.
- [0084] 메모리 컨트롤러(710)는 불휘발성 메모리 장치(720)를 제어하도록 구성될 것이다. 불휘발성 메모리 장치(720)와 메모리 컨트롤러(710)의 결합에 의해 메모리 카드 또는 반도체 디스크 장치(Solid State Disk: SSD)로 제공될 수 있을 것이다. SRAM(711)은 프로세싱 유닛(712)의 동작 메모리로서 사용된다. 호스트 인터페이스(713)는 메모리 시스템(700)과 접속되는 호스트의 데이터 교환 프로토콜을 구비한다. 에러 정정 블록(714)은 불휘발성 메모리 장치(720)의 셀 영역으로부터 독출된 데이터에 포함되는 에러를 검출 및 정정한다. 메모리 인터페이스(714)는 본 발명의 불휘발성 메모리 장치(720)와 인터페이스한다. 프로세싱 유닛(712)은 메모리 컨트롤러(710)의 데이터 교환을 위한 제반 제어 동작을 수행한다.
- [0085] 비록 도면에는 도시되지 않았지만, 본 발명에 따른 메모리 시스템(700)은 호스트(Host)와의 인터페이스를 위한 코드 데이터를 저장하는 ROM(미도시됨) 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게

도면

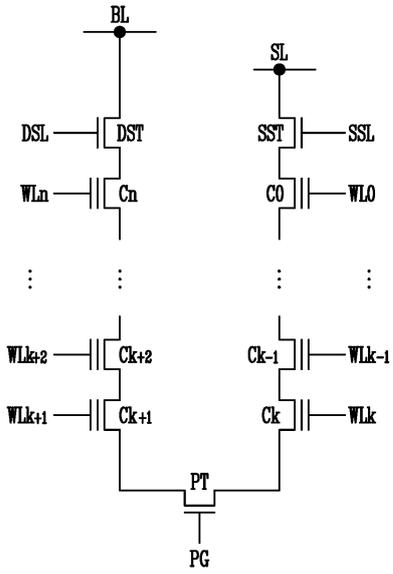
도면1



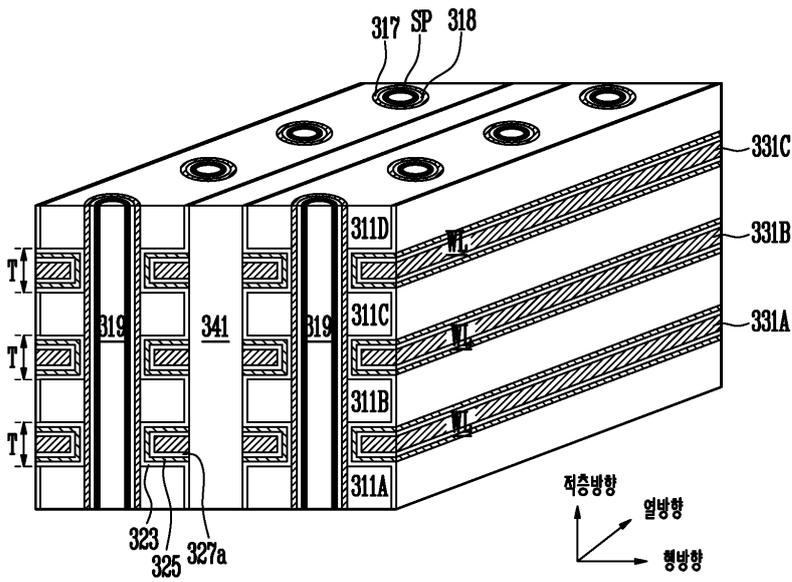
도면2a



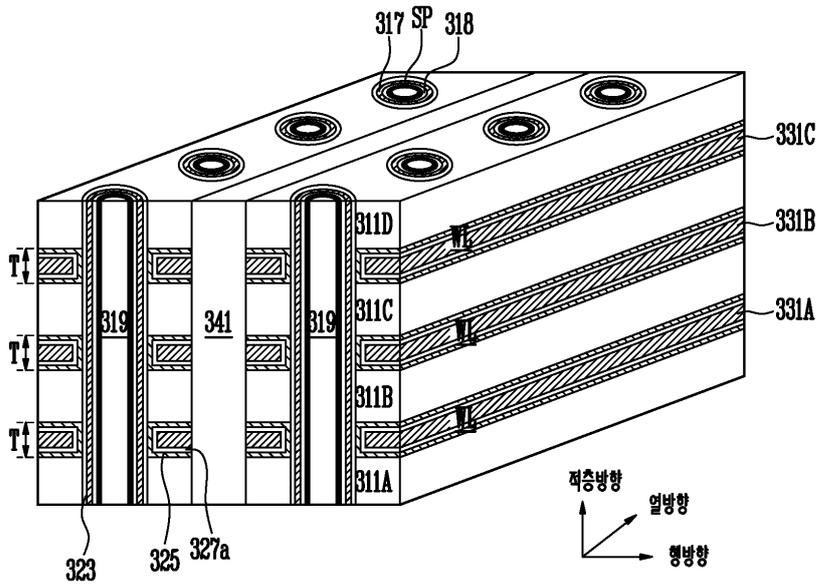
도면2b



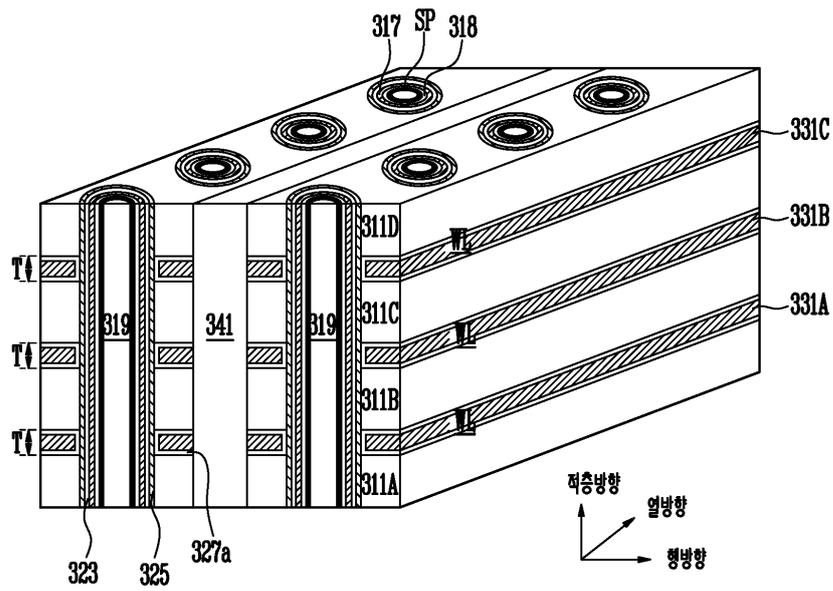
도면3a



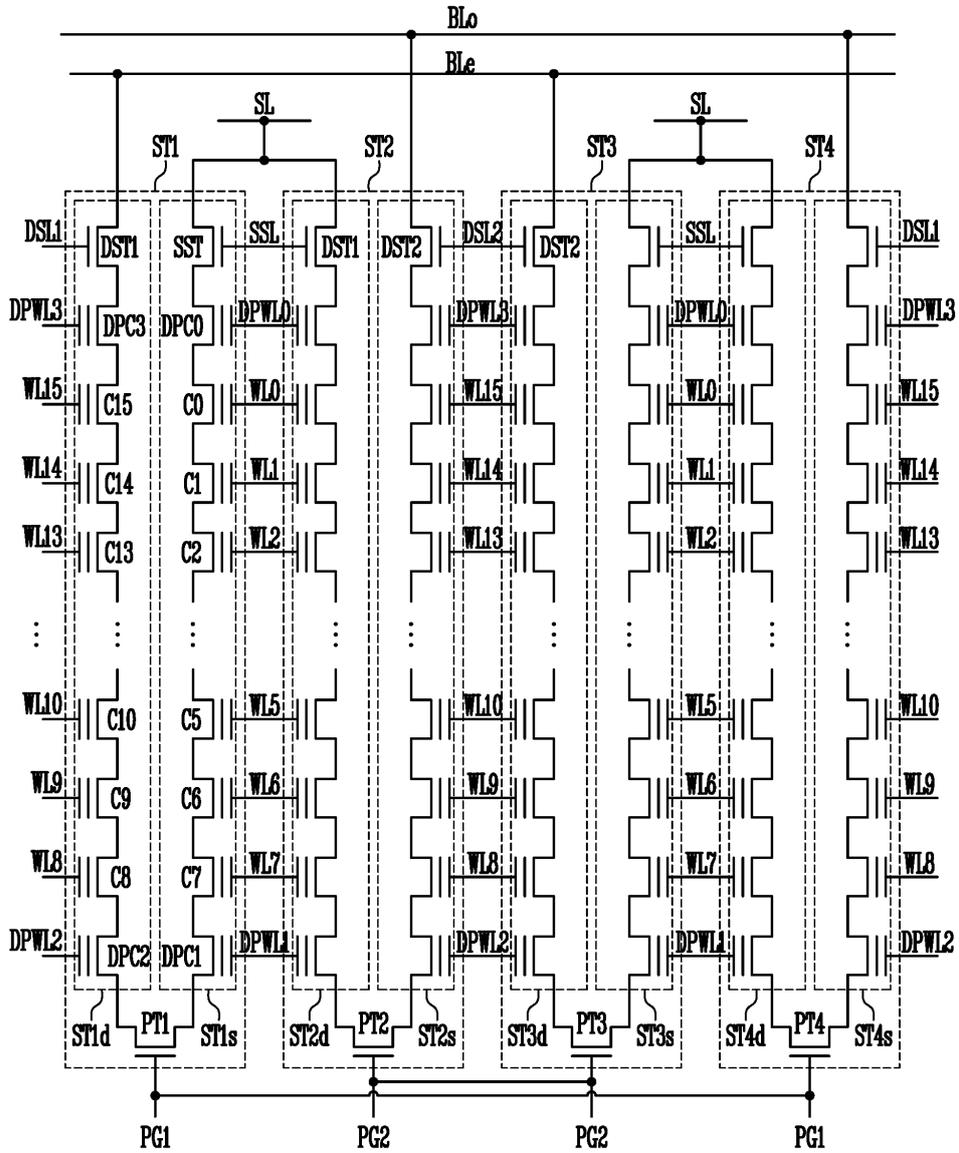
도면3b



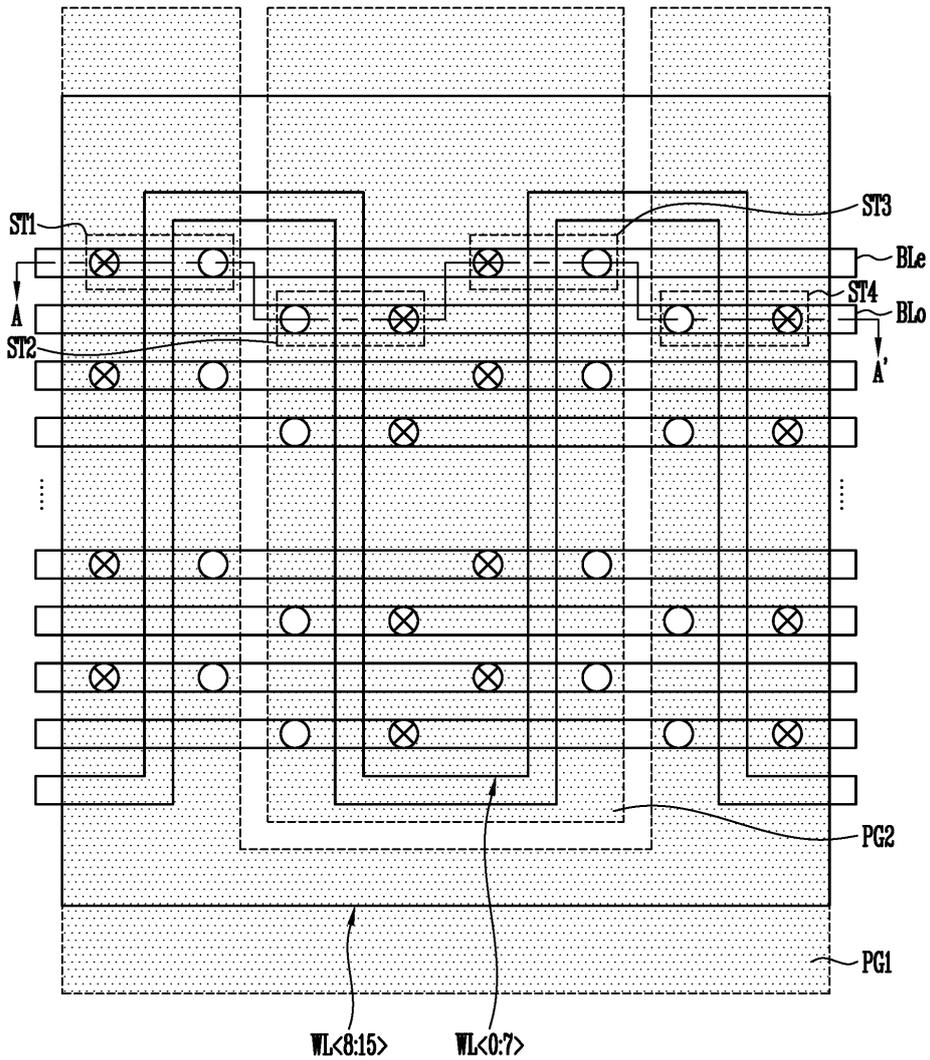
도면3c



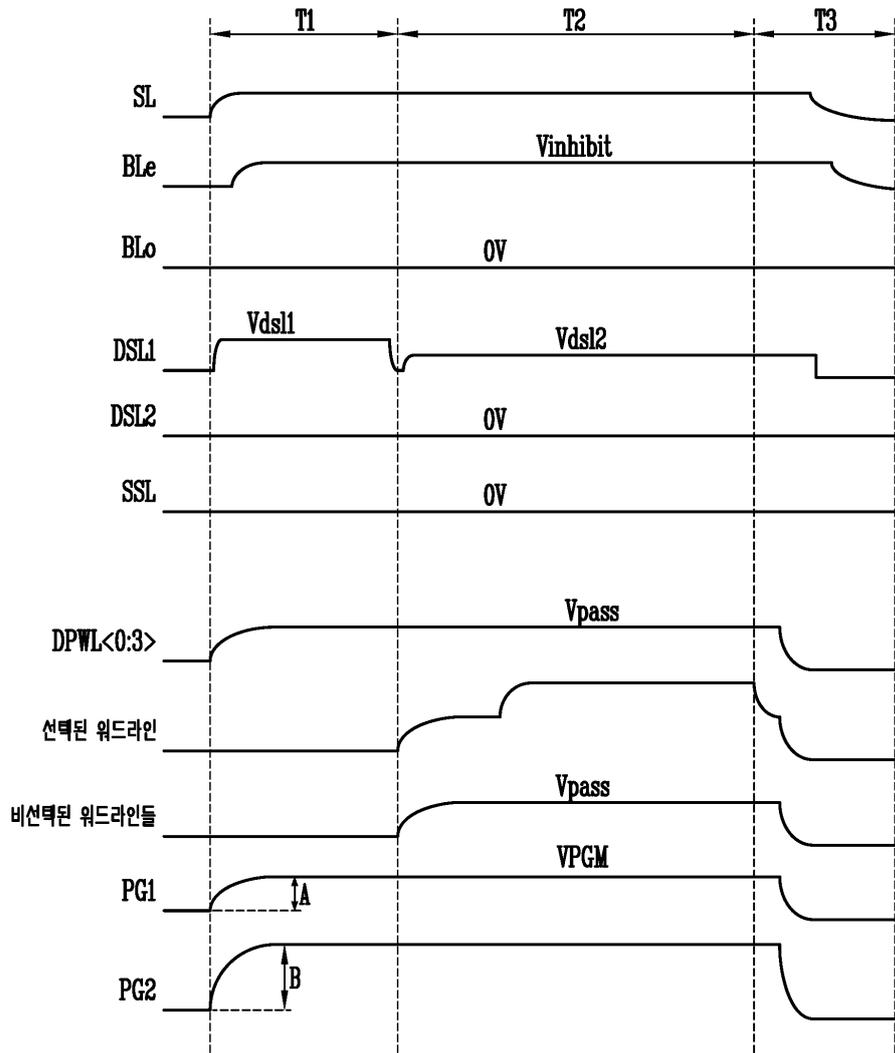
도면4



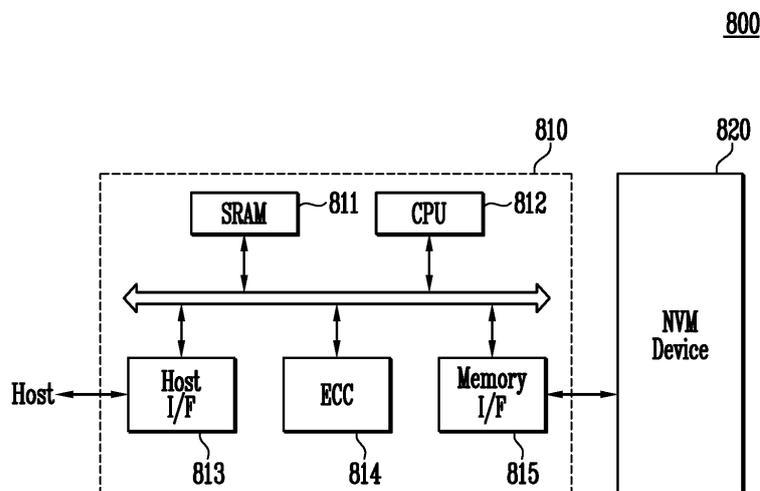
도면6



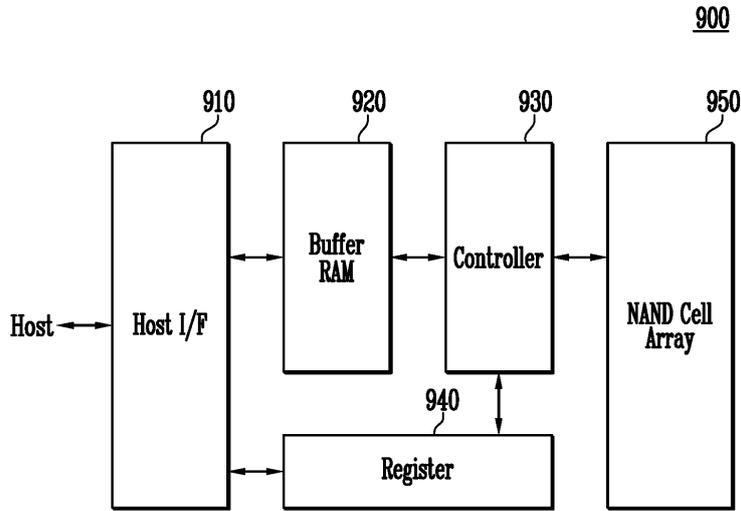
도면7



도면8



도면9



도면10

