

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

高密度電容器結構及方法

HIGH DENSITY CAPACITOR STRUCTURE AND METHOD

【技術領域】

【0001】本申請案是關於電容器製作，並且更尤指使用奈米結構形成高密度電容器。

【先前技術】

【0002】電容器是記憶體、邏輯與模擬電路中的重要組件。由於每單位面積的電容有限，電容器在整個電路佈局中一直佔據相當大的晶片面積。隨著積體電路系統(circuitry)密度增加，用於電容器的可用晶粒面積跟著減少。更稠密電路中的電容器面積減少，因而更難以包括具有夠高電容的電容器。因此，在晶片上的電容器面積固定的情況下，可增加電容的結構及方法的需求依然存在。

【發明內容】

【0003】本申請案提供基於半導體奈米柱的陣列的高密度電容器結構。該高密度電容器結構可以是複數個電容器，其中各該半導體奈米柱充當該複數個電容器其中一者的底電極，或者該高密度電容器結構可以是大面積金屬-絕緣體-金屬(MIM)電容器，其中該半導體奈米柱充當後續所形成用於該 MIM 電容器的底電極的支撐結構。

【0004】在本申請案的一項態樣中，提供一種形成複

數個電容器的方法。本方法包括首先在半導體基板上形成複數個半導體奈米柱。該複數個半導體奈米柱取向為垂直於該半導體基板的頂面。在該半導體基板及該複數個半導體奈米柱的曝露表面上方保形沉積介電材料層之後，在該介電材料層上方形成導電材料層。該導電材料層填充介於該複數個半導體奈米柱之間的空間。

【0005】在本申請案的另一態樣中，提供一種包含複數個電容器的半導體結構。該複數個電容器包含：複數個半導體奈米柱，其存在於半導體基板的頂面上，並取向為垂直於該半導體基板的頂面；保形介電材料層，其存在於該半導體基板的該頂面的曝露部分上，並圍繞該複數個半導體奈米柱的側壁；以及導電材料層，其位於該保形介電材料層上。該導電材料層橫向圍繞該複數個半導體奈米柱。

【0006】在本申請案的另一態樣中，提供一種包含電容器的半導體結構。該電容器包含複數個半導體奈米柱，其存在於半導體基板的頂面上，並取向為垂直於該半導體基板的頂面。該複數個半導體奈米柱各者的頂面上存在有觸媒點。該電容器更包括：保形第一導電材料層，其存在於該半導體基板的該頂面、該複數個半導體奈米柱、及該複數個觸媒點的曝露表面上；保形介電材料層，其存在於該保形第一導電材料層上；以及第二導電材料層，其存在於該保形介電材料層上。該第二導電材料層填充介於該複數個半導體奈米柱之間的空間，並在該保形介電材料層的最頂面上方具有頂面。

【0007】在本申請案的又另一態樣中，提供一種形成電容器的方法。本方法包括首先在半導體基板上形成複數個半導體奈米柱。該複數個奈米柱取向為垂直於該半導體基板的頂面。該複數個半導體奈米柱各者的頂面上存在有觸媒點。在該半導體基板、該複數個半導體奈米柱、及該個觸媒點的曝露表面上方保形沉積第一導電材料層之後，在該第一導電材料層上方保形沉積介電材料層。其次，在該介電材料層上方形成第二導電材料，該第二導電材料層填充介於該複數個半導體奈米柱之間的空間。

【圖式簡單說明】

【0008】第 1A 圖是根據本申請案的第一具體實施例，包括半導體基板的第一例示性半導體結構的立體圖，複數個觸媒點是在該半導體基板上形成。

【0009】第 1B 圖是第 1A 圖的第一例示性半導體結構沿著線條 B-B' 的截面圖。

【0010】第 2 圖是第 1B 圖的第一例示性半導體結構在垂直於半導體基板的頂面生長半導體奈米柱之後的截面圖。

【0011】第 3 圖是第 2 圖的第一例示性半導體結構在半導體基板、半導體奈米柱及觸媒點的曝露表面上保形沉積介電材料層之後的截面圖。

【0012】第 4 圖是第 3 圖的第一例示性半導體結構在介電材料層上形成導電材料層以完全填充半導體奈米柱之間的空間之後的截面圖。

【0013】第 5 圖是第 4 圖的第一例示性半導體結構在形成接觸階(contact level)介電層、及該接觸階介電層內的接觸結構之後的截面圖。

【0014】第 6 圖是根據本申請案的第二具體實施例，可衍生自第 2 圖的第一例示性半導體結構，在半導體基板、半導體奈米柱及觸媒點的曝露表面上方保形沉積第一導電材料層之後的第二例示性半導體結構的截面圖。

【0015】第 7 圖是第 6 圖的第二例示性半導體結構在第一導電材料層上方保形沉積介電材料層之後的截面圖。

【0016】第 8 圖是第 7 圖的第二例示性半導體結構在介電材料層上形成第二導電材料層以填充半導體奈米柱之間的空間之後的截面圖。

【0017】第 9 圖是第 8 圖的第二例示性半導體結構在形成第二導電材料層上的接觸階介電層、及該接觸階介電層內的接觸結構之後的截面圖。

【實施方式】

【0018】本申請案現將參照以下隨附本申請案的論述及圖式來更加詳述。注意到的是，本申請案的圖式僅是為了說明目的而提供，因此，圖式並未按照比例來繪製。也注意到的是，相似且對應的元件是以相似的參考元件符號來參照。

【0019】在以下說明中，提出許多具體細節，例如：特定結構、組件、材料、尺寸、處理步驟及技術，以便瞭解本申請案的各項具體實施例。然而，本領域的技術人員

將會領會的是，本申請案的各項具體實施例沒有這些具體細節也可予以實踐。在其它實例中，眾所周知的結構或處理步驟並未加以詳述，為的是要避免混淆本申請案。

【0020】請參閱第 1A 圖及第 1B 圖，根據本申請案的第一具體實施例的第一例示性半導體結構包括形成於半導體基板 10 上的複數個觸媒點(catalyst dot)12。半導體基板 10 可由任何合適的半導體材料所組成，舉例如 Si、Ge、SiGe、SiC、SiGeC、以及包括 InAs、GaAs 及 InP 的 III/V 族化合物半導體。在一項具體實施例中，半導體基板 10 是由 Si 所構成。選擇的半導體基板 10 一般具有(111)晶向，以使得奈米柱生長將會垂直於基板表面出現。半導體基板 10 的厚度可以是自 400 μm 至 1000 μm ，而一般的厚度是自 50 μm 至 900 μm 。

【0021】觸媒點 12 是用於促使半導體奈米柱生長，並可包括舉例如金、鋁、鈦、鈮、鐵或鎳的金屬。觸媒點 12 可分佈成在觸媒點 12 之間具有所欲間隔的規則圖案，或可分佈成隨機圖案。

【0022】在一項具體實施例中且如第 1A 圖所示，觸媒點 12 是均勻分佈於半導體基板 10 上。觸媒點 12 可藉由圖案化觸媒層來形成。觸媒層可先在半導體基板 10 上藉由習知的沉積技術來沉積，包括但不局限於化學氣相沉積(CVD)、濺鍍、及物理氣相沉積(PVD)。形成的觸媒層可具有範圍自 10 nm 至 50 nm 的厚度，但也可運用更小及更大的厚度。

【0023】隨後圖案化觸媒層以藉由微影及蝕刻程序來形成觸媒點 12。微影步驟包括在觸媒層上塗敷光阻（圖未示），將光阻曝照成所欲輻射(radiation)的圖案，然後利用習知的阻劑顯影劑將曝照的光阻顯影。蝕刻程序包含乾蝕刻及/或濕化學蝕刻。本申請案中可使用的合適的乾蝕刻程序包括反應性離子蝕刻(RIE)、離子束蝕刻、電漿蝕刻或雷射剝蝕。一般使用的是 RIE 程序。蝕刻程序利用半導體基板 10 當作蝕刻終止物，將圖案自圖案化光阻轉移至觸媒層。將圖案轉移至觸媒層之後，殘餘的光阻可利用舉例如灰化(ashing)的習知的阻劑剝除程序來移除。

【0024】在另一具體實施例中，觸媒點 12 可利用自組裝(self-assembly)程序來形成。“自組裝”一詞在本文中是用於表示讓材料自發組織成規則圖案。自組裝程序利用所屬技術領域眾所周知的嵌段共聚物(block copolymers)及技術。舉例而言，嵌段共聚物層（圖未示）首先藉由旋轉塗布在半導體基板 10 上方形成。嵌段共聚物層可包括任何能夠自組裝成更大等級陣列結構的嵌段共聚物。在一項具體實施例中，此嵌段共聚物是 PMMS-PS 嵌段共聚物。嵌段共聚物一經退火處理，便受奈米尺度相位分離並配置成陣列結構，該陣列結構是由第二聚合物嵌段的基質(matrix)圍繞第一聚合物嵌段的週期性球域所組成。接著選擇性移除第一聚合物嵌段以在第二聚合物嵌段的基質內提供開口，以曝露半導體基板 10 的部分。藉由鍍覆使開口填充有導電材料以提供觸媒點 12。形成觸媒點 12 之後，移除第二聚合

物嵌段的基質。

【0025】請參閱第 2 圖，半導體奈米柱 16 是垂直於半導體基板 10 的頂面來生長。半導體奈米柱 16 的生長是藉助於觸媒點 12，並且一般是藉由 CVD 或電漿增強型化學氣相沉積(PECVD)來實行。在一項具體實施例中，利用半導體先驅物氣體（例如：用於矽奈米柱的矽烷(SiH_4)；用於鍺奈米柱的鍺烷(GeH_4)）藉由氣液固(vapor-liquid-solid; VLS)生長程序將半導體奈米柱 16 生長在半導體基板 10 上。在一項具體實施例中，半導體奈米柱 16 是矽奈米柱 16。當 VLS 生長啟動時，金屬半導體（一般為金-矽）液體合金便形成。由於另外供應氣相（例如： SiH_4 ）的半導體先驅物，金屬半導體微滴(droplet)變為有半導體材料的過飽和，而過量半導體材料沉積於固體-液體介面。結果是，液體微滴從原來的基板表面上升至生長中半導體奈米柱 16 的尖部。生長半導體奈米柱之後，金屬半導體液體合金將會在冷卻期間分離，不會形成金屬半導體固體合金。結果是，液體合金在冷卻之後回復成觸媒點 12。

【0026】藉由 VLS 生長所形成的半導體奈米柱 16 是磊晶對準至半導體基板 10。“磊晶對準”意味著半導體奈米柱與下層半導體基板具有相同的晶向。半導體奈米柱 16 可生長至任何合適的高度。在一項具體實施例中，半導體奈米柱 16 是生長成範圍自 10 μm 至 100 μm 的高度。VLS 程序所製備的半導體奈米柱 16 的直徑是由觸媒點 12 的直徑來界定，並且可以是自 1 nm 至 100 nm，但也可運用更

小及更大的長度。

【0027】所形成的半導體奈米柱 16 包含與下層半導體基板 10 相同的半導體材料。在一項具體實施例中，半導體奈米柱 16 是由矽所構成。

【0028】請參閱第 3 圖，介電材料層 18 是保形 (conformally) 沉積於半導體基板 10、半導體奈米柱 16 及觸媒點 12 的曝露表面上。介電材料層 18 可包括所具有介電常數大於 8.0 的高介電常數 (高 k) 材料。例示性的高 k 材料包括但不限於氮化矽、氧化鉛、氧化鋁、氧化鈦及氧化鉭。介電材料層 18 可藉由舉例如 CVD 或 PVD 的習知沉積程序來形成。介電材料層 18 的厚度可以是自 1 nm 至 10 nm，但仍可運用更小及更大的厚度。

【0029】請參閱第 4 圖，導電材料層 20 是在介電材料層 18 上形成以完全填充介於半導體奈米柱 16 之間的空間。導電材料層 20 可包括金屬或經摻雜半導體材料。此金屬可以是諸如鎢、鈦、鉭、鋁或銅的元素金屬、至少兩種元素金屬的合金、導電金屬氮化物、或導電金屬氧化物。經摻雜半導體材料可以是經摻雜多晶矽。導電材料層 20 可藉由舉例如 CVD、PVD、ALD 或鍍覆的習知沉積程序來形成。導電材料層 20 是沉積至高於介電材料層 18 的最頂面的厚度。

【0030】導電材料層 20 及介電材料層 18 在觸媒點 12 的頂面上方形成的部分可藉由舉例如化學機械平坦化 (CMP) 的習知平坦化程序來移除。在一項具體實施例中，

平坦化程序也可移除觸媒區的上部分，使得觸媒點 12 具有平坦的頂面（圖未示）。在另一具體實施例中，平坦化程序可完全移除觸媒點 12，使得導電材料層 20 具有與半導體奈米柱 16 的頂面共平面的頂面。

【0031】複數個離散電容器從而形成。各半導體奈米柱 16 形成底電極，介電材料層 18 形成電容器介電質，而導電材料層 20 形成電容器其中一者的頂電極。複數個離散電容器共用共通的電容器介電質（即介電材料層 18）及共通的頂電極（即導電材料層 20）。在本申請案的第一具體實施例中，各半導體奈米柱 16 充當電容器的主動組件（即底電極）。半導體奈米柱 16 的密集陣列容許達到電容器的高整合密度，每單位面積的電容因而變高。

【0032】請參閱第 5 圖，若觸媒點 12 已移除，則接觸階(contact level)介電層 22 是在導電材料層 20、介電材料層 18、及觸媒點 12 或半導體奈米柱 16 上方沉積。接觸階介電層 22 可包括諸如未摻雜氧化矽、經摻雜氧化矽、多孔或非多孔的有機矽酸鹽玻璃、多孔或非多孔的氮摻雜有機矽酸鹽玻璃、或其組合的介電材料。接觸階介電層 22 可藉由 CVD、PVD、或旋轉塗布來形成。若接觸階介電層 22 未進行自平坦化，則接觸階介電層 22 的頂面可藉由舉例如 CMP 來平坦化。

【0033】包括與觸媒點 12 接觸的第一接觸結構 26、及與導電材料層 20 接觸的第二接觸結構 28 的各個接觸結構是在接觸階介電層 22 內形成。在本申請案的一些具體實施

例中，若觸媒點 12 已移除，則第一接觸結構 26 可直接接觸半導體柱 16 的頂面。舉例而言，各個接觸結構（26、28）可使用微影圖案化與非等向性蝕刻的組合，藉由穿過接觸階介電層 22 形成第一接觸開口（圖未示）及第二接觸開口（圖未示）來形成。第一接觸開口曝露觸媒點 12 的頂面、或若觸媒點 12 已移除則半導體奈米柱 16 的頂面。第二接觸開口曝露導電材料層 20 的頂面的一部分。第一及第二接觸開口接著使用舉例如 CVD、PVD、ALD 或鍍覆的習知沉積程序，以導電材料來填充。例示性導電材料包括但不限於銅、鎢、鋁、鈦、氮化鈦、或氮化鈦。導電材料在接觸階介電層 22 上面的過量部分後續，可藉由舉例如凹陷蝕刻或 CMP 來移除。

【0034】請參閱第 6 圖，根據本申請案的第二具體實施例，本申請案的第二例示性半導體結構是衍生自第 2 圖的第一例示性半導體結構，藉由在半導體基板 10、半導體奈米柱 16 及觸媒點 12 的曝露表面上方保形沉積第一導電材料層 32。第一導電材料層 32 作用為金屬/絕緣體/金屬 (MIM) 電容器的底電極。第一導電材料層 32 可包括金屬或經摻雜半導體材料。此金屬可以是諸如鎢、鈦、鈦、鋁或銅的元素金屬、至少兩種元素金屬的合金、導電金屬氮化物、或導電金屬氧化物。經摻雜半導體材料可以是經摻雜多晶矽。第一導電材料層 32 可藉由舉例如 CVD 或 ALD 的習知沉積程序來形成。第一導電材料層 32 的厚度可以是自 20 nm 至 200 nm，但也可運用更小及更大的厚度。

【0035】請參閱第 7 圖，介電材料層 34 是在第一導電材料層 32 上方以保形方式沉積。介電材料層 34 作用為 MIM 電容器的電容器絕緣體，並且可包括諸如氮化矽、氧化鉛、五氧化鉬、二氧化矽或氧化鋁的高 k 材料。介電材料層 34 可藉由舉例如 CVD、ALD 或其組合來沉積。所形成的介電材料層 34 的厚度可以是自約 1 nm 至約 10 nm，但也可運用更小及更大的厚度。

【0036】請參閱第 8 圖，第二導電材料層 36 是在介電材料層 34 上形成以填充介於半導體奈米柱 16 之間的空間。第二導電材料層 36 作用為 MIM 電容器的頂電極。第二導電材料層 36 可包括與第一導電材料層 32 相同或不同的金屬。第二導電材料層 36 可包括金屬或經摻雜半導體材料。此金屬可以是諸如鎢、鈦、鉭、鋁或銅的元素金屬、至少兩種元素金屬的合金、導電金屬氮化物、或導電金屬氧化物。經摻雜半導體材料可以是經摻雜多晶矽。第二導電材料層 36 可藉由 CVD 或 PECVD 來形成。

【0037】從而形成 MIM 電容器。第一導電材料層 32 形成底電極，介電材料層 34 形成電容器介電質，而第二導電材料層 36 形成 MIM 電容器的頂電極。第一導電材料層 32 環繞半導體柱 16，以使得底電極的表面面積增加，從而增加 MIM 電容器的電容。

【0038】請參閱第 9 圖，接觸階介電層 40 是藉由進行第 5 圖的處理步驟在第二導電材料層 36 上形成。隨後，各個接觸結構 42、44 是藉由進行第 5 圖的處理步驟來形成。

接觸結構包括延伸穿透該接觸階介電層 40、第二導電材料層 36 及介電材料層 34 並接觸該第一導電材料層 32 的第一接觸結構 42、以及延伸穿透該接觸階介電質 40 並接觸該第二導電材料層 36 的第二接觸結構 44。在本申請案的一些具體實施例中，第一接觸結構可以是接觸半導體基板 10 的後觸結構（圖未示），用以實現複數個晶片的垂直堆疊。

【0039】本申請案的（多個）電容器可藉由將具有（多個）電容器形成於其上的半導體基板堆疊於具有諸如場效晶體管等複數個主動電路裝置的另一基板上，以形成三維的半導體裝置架構，而與其它電路整合。隨後，形成互連件以連接電容器與主動電路裝置。用於形成主動電路裝置及互連件的結構及程序在所屬技術領域中乃眾所周知，因此，本文中不進一步說明。

【0040】儘管本申請案已對照其各項具體實施例來具體展示並且說明，本領域的技術人員仍將瞭解的是，可施作前述及其它形式變更與細節而不會脫離本申請案的精神及範疇。因此，用意在於本申請案不受限於所述及所示的精准形式及細節，而是落於申請專利範圍的範疇內。

【符號說明】

【0041】

10	半導體基板
12	觸媒點
16	半導體奈米柱
18	介電材料層

20	導電材料層
22	接觸階介電層
26	第一接觸結構
28	第二接觸結構
32	第一導電材料層
34	介電材料層
36	第二導電材料層
40	接觸階介電層
42	第一接觸結構
44	第二接觸結構

I645447

發明摘要

公告本

※申請案號：105109667

※申請日：105.3.28

※IPC 分類：

H01L 21/02 (2006.01)

H01L 27/14 (2006.01)

【發明名稱】(中文/英文)

高密度電容器結構及方法

HIGH DENSITY CAPACITOR STRUCTURE AND METHOD

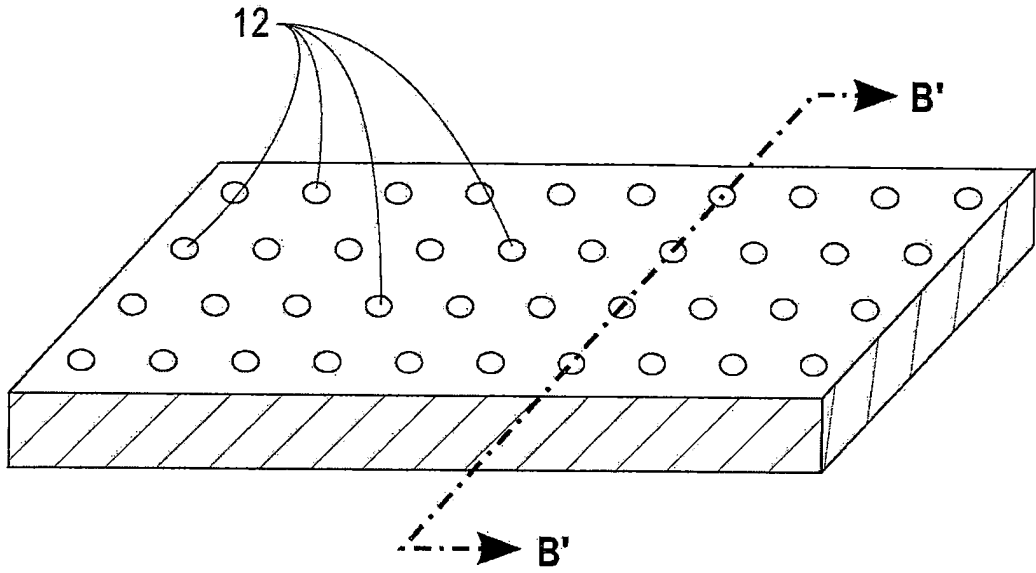
【中文】

本發明涉及高密度電容器結構及方法，具體提供的是基於半導體奈米柱的陣列的高密度電容器結構。該高密度電容器結構可以是複數個電容器，其中各該半導體奈米柱充當該複數個電容器其中一者的底電極，或者該高密度電容器結構可以是大面積金屬-絕緣體-金屬(MIM)電容器，其中該半導體奈米柱充當後續所形成用於該 MIM 電容器的底電極的支撐結構。

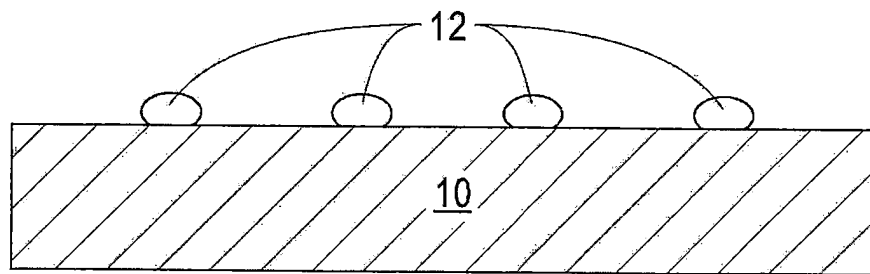
【英文】

High density capacitor structures based on an array of semiconductor nanorods are provided. The high density capacitor structure can be a plurality of capacitors in which each of the semiconductor nanorods serves as a bottom electrode for one of the plurality of capacitors, or a large-area metal-insulator-metal (MIM) capacitor in which the semiconductor nanorods serve as a support structure for a bottom electrode of the MIM capacitor subsequently formed.

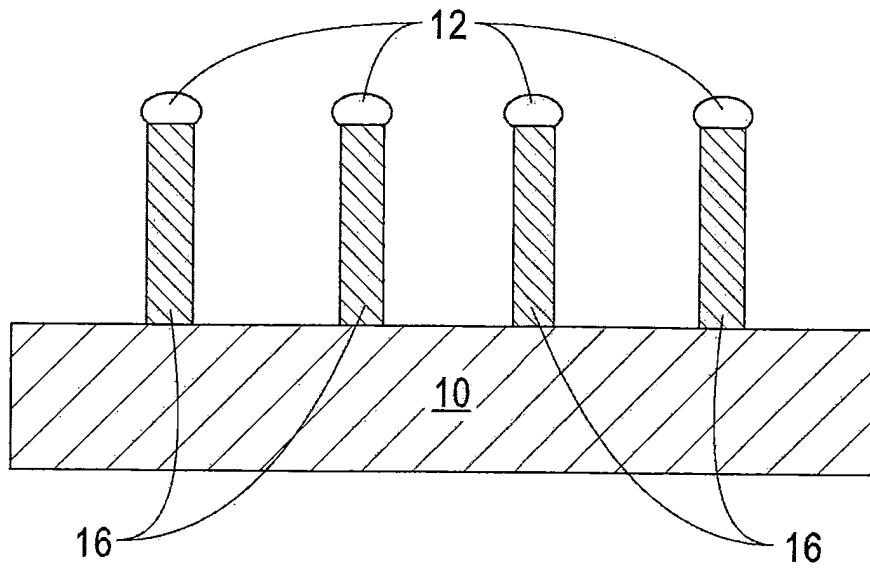
圖式



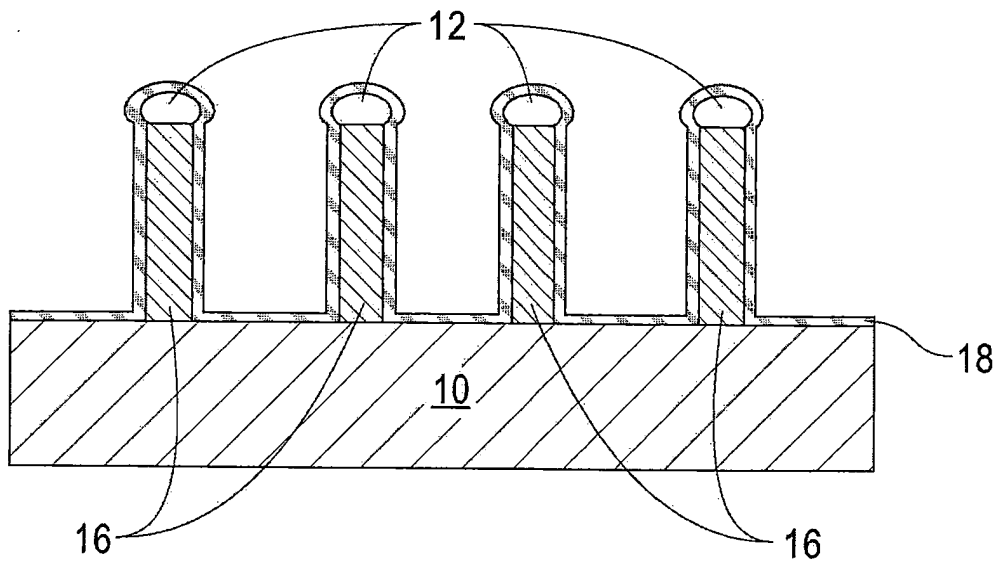
第1A圖



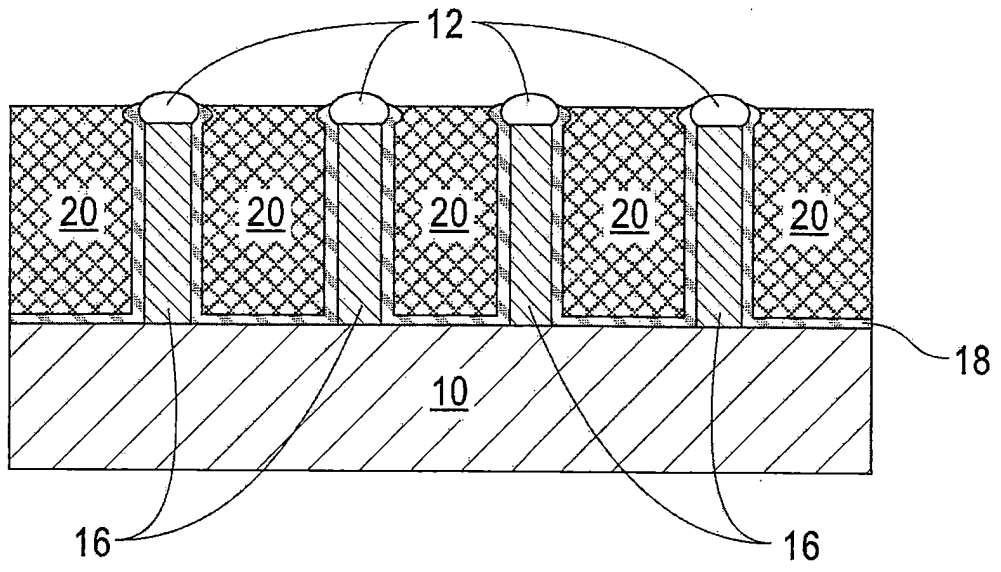
第1B圖



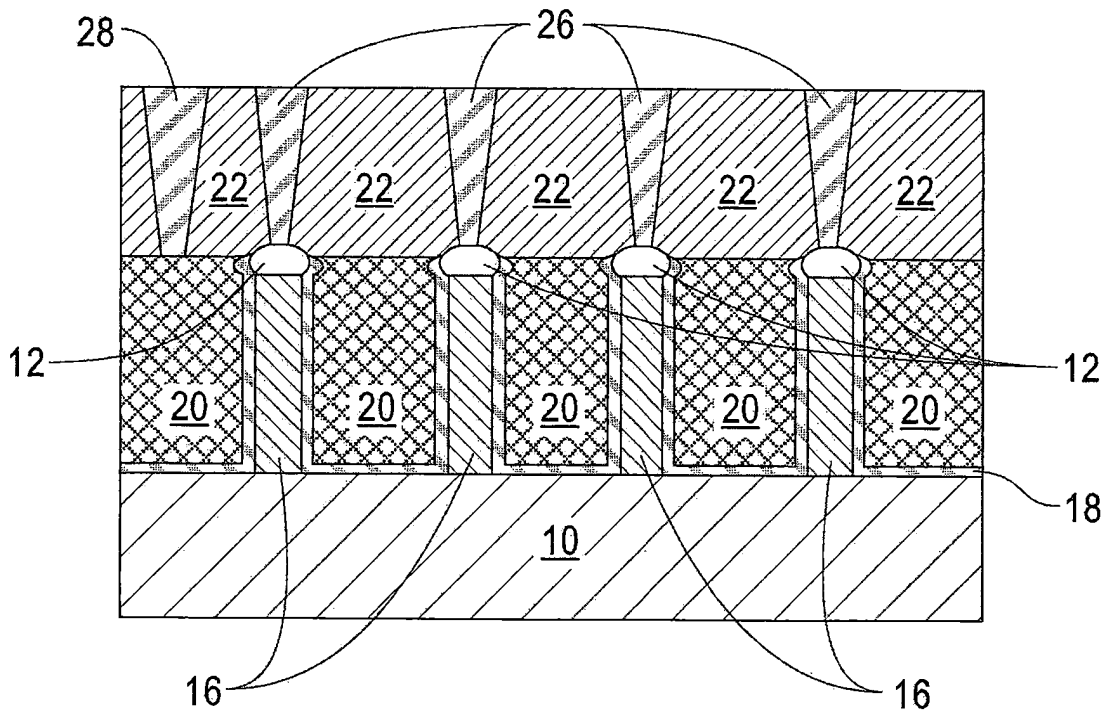
第2圖



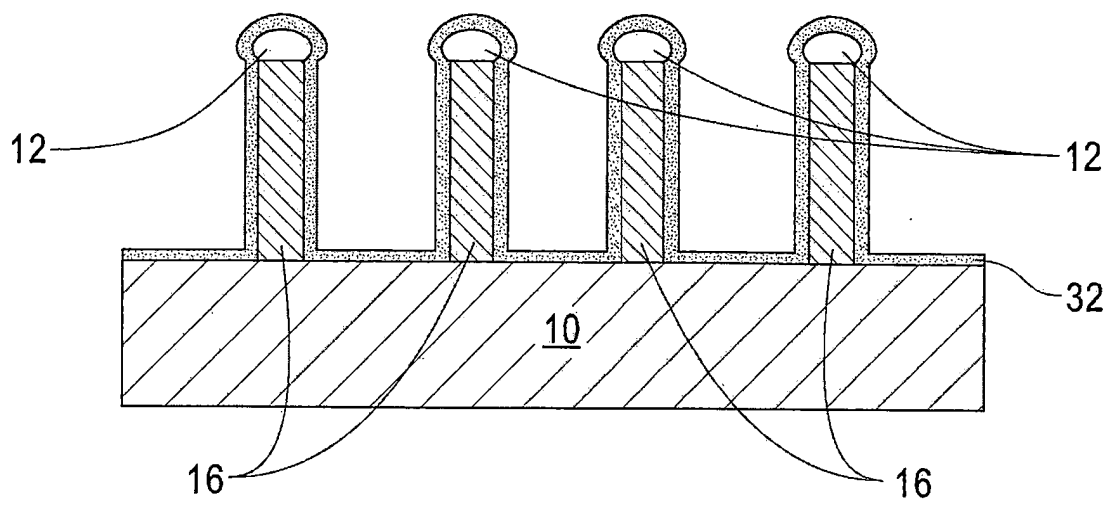
第3圖



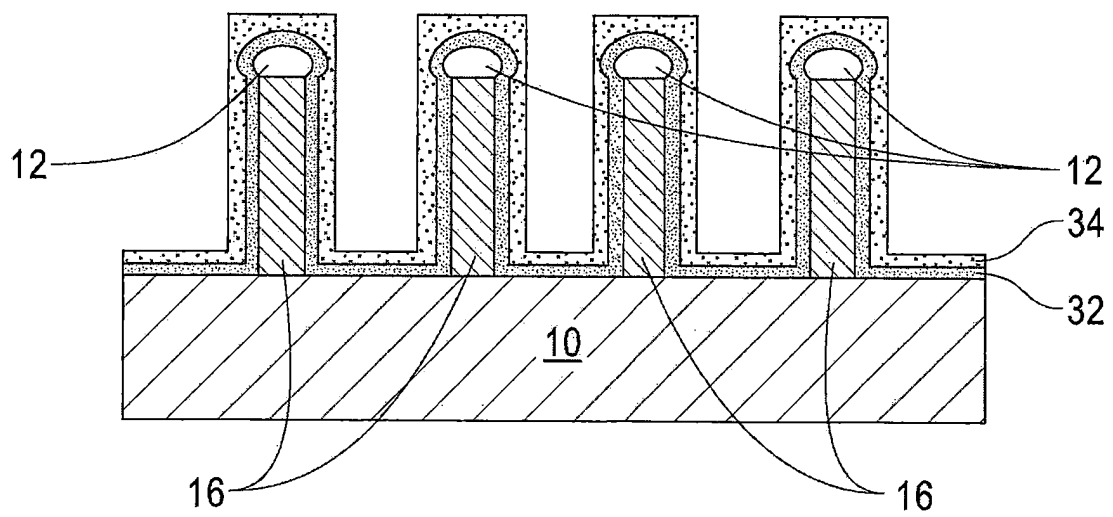
第4圖



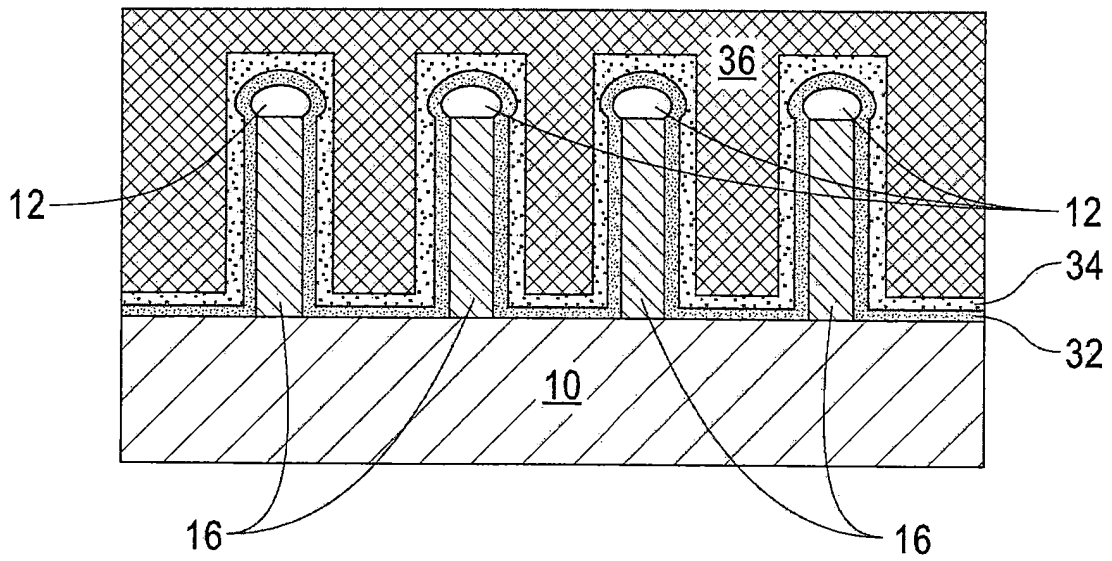
第5圖



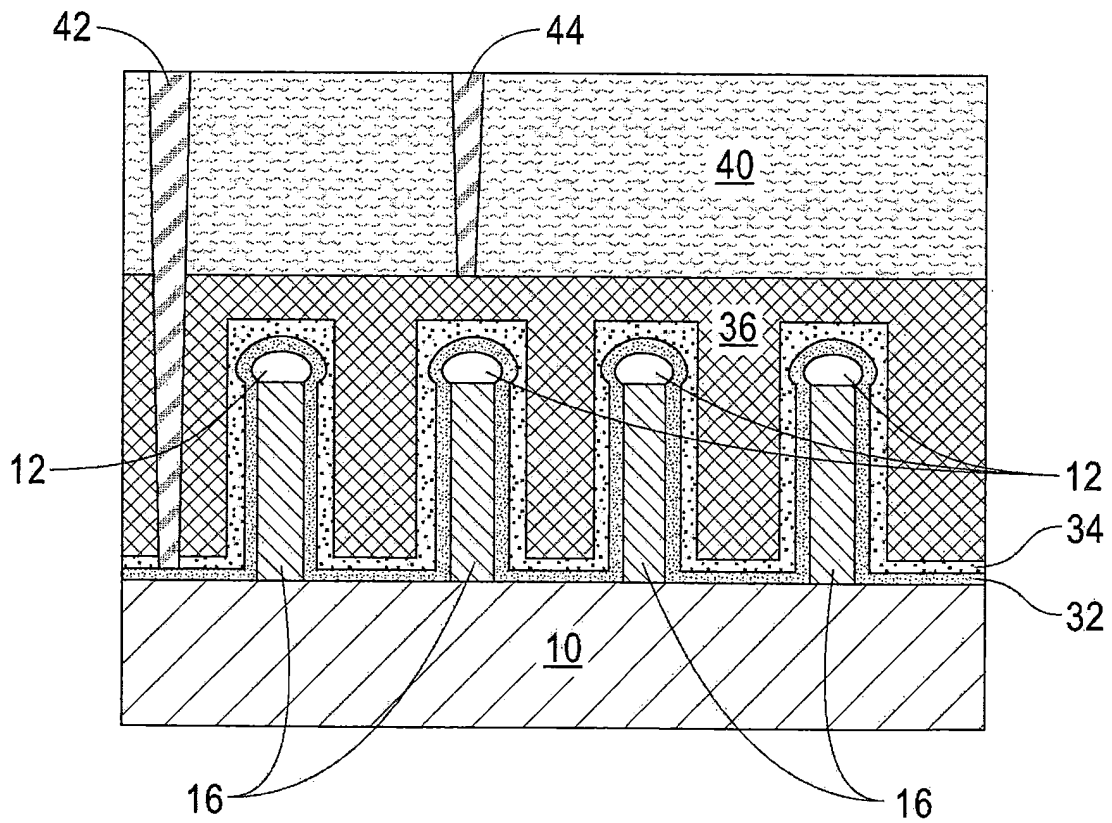
第6圖



第7圖



第8圖



第9圖

【代表圖】

【本案指定代表圖】：第（ 4 ）圖。

【本代表圖之符號簡單說明】：

- 10 半導體基板
- 12 觸媒點
- 16 半導體奈米柱
- 18 介電材料層
- 20 導電材料層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

申請專利範圍

1. 一種形成複數個電容器的方法，其包含：

在半導體基板上形成複數個半導體奈米柱，該複數個半導體奈米柱取向為垂直於該半導體基板的頂面；

在該半導體基板及該複數個半導體奈米柱的曝露表面上方保形沉積介電材料層；以及

在該介電材料層上方形成導電材料層，該導電材料層填充介於該複數個半導體奈米柱之間的空間。

2. 如申請專利範圍第 1 項所述的方法，更包含平坦化該導電材料層，使得該導電材料層的頂面與該複數個半導體奈米柱的頂面共平面。

3. 如申請專利範圍第 2 項所述的方法，更包含形成接觸該複數個半導體奈米柱的複數個第一接觸結構、及接觸該導電材料層的第二接觸結構。

4. 如申請專利範圍第 3 項所述的方法，其中，形成該複數個第一接觸結構及該第二接觸結構包含：

在該導電材料層、該介電材料層及該複數個半導體奈米柱上方形成接觸階介電層；

形成延伸穿透該接觸階介電層用以曝露該複數個半導體奈米柱的該頂面的複數個第一開口、及延伸穿透該接觸階介電層用以曝露該導電材料層的該頂面的第二開口；以及

以導電材料填充該複數個第一開口及該第二開口。

5. 如申請專利範圍第 4 項所述的方法，更包含在形成該複

數個半導體奈米柱前，先在該半導體基板上形成複數個觸媒點。

6. 如申請專利範圍第 5 項所述的方法，其中，形成該複數個觸媒點包含：

在該半導體基板上形成觸媒層；以及

圖案化該觸媒層以提供該複數個觸媒點。

7. 如申請專利範圍第 6 項所述的方法，其中，該觸媒層包含金、鋁、鈦、銦、鐵或鎳。

8. 如申請專利範圍第 7 項所述的方法，其中，該複數個半導體奈米柱是藉由該複數個觸媒點所引發的氣液固程序來形成，使得該複數個半導體奈米柱各者的頂面上存在有觸媒點，其中，該第一接觸結構與該複數個觸媒點直接接觸。

9. 一種包含複數個電容器的半導體結構，該複數個電容器包含：

複數個半導體奈米柱，其存在於半導體基板的頂面上，並取向為垂直於該半導體基板的該頂面；

保形介電材料層，其存在於該半導體基板的該頂面的曝露部分上，並圍繞該複數個半導體奈米柱的側壁；以及

導電材料層，其位於該保形介電材料層上，該導電材料層橫向圍繞該複數個半導體奈米柱及具有與該保形介電材料層的頂面共平面之頂面，其中，該導電材料層完全由電性導電材料組成。

10. 如申請專利範圍第 9 項所述的半導體結構，其中，該複數個半導體奈米柱各者具有與該半導體基板相同的晶向。
11. 如申請專利範圍第 9 項所述的半導體結構，其中，該複數個半導體奈米柱包含與該半導體基板的半導體材料相同的半導體材料。
12. 如申請專利範圍第 9 項所述的半導體結構，其中，該保形介電材料層包含氮化矽、氧化鉛、氧化鋁、氧化鈦或氧化鉭。
13. 如申請專利範圍第 9 項所述的半導體結構，其中，該導電材料層包含鎢、鈦、鉭、鋁、銅、其合金、導電金屬氮化物、導電金屬氧化物、或經摻雜多晶矽。
14. 如申請專利範圍第 9 項所述的半導體結構，更包含延伸穿透接觸階介電層並接觸該複數個半導體奈米柱的複數個第一接觸結構、以及延伸穿透該接觸階介電層並接觸該導電材料層的第二接觸結構。
15. 如申請專利範圍第 14 項所述的半導體結構，該複數個半導體奈米柱各者更包含存在於該複數個半導體奈米柱各者的頂面上的觸媒點，其中，該複數個第一接觸結構各者接觸該複數個觸媒點其中一者。
16. 一種包含電容器的半導體結構，該電容器包含：
 複數個半導體奈米柱，其存在於半導體基板的頂面上，並取向為垂直於該半導體基板的該頂面，其中，該複數個半導體奈米柱各者的頂面上存在有觸媒點；

保形第一導電材料層，其存在於該半導體基板、該複數個半導體奈米柱及該觸媒點的曝露表面上；

保形介電材料層，其存在於該保形第一導電材料層上；以及

第二導電材料層，其存在於該保形介電材料層上，該第二導電材料層填充介於該複數個半導體奈米柱之間的空間，並在該保形介電材料層的最頂面上方具有頂面。

17. 如申請專利範圍第 16 項所述的半導體結構，其中，該複數個半導體奈米柱包含與該半導體基板的半導體材料相同的半導體材料。
18. 如申請專利範圍第 16 項所述的半導體結構，其中，該保形介電材料層包含氮化矽、氧化鉛、氧化鋁、氧化鈦或氧化鉭。
19. 如申請專利範圍第 16 項所述的半導體結構，其中，該保形第一導電材料層及該第二導電材料層各包含鎢、鈦、鉭、鋁、銅、其合金、導電金屬氮化物、導電金屬氧化物、或經摻雜多晶矽。
20. 如申請專利範圍第 16 項所述的半導體結構，其中，該觸媒點包含金、鋁、鈦、銻、鐵或鎳。