



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I755679 B

(45)公告日：中華民國 111 (2022) 年 02 月 21 日

(21)申請案號：109102061

(22)申請日：中華民國 109 (2020) 年 01 月 21 日

(51)Int. Cl. : *H01L29/92 (2006.01)**H01L21/28 (2006.01)**H01L21/3065(2006.01)*(71)申請人：力晶積成電子製造股份有限公司 (中華民國) POWERCHIP SEMICONDUCTOR
MANUFACTURING CORPORATION (TW)

新竹市力行一路十八號

(72)發明人：李世平 LEE, SHIH-PING (TW)；黃彬傑 HUANG, PIN-CHIEH (TW)；林欣怡 LIN,
HSIN-YI (TW)；黃國芳 HUANG, KUO-FANG (TW)；王長岳 WANG, CHANG-
YUE (TW)

(74)代理人：吳豐任；戴俊彥

(56)參考文獻：

TW 201643909A

US 5814547

US 6638818B1

US 2002/0122284A1

審查人員：陳聖

申請專利範圍項數：18 項 圖式數：14 共 23 頁

(54)名稱

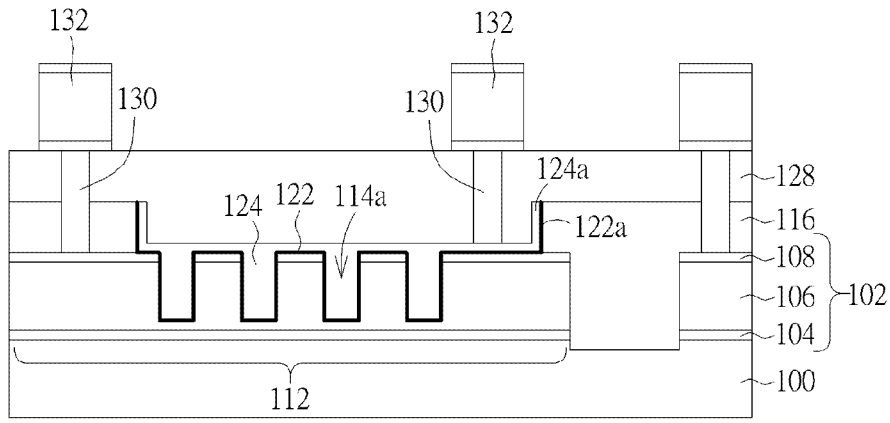
電容結構及其製作方法

(57)摘要

一種電容結構，包含一下電極板位於一基底上，其中該下電極板上具有複數個凹槽，一電容介電層位於該下電極板上與該些凹槽上，以及一上電極板位於該電容介電層上，其中該電容介電層與該上電極板的邊緣具有往與該下電極板的頂面垂直的方向延伸的垂直延伸部位。

A capacitor structure including a bottom electrode plate on a substrate, wherein the bottom electrode plate is provided with multiple recesses. A capacitor dielectric layer on the bottom electrode plate and the recesses, and a top electrode plate on the capacitor dielectric layer, wherein the edges of capacitor dielectric layer and top electrode plate are provided with vertically extending portions extending in a direction perpendicular to the top surface of bottom electrode plate.

指定代表圖：



第8圖

符號簡單說明：

- 100:基底/介電層
- 102:下電極材料層
- 104:氮化鈦層
- 106:鋁層
- 108:氮化鈦層
- 112:下電極板
- 114a:凹槽
- 116:介電層
- 122:電容介電層
- 122a:垂直延伸部位
- 124:上電極板
- 124a:垂直延伸部位
- 128:介電層
- 130:接觸件
- 132:金屬層



I755679

【發明摘要】

【中文發明名稱】 電容結構以及其製作方法

【英文發明名稱】 Capacitor Structure and Method of Fabricating the Same

【中文】

一種電容結構，包含一下電極板位於一基底上，其中該下電極板上具有複數個凹槽，一電容介電層位於該下電極板上與該些凹槽上，以及一上電極板位於該電容介電層上，其中該電容介電層與該上電極板的邊緣具有往與該下電極板的頂面垂直的方向延伸的垂直延伸部位。

【英文】

A capacitor structure including a bottom electrode plate on a substrate, wherein the bottom electrode plate is provided with multiple recesses. A capacitor dielectric layer on the bottom electrode plate and the recesses, and a top electrode plate on the capacitor dielectric layer, wherein the edges of capacitor dielectric layer and top electrode plate are provided with vertically extending portions extending in a direction perpendicular to the top surface of bottom electrode plate.

【指定代表圖】第（ 8 ）圖。

【代表圖之符號簡單說明】

100	基底/介電層
102	下電極材料層
104	氮化鈦層
106	鋁層
108	氮化鈦層
112	下電極板
114a	凹槽
116	介電層
122	電容介電層
122a	垂直延伸部位
124	上電極板
124a	垂直延伸部位
128	介電層
130	接觸件
132	金屬層

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 電容結構以及其製作方法

【英文發明名稱】 Capacitor Structure and Method of Fabricating the Same

【技術領域】

【0001】 本發明大體上與一種電容結構有關，更具體言之，其係關於一種金屬-絕緣體-金屬(Metal-Insulator-Metal, MIM)電容結構，具有多個凹槽與邊緣的垂直延伸部位來增加其電容值。

【先前技術】

【0002】 目前，半導體元件中的電容器按照結構大致可以分為多晶矽-絕緣體-多晶矽(Poly-Insulator-Poly, PIP)電容器、金屬-氧化層-矽基底(Metal-Oxide-Silicon, MOS)結構、以及金屬-絕緣體-金屬(Metal-Insulator-Metal, MIM)電容器。在實際應用中，可以根據半導體元件的特性選擇性地使用這些電容器。例如在高頻半導體元件中可以選用MIM電容器。

【0003】 近年來，隨著無線通訊技術的快速發展，業界強烈希望將可適用於系統晶片(SoC)、具有高性能解耦與濾波功能的電容器植入到積體電路的金屬互連後段製程中，以獲得功能強勁的射頻系統。要達到這樣的設計所植入的電容必須具有高電容密度、理想的電壓線性值、精確的電容值控制以及高可靠性等特性。傳統的PIP電容或MOS電容因為具有很大的電壓線性值、較大的寄生電阻和電容損耗等缺點，其無法滿足千兆赫頻率下的應用。因此，採用MIM電容將是射頻和類比/混合信號積體電路發展的必然選擇。由於MIM採用金屬電極，其可有效降低了寄生電容以及電極的接觸電阻，大大提高了元件的性能。

第 1 頁，共 11 頁(發明說明書)

【0004】 然而，隨著射頻技術的發展，對於MIM 電容的電容密度的要求將越來越高，同時還要保持很小的電壓線性值和良好的絕緣性能。因此，如何達到MIM 電容在這方面的需求將是未來無線通訊技術革新是否成功的關鍵因素之一。

【發明內容】

【0005】 針對前述現有MIM電容需要提高其電容密度並提供良好絕緣性能的需求，本發明特此提出了一種新穎的電容結構，其利用蝕刻製程固有的微負載效應(micro loading effect)來形成特製凹槽，並可透過額外的回拉製程增加凹槽的表面積，進而增加電容結構整體的電容值。此外，額外的製程處理使得所形成的MIM電容具有良好的絕緣特性。

【0006】 本發明的面向之一在於提出一種電容結構，包含一基底、一下電極板，位於該基底上，其中該下電極板上具有複數個凹槽、一電容介電層，位於該下電極板上與該些凹槽上、以及一上電極板，位於該電容介電層上，其中該電容介電層與該上電極板的邊緣具有往與該下電極板的頂面垂直的方向延伸的垂直延伸部位。

【0007】 本發明的另一面向在於提出一種電容結構的製作方法，包含在一基底上形成一下電極材料層、進行一第一光刻製程圖案化該下電極材料層以形成一下電極板，其中該第一光刻製程同時在該下電極板上形成多個凹槽、在該下電極板上形成氧化層、進行一第二光刻製程移除部分的該氧化層以形成包括該些凹槽的一電容凹槽，該電容凹槽裸露出該些凹槽、在該電容凹槽與該氧化層的表面依序形成一電容介電層與一上電極板、以及移除位於該氧化層的頂面上的該電容介電層與該上電極板，使得該電容介電層與該上電極板的邊緣具有位於該氧化層的側壁上的垂直延伸部位。

【0008】 本發明的這類目的與其他目的在閱者讀過下文中以多種圖示與繪圖來描述的較佳實施例之細節說明後應可變得更為明瞭顯見。

【圖式簡單說明】

【0009】

本說明書含有附圖併於文中構成了本說明書之一部分，俾使閱者對本發明實施例有進一步的瞭解。該些圖示係描繪了本發明一些實施例並連同本文描述一起說明了其原理。在該些圖示中：

第1圖至第8圖為根據本發明較佳實施例中一電容結構的製作流程的截面示意圖；

第9圖與第10圖為根據本發明另一實施例中一電容結構與其製作步驟的截面示意圖；

第11圖為根據本發明又一實施例中一電容結構的製作步驟的截面示意圖；

第12圖為根據本發明又另一實施例中一電容結構的製作步驟的截面示意圖；以及

第13圖與第14圖為根據本發明又另一實施例中一電容結構的放大示意圖。

須注意本說明書中的所有圖示皆為圖例性質，為了清楚與方便圖示說明之故，圖示中的各部件在尺寸與比例上可能會被誇大或縮小地呈現，一般而言，圖中相同的參考符號會用來標示修改後或不同實施例中對應或類似的元件特徵。

【實施方式】

【0010】 現在下文將詳細說明本發明的示例性實施例，其會參照附圖示出所描述之特徵以便閱者理解並實現技術效果。閱者將可理解文中之描述僅透過例

示之方式來進行，而非意欲要限制本案。本案的各種實施例和實施例中彼此不衝突的各種特徵可以以各種方式來加以組合或重新設置。在不脫離本發明的精神與範疇的情況下，對本案的修改、等同物或改進對於本領域技術人員來說是可以理解的，並且旨在包含在本案的範圍內。

【0011】 閱者應能容易理解，本案中的「在…上」、「在…之上」和「在…上方」的含義應當以廣義的方式被解讀，以使得「在…上」不僅表示「直接在」某物「上」而且還包括在某物「上」且其間有居間特徵或層的含義，並且「在…之上」或「在…上方」不僅表示「在」某物「之上」或「上方」的含義，而且還可以包括其「在」某物「之上」或「上方」且其間沒有居間特徵或層（即，直接在某物上）的含義。

【0012】 此外，諸如「在…之下」、「在…下方」、「下部」、「在…之上」、「上部」等空間相關術語在本文中為了描述方便可以用於描述一個元件或特徵與另一個或多個元件或特徵的關係，如在附圖中示出的。

【0013】 如本文中使用的，術語「基底」是指向其上增加後續材料的材料。可以對基底自身進行圖案化。增加在基底的頂部上的材料可以被圖案化或可以保持不被圖案化。此外，基底可以包括廣泛的半導體材料，例如矽、鍺、砷化鎵、磷化銮等。或者，基底可以由諸如玻璃、塑膠或藍寶石晶圓的非導電材料製成。

【0014】 如本文中使用的，術語「層」是指包括具有厚度的區域的材料部分。層可以在下方或上方結構的整體之上延伸，或者可以具有小於下方或上方結構範圍的範圍。此外，層可以是厚度小於連續結構的厚度的均質或非均質連續結構的區域。例如，層可以位於在連續結構的頂表面和底表面之間或在頂表面和底表面處的任何水平面對之間。層可以水準、豎直和/或沿傾斜表面延伸。基底可以是層，其中可以包括一個或多個層，和/或可以在其上、其上方和/或其下方

具有一個或多個層。層可以包括多個層。例如，互連層可以包括一個或多個導體和接觸層（其中形成觸點、互連線和/或通孔）和一個或多個介電層。

【0015】 現在下文的實施例將依序根據第1圖至第8圖的截面結構來說明本發明電容結構的製作流程。須注意，本發明所提出的結構與方法雖然是以金屬-絕緣體-金屬(Metal-Insulator-Metal, MIM)電容器為主，然而本領域的技術人士應能理解其所揭露之內容在不違反邏輯性、方法性以及結構性的前提下也能合理地應用到其他組成相似的電容器類別中。

【0016】 首先請參照第1圖。本發明的電容結構可以建構在一半導體基底上，如一P型矽基底，其上可能形成有淺溝渠隔離結構(STI)並界定出主動區域，而主動區域上可進一步形成有各種主動元件與被動元件，如場效電晶體、二極體、記憶體等元件。由於本發明的電容結構較佳為在後段製程(BEOL)中形成，這類前段製程(FEOL)中的結構與元件並非本發明之重點且與本發明特徵沒有關係，為了圖示與說明書的簡明之故，圖中將省略這些元件，僅以一形成在該半導體基底上的介電層100來代表基底，如一金屬間介電層(IMD)。在本發明實施例中，介電層100的材料較佳為低介電常數材料($k < 3.0$)或是氧化矽，其可以旋轉塗佈或是化學氣相沉積等製程方式形成在基底上。

【0017】 復參照第1圖。在介電層100上形成電容結構的下電極材料層102。在本發明實施例中，下電極材料層102可為三層的複層結構，其可能包含下氮化鈦層104-鋁層106-上氮化鈦層108，其中上下兩氮化鈦層104, 108的厚度會遠小於中間的鋁層106。複層態樣的下電極材料層102有助於降低電容的串聯電阻並改進其品質因子。在其他實施例中，該鋁層也可能是銅鋁合金層，該氮化鈦層也可能是鈦、鉭或是氮化鉭。在一些實施例中，下電極材料層102可為後段製程中的其中一金屬層，較佳為頂金屬層之前的金屬層，其可以物理氣相沉積製程(PVD)或是各種化學氣相沉積(CVD)製程形成在介電層100上。

【0018】 接下來請參照第2圖。在下電極材料層102形成後，接著進行光刻製程在下電極材料層102上形成圖案化的光阻110，並以該光阻110為蝕刻遮罩進行乾蝕刻圖案化下電極材料層102，以形成下電極板112，並同時在其上形成多個凹槽114a。須注意在本發明實施例中，下電極板112上的凹槽114a的寬度會明顯小於下電極板112周圍的凹槽114b的寬度，在此情況下，由於微負載效應的緣故，蝕刻後凹槽114a的深度會小於凹槽114b的深度。如第2圖所示，下電極板112上的凹槽114a會向下穿過上氮化鈦層108延伸至鋁層106，而下電極板112周圍的凹槽114b會進一步穿過下氮化鈦層104而暴露出介電層100，甚至延伸至介電層100內，以此分開下電極板112與周圍的下電極材料層102。上述本發明實施例利用蝕刻製程固有的微負載效應，可在同一道蝕刻製程中界定出下電極板112並同時形成下電極板112上吾人所需之凹槽114a結構。此方式較之一般做法的優點在於可以減少一道光罩以及蝕刻製程的成本，並增加產能。

【0019】 在其他實施例中，如第11圖所示，下電極板112上的凹槽114a也可以穿過鋁層106而暴露出下氮化鈦層104。此實施例做法的優點在於可以獲得較為一致的凹槽114a深度，因為在一般的蝕刻製程中，蝕刻製程對於靠近晶圓中心與靠近晶圓邊緣的部位會有不同的蝕刻速率，如此會導致位於晶圓中心的凹槽114a的深度與位於晶圓邊緣的凹槽114a的深度相差過大。此實施例做法利用氮化鈦與鋁蝕刻速度不同的性質，以下氮化鈦層104做為一蝕刻停止層，如此下電極板112上的凹槽114a可被控制成均勻地延伸至下氮化鈦層104表面，而利用微負載效應又可使下電極板112周圍的凹槽114b被控制成穿過氮化鈦層104延伸至下方的介電層100內，以界定出下電極板112。

【0020】 接下來請參照第3圖。在下電極板112形成後，接著進行灰化製程以及清潔製程將光阻110移除，之後再形成另一介電層116覆蓋下電極板112。與下方的介電層100相同，介電層116可為一金屬間介電層，其材料較佳為低介電常數

材料($k < 3.0$)或是氧化矽，可以旋轉塗佈或是化學氣相沉積等製程方式形成在基底上。此步驟可以在第一次介電層沉積後先施行化學機械研磨(CMP)製程來平坦化介電層116的表面，之後再做第二次沉積來達到預定的介電層116厚度。

【0021】 接下來請參照第4圖。在介電層116形成後，接著進行光刻製程在介電層116上形成圖案化的光阻118，並以該光阻118為蝕刻遮罩蝕刻介電層116，以形成位於下電極板112上的電容凹槽120。在本發明實施例中，該蝕刻製程可為濺射蝕刻、離子束蝕刻、或電漿蝕刻等，所形成的電容凹槽120會包括所有先前所形成位於下電極板112上的的凹槽114a。

【0022】 接下來請參照第5圖。在電容凹槽120形成後，接著進行灰化製程以及清潔製程將光阻118移除，之後再於介電層116與電容凹槽120的表面上依序形成一介電層的電容介電層122以及一上電極板124。如圖所示，上電極板124會填滿凹槽114a中的空間。而在其他實施例中，填入凹槽114a中的上電極板124內可能會有空隙形成。在本發明實施例中，電容介電層122的材料可為高介電常數材料，包含氧化鋁(Al_2O_3)、氧化鈦(HfO_2)、氧化矽(SiO_2)、氮化矽(SiN)、五氧化二鉭(Ta_2O_5)、氮氧化鉭(TaON)、氧化鈦(TiO_2)、氧化鋯(ZrO_2)、四乙氧基矽烷(TEOS)、旋塗式玻璃(SOG)、或氟矽玻璃(FSG)等，其可採用PVD、CVD、原子層沉積(ALD)、或是分子束磊晶(MBE)等製程來形成。上電極板124的材料可為氮化鈦、鈦、鉭、氮化鉭或是鎢，其可以物理氣相沉積製程或是各種化學氣相沉積製程形成在電容介電層122上。從圖中可以看出，在本發明實施例中由於凹槽114a存在的緣故，晶圓單位面積下的電容的電極面積可以獲得顯著的提升。凹槽114a數目越多，所增加的電極面積多，進而增加電容結構整體的電容值。

【0023】 接下來請參照第6圖。在電容介電層122與上電極板124形成後，接著在上電極板124上形成一層有機平坦層(OPL)126。從圖中可以看到有機平坦層126覆蓋了整個基底並填充了電容凹槽120，其作用是為後續製程提供平坦的表面。

有機平坦層126的材料可為有機矽氧烷(organosiloxane)或碳塗層(Spin- On-Carbon, SOC)，其可以旋轉塗佈的方式形成在上電極板124上並提供良好的凹槽填充效果。

【0024】 接下來請參照第7圖。在有機平坦層126形成後，進行一回蝕刻製程或是化學機械研磨製程來移除一定厚度的層結構。此移除步驟會移除位於介電層116頂面上的有機平坦層126、上電極板124、以及電容介電層122，如此以分隔界定出各個電容結構。因此步驟之故，電容介電層122與上電極板124的邊緣會具有往與下電極板112的頂面垂直的方向延伸的垂直延伸部位122a, 124a。

【0025】 最後請參照第8圖。在分隔各個電容結構之後，接著移除剩餘的有機平坦層126，並在整個基底上覆蓋另一介電層128。介電層128的相關製程如第3圖中的介電層116所述，此處不再贅述。隨後，在介電層116與128中形成接觸件130分別連接電容結構的上電極板124與下電極板112，其步驟可包括：以上電極板124與下電極板112為蝕刻停止層進行光刻製程形成位於介電層116, 128中的導孔，之後在導孔中填入如銅、鋁、鈦、鎢等金屬材料而形成接觸件130。接觸件130形成後，之後再於介電層128上方形成與之連接的圖案化金屬層132，如此即完成了電容結構之製作。

【0026】 以上實施例為本發明電容結構之製作流程說明。根據上述製作流程，本發明也於此提出了一種電容結構，如第8圖所示，其包含一基底100、一下電極板112，位於基底100上，其中下電極板112上具有複數個凹槽114a、一電容介電層122，位於下電極板112上與該些凹槽114a上、以及一上電極板124，位於電容介電層122上，其中電容介電層122與上電極板124的邊緣具有往與下電極板112的頂面垂直的方向延伸的垂直延伸部位122a, 124a。

【0027】 接下來請參照第9圖與第10圖，其為根據本發明另一實施例中一電容結構與其製作步驟的截面示意圖。在本發明實施例中，可以在下電極板112上的

凹槽114a形成後再施加一額外的回拉(pullback)製程來改變凹槽114a的外型，以進一步增加電極面積。此回拉製程可使用對鋁與氮化鈦具有不同蝕刻選擇比的溶液(例如稀釋硫過氧化物(DSP))，以浸蝕的方式蝕刻凹槽114a的側壁136，使其呈弧形向外凸出。如此弧形外凸的凹槽側壁136可以提供比第4圖所示常規筆直型態的凹槽側壁更多的電極面積。

【0028】 接下來請參照第12圖，其為根據本發明又另一實施例中一電容結構的製作步驟的截面示意圖。在本發明實施例中，在第4圖形成電容凹槽120之後與形成電容介電層122之前，可以先在電容凹槽120表面上形成一額外的下電極層134。下電極層134的材料可為氮化鈦、鈦、鈮、氮化鈮或是鎢，其可以物理氣相沉積製程或是各種化學氣相沉積製程等方式形成。如此，如第12圖所示，與電容介電層122以及上電極板124相同，下電極層134同樣會具有位於介電層116側壁上的垂直延伸部位。於前述的實施例相比，由於此下電極層134垂直延伸部位的存在，該垂直延伸部位也可以提供有效的電極面積，進一步增加整體電容結構的電容值。

【0029】 接下來請參照第13圖，其為根據本發明又另一實施例中一電容結構的放大示意圖。承第12圖之實施例，在有額外形成下電極層134的情況下，可以在第7圖分隔各個電容結構後的步驟階段進行一額外的蝕刻製程，移除部分的上電極板124與下電極層134，使其垂直延伸部位124a, 134a的長度小於電容介電層122垂直延伸部位122a的長度，如第13圖所示，如此可以確保上電極板124與下電極層134的垂直延伸部位的邊緣不會因為接觸而造成元件失效。

【0030】 接下來請參照第14圖，其為根據本發明又另一實施例中一電容結構的放大示意圖。承第12圖之實施例，在有額外形成下電極層134的情況下，可以在第7圖分隔各個電容結構後的步驟階段進行一額外的氧化製程，使得上電極板124與下電極層134的垂直延伸部位124a, 134a頂端氧化成為氧化部位124b, 134b，

如第14圖所示，如此可以確保上電極板124與下電極層134垂直延伸部位的邊緣達成絕緣而不會造成元件失效。

【0031】 根據上述本發明實施例所述之電容結構及其製作方法，其利用蝕刻製程固有的微負載效應來形成特製凹槽，並可透過額外的回拉製程增加凹槽的表面積，進而增加電容結構整體的電容值。此外，額外的蝕刻或氧化製程處理使得所形成的MIM電容具有良好的絕緣特性，是為一兼具區別性特徵與功效性特徵的發明。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【符號說明】

【0032】

100	基底/介電層
102	下電極材料層
104	氮化鈦層
106	鋁層
108	氮化鈦層
110	光阻
112	下電極板
114a, 114b	凹槽
116	介電層
118	光阻
120	電容凹槽
122	電容介電層

- 122a 垂直延伸部位
- 124 上電極板
- 124a 垂直延伸部位
- 124b 氧化部位
- 126 有機平坦層
- 128 介電層
- 130 接觸件
- 132 金屬層
- 134 下電極層
- 134a 垂直延伸部位
- 134b 氧化部位
- 136 側壁

【發明申請專利範圍】

【請求項1】 一種電容結構，包含：

一基底；

一下電極板，位於該基底上，其中該下電極板具有複數個凹槽；

一電容介電層，位於該下電極板上；

一上電極板，位於該電容介電層上並且伸入該些凹槽，其中該電容介電層與該上電極板具有與該下電極板的頂面垂直的垂直延伸部位；以及

一下電極層，設置在該下電極板上，並且該電容介電層係設置於該下電極層與該上電極板之間。

【請求項2】 根據申請專利範圍第1項所述之電容結構，其中該下電極板為氮化鈦層-鋁層-氮化鈦層的複層結構，該些凹槽穿過該氮化鈦層延伸到該鋁層。

【請求項3】 根據申請專利範圍第1項所述之電容結構，其中該些凹槽的側壁呈弧形向外凸出。

【請求項4】 根據申請專利範圍第1項所述之電容結構，其中該下電極層具有與該下電極板的頂面垂直的垂直延伸部位。

【請求項5】 根據申請專利範圍第4項所述之電容結構，其中該下電極層的垂直延伸部位的長度小於該電容介電層的垂直延伸部位的長度。

【請求項6】 根據申請專利範圍第4項所述之電容結構，其中該下電極層的垂直延伸部位的頂端具有氧化部位。

【請求項7】 根據申請專利範圍第1項所述之電容結構，其中該下電極層的材料為氮化鈦或鈦。

【請求項8】 根據申請專利範圍第1項所述之電容結構，其中該上電極板的垂直延伸部位的長度小於該電容介電層的垂直延伸部位的長度。

【請求項9】 根據申請專利範圍第1項所述之電容結構，其中該上電極板的垂直延伸部位的頂端具有氧化部位。

【請求項10】 根據申請專利範圍第1項所述之電容結構，其中該電容介電層的材料包含高介電常數材料或是氮化矽。

【請求項11】 根據申請專利範圍第1項所述之電容結構，其中該上電極板的材料為氮化鈦或鈦。

【請求項12】 一種電容結構的製作方法，包含：

在一基底上形成一下電極材料層；

進行一第一光刻製程圖案化該下電極材料層以形成一下電極板，其中該第一光刻製程同時在該下電極板上形成多個凹槽；

在該下電極板上形成一介電層；

進行一第二光刻製程移除部分的該介電層以裸露出包括該些凹槽的部分該下電極板；

在該下電極板與該介電層的表面依序形成一電容介電層與一上電極板；以

及

移除位於該介電層的頂面上的該電容介電層與該上電極板，使得該電容介電層與該上電極板的邊緣具有位於該介電層的側壁上的垂直延伸部位。

【請求項13】 根據申請專利範圍第12項所述之電容結構的製作方法，其中移除位於該介電層的頂面上的該電容介電層與該上電極板的步驟包含：

在該上電極板上形成一有機平坦層；以及

進行回蝕刻製程移除部分的該有機平坦層、位於該介電層的頂面上的該上電極板以及該電容介電層。

【請求項14】 根據申請專利範圍第12項所述之電容結構的製作方法，其中移除位於該介電層的頂面上的該電容介電層與該上電極板的步驟包含：

在該上電極板上形成一有機平坦層；以及

進行化學機械研磨製程移除部分的該有機平坦層、位於該介電層頂面上的該上電極板以及該電容介電層。

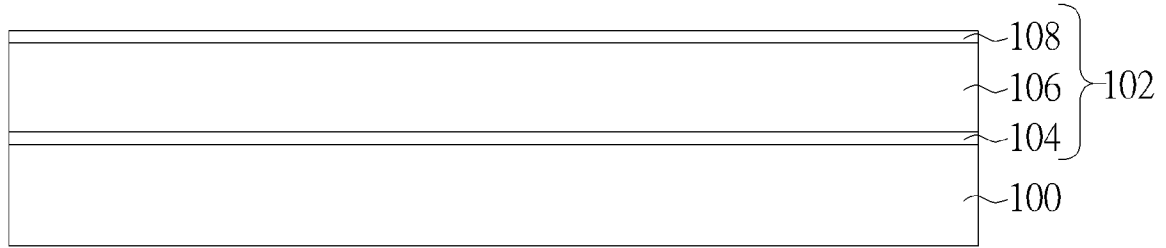
【請求項15】 根據申請專利範圍第12項所述之電容結構的製作方法，更包含在形成該些凹槽後進行一回拉製程，使得該些凹槽的側壁呈弧形向外凸出。

【請求項16】 根據申請專利範圍第12項所述之電容結構的製作方法，更包含在形成該電容介電層之前先在該介電層以及該下電極板的表面上形成一下電極層，並且移除位於該介電層的頂面上的該電容介電層與該上電極板的步驟也會同時移除位於該介電層的頂面上的該下電極層，使得該下電極層的邊緣具有位於該介電層的側壁上的垂直延伸部位。

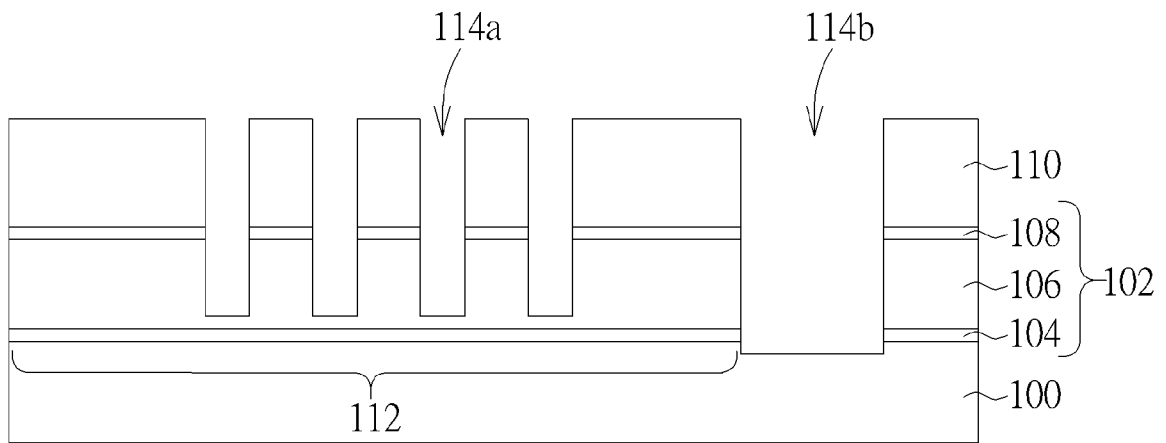
【請求項17】 根據申請專利範圍第17項所述之電容結構的製作方法，更包含進行一氧化製程使得該上電極板與該下電極層的該垂直延伸部位的頂端氧化形成氧化部位。

【請求項18】 根據申請專利範圍第17項所述之電容結構的製作方法，更包含進行一蝕刻製程移除部分的該上電極板與該下電極層的該垂直延伸部位，使得該上電極板與該下電極層的垂直延伸部位的長度小於該電容介電層的垂直延伸部位的長度。

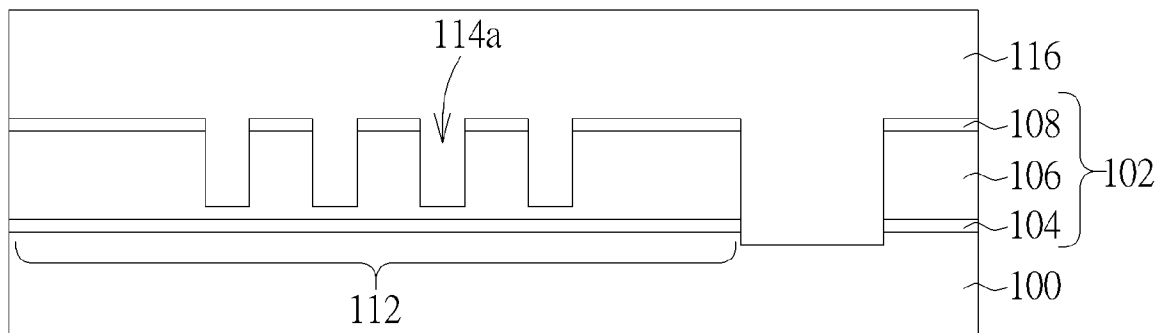
【發明圖式】



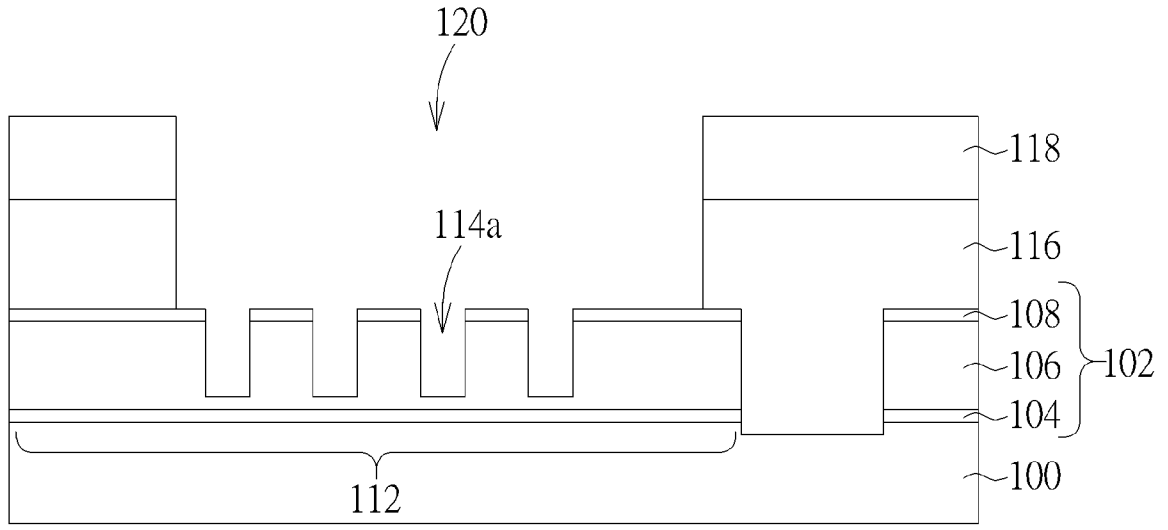
第1圖



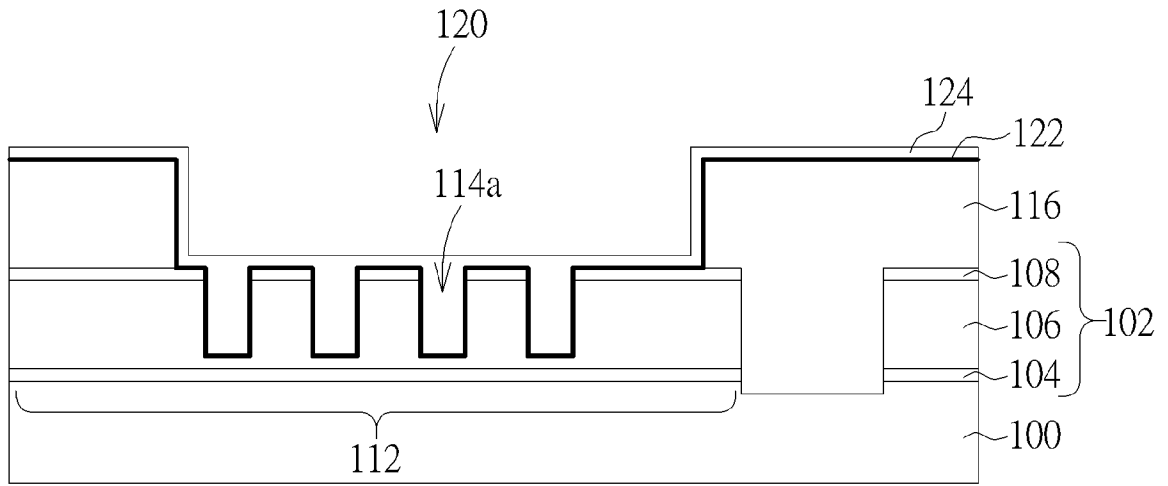
第2圖



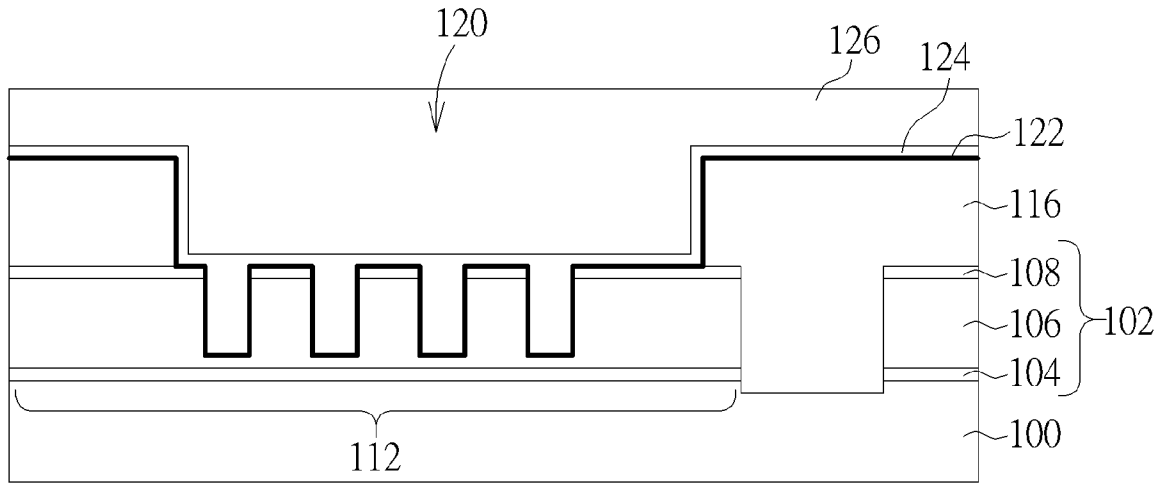
第3圖



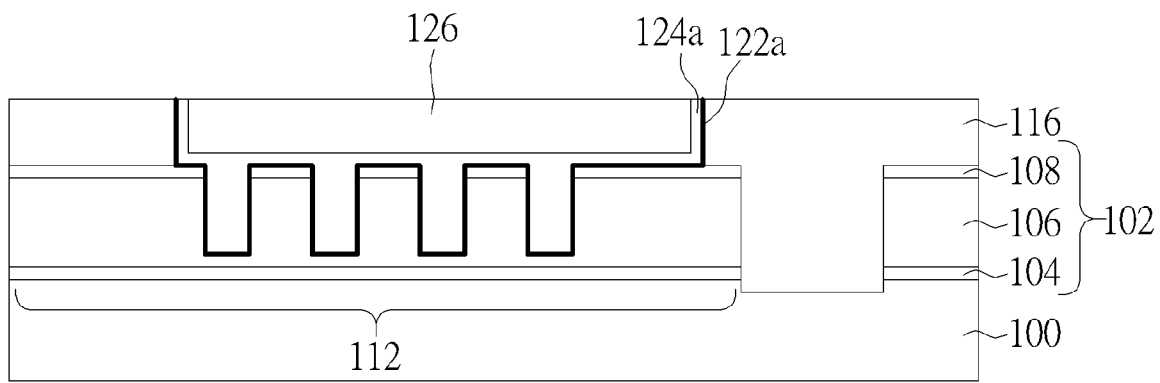
第4圖



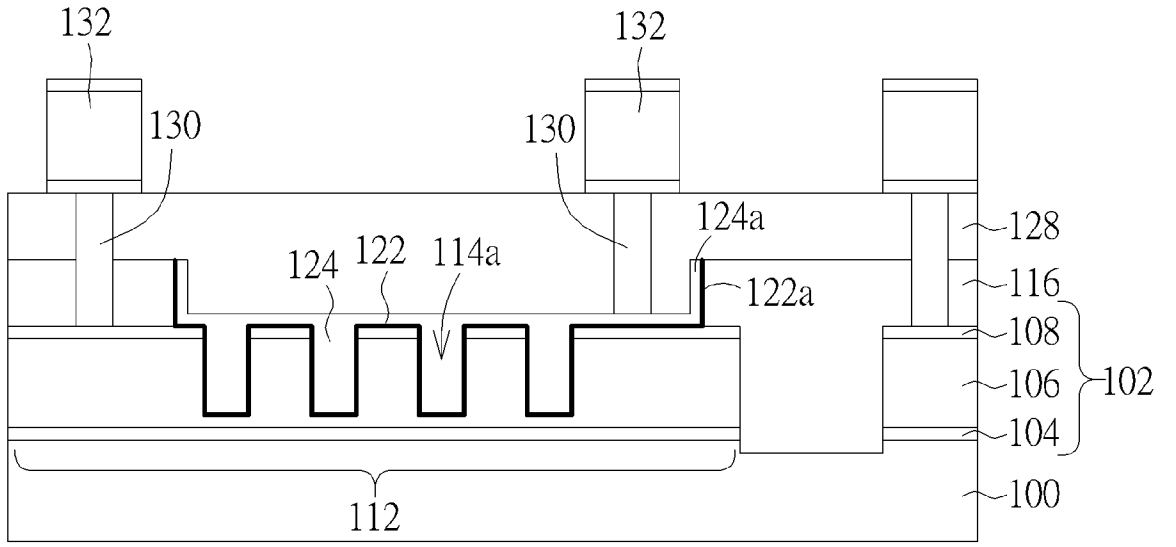
第5圖



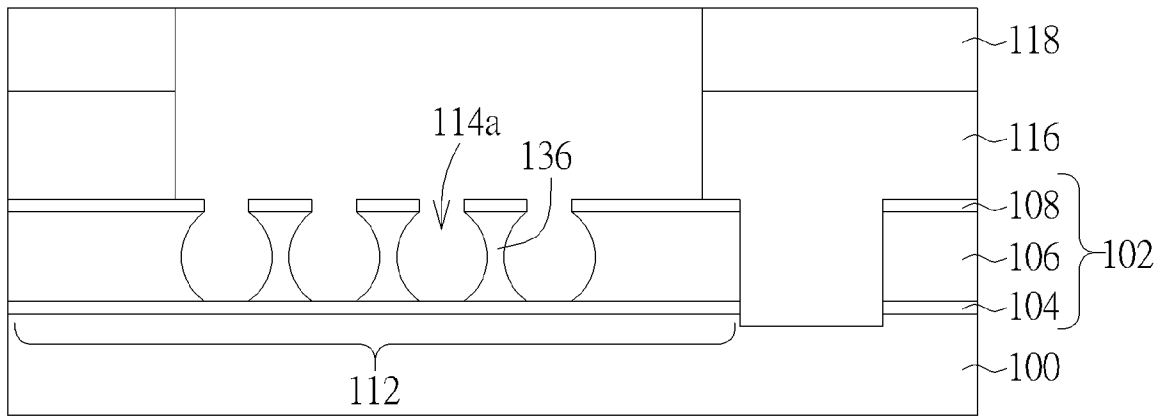
第6圖



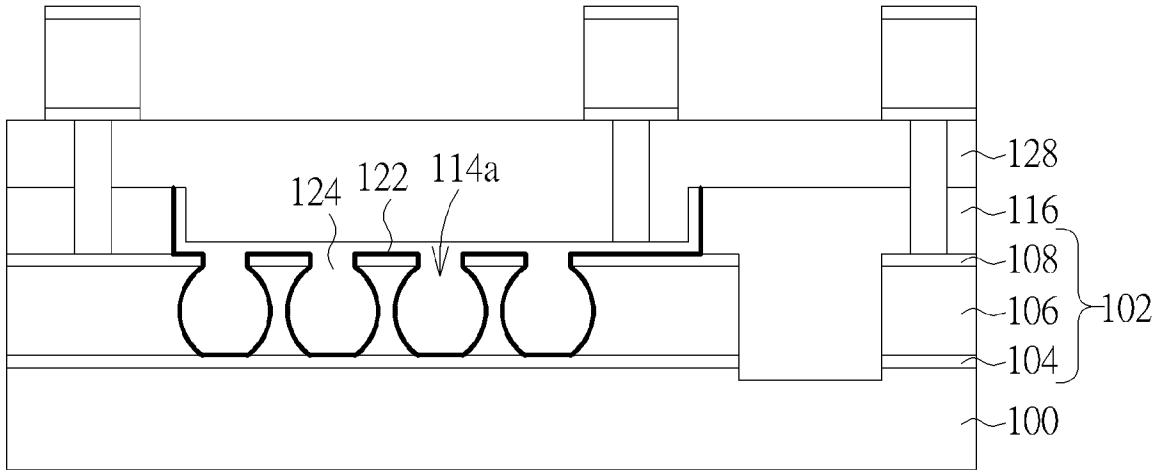
第7圖



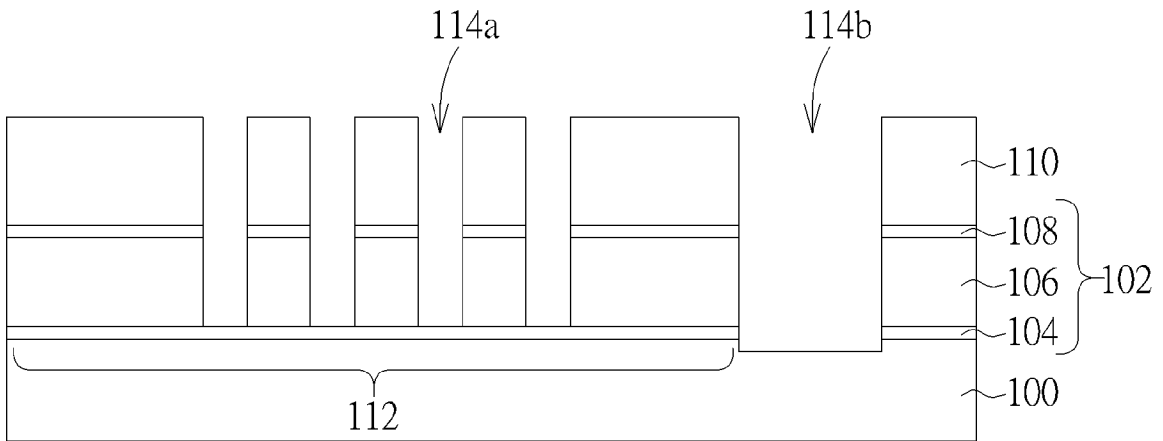
第8圖



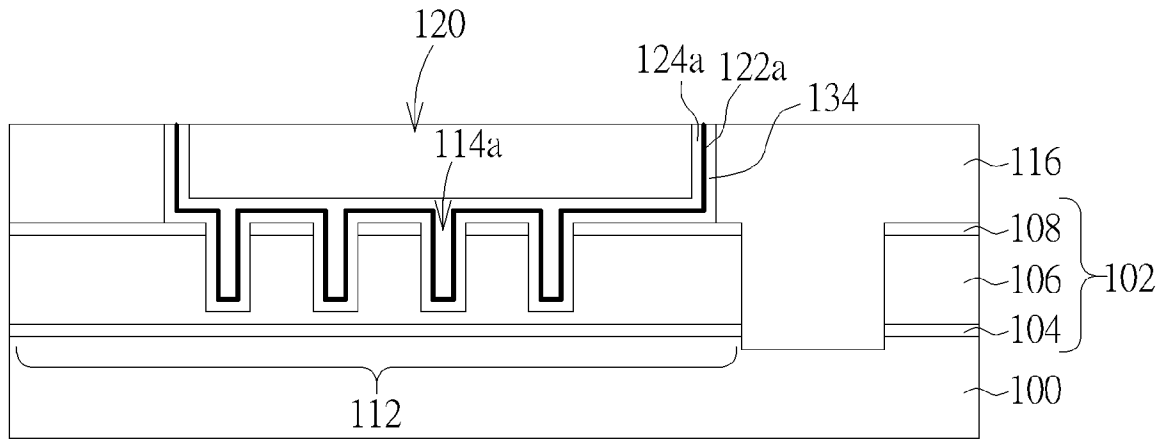
第9圖



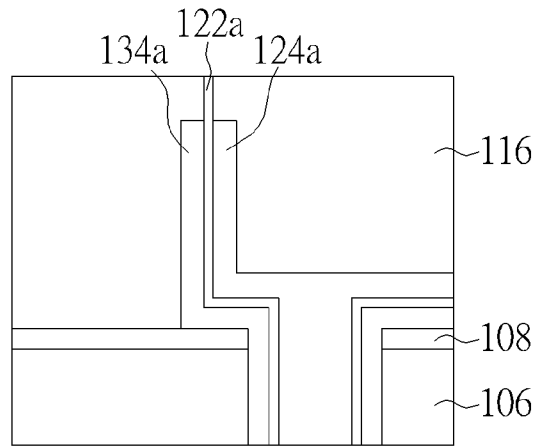
第10圖



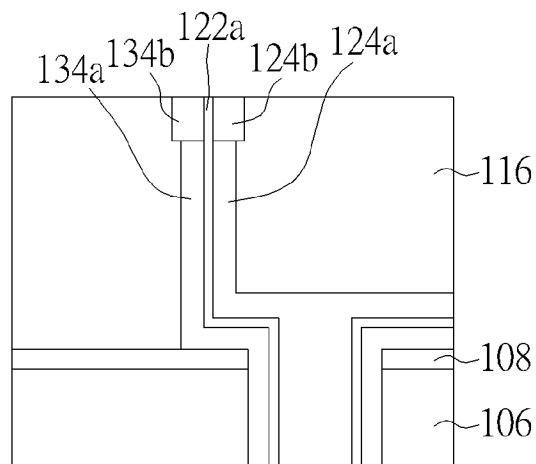
第11圖



第12圖



第13圖



第14圖