

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-354266

(P2005-354266A)

(43) 公開日 平成17年12月22日(2005.12.22)

(51) Int. Cl.<sup>7</sup>

H03F 3/45  
H03F 1/22  
H03K 5/08  
H03K 17/30

F I

H03F 3/45  
H03F 1/22  
H03K 5/08  
H03K 17/30

テーマコード(参考)

5J039  
5J055  
5J500

審査請求 未請求 請求項の数 14 O L (全 33 頁)

(21) 出願番号 特願2004-171047 (P2004-171047)  
(22) 出願日 平成16年6月9日(2004.6.9)

(71) 出願人 302062931  
NECエレクトロニクス株式会社  
神奈川県川崎市中原区下沼部1753番地  
(74) 代理人 100080816  
弁理士 加藤 朝道  
(72) 発明者 西村 浩一  
神奈川県川崎市中原区下沼部1753番地  
NECエレクトロニクス株式会社内  
Fターム(参考) 5J039 DA09 DB05 KK16 KK17 KK18  
KK22 MM03 MM16  
5J055 AX02 BX10 CX24 DX13 DX14  
DX22 DX63 EX07 EY21 EZ04  
EZ08 EZ10 FX05 FX12 GX01  
GX06

最終頁に続く

(54) 【発明の名称】 電圧比較器回路

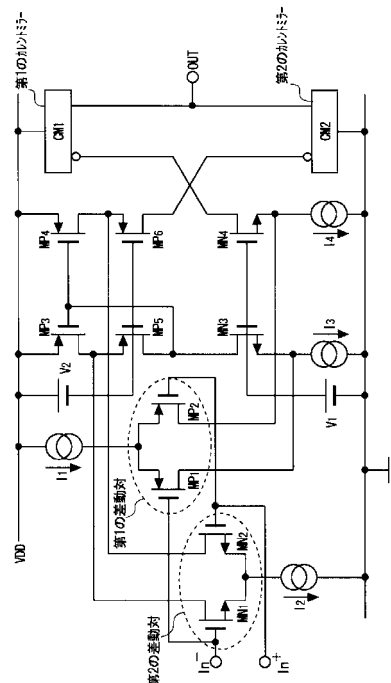
(57) 【要約】

【課題】

簡易な構成により高速化を実現する電圧比較器の提供

【解決手段】

差動入力端子  $I_{n+}$ 、 $I_{n-}$  からの差動電圧を入力し互いに逆極性の第1の差動対(MP1、MP2)及び第2の差動対(MN1、MN2)を有する入力差動段と、入力差動段の差動出力に接続され、第1の差動対の差動出力信号と第2の差動対の差動出力信号とを加算するフォールドドカスコード型の差動段(MP3、MP4、MP5、MP6、MN3、MN4)と、対向配置され、フォールドドカスコード型の差動段の差動出力をそれぞれ入力に受け、出力同士が出力端子に共通接続された互いに逆極性の第1のカレントミラー回路(CM1)及び第2のカレントミラー回路(CM2)を備え、フォールドドカスコード型の差動段は第1の差動対の差動出力信号と第2の差動対の差動出力信号とを加算し、フォールドドカスコード型の差動段の出力を、前記第1及び第2のカレントミラー回路でそれぞれ折り返し出力端



## 【特許請求の範囲】

## 【請求項 1】

差動入力信号を入力とし第 1 及び第 2 の電流源でそれぞれ駆動される第 1 及び第 2 導電型の第 1 及び第 2 の差動対を有する入力段差動段と、

前記第 1 及び第 2 の差動対の差動出力の負荷をなし、前記第 1 の差動対の差動出力信号と前記第 2 の差動対の差動出力信号とそれぞれを加算して折り返し、差動出力するフォールデッドカスコード (folded cascode) 型の差動段と、

第 1 及び第 2 電源間に対向配置され、前記フォールデッドカスコード型の差動段の差動出力をそれぞれ入力に受け、出力同士が出力端子に共通接続された、第 1 及び第 2 導電型の第 1 及び第 2 のカレントミラー回路と、

を備えている、ことを特徴とする差動増幅器。

10

## 【請求項 2】

前記フォールデッドカスコード型の差動段は、

前記第 1 の電源と第 2 の電源間に、制御端子同士がそれぞれ接続されている第 1 乃至第 3 のトランジスタ対と、二つの電流源とを少なくとも含み、前記第 1 の電源側に接続される前記第 1 のトランジスタ対と前記第 2 のトランジスタ対は、カスコードカレントミラー回路を構成し、

前記第 1 の差動対の差動出力は、前記第 1 のトランジスタ対と前記第 2 のトランジスタ対との接続点に接続され、

前記第 2 の差動対の差動出力は、前記第 2 の電源に一端が共通接続された前記二つの電流源の他端と前記第 3 のトランジスタ対との接続点に接続され、

20

前記第 2 のトランジスタ対の一の出力が、前記第 2 のカレントミラー回路の入力端に接続され、前記第 3 のトランジスタ対の一の出力が、前記第 1 のカレントミラー回路の入力端に接続されている、ことを特徴とする請求項 1 記載の差動増幅器。

## 【請求項 3】

前記フォールデッドカスコード型の差動段は、

前記第 1 の電源と第 2 の電源間に、制御端子同士がそれぞれ接続されている第 1 乃至第 3 のトランジスタ対と、二つの電流源とを少なくとも含み、前記第 2 の電源側に接続される前記第 1 のトランジスタ対と前記第 2 のトランジスタ対はカスコードカレントミラー回路を構成し、

30

前記第 1 の差動対の差動出力は、前記第 1 の電源に一端が共通接続された前記二つの電流源の他端と前記第 3 のトランジスタ対との接続点に接続され、

前記第 2 の差動対の差動出力は、前記第 1 のトランジスタ対と前記第 2 のトランジスタ対との接続点に接続され、

前記第 2 のトランジスタ対の一の出力が、前記第 1 のカレントミラー回路の入力端に接続され、前記第 3 のトランジスタ対の一の出力が、前記第 2 のカレントミラー回路の入力端に接続されている、ことを特徴とする請求項 1 記載の差動増幅器。

## 【請求項 4】

前記フォールデッドカスコード型の差動段は、

前記第 1 の電源と前記第 2 の電源間に、第 3 のカレントミラー回路と、ゲート同士が接続された第 1 のトランジスタ対と、二つの電流源とを少なくとも備え、

40

前記第 1 の差動対の差動出力は、前記第 3 のカレントミラー回路の入力端及び前記第 1 のカレントミラー回路の入力端にそれぞれ接続され、

前記第 2 の差動対の差動出力は、前記第 1 のトランジスタ対と、前記二つの電流源の接続点にそれぞれ接続され、

前記第 1 のトランジスタ対の一の出力が、前記第 2 のカレントミラー回路の入力端に接続され、前記第 3 のカレントミラー回路の出力が、前記第 2 のカレントミラー回路の入力端に接続されている、ことを特徴とする請求項 1 記載の差動増幅器。

## 【請求項 5】

前記第 1 及び第 2 のカレントミラー回路の出力端の電流駆動能力は、入力端の電流駆動

50

能力の  $k$  倍（ただし、 $k$  は 1 より大の所定数）である、ことを特徴とする請求項 1 乃至 4 のいずれかーに記載の差動増幅器。

【請求項 6】

請求項 1 乃至 5 のいずれかーに記載の前記差動増幅器を備え、  
前記差動増幅器の出力を受ける波形整形回路を備えている電圧比較器。

【請求項 7】

前記波形整形回路は、バッファ回路及び / 又はインバータを含む、請求項 6 記載の電圧比較器。

【請求項 8】

請求項 1 乃至 5 のいずれかーに記載の前記差動増幅器を備えた半導体集積回路装置。

10

【請求項 9】

差動増幅器と、前記差動増幅器の出力に複数段縦続接続されたインバータと、を備えた電圧比較器において、

前記差動増幅器が、

第 1 の P チャネル MOS トランジスタと第 2 の P チャネル MOS トランジスタで構成される第 1 の差動対と、

第 1 の N チャネル MOS トランジスタと第 2 の N チャネル MOS トランジスタで構成される第 2 の差動対と、

各々のゲートが共通接続されて第 1 の電圧源に接続された第 3 と第 4 の N チャネル MOS トランジスタと、

20

各々のゲートが共通接続され、各々のソースが共通接続された第 3 と第 4 の P チャネル MOS トランジスタと、

各々のゲートが共通接続されて第 2 の電圧源に接続された第 5 と第 6 の P チャネル MOS トランジスタと、

入力が前記第 4 の N チャネル MOS トランジスタのドレインに接続され、共通端子が第 1 の電源に接続された第 1 のカレントミラー回路と、

入力が前記第 6 の P チャネル MOS トランジスタのドレインに接続され、共通端子が第 2 の電源に接続された第 2 のカレントミラー回路と、

前記第 1 の差動対の共通に接続されたソースと第 1 の電源間に接続される第 1 の定電流源と、

30

前記第 2 の差動対の共通に接続されたソースと第 2 の電源間に接続された第 2 の定電流源と、

前記第 3 の N チャネル MOS トランジスタのソースと第 2 の電源間に接続された第 3 の定電流源と、

前記第 4 の N チャネル MOS トランジスタのソースと第 2 の電源間に接続された第 4 の定電流源と、

を備え、

前記第 1 の差動対を構成する第 1 の P チャネル MOS トランジスタのドレインが前記第 3 の N チャネル MOS トランジスタのソースに共通接続され、

前記第 1 の差動対を構成する第 2 の P チャネル MOS トランジスタのドレインが前記第 4 の N チャネル MOS トランジスタのソースに共通接続され、

40

前記第 2 の差動対を構成する前記第 1 の N チャネル MOS トランジスタのドレインと前記第 3 の P チャネル MOS トランジスタのドレインと前記第 5 の P チャネル MOS トランジスタのソースとが共通接続され、

前記第 2 の差動対を構成する前記第 2 の N チャネル MOS トランジスタのドレインと前記第 4 の P チャネル MOS トランジスタのドレインと前記第 6 の P チャネル MOS トランジスタのソースとが共通接続され、

前記第 3 の P チャネル MOS トランジスタのゲートと前記第 5 の P チャネル MOS トランジスタのドレインと前記第 3 の N チャネル MOS トランジスタのドレインとが共通接続され、

50

前記第 1 のカレントミラー回路の出力と前記第 2 のカレントミラー回路の出力を共通接続して出力端子とし、

前記第 1 の P チャンネル MOS トランジスタのゲートと前記第 1 の N チャンネル MOS トランジスタのゲートを共通接続して反転入力端子とし、

前記第 2 の P チャンネル MOS トランジスタのゲートと前記第 2 の N チャンネル MOS トランジスタのゲートを共通接続して正転入力端子とする、ことを特徴とする電圧比較器。

【請求項 10】

差動増幅器と、前記差動増幅器の出力に複数段縦続接続されたインバータと、を備えた電圧比較器において、

前記差動増幅器が、

第 1 の P チャンネル MOS トランジスタと第 2 の P チャンネル MOS トランジスタで構成される第 1 の差動対と、

第 1 の N チャンネル MOS トランジスタと第 2 の N チャンネル MOS トランジスタで構成される第 2 の差動対と、

各々のゲートが共通接続され、各々のソースが共通接続された第 3 と第 4 の N チャンネル MOS トランジスタと、

各々のゲートが共通接続されて第 1 の電圧源に接続された第 5 と第 6 の N チャンネル MOS トランジスタと、

各々のゲートが共通接続され第 2 の電圧源に接続された第 3 と第 4 の P チャンネル MOS トランジスタと、

入力が前記第 6 の N チャンネル MOS トランジスタのドレインに接続され、共通端子が第 1 の電源に接続された第 1 のカレントミラー回路と、

入力が前記第 4 の P チャンネル MOS トランジスタのドレインに接続され、共通端子が第 2 の電源端子に接続された第 2 のカレントミラー回路と、

前記第 1 の差動対の共通に接続されたソースと第 1 の電源間に接続される第 1 の定電流源と、

前記第 2 の差動対の共通に接続されたソースと第 2 の電源間に接続された第 2 の定電流源と、

前記第 3 の P チャンネル MOS トランジスタのソースと第 1 の電源間に接続された第 3 の定電流源と、

前記第 4 の P チャンネル MOS トランジスタのソースと第 2 の電源間に接続された第 4 の定電流源と、

を備え、

前記第 1 の差動対を構成する第 1 の P チャンネル MOS トランジスタのドレインが前記第 5 の N チャンネル MOS トランジスタのソースと共通接続され、

前記第 1 の差動対を構成する第 2 の P チャンネル MOS トランジスタのドレインが前記第 6 の N チャンネル MOS トランジスタのソースに共通接続され、

前記第 2 の差動対を構成する第 1 の N チャンネル MOS トランジスタのドレインが前記第 3 の P チャンネル MOS トランジスタのソースに共通接続され、

前記第 2 の差動対を構成する第 2 の N チャンネル MOS トランジスタのドレインが前記第 4 の P チャンネル MOS トランジスタのソースに共通接続され、

前記第 3 の N チャンネル MOS トランジスタのゲートが前記第 5 の N チャンネル MOS トランジスタのドレインと前記第 3 の P チャンネル MOS トランジスタのドレインに共通接続され、

前記第 1 のカレントミラー回路の出力と前記第 2 のカレントミラー回路の出力を共通接続して出力端子とし、

前記第 1 の P チャンネル MOS トランジスタのゲートと前記第 1 の N チャンネル MOS トランジスタのゲートを共通接続して反転入力端子とし、

前記第 2 の P チャンネル MOS トランジスタのゲートと前記第 2 の N チャンネル MOS トランジスタのゲートを共通接続して正転入力端子としている、ことを特徴とする電圧比較器

10

20

30

40

50

。

## 【請求項 1 1】

前記第 1 と第 2 のカレントミラー回路は、入力電流と出力電流の比が、入力電流：出力電流 = 1 : k (ただし、k は 1 より大の数) である、ことを特徴とする請求項 9 又は 1 0 記載の電圧比較器。

## 【請求項 1 2】

差動増幅器と、前記差動増幅器の出力に複数段縦続接続されたインバータと、を備えた電圧比較器において、

前記差動増幅器が、

第 1 の P チャンネル MOS トランジスタと第 2 の P チャンネル MOS トランジスタで構成される第 1 の差動対と、 10

第 1 の N チャンネル MOS トランジスタと第 2 の N チャンネル MOS トランジスタで構成される第 2 の差動対と、

各々のゲートが共通接続され、第 1 の電圧源に接続された第 3 と第 4 の N チャンネル MOS トランジスタと、

前記第 1 の差動対の共通に接続されたソースと第 1 の電源間に接続される第 1 の定電流源と、

前記第 2 の差動対の共通に接続されたソースと第 2 の電源間に接続された第 2 の定電流源と、

前記第 3 の N チャンネル MOS トランジスタのソースと第 2 の電源間に接続された第 3 の定電流源と、 20

前記第 4 の N チャンネル MOS トランジスタのソースと第 2 の電源間に接続された第 4 の定電流源と、

入力端子が前記第 1 の N チャンネル MOS トランジスタのドレインと前記第 3 の N チャンネル MOS トランジスタのドレインとに共通接続され、共通端子が第 1 の電源端子に共通接続された第 1 のカレントミラー回路と、

入力端子が前記第 2 の N チャンネル MOS トランジスタのドレインと前記第 4 の N チャンネル MOS トランジスタのドレインとに共通接続され、共通端子が第 1 の電源端子に共通接続された第 2 のカレントミラー回路と、

入力端子が前記第 1 のカレントミラー回路の出力端子に接続され、共通端子が第 2 の電源に接続された第 3 のカレントミラー回路と、 30

前記第 1 の P チャンネル MOS トランジスタのドレインが前記第 3 の N チャンネル MOS トランジスタのソースに接続され、

前記第 2 の P チャンネル MOS トランジスタのドレインが前記第 4 の N チャンネル MOS トランジスタのソースに接続され、

前記第 2 のカレントミラー回路の出力端子と前記第 3 のカレントミラー回路の出力端子を共通接続して出力端子とし、

前記第 1 の P チャンネル MOS トランジスタのゲートと前記第 1 の N チャンネル MOS トランジスタのゲートを共通接続して反転入力端子とし、

前記第 2 の P チャンネル MOS トランジスタのゲートと前記第 2 の N チャンネル MOS トランジスタのゲートを共通接続して正転入力端子としている、ことを特徴とする電圧比較器 40

。

## 【請求項 1 3】

前記第 2 と第 3 のカレントミラー回路は、入力電流と出力電流の比が、入力電流：出力電流 = 1 : k (k > 1) である、ことを特徴する請求項 1 2 記載の電圧比較器。

## 【請求項 1 4】

請求項 9 乃至 1 3 のいずれか一記載の電圧比較器を備えた半導体集積回路装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0 0 0 1】

本発明は、差動増幅器及び該差動増幅器を備えた電圧比較器回路に関し、特に、高速の差動インターフェース回路等に用いて好適な電圧比較器回路に関する。

【背景技術】

【0002】

近時、高速の差動インターフェース回路が各種装置で多用されている。例えばTFT-LCD (Thin Film Transistor Liquid Crystal Display) 分野ではLCDドライバLSIとタイミングコントローラLSIとの間のインターフェースとして、RSDS (Reduced Swing Differential Signaling: 米国NS社の登録商標) やmini-LVDS (mini Low Voltage Differential Signaling: 米国TI社の登録商標) 等が標準化されつつある。これらのレシーバ回路には、差動入力をもった電圧比較器回路が使われている。

10

【0003】

電圧比較器回路に入力される周波数は、RSDSで、約85MHz、mini-LVDSでは、約200MHzの差動信号である。また、入力差動電圧は、差動信号成分で±50mV、同相信号成分で、0.3V~VDD-0.5V程度である。

【0004】

電圧比較器回路に要求される特性として、これらの仕様を満たす回路が要求されている。しかし、現在発表されている回路構成では、同相信号成分の規格を満足し、かつ、動作速度をも満足することは困難である。

【0005】

図6は、非特許文献1 (IEEE J. Solid-State Circuits, vol.29 No.12, Dec.1994 pp.1505~1513 "A Compact Power-Efficient 3V CMOS Rail-to-Rail Input/Output Operational Amplifier for VLSI Cell Libraries") 記載の差動増幅回路の構成を示す図である。

20

【0006】

図6を参照すると、この差動増幅器は、第1のPチャンネルMOSトランジスタMP1と、第2のPチャンネルMOSトランジスタMP2で構成される第1の差動対と、第1のNチャンネルMOSトランジスタMN1と第2のNチャンネルMOSトランジスタMN2で構成される第2の差動対を備えて構成された差動増幅回路において、各々のゲートが共通接続され、かつ第1の電圧源V1に接続された第3と第4のNチャンネルMOSトランジスタMN3、MN4と、各々のゲートが共通接続され、かつ各々のソースが共通接続された第3と第4のPチャンネルMOSトランジスタMP3、MP4と、各々のゲートが共通接続され、かつ第2の電圧源V2に接続された第5と第6のPチャンネルMOSトランジスタMP5、MP6と、前記第1の差動対(MP1、MP2)の共通に接続されたソースと正電源VDD間に接続される第1の定電流源(電流I1を供給)と、第2の差動対(MN1、MN2)の共通に接続されたソースと負電源間に接続された第2の定電流源(電流I2を供給)と、第3のNチャンネルMOSトランジスタMN3のソースと負電源間に接続された第3の定電流源(電流I3を供給)と、第4のNチャンネルMOSトランジスタMN4のソースと負電源間に接続された第4の定電流源(電流I4を供給)とを備えている。

30

【0007】

第1の差動対を構成する第1と第2のPチャンネルMOSトランジスタMP1、MP2のドレインが第3と第4のNチャンネルMOSトランジスタMN3、MN4のソースにそれぞれ接続されている。

40

【0008】

また、第2の差動対を構成する第1のNチャンネルMOSトランジスタMN1のドレインと、第3のPチャンネルMOSトランジスタMP3のドレインと第5のPチャンネルMOSトランジスタMP5のソースとが共通接続され、第2の差動対を構成する第2のNチャンネルMOSトランジスタMN2のドレインと第4のPチャンネルMOSトランジスタMP4のドレインと第6のPチャンネルMOSトランジスタMP6のソースとが共通接続されている。

【0009】

第3のPチャンネルMOSトランジスタMP3のゲートと第5のPチャンネルMOSトラン

50

ジスタMP5のドレインと、第3のNチャンネルMOSトランジスタMN3のドレインとが共通接続されている。

【0010】

第1のNチャンネルMOSトランジスタMN1のゲートと第1のPチャンネルMOSトランジスタMP1のゲートを共通接続して正転入力端子とし、第2のNチャンネルMOSトランジスタMN2のゲートと第2のPチャンネルMOSトランジスタMP2のゲートを共通接続して反転入力端子としている。

【0011】

第6のPチャンネルMOSトランジスタMP6のドレインと第4のNチャンネルMOSトランジスタMN4のドレインを共通接続して出力端子としている。

10

【0012】

電圧比較器回路は、差動増幅器を応用したものであり、図6の従来の差動増幅器を電圧比較器回路として使うことができる。しかしながら、図6の差動増幅器を、実際に電圧比較器回路として使う場合には、波形整形が必要である。

【0013】

その波形整形の目的のため、この差動増幅回路の後段に、CMOSインバータを接続する必要がある。

【0014】

図9は、その具体的な構成を示す図である。図9を参照すると、差動増幅器の出力に、第1のCMOSインバータINV1の入力端子を接続する。第1のCMOSインバータINV1の後段に、更なる波形整形を目的として、第2と第3のCMOSインバータINV2、INV3をシリーズに接続し、第3のCMOSインバータINV3の出力を最終出力とする。

20

【0015】

図10は、図9のCMOSインバータの具体的な回路構成の例を示す図である。図10を参照すると、CMOSインバータは、正電源VDDにソースが接続された、PチャンネルMOSトランジスタMP1と、PチャンネルMOSトランジスタMP1のドレインにドレインが接続されて出力端子に接続され、ソースが負電源VSS(GND)に接続されたNチャンネルMOSトランジスタMN1と、を備え、PチャンネルMOSトランジスタMP1とNチャンネルMOSトランジスタMN1のゲートは共通接続されて入力端子に接続されている。

30

【0016】

以下、この差動増幅器を電圧比較器回路として使った場合について、解析を行う。まず、MOSトランジスタで構成された差動増幅器についての基本動作について、図7と図8を参照しながら説明する。図7は、差動増幅回路の基本回路構成であり、図8は、その入力電圧対出力電流の直流伝達特性を示したものである。NチャンネルMOSトランジスタMN1とMN2はソースが共通接続され、その共通接続されたソースと負電源間に定電流源Issが接続されている。そして、MN1のゲートには電圧源Vi1が、MN2のゲートには電圧源Vi2が接続されている。ここでMN1とMN2のゲート-ソース間電圧をそれぞれVGS1とVGS2とすると、入力電圧の関係から次式(1)が成り立つ。

40

$$V_{i1} - V_{GS1} + V_{GS2} - V_{i2} = 0 \quad \text{-----}(1)$$

【0017】

そして、ドレイン電流をそれぞれId1、Id2とし、MOSトランジスタMN1とMN2のゲート幅とゲート長をそれぞれWとL、移動度をμ、単位面積当たりのゲート酸化膜容量をC0、閾値をVTとすると、トランスコンダクタンス(次式(2)参照)、MOSトランジスタMN1とMN2のゲート-ソース間電圧VGS1、VGS2は、次式(3)、(4)で与えられる。

$$\beta = \frac{W}{L} \mu C_o \quad \text{-----}(2)$$

【 0 0 1 8 】

$$V_{GS1} = \sqrt{\frac{2I_{d1}}{\beta}} + V_T \quad \text{-----}(3)$$

10

【 0 0 1 9 】

$$V_{GS2} = \sqrt{\frac{2I_{d2}}{\beta}} + V_T \quad \text{-----}(4)$$

【 0 0 2 0 】

ここで、バイアス電流  $I_{SS}$  が完全に MN1 のトランジスタの方に切り替わる差動電圧  $V_{id}$  を求めると、(1)、(3)、(4) 式より、次式(5)が導出される。 20

$$\Delta V_{id} = V_{i1} - V_{i2} = \left( \sqrt{\frac{2I_{SS}}{\beta}} - V_T \right) - V_T = \sqrt{\frac{2I_{SS}}{\beta}} \quad \text{-----}(5)$$

【 0 0 2 1 】

そして、 $V_{i1} = V_{i2}$  の時のゲート・ソース間電圧  $V_{GS}$  を  $V_{GS0}$  とすると、このとき MN1 と MN2 のドレイン電流はそれぞれ  $I_{SS} / 2$  となり、次式(6)が得られる。 30

$$V_{GS01} = \sqrt{\frac{I_{SS}}{\beta}} + V_T \quad \text{-----}(6)$$

【 0 0 2 2 】

従って、(5) 式と(6) 式より、次式(7)となる。

$$\therefore \Delta V_{id} = \sqrt{2}(V_{GS0} - V_T) \quad \text{-----}(7)$$

40

【 0 0 2 3 】

この(7) 式は、MOS 差動段が完全に切り替わる条件式となる。このようにして、入力差動電圧が、(7) 式で表された値以上の時は、差動段のバイアス電流源が片方のトランジスタに流れ、もう片方のトランジスタの電流は 0 となる。これが比較器動作となる。

【 0 0 2 4 】

但し、このように完全に切り替わらなくても、本差動段の次段の構成によっては、これ以下の差動電圧でも充分比較器の動作をする。これは、この差動段が充分な利得を持っているからである。この差動段において、入力電圧と差動段を構成するドレイン電流との関係グラフを示したものが、図 8 である。

50



## 【0025】

図6の差動増幅器について詳細な説明を行う。図6の差動増幅器は、いわゆるフォールデッドカスコード型の差動増幅器回路である。

## 【0026】

この回路は、入力電圧範囲によって次の3つの動作モードをもつ。

## 【0027】

[1] < 第1と第2の差動対の両方が動作している場合 >

入力電圧を  $V_{in}$  とし、

$$V_{DD} - (V_{GS(MP1/2)} + V_{DS(sat)(I1)}) > V_{in} > V_{GS(MN1/2)} + V_{DS(sat)(I2)} \quad \text{-----}(8)$$

10

## 【0028】

$V_{GS(MN1/2)}$  : NチャンネルMOSトランジスタMN1/2のゲート-ソース間電圧、

$V_{DS(sat)(I2)}$  : 電流源I2を構成するNチャンネルMOSトランジスタの飽和点でのドレイン-ソース間電圧(5極管領域で動作するぎりぎりの電圧)、

$V_{GS(MP1/2)}$  : PチャンネルMOSトランジスタMP1/2のゲート-ソース間電圧、

$V_{DS(sat)(I1)}$  : 電流源I1を構成するPチャンネルMOSトランジスタの飽和点でのドレイン-ソース間電圧(5極管領域で動作するぎりぎりの電圧)、

20

の条件の時、第1と第2の差動対の両方が動作状態となる。

## 【0029】

まず  $I_{n^+}$  側が  $I_{n^-}$  より高く、かつ(7)式以上の電圧が入力されたと仮定すると、この回路は、電圧比較器回路動作をするので、第1の差動対(MP1、MP2)のバイアス電流  $I_1$  は、全て第2のPチャンネルMOSトランジスタMP2の方に流れる。そして第1のPチャンネルMOSトランジスタMP1の方の電流は0となる。一方、第2の差動対(MN1、MN2)のバイアス電流  $I_2$  は、全て第1のNチャンネルMOSトランジスタMN1の方に流れる。そして、第2のNチャンネルMOSトランジスタMN2の方の電流は0となる。この時の各トランジスタのバイアス電流状態をみると、第3のNチャンネルMOSトランジスタMN3のドレイン電流を  $I_{D(MN3)}$  とし、第4のNチャンネルMOSトランジスタMN4のドレイン電流を  $I_{D(MN4)}$  とし、次式(9)、(10)が成り立つ。

30

$$I_{D(MN4)} = I_4 - I_1 \quad \text{-----}(9)$$

$$I_{D(MN3)} = I_3 \quad \text{-----}(10)$$

## 【0030】

ここで、 $I_1$  と  $I_3$  と  $I_4$  の関係を以下のようにする。

$$I_3 = I_4 \geq I_1 \quad \text{-----}(11)$$

40

## 【0031】

一方、第5のPチャンネルMOSトランジスタMP5のドレイン電流  $I_{D(MP5)}$  は第3のNチャンネルMOSトランジスタMN3のドレイン電流  $I_{D(MN3)}$  と同じであるので、次式(12)が成り立つ。

$$I_{D(MP5)} = I_{D(MN3)} \quad \text{-----}(12)$$

## 【0032】

また、第3のPチャンネルMOSトランジスタMP3のドレイン電流  $I_{D(MP3)}$  は第

50

5のPチャンネルMOSトランジスタMP5のドレイン電流 $I_{D(MP5)}$ と第1のNチャンネルMOSトランジスタMN1のドレイン電流 $I_{D(MN1)}$ の加算であり、

$$I_{D(MP5)} = I_3、$$

$$I_{D(MN1)} = I_2、$$

だから、次式(13)が成り立つ。

$$I_{D(MP3)} = I_{D(MP5)} + I_{D(MN1)} = I_3 + I_2 \quad \text{-----}(13)$$

#### 【0033】

第4のPチャンネルMOSトランジスタMP4は第3のPチャンネルMOSトランジスタMP3と各々のゲートとソースが共通接続されているので、各々のドレイン電流は等しくなる。従って、第4のPチャンネルMOSトランジスタMP4のドレイン電流 $I_{D(MP4)}$ は、次式(14)で与えられる。

$$I_{D(MP4)} = I_{D(MP3)} = I_3 + I_2 \quad \text{-----}(14)$$

#### 【0034】

また、第6のPチャンネルMOSトランジスタMP6のドレイン電流 $I_{D(MP6)}$ は、第4のPチャンネルMOSトランジスタMP4のドレイン電流 $I_{D(MP4)}$ から第2のNチャンネルMOSトランジスタMN2のドレイン電流 $I_{D(MN2)}$ を引いた値になるが、この状態ではこの $I_{D(MN2)}$ が0であるから、次式(15)で与えられる。

$$I_{D(MP6)} = I_{D(MP4)} - I_{D(MN2)} = I_3 + I_2 \quad \text{-----}(15)$$

#### 【0035】

第6のPチャンネルMOSトランジスタMP6のドレインと第4のNチャンネルMOSトランジスタMP4のドレインとが共通接続されて出力端子になっているので、出力電流は上述した(15)式と(9)式の引き算値( $I_{D(MP6)} - I_{D(MN4)}$ )になる。すなわち、出力端子はハイレベルとなり、その時の電流吐き出し能力 $I_{out}$ は、次式(16)で与えられる。

$$I_{out} = (I_3 + I_2) - (I_4 - I_1) \quad \text{-----}(16)$$

ここで、 $I_3 = I_4$ であるので、結果的に出力端電流 $I_{out}$ は

$$I_{out} = I_1 + I_2 \quad \text{-----}(17)$$

の電流吐き出し能力を持ち、ハイレベルとなる。電位的にはほぼ正電源のVDDとなる。

#### 【0036】

次に、今度は $I_{n^+}$ 側が $I_{n^-}$ より低くかつ(7)式以上の電圧が入力されたと仮定すると本回路は比較器回路動作をするので、第1の差動対のバイアス電流 $I_1$ は全て第1のPチャンネルMOSトランジスタMP1の方に流れる。そして、第2のPチャンネルMOSトランジスタMP2の方の電流は0となる。一方、第2の差動対のバイアス電流 $I_2$ は全て第2のNチャンネルMOSトランジスタMN2の方に流れる。そして、第1のNチャンネルMOSトランジスタMN1の方の電流は0となる。この時の各トランジスタのバイアス電流状態をみると、第3のNチャンネルMOSトランジスタMN3のドレイン電流を $I_{D(MN3)}$ とし、第4のNチャンネルMOSトランジスタMN4のドレイン電流を $I_{D(MN4)}$ として、次式(18)、(19)で与えられる。

10

20

30

40

$$I_{D(MN4)} = I_4 \quad \text{-----}(18)$$

$$I_{D(MN3)} = I_3 - I_1 \quad \text{-----}(19)$$

## 【 0 0 3 7 】

一方、第5のPチャネルMOSトランジスタMP5のドレイン電流  $I_{D(MP5)}$  は、第3のNチャネルMOSトランジスタMN3のドレイン電流  $I_{D(MN3)}$  と同じであるので、次式(20)で与えられる。

$$I_{D(MP5)} = I_{D(MN3)} \quad \text{-----}(20)$$

10

## 【 0 0 3 8 】

また、第3のPチャネルMOSトランジスタMP3のドレイン電流  $I_{D(MP3)}$  は第5のPチャネルMOSトランジスタMP5のドレイン電流  $I_{D(MP5)}$  と第1のNチャネルMOSトランジスタMN1のドレイン電流  $I_{D(MN1)}$  の加算であるが、この状態では  $I_{D(MP5)} = I_3$ 、 $I_{D(MN1)} = 0$ 、だから、次式(21)が成り立つ。

$$I_{D(MP3)} = I_{D(MP5)} + I_{D(MN1)} = I_3 - I_1 \quad \text{-----}(21)$$

## 【 0 0 3 9 】

第4のPチャネルMOSトランジスタMP4は第3のPチャネルMOSトランジスタMP3と各々のゲートとソースが共通接続されているので、各々のドレイン電流は等しくなる。従って、第4のPチャネルMOSトランジスタMP4のドレイン電流  $I_{D(MP4)}$  も、次式(22)で与えられる。

$$I_{D(MP4)} = I_{D(MP3)} = I_3 - I_1 \quad \text{-----}(22)$$

20

## 【 0 0 4 0 】

また、第6のPチャネルMOSトランジスタMP6のドレイン電流  $I_{D(MP6)}$  は、第4のPチャネルMOSトランジスタMP4のドレイン電流  $I_{D(MP4)}$  から第2のNチャネルMOSトランジスタMN2のドレイン電流  $I_{D(MN2)}$  を引いた値になり、この状態では、この  $I_{D(MN2)}$  が  $I_2$  であるから、次式(23)で与えられる。

$$I_{D(MP6)} = I_{D(MP4)} - I_{D(MN2)} = I_3 - I_1 - I_2 \quad \text{-----}(23)$$

30

## 【 0 0 4 1 】

同様にして、出力電流は(18)式と(23)式で示した電流の引き算値になる。すなわち出力端電流  $I_{out}$  は、出力端から吐き出す電流を正として、次式(24)で与えられる。

$$I_{out} = I_4 - (I_3 - I_1 - I_2) \quad \text{-----}(24)$$

40

## 【 0 0 4 2 】

ここで、 $I_3 = I_4$  であることから、結果的に、出力端電流  $I_{out}$  は

$$I_{out} = I_1 + I_2 \quad \text{-----}(25)$$

の電流吸い込み能力を持ち、ローレベルとなる。電位的にはほぼ負電源(GND)の0Vとなる。

## 【 0 0 4 3 】

50

[ 2 ] < 第 1 の差動対のみが動作している場合 >

上述した [ 1 ] 場合に対し、この場合の入力電圧  $V_{in}$  が、

$$0 < V_{in} < V_{GS(MP1/2)} + V_{DS(sat)(I2)} \quad \text{-----}(26)$$

の時には、第 1 の差動段のみしか動作しない。これは、 $I_2$  を構成する定電流源として働く MOS トランジスタのドレインとソース間電圧がとれなくなり、 $I_2 = 0$  となる。結果として第 2 の差動段が動作しなくなる。この時の出力端子 ( O U T ) における駆動電流は、詳細な解析方法は省略するが、[ 1 ] の場合と同様にして解析すると、吐き出し電流 / 吸い込み電流とも、次式 ( 2 7 ) で与えられる。

10

$$I_{out} = I_1 \quad \text{-----}(27)$$

【 0 0 4 4 】

[ 3 ] < 第 2 の差動対のみが動作している場合 >

上述した [ 1 ] の場合に対し、この場合の入力電圧  $V_{in}$  が、

$$V_{DD} > V_{in} > V_{DD} - (V_{GS(MP1/2)} + V_{DS(sat)(I1)}) \quad \text{-----}(28)$$

の時には、第 2 の差動段のみしか動作しない。これは、 $I_1$  を構成する定電流源として働く MOS トランジスタのドレインとソース間電圧がとれなくなり、 $I_1 = 0$  となる。結果として第 1 の差動段が動作しなくなる。この時の出力端子 ( O U T ) における駆動電流は、詳細な解析方法は省略するが、[ 1 ] の場合と同様にして解析すると、吐き出し電流 / 吸い込み電流とも、次式 ( 2 9 ) となる。

20

$$I_{out} = I_2 \quad \text{-----}(29)$$

【 0 0 4 5 】

以上のことからわかるように、出力の駆動能力は、全て差動入力段のバイアス電流値に直接、依存する。

30

【 0 0 4 6 】

従って、駆動能力を上げるためには、差動段のバイアス電流を上げるしか方法はない。この駆動電流は、電圧比較器回路の出力端子に繋がる寄生容量を、チャージ / ディスチャージするのに使われる。従って、動作速度はこのバイアス電流に依存する。

【 0 0 4 7 】

入力周波数が上がってくると、この差動増幅器の出力は、正弦 ( s i n ) 波に近くなっていく。

【 0 0 4 8 】

従って、この出力 s i n 波を矩形波に変換するための、いわゆる波形整形するための C M O S インバータ回路が、この差動増幅器の後段に接続される。

40

【 0 0 4 9 】

C M O S インバータは、閾値として約  $V_{DD} / 2$  に設定されているので、C M O S インバータの入力波形が、この  $V_{DD} / 2$  を横切った時を境として、これ以下の時は、出力がハイレベル (  $V_{DD}$  ) となり、これ以上の時は、出力がローレベル (  $V_{SS}$  (  $GND$  ) ) になる。このようにして、波形整形が行われる。C M O S インバータが多段 ( ここでは 3 段 ) にしてあるのは、1 段では、完全に波形整形ができないためである。

【 0 0 5 0 】

なお、特許文献 1 には、P チャネル MOS トランジスタよりなる差動増幅器と N チャネル MOS トランジスタよりなる差動増幅器の出力を合成し、同相入力電圧を電源電位から  $GND$  まで広くとれるようにした構成が開示されている。

50

## 【 0 0 5 1 】

【非特許文献1】IEEE J. Solid-State Circuits. vol.29 No.12.Dec.1994 pp.1505~1513 "A Compact Power-Efficient 3V CMOS Rail-to-Rail Input/Output Operational Amplifier for VLSI Cell Libraries"

【特許文献1】特開平3-62712号公報

【発明の開示】

【発明が解決しようとする課題】

## 【 0 0 5 2 】

上述したように、図7の差動増幅器を使った電圧比較器回路を高速動作させるには、第1の電流源~第4の電流源の電流値を大きくする必要がある。この結果、消費電力が大となる。 10

## 【 0 0 5 3 】

また、出力端子の波形が電源いっぱいには振れないため、この電圧比較器回路の後段に接続されるインバータのNチャンネルMOSトランジスタとPチャンネルMOSトランジスタの両方が同時にオンし、いわゆる貫通電流が流れ、ひいては、消費電力の増大につながる。

## 【 0 0 5 4 】

さらに、図7の差動増幅器を高速動作させるために、出力駆動電流を上げようとする、駆動電流が、第1と第2の定電流源で決まっており、これらの電流I1、I2を増加させる必要がある。その結果、消費電力が増える。また出力端子波形が電源いっぱいには振れないのは、トランジスタが、縦積みになっていることも起因の一つである。 20

## 【 0 0 5 5 】

この図7の差動増幅器を、図9に示した構成とし、入力差動信号の周波数を200MHz、差動振幅を±50mV、同相信号電圧を0.3Vとした時の各出力波形(シミュレーション値)を、図11に示す。

## 【 0 0 5 6 】

図11をみてわかるように、入力差動信号のデューティが50%にもかかわらず、最終出力波形のデューティは50%から大きくはずれていることがわかる。

## 【 0 0 5 7 】

したがって、本発明は、このような問題点に鑑みて創案されたものであって、その目的は、簡単な回路構成で、高速動作が可能な差動増幅器及び該差動増幅器を備えた電圧比較器を提供することにある。 30

【課題を解決するための手段】

## 【 0 0 5 8 】

本願で開示される発明は、上記目的を達成するため、概略以下の通りとされる。

## 【 0 0 5 9 】

本発明の一つのアスペクト(側面)に係る差動増幅器は、差動入力信号を入力とし第1及び第2の電流源でそれぞれ駆動される第1及び第2導電型の第1及び第2の差動対を有する入力段差動段と、前記第1及び第2の差動対の差動出力の負荷をなし、前記第1の差動対の差動出力信号と前記第2の差動対の差動出力信号とそれぞれを加算して折り返し、差動出力するフォールデッドカスコード(folded cascode)型の差動段と、第1及び第2電源間に対向配置され、前記フォールデッドカスコード型の差動段の差動出力をそれぞれ入力に受け、出力同士が出力端子に共通接続された、第1及び第2導電型の第1及び第2のカレントミラー回路と、を備えている。 40

## 【 0 0 6 0 】

本発明に係る差動増幅器において、前記フォールデッドカスコード型の差動段は、前記第1の電源と第2の電源間に、制御端子同士がそれぞれ接続されている第1乃至第3のトランジスタ対と、二つの電流源とを少なくとも含み、前記第1の電源側に接続される前記第1のトランジスタ対と前記第2のトランジスタ対は、カスコードカレントミラー回路を構成し、前記第1の差動対の差動出力は、前記第1のトランジスタ対と前記第2のトランジスタ対との接続点に接続され、前記第2の差動対の差動出力は、前記第2の電源に一端 50

が共通接続された前記二つの電流源の他端と前記第3のトランジスタ対との接続点に接続され、前記第2のトランジスタ対の一の出力が、前記第2のカレントミラー回路の入力端に接続され、前記第3のトランジスタ対の一の出力が、前記第1のカレントミラー回路の入力端に接続される構成としてもよい。

【0061】

本発明の他のアスペクトに係る差動増幅器においては、前記フォールデッドカスコード型の差動段は、前記第1の電源と第2の電源間に、制御端子同士がそれぞれ接続されている第1乃至第3のトランジスタ対と、二つの電流源とを少なくとも含み、前記第2の電源側に接続される前記第1のトランジスタ対と前記第2のトランジスタ対はカスコードカレントミラー回路を構成し、前記第1の差動対の差動出力は、前記第1の電源に一端が共通接続された前記二つの電流源の他端と前記第3のトランジスタ対との接続点に接続され、前記第2の差動対の差動出力は、前記第1のトランジスタ対と前記第2のトランジスタ対との接続点に接続され、前記第2のトランジスタ対の一の出力が、前記第1のカレントミラー回路の入力端に接続され、前記第3のトランジスタ対の一の出力が、前記第2のカレントミラー回路の入力端に接続される構成としてもよい。

10

【0062】

本発明の他のアスペクトに係る差動増幅器においては、前記フォールデッドカスコード型の差動段は、前記第1の電源と前記第2の電源間に、第3のカレントミラー回路と、ゲート同士が接続された第1のトランジスタ対と、二つの電流源とを少なくとも備え、前記第1の差動対の差動出力は、前記第3のカレントミラー回路の入力端及び前記第1のカレントミラー回路の入力端にそれぞれ接続され、前記第2の差動対の差動出力は、前記第1のトランジスタ対と、前記二つの電流源の接続点にそれぞれ接続され、前記第1のトランジスタ対の一の出力が、前記第2のカレントミラー回路の入力端に接続され、前記第3のカレントミラー回路の出力が、前記第2のカレントミラー回路の入力端に接続される構成としてもよい。

20

【0063】

本発明のさらに他のアスペクト(側面)に係る電圧比較器は、上記差動増幅器の出力段に波形整形回路を備えている。波形整形回路は、インバータ又はバッファ回路よりなる。

【発明の効果】

【0064】

本発明によれば、入力差動段、フォールデッドカスコード差動段、電源間に対向配置された第1及び第2のカレントミラー回路を備えた簡易な構成により、高速動作を実現している。

30

【0065】

本発明によれば、第1及び第2のカレントミラー回路に、電流増幅機能を持たせることで、駆動能力を増加させ、高速動作を可能にしたものである。

【0066】

本発明によれば、波形整形の目的で、差動増幅器の出力の後段に、バッファを備え、バッファの出力を、電圧比較器の出力とする。

【発明を実施するための最良の形態】

40

【0067】

本発明を実施するための最良の形態について図面を参照して以下に説明する。本発明は、差動入力信号を入力し互いに逆極性の第1及び第2の差動対を有する入力差動段と、前記入力差動段の差動出力に接続され、前記第1の差動対の差動出力信号と前記第2の差動対の差動出力信号とを加算するフォールデッドカスコード(folded Cascode; 折り返しカスコード)型の差動段と、電源間に対向配置され、フォールデッドカスコード型の差動段の差動出力をそれぞれ入力に受け、出力同士が出力端子に共通接続された互いに逆極性の第1及び第2のカレントミラー回路(CM1、CM2)と、を備えている。入力差動段の出力電圧(差動出力)を受け、折り返して電流出力するフォールデッドカスコード型の差動段は、前記第1の差動対の差動出力信号と、前記第2の差動対の差動出力信号とを加

50

算し、前記フォールデッドカスコード型の差動段の出力を、前記第1及び第2のカレントミラー回路でそれぞれ折り返し出力端子から出力する。第1及び第2のカレントミラー回路に、電流増幅機能を持たせることで、駆動能力を増加させ、高速動作を可能にしたものである。本発明によれば、波形整形回路として、差動増幅器の出力の後段に、複数段のインバータ（又はバッファ回路）を備え、波形整形回路の出力を、電圧比較結果出力とする。以下実施例に即して詳説する。

【実施例】

【0068】

図1は、本発明の第1の実施例の差動増幅器の等価回路を示す図である。正転入力と反転入力をもった電圧比較回路に適用される差動増幅器である。図1を参照すると、第1の実施例の差動増幅器は、ソースが共通接続された第1のPチャンネルMOSトランジスタMP1と第2のPチャンネルMOSトランジスタMP2からなる第1の差動対と、ソースが共通接続された第1のNチャンネルMOSトランジスタMN1と第2のNチャンネルMOSトランジスタMN2からなる第2の差動対と、ゲートが共通接続されて第1の電圧源(V1)に接続されている第3と第4のNチャンネルMOSトランジスタMN3、MN4と、ゲートが共通接続され、ソースが共通接続されて正電源VDDに接続されている第3と第4のPチャンネルMOSトランジスタMP3、MP4と、ゲートが共通接続されて第2の電圧源(V2)に接続されている第5と第6のPチャンネルMOSトランジスタMP5、MP6と、入力が第4のNチャンネルMOSトランジスタMN4のドレインに接続され、共通端子が正電源VDDに接続されている第1のカレントミラー回路CM1と、入力が第6のPチャンネルMOSトランジスタMP6のドレインに接続され、共通端子が負電源端子(GND)に接続されている第2のカレントミラー回路CM2と、第1の差動対を構成するPチャンネルMOSトランジスタMP1、MP2の共通に接続されたソースと正電源VDD間に接続される第1の定電流源(I1)と、第2の差動対を構成するNチャンネルMOSトランジスタMN1、MN2の共通に接続されたソースと負電源(GND)間に接続された第2の定電流源(I2)と、第3のNチャンネルMOSトランジスタMN3のソースと負電源(GND)間に接続された第3の定電流源(I3)と、第4のNチャンネルMOSトランジスタMN4のソースと負電源(GND)間に接続された第4の定電流源(I4)と、を備えている。

【0069】

第1の差動対を構成する第1のPチャンネルMOSトランジスタMP1のドレインが第3のNチャンネルMOSトランジスタMN3のソースに接続され、第1の差動対を構成する第2のPチャンネルMOSトランジスタMP2のドレインは第4のNチャンネルMOSトランジスタMN4のソースに接続されている。

【0070】

第2の差動対を構成する第1のNチャンネルMOSトランジスタMN1のドレインと第3のPチャンネルMOSトランジスタMP3のドレインと第5のPチャンネルMOSトランジスタMP5のソースとが共通接続され、第2の差動対を構成する第2のNチャンネルMOSトランジスタMN2のドレインと第4のPチャンネルMOSトランジスタMP4のドレインと第6のPチャンネルMOSトランジスタMP6のソースとが共通接続され、第3のPチャンネルMOSトランジスタMP3のゲートと第5のPチャンネルMOSトランジスタMP5のドレインと第3のNチャンネルMOSトランジスタMN3のドレインとが共通接続され、第1のカレントミラー回路CM1の出力と、第2のカレントミラー回路CM2の出力を共通接続して出力端子OUTとし、第1のPチャンネルMOSトランジスタMP1のゲートと第1のNチャンネルMOSトランジスタMN1のゲートを共通接続して反転入力端子In-とし、第2のPチャンネルMOSトランジスタMP2のゲートと第2のNチャンネルMOSトランジスタMN2のゲートを共通接続して正転入力端子In+としている。差動増幅器回路の出力OUTに多段接続されたCMOSインバータ回路（不図示）を接続し、その最終段CMOSインバータの出力を最終出力とした電圧比較器回路である。ここで、第1と第2のカレントミラー回路CM1、CM2は、入力電流と出力電流比が1:k(k>1)である

。

【0071】

ここで、カレントミラー回路の具体的な構成例について示す。図4は、図1の第1のカレントミラー回路CM1（電流吐き出し型）と第2のカレントミラー回路CM2（電流吸い込み型）の構成例である。図4（A）を参照すると、図1における第1のカレントミラー回路CM1は、2つのPチャンネルMOSトランジスタMP1とMP2で構成され、各々のソースとゲートがお互いに共通接続される。そしてPチャンネルMOSトランジスタMP1のゲートとドレインを共通接続してカレントミラー回路CM1の入力端子となり、PチャンネルMOSトランジスタMP2のドレインがカレントミラー回路CM1の出力端子となる。そして、共通接続したソースがカレントミラー回路の共通端子となる。

10

【0072】

次に、図4（B）を参照すると、図1における第2のカレントミラー回路CM2は、2つのNチャンネルMOSトランジスタMN1とMN2で構成され、各々のソースとゲートがお互いに共通接続される。そしてNチャンネルMOSトランジスタMN1のゲートとドレインを共通接続してカレントミラー回路の入力端子となり、NチャンネルMOSトランジスタMN2のドレインがカレントミラー回路CM2の出力端子となる。そして、共通接続したソースがカレントミラー回路CM2の共通端子となる。

【0073】

次に、図1で示した差動増幅器を使った電圧比較器回路についての構成例を示す。図9に示した、従来例と同じように、差動増幅器回路の後段に、CMOSインバータ（図10）を3段縦続接続する。

20

【0074】

図1の差動増幅器について詳細な説明を行う。この差動増幅器は、いわゆるフォールドバックカスコード型の差動増幅器を応用したものである。ここで、本回路の動作を説明する

。

【0075】

<第1と第2の差動対の両方が動作している場合>

まずIn<sup>-</sup>側がIn<sup>+</sup>より高い電圧が入力され、上式（7）で示した以上の差動入力電圧と仮定すると、図1の差動増幅器は比較器の回路動作をするので、第1の差動対のバイアス電流I<sub>1</sub>は全て第2のPチャンネルMOSトランジスタMP2の方に流れる。そして、第1のPチャンネルMOSトランジスタMP1の方の電流はゼロとなる。一方第2の差動対のバイアス電流I<sub>2</sub>は全て第1のNチャンネルMOSトランジスタMN1の方に流れる。そして第2のNチャンネルMOSトランジスタMN2の方の電流はゼロとなる。この時の各トランジスタのバイアス電流状態をみると、第3のNチャンネルMOSトランジスタMN3のドレイン電流をI<sub>D(MN3)</sub>とし、第4のNチャンネルMOSトランジスタMN4のドレイン電流をI<sub>D(MN4)</sub>とすると、第4のNチャンネルMOSトランジスタMN4のドレイン電流I<sub>D(MN4)</sub>は、電流源I<sub>4</sub>の値から第2のPチャンネルMOSトランジスタMP2のドレイン電流I<sub>D(MP2)</sub>を引いた値であり、第3のNチャンネルMOSトランジスタMN3のドレイン電流I<sub>D(MN3)</sub>は、電流源I<sub>3</sub>の値から第1のPチャンネルMOSトランジスタMP1のドレイン電流I<sub>D(MP1)</sub>を引いた値であるから、それぞれ次式（30）、（31）で与えられる。

30

40

$$I_{D(MN4)} = I_4 - I_{D(MP2)} = I_4 - I_1 \text{ -----(30)}$$

$$I_{D(MN3)} = I_3 - I_{D(MP1)} = I_3 \text{ -----(31)}$$

【0076】

ここで、I<sub>1</sub>とI<sub>3</sub>とI<sub>4</sub>の関係を以下のようにする。



$$I_3 = I_4 \geq I_1 \text{ -----(32)}$$

【 0 0 7 7 】

一方、第 5 の P チャネル MOS トランジスタ MP 5 のドレイン電流  $I_{D(MP5)}$  は第 3 の N チャネル MOS トランジスタ MN 3 のドレイン電流  $I_{D(MN3)}$  と等しいので、次式が成り立つ。

$$I_{D(MP5)} = I_{D(MN3)} \text{ -----(33)}$$

10

【 0 0 7 8 】

また、第 3 の P チャネル MOS トランジスタ MP 3 のドレイン電流  $I_{D(MP3)}$  は第 5 の P チャネル MOS トランジスタ MP 5 のドレイン電流  $I_{D(MP5)}$  と第 1 の N チャネル MOS トランジスタ MN 1 のドレイン電流  $I_{D(MN1)}$  の加算であり、 $I_{D(MP5)} = I_3$ 、 $I_{D(MN1)} = I_2$ 、だから、次式が成り立つ。

$$I_{D(MP3)} = I_{D(MP5)} + I_{D(MN1)} = I_3 + I_2 \text{ -----(34)}$$

【 0 0 7 9 】

第 4 の P チャネル MOS トランジスタ MP 4 は第 3 の P チャネル MOS トランジスタ MP 3 と各々のゲートとソースが共通接続されているので、各々のドレイン電流は等しくなる。従って第 4 の P チャネル MOS トランジスタ MP 4 のドレイン電流  $I_{D(MP4)}$  は、次式で与えられる。

20

$$I_{D(MP4)} = I_{D(MP3)} = I_3 + I_2 \text{ -----(35)}$$

【 0 0 8 0 】

また、第 6 の P チャネル MOS トランジスタ MP 6 のドレイン電流  $I_{D(MP6)}$  は、第 4 の P チャネル MOS トランジスタ MP 4 のドレイン電流  $I_{D(MP4)}$  から第 2 の N チャネル MOS トランジスタ MN 2 のドレイン電流  $I_{D(MN2)}$  を引いた値になるが、この状態ではこの  $I_{D(MN2)}$  がゼロであるから、次式で与えられる。

30

$$I_{D(MP6)} = I_{D(MP4)} - I_{D(MN2)} = I_3 + I_2 \text{ -----(36)}$$

【 0 0 8 1 】

上述した ( 3 0 ) 式と ( 3 6 ) 式で示した電流がそれぞれ第 1 と第 2 のカレントミラー回路 CM 1、CM 2 の入力電流となる。ここで第 1 と第 2 のカレントミラー回路 CM 1、CM 2 路の入力電流と出力電流比は、次式で与えられる。

$$\text{入力電流:出力電流} = 1:k \text{ -----(37)}$$

40

【 0 0 8 2 】

ここで、 $k > 1$  の特性をもつものとする、出力端電流  $I_{out}$  は、第 1 と第 2 のカレントミラー回路出力電流の加算になるので、出力端に流れ込む電流を正として、次式 ( 3 8 ) で与えられる。

$$I_{out} = k(I_3 + I_2) - k(I_4 - I_1) \text{ -----(38)}$$

【 0 0 8 3 】

ここで  $I_3 = I_4$  であることから、結果的に、出力端電流  $I_{out}$  は、次式の電流吸い

50

込み能力を持ち、ローレベルとなる。

$$I_{out} = k(I_1 + I_2) \text{ -----(39)}$$

【 0 0 8 4 】

電位的には、ほぼ負電源 ( G N D ) の 0 V となる。

【 0 0 8 5 】

次に、 $I_{n^-}$  側が  $I_{n^+}$  より低い電圧入力されたと仮定すると、図 1 の回路は、比較器回路動作をするので、第 1 の差動対のバイアス電流  $I_1$  は、全て第 1 の P チャネル MOS トランジスタ MP 1 の方に流れる。そして第 2 の P チャネル MOS トランジスタ MP 2 の方の電流はゼロとなる。一方、第 2 の差動対のバイアス電流  $I_2$  は全て第 2 の N チャネル MOS トランジスタ MN 2 の方に流れる。そして、第 1 の N チャネル MOS トランジスタ MN 1 の方の電流はゼロとなる。この時の各トランジスタのバイアス電流状態をみると、第 3 の N チャネル MOS トランジスタ MN 3 のドレイン電流を  $I_{D(MN3)}$  とし、第 4 の N チャネル MOS トランジスタ MN 4 のドレイン電流を  $I_{D(MN4)}$  として、それぞれ次式 ( 4 0 )、( 4 1 ) で与えられる。

$$I_{D(MN4)} = I_4 - I_{D(MP2)} = I_4 \text{ -----(40)}$$

$$I_{D(MN3)} = I_3 - I_{D(MP1)} = I_3 - I_1 \text{ -----(41)}$$

【 0 0 8 6 】

一方、第 5 の P チャネル MOS トランジスタ MP 5 のドレイン電流  $I_{D(MP5)}$  は第 3 の N チャネル MOS トランジスタ MN 3 のドレイン電流  $I_{D(MN3)}$  と等しいので、次式 ( 4 2 ) が成り立つ。

$$I_{D(MP5)} = I_{D(MN3)} \text{ -----(42)}$$

【 0 0 8 7 】

また、第 3 の P チャネル MOS トランジスタ MP 3 のドレイン電流  $I_{D(MP3)}$  は第 5 の P チャネル MOS トランジスタ MP 5 のドレイン電流  $I_{D(MP5)}$  と第 1 の N チャネル MOS トランジスタ MN 1 のドレイン電流  $I_{D(MN1)}$  の加算であるが、この状態では、

$$I_{D(MP5)} = I_3 - I_1、I_{D(MN1)} = 0、\text{だから、次式 ( 4 3 ) が成り立つ}$$

$$I_{D(MP3)} = I_{D(MP5)} + I_{D(MN1)} = I_3 - I_1 \text{ -----(43)}$$

【 0 0 8 8 】

第 4 の P チャネル MOS トランジスタ MP 4 は第 3 の P チャネル MOS トランジスタ MP 3 と各々のゲートとソースが共通接続されているので、各々のドレイン電流は等しくなる。従って、第 4 の P チャネル MOS トランジスタ MP 4 のドレイン電流  $I_{D(MP4)}$  も、同様に次式 ( 4 4 ) で与えられる。

$$I_{D(MP4)} = I_{D(MP3)} = I_3 - I_1 \text{ -----(44)}$$

【 0 0 8 9 】

また、第 6 の P チャネル MOS トランジスタ MP 6 のドレイン電流  $I_{D(MP6)}$  は、第 4 の P チャネル MOS トランジスタ MP 4 のドレイン電流  $I_{D(MP4)}$  から第 2 の N チャネル MOS トランジスタ MN 2 のドレイン電流  $I_{D(MN2)}$  を引いた値になり、この状態ではこの  $I_{D(MN2)}$  が  $I_2$  であるから、次式で与えられる。

10

20

30

40

50

$$I_{D(MP6)} = I_{D(MP4)} - I_{D(MP2)} = I_3 - I_1 - I_2 \quad \text{-----}(45)$$

【 0 0 9 0 】

上式 ( 4 0 ) と ( 4 5 ) で示した電流が、それぞれ第 1 と第 2 のカレントミラー回路 C M 1、C M 2 の入力電流となる。

【 0 0 9 1 】

従って、出力端電流  $I_{out}$  は、出力端から吐き出す電流を正として、次式 ( 4 6 ) で与えられる。

$$I_{out} = kI_4 - k(I_3 - I_1 - I_2) \quad \text{-----}(46)$$

10

【 0 0 9 2 】

ここで  $I_3 = I_4$  であることから、結果的に、出力端電流  $I_{out}$  は次式 ( 4 7 ) の電流吐き出し能力を持ち、ハイレベルとなる。

$$I_{out} = k(I_1 + I_2) \quad \text{-----}(47)$$

【 0 0 9 3 】

電位的にはほぼ正電源の V D D となる。

20

【 0 0 9 4 】

ここで、( 3 9 ) 式と ( 4 7 ) 式をみてわかるように、ローレベル時の吸い込み電流能力とハイレベル時の吐き出し電流能力は、同じ電流値であるため、負荷に寄生容量がついた場合にでも、立ち上がり波形と立ち下がり波形は対称となり、これを波形整形したディジタル波形も、デューティ 5 0 % の出力が得られる。

【 0 0 9 5 】

以上の説明は、Nチャネルトランジスタで構成された差動対とPチャネルトランジスタで構成された差動対の両方が動作している時の説明である。入力差動信号の同相信号電圧が下がってくるとNチャネルで構成された差動対が動作しなくなる。逆に入力差動信号の同相信号電圧が上がってくるとPチャネルで構成された差動対が動作しなくなる。この時の動作説明を以下に行う。

30

【 0 0 9 6 】

< 第 1 の差動対のみが動作している場合 >

図 1 において、Nチャネル差動段をバイアスする電流源  $I_2$  は通常NチャネルM O S トランジスタで構成される。この時、Nチャネル差動段が正常動作する入力電圧の最低電圧  $V_{in(min)}$  は、次式 ( 4 8 ) で与えられる。

$$V_{in(min)} = V_{GS(MN1/2)} + V_{DS(sat)(I_2)} \quad \text{-----}(48)$$

【 0 0 9 7 】

$V_{GS(MN1/2)}$  : NチャネルM O S トランジスタMN 1 / 2 のゲート - ソース間電圧

40

$V_{DS(sat)(I_2)}$  : 電流源  $I_2$  を構成するNチャネルM O S トランジスタの飽和点でのドレイン - ソース間電圧 ( 5 極管領域で動作するぎりぎりの電圧 )

【 0 0 9 8 】

入力電圧がこの  $V_{in(min)}$  以下の場合、Nチャネルトランジスタ差動対が動作をしない。従って、この場合、Pチャネルトランジスタ差動対のみの動作となる。この状況において、まず、 $In^-$  側が  $In^+$  より高い電圧入力されたと仮定すると、第 1 の差動対のバイアス電流  $I_1$  は全て第 2 のPチャネルM O S トランジスタMP 2 の方に流れる。そして第 1 のPチャネルM O S トランジスタMP 1 の方の電流はゼロとなる。一方、第

50

2の差動対の方は入力電圧範囲外であるため、動作しない。すなわち、第1のNチャンネルMOSトランジスタMN1と第2のNチャンネルMOSトランジスタMN2の両方のドレイン電流がゼロとなる。

【0099】

この時の各トランジスタのバイアス電流状態をみると、第3のNチャンネルMOSトランジスタMN3のドレイン電流を $I_{D(MN3)}$ とし、第4のNチャンネルMOSトランジスタMN4のドレイン電流を $I_{D(MN4)}$ として、それぞれ、次式(49)、(50)で与えられる。

$$I_{D(MN4)} = I_4 - I_1 \quad \text{-----}(49)$$

$$I_{D(MN3)} = I_3 \quad \text{-----}(50)$$

10

【0100】

一方、第5のPチャンネルMOSトランジスタMP5のドレイン電流 $I_{D(MP5)}$ は、第3のNチャンネルMOSトランジスタMN3のドレイン電流 $I_{D(MN3)}$ と同じであることから、次式(51)で与えられる。

$$I_{D(MP5)} = I_{D(MN3)} \quad \text{-----}(51)$$

【0101】

また第3のPチャンネルMOSトランジスタMP3のドレイン電流 $I_{D(MP3)}$ は第5のPチャンネルMOSトランジスタMP5のドレイン電流 $I_{D(MP5)}$ と第1のNチャンネルMOSトランジスタMN1のドレイン電流 $I_{D(MN1)}$ の加算であるが、この状態では $I_{D(MN1)} = 0$ であるから、次式(52)が成り立つ。

$$I_{D(MP3)} = I_{D(MP5)} = I_3 \quad \text{-----}(52)$$

20

【0102】

第4のPチャンネルMOSトランジスタMP4は第3のPチャンネルMOSトランジスタMP3と各々のゲートとソースが共通接続されているので、各々のドレイン電流は等しくなる。従って、第4のPチャンネルMOSトランジスタMP4のドレイン電流 $I_{D(MP4)}$ は、次式(53)で与えられる。

$$I_{D(MP4)} = I_{D(MP3)} = I_3 \quad \text{-----}(53)$$

30

【0103】

また、第6のPチャンネルMOSトランジスタMP6のドレイン電流 $I_{D(MP6)}$ は、第4のPチャンネルMOSトランジスタMP4のドレイン電流 $I_{D(MP4)}$ から第2のNチャンネルMOSトランジスタMN2のドレイン電流 $I_{D(MN2)}$ を引いた値になるが、この状態ではこの $I_{D(MN2)}$ がゼロであるから、次式(54)が成り立つ。

$$I_{D(MP6)} = I_{D(MP4)} - I_{D(MN2)} = I_3 \quad \text{-----}(54)$$

40

【0104】

従って、この時、出力端子OUTはローレベルとなり、その時の吸い込み電流能力 $I_{out}$ は、次式(55)で与えられる。

【0105】

$$I_{out} = kI_3 - k(I_4 - I_1) = kI_1 \quad \text{-----}(55)$$

50

## 【0106】

次に、今度は  $I_{n^-}$  側が  $I_{n^+}$  より低い電圧入力されたと仮定すると、この回路は、比較器回路動作をするので、第1の差動対のバイアス電流  $I_1$  は全て第1のPチャンネルMOSトランジスタMP1の方に流れる。そして、第2のPチャンネルMOSトランジスタMP2の方の電流はゼロとなる。一方、第2の差動対は入力電圧範囲外の入力電圧のため、動作しない。すなわち、第1のNチャンネルMOSトランジスタと第2のNチャンネルMOSトランジスタMN2の両方のドレイン電流がゼロとなる。この時の各トランジスタのバイアス電流状態をみると、第3のNチャンネルMOSトランジスタMN3のドレイン電流を  $I_{D(MN3)}$  とし、第4のNチャンネルMOSトランジスタMN4のドレイン電流を  $I_{D(MN4)}$  とし、それぞれ次式(56)、(57)で与えられる。

10

$$I_{D(MN4)} = I_4 - I_{D(MP2)} = I_4 \quad \text{-----}(56)$$

$$I_{D(MN3)} = I_3 - I_{D(MP1)} = I_3 - I_1 \quad \text{-----}(57)$$

## 【0107】

一方、第5のPチャンネルMOSトランジスタMP5のドレイン電流  $I_{D(MP5)}$  は第3のNチャンネルMOSトランジスタMN3のドレイン電流  $I_{D(MN3)}$  と同じであることから、次式(58)で与えられる。

$$I_{D(MP5)} = I_{D(MN3)} \quad \text{-----}(58)$$

20

## 【0108】

また、第3のPチャンネルMOSトランジスタMP3のドレイン電流  $I_{D(MP3)}$  は、第5のPチャンネルMOSトランジスタMP5のドレイン電流  $I_{D(MP5)}$  と第1のNチャンネルMOSトランジスタMN1のドレイン電流  $I_{D(MN1)}$  の加算であるが、この状態では、 $I_{D(MN1)} = 0$  であるから、次式で与えられる。

$$I_{D(MP3)} = I_{D(MP5)} = I_3 - I_1 \quad \text{-----}(59)$$

## 【0109】

第4のPチャンネルMOSトランジスタMP4は、第3のPチャンネルMOSトランジスタMP3と各々のゲートとソースが共通接続されているため、各々のドレイン電流は等しくなる。従って、第4のPチャンネルMOSトランジスタMP4のドレイン電流  $I_{D(MP4)}$  は、次式(60)で与えられる。

30

$$I_{D(MP4)} = I_{D(MP3)} = I_3 - I_1 \quad \text{-----}(60)$$

## 【0110】

また、第6のPチャンネルMOSトランジスタMP6のドレイン電流  $I_{D(MP6)}$  は、第4のPチャンネルMOSトランジスタMP4のドレイン電流  $I_{D(MP4)}$  から第2のNチャンネルMOSトランジスタMN2のドレイン電流  $I_{D(MN2)}$  を引いた値になるが、この状態では、この  $I_{D(MN2)}$  がゼロであるため、 $I_{D(MP6)}$  は次式(61)で与えられる。

40

$$I_{D(MP6)} = I_{D(MP4)} - I_{D(MN2)} = I_3 - I_1 \quad \text{-----}(61)$$

## 【0111】

従って、この時、出力端子OUTはハイレベルとなり、その時の吐き出し電流能力  $I_{ut}$  は次式(62)で与えられる。

$$I_{out} = kI_4 - k(I_3 - I_1) = kI_1 \quad \text{-----}(62)$$

【0112】

< 第2の差動対のみが動作している場合 >

図1において、Pチャネルトランジスタ差動対をバイアスする電流源  $I_1$  は通常PチャネルMOSトランジスタで構成される。この時、Pチャネル差動段が正常動作する入力電圧の最高電圧  $V_{in(max)}$  は、次式(63)で与えられる。

$$V_{in(max)} = V_{DD} - V_{GS(MP1/2)} + V_{DS(sat)(I_1)} \quad \text{-----}(63)$$

10

【0113】

$V_{GS(MP1/2)}$  : PチャネルMOSトランジスタMP1/2のゲート-ソース間電圧

$V_{DS(sat)(I_1)}$  : 電流源  $I_1$  を構成するPチャネルMOSトランジスタの飽和点でのドレイン-ソース間電圧(5極管領域で動作するぎりぎりの電圧)

【0114】

入力電圧がこの  $V_{in(max)}$  以上の場合、PチャネルMOSトランジスタ差動対が動作をしない。従って、この場合、Nチャネルトランジスタ差動対のみの動作となる。この状況において、まず、 $I_{n^-}$ 側が  $I_{n^+}$ より高い電圧入力されたと仮定すると、第2の差動対のバイアス電流  $I_2$  は全て第1のNチャネルMOSトランジスタMN1の方に流れる。そして第2のNチャネルMOSトランジスタMN2の方の電流はゼロとなる。一方、第1の差動対の方は入力電圧範囲外であるため、動作しない。すなわち、第1のPチャネルMOSトランジスタMP1と第2のPチャネルMOSトランジスタMP2の両方のドレイン電流がゼロとなる。この時の各トランジスタのバイアス電流状態をみると、第3のNチャネルMOSトランジスタMN3のドレイン電流を  $I_{D(MN3)}$  とし、第4のNチャネルMOSトランジスタMN4のドレイン電流を  $I_{D(MN4)}$  とすると、次式(64)、(65)が成り立つ。

20

$$I_{D(MN4)} = I_4 - I_{D(MP2)} = I_4 \quad \text{-----}(64)$$

$$I_{D(MN3)} = I_3 - I_{D(MP1)} = I_3 \quad \text{-----}(65)$$

30

【0115】

一方、第5のPチャネルMOSトランジスタMP5のドレイン電流  $I_{D(MP5)}$  は第3のNチャネルMOSトランジスタMN3のドレイン電流  $I_{D(MN3)}$  と同じであるので、次式(66)が成り立つ。

$$I_{D(MP5)} = I_{D(MN3)} \quad \text{-----}(66)$$

40

【0116】

また第3のPチャネルMOSトランジスタMP3のドレイン電流  $I_{D(MP3)}$  は第5のPチャネルMOSトランジスタMP5のドレイン電流  $I_{D(MP5)}$  と第1のNチャネルMOSトランジスタMN1のドレイン電流  $I_{D(MN1)}$  の加算であるので、この状態では、 $I_{D(MN1)} = I_2$  であるから、次式(67)が成り立つ。

$$I_{D(MP3)} = I_{D(MP5)} + I_{D(MN1)} = I_3 + I_2 \quad \text{-----}(67)$$

【0117】

第4のPチャネルMOSトランジスタMP4は第3のPチャネルMOSトランジスタMP3と各々のゲートとソースが共通接続されているので、各々のドレイン電流は等しくな

50

る。従って、第4のPチャンネルMOSトランジスタMP4のドレイン電流 $I_{D(MP4)}$ は、次式(68)で与えられる。

$$I_{D(MP4)} = I_{D(MP3)} = I_3 + I_2 \quad \text{-----}(68)$$

【0118】

また、第6のPチャンネルMOSトランジスタMP6のドレイン電流 $I_{D(MP6)}$ は第4のPチャンネルMOSトランジスタMP4のドレイン電流 $I_{D(MP4)}$ から第2のNチャンネルMOSトランジスタMN2のドレイン電流 $I_{D(MN2)}$ を引いた値になるが、この状態ではこの $I_{D(MN2)}$ がゼロであるから、次式(69)が成り立つ。

$$I_{D(MP6)} = I_{D(MP4)} - I_{D(MN2)} = I_3 + I_2 \quad \text{-----}(69)$$

【0119】

従って、この時、出力端子OUTはローレベルとなる。その時の吸い込み電流能力 $I_{out}$ は、第1と第2のカレントミラー回路の入出力電流比が1:kであるから、次式(70)が成り立つ。

$$I_{out} = k(I_3 + I_2) - kI_4 = kI_2 \quad \text{-----}(70)$$

【0120】

次に、今度は $I_{in^-}$ 側が $I_{in^+}$ より低い電圧入力されたと仮定すると、本実施例の回路は比較器回路動作をするので、第2の差動対のバイアス電流 $I_2$ は全て第2のNチャンネルMOSトランジスタMN2の方に流れる。そして第1のNチャンネルMOSトランジスタMN1の方の電流は0となる。一方、第1の差動対は入力電圧範囲外の入力電圧のため、動作しない。すなわち第1のPチャンネルMOSトランジスタMP1と第2のPチャンネルMOSトランジスタMP2の両方のドレイン電流がゼロとなる。この時の各トランジスタのバイアス電流状態をみると、第3のNチャンネルMOSトランジスタMN3のドレイン電流を $I_{D(MN3)}$ とし、第4のNチャンネルMOSトランジスタMN4のドレイン電流を $I_{D(MN4)}$ として、次式(71)、(72)で与えられる。

$$I_{D(MN4)} = I_4 - I_{D(MP2)} = I_4 \quad \text{-----}(71)$$

$$I_{D(MN3)} = I_3 - I_{D(MP1)} = I_3 \quad \text{-----}(72)$$

【0121】

一方、第5のPチャンネルMOSトランジスタMP5のドレイン電流 $I_{D(MP5)}$ は第3のNチャンネルMOSトランジスタMN3のドレイン電流 $I_{D(MN3)}$ と同じであるので、次式(73)が成り立つ。

$$I_{D(MP5)} = I_{D(MN3)} \quad \text{-----}(73)$$

【0122】

また、第3のPチャンネルMOSトランジスタMP3のドレイン電流 $I_{D(MP3)}$ は第5のPチャンネルMOSトランジスタMP5のドレイン電流 $I_{D(MP5)}$ と第1のNチャンネルMOSトランジスタMN1のドレイン電流 $I_{D(MN1)}$ の加算であるが、この状態では $I_{D(MN1)} = 0$ であるから、次式(74)が成り立つ。

$$I_{D(MP3)} = I_{D(MP5)} = I_3 \quad \text{-----}(74)$$

10

20

30

40

50

## 【 0 1 2 3 】

第 4 の P チャンネル MOS トランジスタ MP 4 は、第 3 の P チャンネル MOS トランジスタ MP 3 と各々のゲートとソースが共通接続されているため、各々のドレイン電流は等しくなる。従って、第 4 の P チャンネル MOS トランジスタ MP 4 のドレイン電流  $I_{D(MP4)}$  は、次式 (75) で与えられる。

$$I_{D(MP4)} = I_{D(MP3)} = I_3 \quad \text{-----}(75)$$

## 【 0 1 2 4 】

また、第 6 の P チャンネル MOS トランジスタ MP 6 のドレイン電流  $I_{D(MP6)}$  は、第 4 の P チャンネル MOS トランジスタ MP 4 のドレイン電流  $I_{D(MP4)}$  から第 2 の N チャンネル MOS トランジスタ MN 2 のドレイン電流  $I_{D(MN2)}$  を引いた値になり、この状態では  $I_{D(MN2)} = I_2$  であるから、 $I_{D(MP6)}$  は次式 (76) で与えられる。

$$I_{D(MP6)} = I_{D(MP4)} - I_{D(MN2)} = I_3 - I_2 \quad \text{-----}(76)$$

## 【 0 1 2 5 】

従って、この時、出力端子 OUT はハイレベルとなり、その時の吐き出し電流能力  $I_{out}$  は次式 (77) で与えられる。

$$I_{out} = kI_4 - k(I_3 - I_2) = kI_2 \quad \text{-----}(77)$$

## 【 0 1 2 6 】

次に、図 4 に示したカレントミラー回路の動作について説明を行う。例えば図 4 (A) において、第 1、第 2 の P チャンネル MOS トランジスタ MP 1 と MP 2 のゲート幅をそれぞれ  $W_{MP1}$ 、 $W_{MP2}$ 、ゲート長をそれぞれ  $L_{MP1}$ 、 $L_{MP2}$  とした時、次式 (78) の関係が成り立つものとする。

$$\frac{W_{MP1}}{L_{MP1}} : \frac{W_{MP2}}{L_{MP2}} = 1 : k \quad \text{-----}(78)$$

## 【 0 1 2 7 】

カレントミラー回路の入力電流  $I_{in}$  と出力電流  $I_{out}$  の関係は、次式 (79) となる。

$$I_{out} = kI_{in} \quad \text{-----}(79)$$

## 【 0 1 2 8 】

これは、MOS トランジスタのゲート - ソース間電圧  $V_{GS}$  とドレイン電流  $I_d$  の関係を示した (2) 式、(3) 式、(4) 式をみてわかるように、ドレイン電流は、 $W/L$  に比例するからである。

## 【 0 1 2 9 】

図 2 は、本発明の第 2 の実施例の差動増幅器の構成を示す図である。図 2 の構成は、図 1 の P チャンネル MOS トランジスタ MP 3、MP 4 を、それぞれ N チャンネル MOS トランジスタ MN 3、MN 4 とし、図 1 の P チャンネル MOS トランジスタ MP 5、MP 6 を、N チャンネル MOS トランジスタ MN 5、MN 6 とし、図 7 の吸い込み型電流源  $I_3$ 、 $I_4$  と、N チャンネル MOS トランジスタ MN 3、MN 4 を、それぞれ、吐外型電流源  $I_3$ 、 $I_4$

10

20

30

40

50



、PチャンネルMOSトランジスタMP3、MP4とし、図1の極性を対称として構成したものである。

【0130】

図2を参照すると、第2の実施例の差動増幅器は、第1のPチャンネルMOSトランジスタMP1と第2のPチャンネルMOSトランジスタMP2で構成される第1の差動対と、第1のNチャンネルMOSトランジスタMN1と第2のNチャンネルMOSトランジスタMN2で構成される第2の差動対とを備え、ゲートが共通接続され、各々のソースが共通接続された第3と第4のNチャンネルMOSトランジスタMN3、MN4と、ゲートが共通接続され、かつ第1の電圧源に接続された第5と第6のNチャンネルMOSトランジスタMN5、MN6と、ゲートが共通接続され、かつ第2の電圧源に接続された第3と第4のPチャンネルMOSトランジスタMP3、MP4と、入力が第6のNチャンネルMOSトランジスタMN6のドレインに接続され、共通端子が正電源(VDD)に接続された第1のカレントミラー回路CM1と、入力が第4のPチャンネルMOSトランジスタMP4のドレインに接続され、共通端子が負電源端子(GND)に接続された第2のカレントミラー回路CM2と、第1の差動対の共通に接続されたソースと正電源VDD間に接続される第1の定電流源(I1)と、第2の差動対の共通に接続されたソースと負電源(GND)間に接続された第2の定電流源(I2)と、第3のPチャンネルMOSトランジスタMP3のソースと正電源(VDD)間に接続された第3の定電流源(I3)と、第4のPチャンネルMOSトランジスタMP4のソースと正電源(VDD)間に接続された第4の定電流源(I4)とから構成され、第1の差動対を構成する第1のPチャンネルMOSトランジスタMP1のドレインが第5のNチャンネルMOSトランジスタMN5のソースと共通接続され、第1の差動対を構成する第2のPチャンネルMOSトランジスタMP2のドレインが第6のNチャンネルMOSトランジスタMN6のソースに共通接続され、第2の差動対を構成する第1のNチャンネルMOSトランジスタMN1のドレインが第3のPチャンネルMOSトランジスタMP3のソースに共通接続され、第2の差動対を構成する第2のNチャンネルMOSトランジスタMN2のドレインが第4のPチャンネルMOSトランジスタMP4のソースに共通接続され、第3のNチャンネルMOSトランジスタMN3のゲートが第5のNチャンネルMOSトランジスタMN5のドレインと第3のPチャンネルMOSトランジスタMP3のドレインに共通接続され、第1のカレントミラー回路CM1の出力と第2のカレントミラー回路CM2の出力を共通接続して出力端子OUTとし、第1のPチャンネルMOSトランジスタMP1のゲートと第1のNチャンネルMOSトランジスタMN1のゲートを共通接続して反転入力端子In<sup>-</sup>とし、第2のPチャンネルMOSトランジスタMP2のゲートと第2のNチャンネルMOSトランジスタMN2のゲートを共通接続して正転入力端子In<sup>+</sup>とする。ここで、第1と第2のカレントミラー回路CM1、CM2は、入力電流と出力電流比が1:k(k>1)である。そして、従来例と同様に、差動増幅器の後段に3段縦続接続したCMOSインバータを接続して、電圧比較器回路を構成する。

【0131】

図2についての動作は、基本的に、図1における動作と同じであり、回路が対称になっただけなので、その説明を省略する。

【0132】

図3は、本発明の第3の実施例の差動増幅器の構成を示す図である。図3を参照すると、第3の実施例の差動増幅器は、第1のPチャンネルMOSトランジスタMP1と第2のPチャンネルMOSトランジスタMP2で構成される第1の差動対と、第1のNチャンネルMOSトランジスタMN1と第2のNチャンネルMOSトランジスタMN2で構成される第2の差動対とを備え、各々のゲートが共通接続され、かつ第1の電圧源(V1)に接続された第3と第4のNチャンネルMOSトランジスタMN3、MN4と、第1の差動対の共通に接続されたソースと正電源VDD間に接続される第1の定電流源(I1)と、第2の差動対の共通に接続されたソースと負電源GND間に接続された第2の定電流源(I2)と、第3のNチャンネルMOSトランジスタMN3のソースと負電源(GND)間に接続された第3の定電流源(I3)と、第4のNチャンネルMOSトランジスタMN4のソースと負電源

(GND)間に接続された第4の定電流源(I<sub>4</sub>)と、入力端子が第1のNチャンネルMOSトランジスタMN1のドレインと第3のNチャンネルMOSトランジスタMN3のドレインとに共通接続され、共通端子が正電源(VDD)端子に共通接続された第1のカレントミラー回路CM1と、入力端子が第2のNチャンネルMOSトランジスタMN2のドレインと第4のNチャンネルMOSトランジスタMN4のドレインとに共通接続され、共通端子が正電源VDD端子に共通接続された第2のカレントミラー回路CM2と、入力端子が第1のカレントミラー回路CM1の出力端子に接続され、共通端子が負電源(GND)端子に接続された第3のカレントミラー回路CM3と、第1のPチャンネルMOSトランジスタMP1のドレインが第3のNチャンネルMOSトランジスタMN3のソースに接続され、第2のPチャンネルMOSトランジスタMP2のドレインが第4のNチャンネルMOSトランジスタMN4のソースに接続され、第2のカレントミラー回路CM2の出力端子と第3のカレントミラー回路CM3の出力端子を共通接続して出力端子OUTとし、第1のPチャンネルMOSトランジスタMP1のゲートと第1のNチャンネルMOSトランジスタMN1のゲートを共通接続して反転入力端子In<sup>-</sup>とし、第2のPチャンネルMOSトランジスタMP2のゲートと第2のNチャンネルMOSトランジスタMN2のゲートを共通接続して正転入力端子In<sup>+</sup>とする。第2と第3のカレントミラー回路CM2、CM3は、入力電流と出力電流比が1:k(k>1)である。差動増幅器の後段に、図9に示したように、CMOSインバータ(図10)を3段縦続接続して、電圧比較器回路を構成する。

10

## 【0133】

次に、図3に示した差動増幅器の動作を説明する。図3に示した差動増幅器においても、図1、図2に示した差動増幅器と同様、入力電圧によって3つのモードをもつが、ここでは、代表して、そのなかでPチャンネル差動対とNチャンネル差動対の両方が動作している場合について説明を行う。

20

## 【0134】

まずIn<sup>-</sup>側がIn<sup>+</sup>より高い電圧が入力され、かつ、上式(7)で示した以上の差動入力電圧だと仮定すると、図9の回路は、比較器として動作する。第1の差動対のバイアス電流I<sub>1</sub>は、全て第2のPチャンネルMOSトランジスタMP2の方に流れる。そして第1のPチャンネルMOSトランジスタMP1の方の電流はゼロとなる。一方、第2の差動対のバイアス電流I<sub>2</sub>は、全て第1のNチャンネルMOSトランジスタMN1の方に流れる。そして、第2のNチャンネルMOSトランジスタMN2の方の電流はゼロとなる。この時の各トランジスタのバイアス電流状態をみると、第3のNチャンネルMOSトランジスタMN3のドレイン電流をI<sub>D(MN3)</sub>とし、第4のNチャンネルMOSトランジスタMN4のドレイン電流をI<sub>D(MN4)</sub>とすると、第4のNチャンネルMOSトランジスタMN4のドレイン電流I<sub>D(MN4)</sub>は電流源I<sub>4</sub>の値から第2のPチャンネルMOSトランジスタMP2のドレイン電流I<sub>D(MP2)</sub>を引いた値であり、第3のNチャンネルMOSトランジスタMN3のドレイン電流I<sub>D(MN3)</sub>は電流源I<sub>3</sub>の値から第1のPチャンネルMOSトランジスタMP1のドレイン電流I<sub>D(MP1)</sub>を引いた値であるから、次式(80)、(81)が成り立つ。

30

$$I_{D(MN4)} = I_4 - I_{D(MP2)} = I_4 - I_1 \quad \text{-----}(80)$$

$$I_{D(MN3)} = I_3 - I_{D(MP1)} = I_3 \quad \text{-----}(81)$$

40

## 【0135】

ここで、I<sub>1</sub>とI<sub>3</sub>とI<sub>4</sub>の関係を以下のようにする。

$$I_3 = I_4 \geq I_1 \quad \text{-----}(82)$$

## 【0136】

次に、第1のカレントミラー回路(CM1)の入力電流I<sub>in(CM1)</sub>を求めると、このI<sub>in(CM1)</sub>は第1のNチャンネルMOSトランジスタのドレイン電流I<sub>D(MN1)</sub>

50

1) と第3のNチャネルMOSトランジスタのドレイン電流  $I_{D(MN3)}$  の和であり、それと同じ電流が第1のカレントミラー回路の出力電流  $I_{out(CM1)}$  となるから、第1のカレントミラー回路の入力電流：出力電流 = 1：1として、次式(83)が成り立つ。

$$I_{in(CM1)} = I_{D(MN1)} + I_{D(MN3)} = I_2 + I_3 = I_{out(CM1)} \quad \text{-----}(83)$$

#### 【0137】

次に第2のカレントミラー回路(CM2)の入力電流  $I_{in(CM1)}$  を求めると、この  $I_{in(CM1)}$  は第2のNチャネルMOSトランジスタのドレイン電流  $I_{D(MN2)}$  と第4のNチャネルMOSトランジスタのドレイン電流  $I_{D(MN4)}$  の和であるから、次式(84)が成り立つ。

$$I_{in(CM2)} = I_{D(MN2)} + I_{D(MN4)} = I_4 - I_1 \quad \text{-----}(84)$$

#### 【0138】

そして、第2のカレントミラー回路の入力電流：出力電流 = 1：kとすると、第2のカレントミラー回路の入力電流  $I_{in(CM2)}$  のk倍が第2のカレントミラー回路の出力電流  $I_{out(CM2)}$  となるから、次式(85)が成り立つ。

$$I_{out(CM2)} = kI_{in(CM2)} = k(I_4 - I_1) \quad \text{-----}(85)$$

#### 【0139】

第3のカレントミラー回路(CM3)の入力端子は第1のカレントミラー回路の出力端子と共通接続されている。従って、第3のカレントミラー回路(CM3)の入力電流  $I_{in(CM3)}$  は、第1のカレントミラー回路(CM1)の出力電流  $I_{out(CM1)}$  と等しいことから、次式(86)が成り立つ。

$$I_{in(CM3)} = I_{out(CM1)} \quad \text{-----}(86)$$

#### 【0140】

そして、第3のカレントミラー回路(CM3)の入力電流：出力電流 = 1：kとすると、第3のカレントミラー回路(CM3)の入力電流  $I_{in(CM3)}$  のk倍が、第3のカレントミラー回路(CM3)の出力電流  $I_{out(CM3)}$  となるから、次式(87)が成り立つ。

$$I_{out(CM3)} = kI_{in(CM3)} = k(I_2 + I_3) \quad \text{-----}(87)$$

#### 【0141】

従って出力端子OUTの出力電流  $I_{out}$  は、この場合、出力端子に流れ込む方向を正として、第3のカレントミラー回路の出力電流  $I_{out(CM3)}$  から第2のカレントミラー回路の出力電流  $I_{out(CM2)}$  を引いた値になり、 $I_3 = I_4$  として、次式(88)が成り立つ。

$$I_{out} = I_{out(CM3)} - I_{out(CM2)} = k(I_2 + I_3) - k(I_4 - I_1) = k(I_1 + I_2) \quad \text{--}(88)$$

#### 【0142】

そして、出力端子OUTはローレベルとなり、電位的にはほぼ負電源(GND)の0Vとなる。

#### 【0143】

10

20

30

40

50

次に、今度は  $I_{n^-}$  側が  $I_{n^+}$  より低い電圧入力されたと仮定すると、図3の差動増幅器は、比較器の回路動作をするので、第1の差動対のバイアス電流  $I_1$  は、全て第1のPチャンネルMOSトランジスタMP1の方に流れる。そして、第2のPチャンネルMOSトランジスタMP2の方の電流はゼロとなる。一方、第2の差動対のバイアス電流  $I_2$  は、全て第2のNチャンネルMOSトランジスタMN2の方に流れる。そして、第1のNチャンネルMOSトランジスタMN1の方の電流は、ゼロとなる。この時の各トランジスタのバイアス電流状態をみると、第3のNチャンネルMOSトランジスタMN3のドレイン電流を  $I_{D(MN3)}$  とし、第4のNチャンネルMOSトランジスタMN4のドレイン電流を  $I_{D(MN4)}$  として、次式(89)、(90)が成り立つ。

$$I_{D(MN4)} = I_4 - I_{D(MP2)} = I_4 \quad \text{-----(89)}$$

$$I_{D(MN3)} = I_3 - I_{D(MP1)} = I_3 - I_1 \quad \text{-----(90)}$$

10

【0144】

ここで、 $I_1$  と  $I_3$  と  $I_4$  の関係を以下のようにする。

$$I_3 = I_4 \geq I_1 \quad \text{-----(91)}$$

【0145】

次に第1のカレントミラー回路(CM1)の入力電流  $I_{in(CM1)}$  を求めると、この  $I_{in(CM1)}$  は第1のNチャンネルMOSトランジスタのドレイン電流  $I_{D(MN1)}$  と第3のNチャンネルMOSトランジスタのドレイン電流  $I_{D(MN3)}$  の和であり、それと同じ電流が第1のカレントミラー回路の出力電流  $I_{out(CM1)}$  となるから、第1のカレントミラー回路の入力電流：出力電流 = 1：1として、次式(92)が成り立つ。

20

$$I_{in(CM1)} = I_{D(MN1)} + I_{D(MN3)} = I_3 - I_1 = I_{out(CM1)} \quad \text{-----(92)}$$

【0146】

次に第2のカレントミラー回路(CM2)の入力電流  $I_{in(CM2)}$  を求めると、この  $I_{in(CM2)}$  は第2のNチャンネルMOSトランジスタのドレイン電流  $I_{D(MN2)}$  と第4のNチャンネルMOSトランジスタのドレイン電流  $I_{D(MN4)}$  の和であるから、次式(93)が成り立つ。

30

$$I_{in(CM2)} = I_{D(MN2)} + I_{D(MN4)} = I_2 + I_4 \quad \text{-----(93)}$$

【0147】

そして、第2のカレントミラー回路の入力電流：出力電流 = 1：kとすると、第2のカレントミラー回路の入力電流  $I_{in(CM2)}$  のk倍が第2のカレントミラー回路の出力電流  $I_{out(CM2)}$  となることから、次式(94)が成り立つ。

40

$$I_{out(CM2)} = kI_{in(CM2)} = k(I_2 + I_4) \quad \text{-----(94)}$$

【0148】

第3のカレントミラー回路(CM3)の入力端子は第1のカレントミラー回路の出力端子と共通接続されている。従って、第3のカレントミラー回路(CM3)の入力電流  $I_{in(CM3)}$  は第1のカレントミラー回路(CM1)の出力電流  $I_{out(CM1)}$  と等しいことから、次式(95)が成り立つ。

$$I_{in(CM3)} = I_{out(CM1)} \text{ -----(95)}$$

## 【0149】

そして、第3のカレントミラー回路の入力電流：出力電流 = 1 : k とすると、第3のカレントミラー回路の入力電流  $I_{in(CM3)}$  の k 倍が第3のカレントミラー回路の出力電流  $I_{out(CM3)}$  となるから、次式(96)が成り立つ。

$$I_{out(CM3)} = kI_{in(CM3)} = k(I_3 - I_1) \text{ -----(96)}$$

10

## 【0150】

従って、出力端子OUTの出力電流  $I_{out}$  は、この場合、出力端子から流れ込む方向を正として、第3のカレントミラー回路の出力電流  $I_{out(CM3)}$  から第2のカレントミラー回路の出力電流  $I_{out(CM2)}$  を引いた値になり、 $I_3 = I_4$  として、次式(97)が導出される。

$$I_{out} = I_{out(CM2)} - I_{out(CM3)} = k(I_2 + I_4) - k(I_3 - I_1) = k(I_1 + I_2) \text{ --(97)}$$

## 【0151】

そして、出力端子OUTはハイレベルとなり、電位的にはほぼ正電源(VDD)の0Vとなる。このようにして、比較器の動作を行う。 20

## 【0152】

図5は、本実施例の回路シミュレーション結果の一例を示す図である。図5には、図1の差動増幅器を、図9に示した構成とし、入力差動信号の周波数を200MHz、差動振幅を±50mV、同相信号電圧を0.3Vとした時の各出力波形(シミュレーション値)が示されている。図5からわかるように、本実施例によれば、CMOSインバータの最終出力波形のデューティは、ほぼ(実質的に)50%となっていることがわかる。すなわち、従来構成のシミュレーション結果である図11に示したように、50%から大きくはずれることは無い。

## 【0153】

このように、本実施例の電圧比較器回路は、特に電源電圧が低く、かつ広い入力電圧範囲をもった高速の差動インターフェース回路に適する。本実施例の回路によれば、少ない素子数で、比較的消費電力で、入力電圧範囲が広く、高速の電圧比較器回路が実現できる。本発明は、高速差動インターフェース回路用の半導体集積回路装置に用いて好適とされる。 30

## 【0154】

以上本発明を上記実施例に即して説明したが、本発明は上記実施例の構成にのみ限定されるものでなく、本発明の範囲内で当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

## 【図面の簡単な説明】

40

## 【0155】

【図1】本発明の第1の実施例の差動増幅器の回路構成を示す図である。

【図2】本発明の第2の実施例の差動増幅器の回路構成を示す図である。

【図3】本発明の第3の実施例の差動増幅器の回路構成を示す図である。

【図4】図1、図2、図3におけるカレントミラー回路の一構成を示す図である。

【図5】本発明におけるシミュレーションの入出力波形を示す図である。

【図6】従来の差動増幅回路の回路構成を示す図である。

【図7】従来の差動増幅段の回路構成を示す図である。

【図8】図7における入出力特性を示す図である。

【図9】従来の電圧比較器回路の例を示す図である。 50

【図10】CMOSインバータの具体回路例の図である。

【図11】従来例におけるシミュレーションの入出力波形図である。

【符号の説明】

【0156】

CM1、CM2、CM3 カレントミラー回路

I1、I2、I3、I4 電流源（電流値）

In<sup>+</sup> 非反転入力端子

In<sup>-</sup> 反転入力端子

INV1～INV3 CMOSインバータ

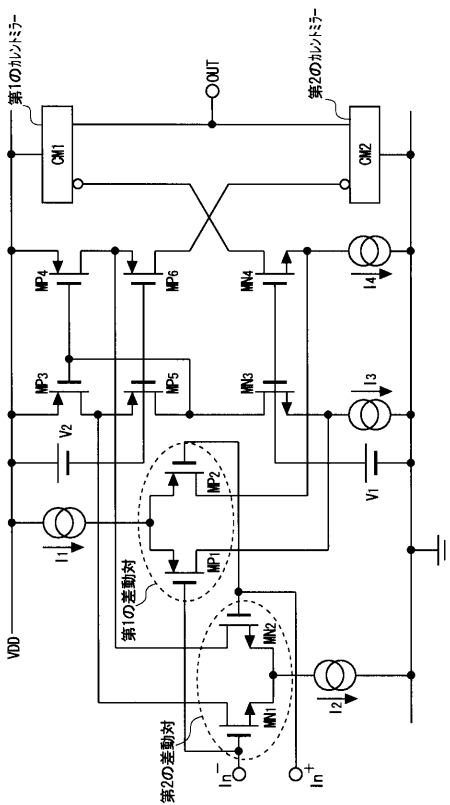
MN1～MN6 NチャネルMOSトランジスタ

MP1～MP4 PチャネルMOSトランジスタ

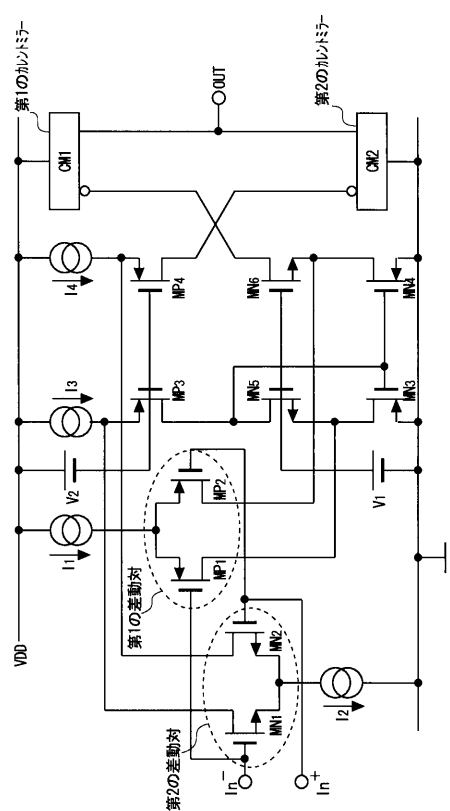
V1、V2 電圧源

VDD 正電源

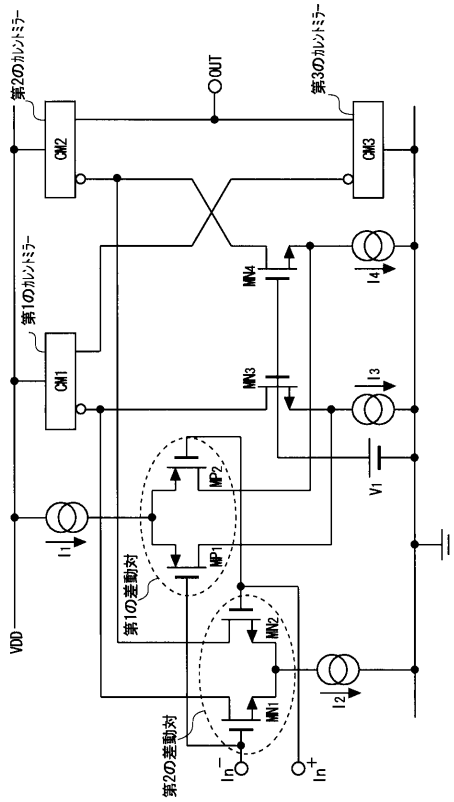
【図1】



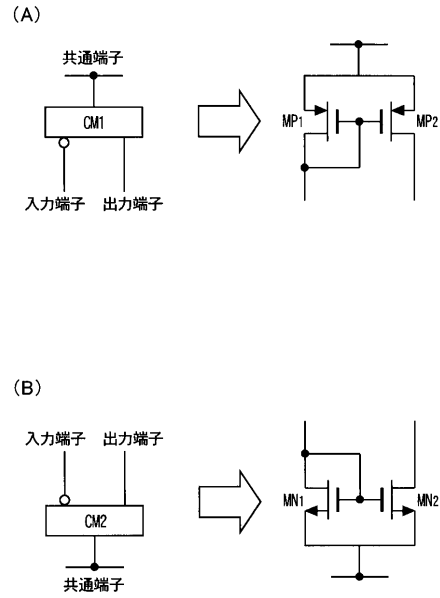
【図2】



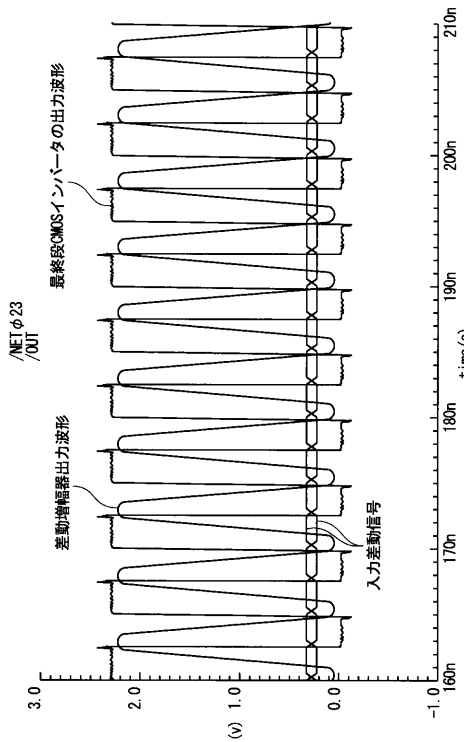
【 図 3 】



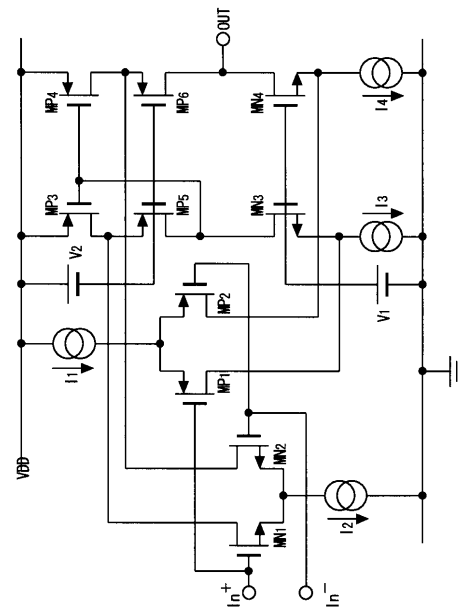
【 図 4 】



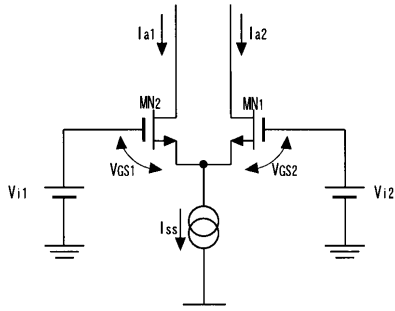
【 図 5 】



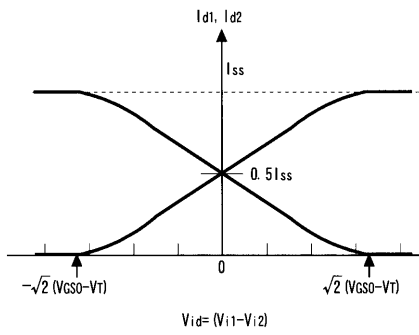
【 図 6 】



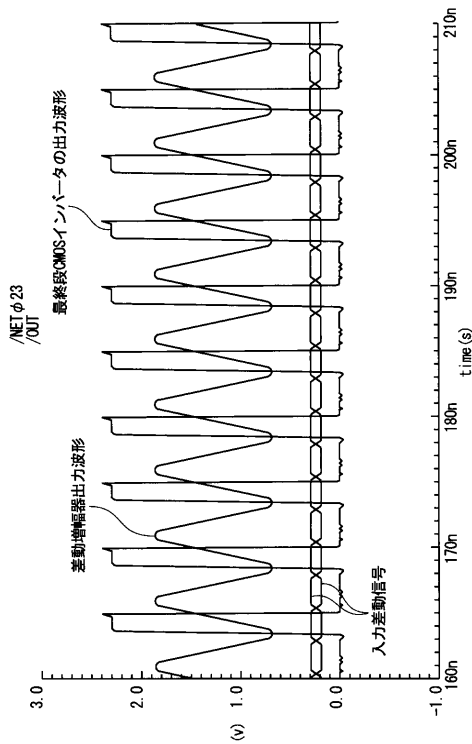
【 図 7 】



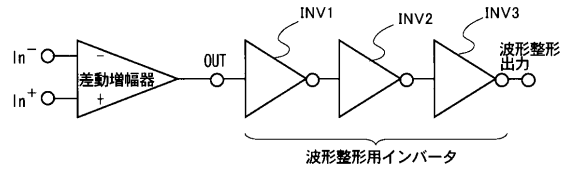
【 図 8 】



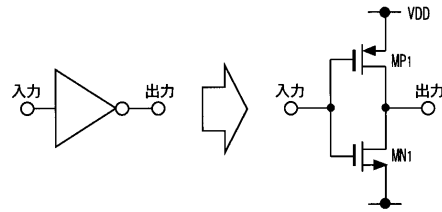
【 図 1 1 】



【 図 9 】



【 図 1 0 】





フロントページの続き

Fターム(参考) 5J500 AA01 AA12 AC36 AC65 AF15 AH10 AK02 AK05 AK09 AM17  
AM21 AS16 AT02 AT06 DN01 DN12 DP01

【要約の続き】

子から出力する。

【選択図】

図 1