

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6450864号
(P6450864)

(45) 発行日 平成31年1月9日(2019.1.9)

(24) 登録日 平成30年12月14日(2018.12.14)

(51) Int.Cl.		F I			
HO 1 L 25/065	(2006.01)	HO 1 L	25/08	H	
HO 1 L 25/07	(2006.01)	HO 1 L	25/00	A	
HO 1 L 25/18	(2006.01)	HO 1 L	23/12	5 O 1 C	
HO 1 L 25/00	(2006.01)				
HO 1 L 23/12	(2006.01)				

請求項の数 15 (全 43 頁)

(21) 出願番号	特願2017-566468 (P2017-566468)	(73) 特許権者	302062931
(86) (22) 出願日	平成28年2月10日 (2016.2.10)		ルネサスエレクトロニクス株式会社
(86) 国際出願番号	PCT/JP2016/054003		東京都江東区豊洲三丁目2番24号
(87) 国際公開番号	W02017/138121	(74) 代理人	110002066
(87) 国際公開日	平成29年8月17日 (2017.8.17)		特許業務法人筒井国際特許事務所
審査請求日	平成30年6月19日 (2018.6.19)	(72) 発明者	中川 和之
			東京都江東区豊洲三丁目2番24号 ルネサスエレクトロニクス株式会社内
		(72) 発明者	寺島 克司
			東京都江東区豊洲三丁目2番24号 ルネサスエレクトロニクス株式会社内
		(72) 発明者	土屋 恵太
			東京都江東区豊洲三丁目2番24号 ルネサスエレクトロニクス株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1半導体部品と、
第2半導体部品と、
前記第1半導体部品および前記第2半導体部品のそれぞれが搭載された配線基板と、
前記第1半導体部品と前記第2半導体部品とを電氣的に接続する複数の配線経路を備える第1配線部材と、
を有し、

前記第1半導体部品は、外部との間で第1信号を伝送する第1端子、および前記第2半導体部品との間で第2信号を伝送する第2端子が配置された第1主面を備え、

前記第2半導体部品は、前記第1半導体部品との間で前記第2信号を伝送する第3端子が配置された第2主面を備え、

前記第1信号は前記第2信号より高い周波数で伝送され、

前記第1半導体部品の前記第1端子は、前記第1配線部材を介さず、かつ、第1バンプ電極を介して前記配線基板と電氣的に接続され、

前記第1半導体部品の前記第2端子と前記第2半導体部品の前記第3端子は、前記第1配線部材を介して電氣的に接続されている、半導体装置。

【請求項2】

請求項1において、

前記第1半導体部品の前記第2端子と前記第2半導体部品の前記第3端子との離間距離

は、前記第 1 半導体部品の前記第 1 端子と前記第 2 半導体部品の前記第 3 端子との離間距離より小さい、半導体装置。

【請求項 3】

請求項 2 において、

前記第 2 端子は、第 2 パンプ電極を介して前記第 1 配線部材と電氣的に接続され、

前記第 3 端子は、第 3 パンプ電極を介して前記第 1 配線部材と電氣的に接続されている、半導体装置。

【請求項 4】

請求項 3 において、

前記第 1 半導体部品の前記第 1 主面には、接地電位が供給可能な第 4 端子および第 5 端子が配置され、

前記第 4 端子は、前記第 1 配線部材を介さず、かつ、第 4 パンプ電極を介して前記配線基板と電氣的に接続され、

前記第 5 端子は、第 5 パンプ電極を介して前記第 1 配線部材と電氣的に接続されている、半導体装置。

【請求項 5】

請求項 4 において、

前記第 1 半導体部品の前記第 2 端子と前記第 2 半導体部品の前記第 3 端子との離間距離は、前記第 1 半導体部品の前記第 2 端子と前記第 3 端子との離間距離より小さい、半導体装置。

【請求項 6】

請求項 5 において、

前記第 4 端子は、前記第 1 端子と前記第 2 端子の間に配置されている、半導体装置。

【請求項 7】

請求項 6 において、

前記第 1 半導体部品の前記第 2 端子と前記第 2 半導体部品の前記第 3 端子との離間距離は、前記第 1 半導体部品の前記第 4 端子と前記第 2 端子との離間距離より小さい、半導体装置。

【請求項 8】

請求項 6 において、

前記第 1 半導体部品の前記第 1 主面には、電源電位が供給可能な第 6 端子が配置され、前記第 6 端子は、前記第 1 配線部材を介さず、かつ、第 6 パンプ電極を介して前記配線基板と電氣的に接続されている、半導体装置。

【請求項 9】

請求項 8 において、

前記第 6 端子は、前記第 1 端子と前記第 2 端子の間に配置されている、半導体装置。

【請求項 10】

請求項 3 において、

前記第 2 半導体部品の前記第 2 主面には、接地電位が供給可能な第 7 端子が配置され、前記第 7 端子は、前記第 1 配線部材を介さず、かつ、第 7 パンプ電極を介して前記配線基板と電氣的に接続されている、半導体装置。

【請求項 11】

請求項 10 において、

前記第 2 半導体部品の前記第 2 主面には、電源電位が供給可能な第 8 端子が配置され、前記第 8 端子は、前記第 1 配線部材を介さず、かつ、第 8 パンプ電極を介して前記配線基板と電氣的に接続されている、半導体装置。

【請求項 12】

請求項 3 において、

前記配線基板の厚さ方向において、前記第 1 配線部材は、前記第 1 半導体部品と前記配線基板との間に位置する部分、および前記第 2 半導体部品と前記配線基板との間に位置す

10

20

30

40

50

る部分を有している、半導体装置。

【請求項 1 3】

請求項 3 において、

前記第 1 パンプ電極、前記第 2 パンプ電極、および前記第 3 パンプ電極のそれぞれは、樹脂により封止されている、半導体装置。

【請求項 1 4】

請求項 1 3 において、

前記第 2 パンプ電極および前記第 3 パンプ電極の体積は、前記第 1 パンプ電極の体積より小さい、半導体装置。

【請求項 1 5】

請求項 1 4 において、

前記第 2 パンプ電極および前記第 3 パンプ電極は、第 1 の樹脂体により封止され、前記第 1 パンプ電極は、前記第 1 の樹脂体とは別の第 2 の樹脂体により封止されている、半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、例えば、半導体チップなどの複数の半導体部品が配線部材を介して互いに電氣的に接続された半導体装置に適用して有効な技術に関する。

【背景技術】

【0002】

特開 2014 - 99591 号公報（特許文献 1）や、特開 2014 - 179613 号公報（特許文献 2）には、二つの半導体チップがブリッジング・ブロック、あるいはブリッジと呼ばれる部材を介して電氣的に接続された構造が記載されている。また、特開 2003 - 345480 号公報（特許文献 3）には、二つの半導体チップが配線基板を介して電氣的に接続された構造が記載されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2014 - 99591 号公報

【特許文献 2】特開 2014 - 179613 号公報

【特許文献 3】特開 2003 - 345480 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

配線基板上に搭載された複数の半導体部品を、インタポーザなどの配線部材を介して互いに電氣的に接続し、半導体部品間で信号伝送を行う技術がある。しかし、上記の技術を用いた半導体装置の性能を向上させる上で改善の余地がある。

【0005】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0006】

一実施の形態による半導体装置は、配線基板に搭載される第 1 半導体部品および第 2 半導体部品を有している。上記第 1 半導体部品は、外部との間で第 1 信号を伝送する第 1 端子、および上記第 2 半導体部品との間で第 2 信号を伝送する第 2 端子を有する。また、上記第 2 半導体部品は、上記第 1 半導体部品との間で上記第 2 信号を伝送する第 3 端子を有する。また、上記第 1 信号は上記第 2 信号より高い周波数で伝送される。また、上記第 1 半導体部品の上記第 2 端子と上記第 2 半導体部品の上記第 3 端子は、上記第 1 配線部材を介して電氣的に接続されている。また、上記第 1 半導体部品の上記第 1 端子は、上記第 1

10

20

30

40

50

配線部材を介さず、かつ、第 1 バンプ電極を介して上記配線基板と電氣的に接続されるものである。

【発明の効果】

【0007】

上記一実施の形態によれば、半導体装置の性能を向上させることができる。

【図面の簡単な説明】

【0008】

【図 1】一実施の形態である半導体装置の構成例を模式的に示す説明図である。

【図 2】図 1 に示す半導体装置の上面図である。

【図 3】図 2 に示す半導体装置の下面図である。

【図 4】図 2 の A - A 線に沿った断面図である。

【図 5】図 4 に示す半導体部品とインタポーザとの接続部分の周辺を示す拡大断面図である。

【図 6】図 4 に示す複数の半導体部品のうち、図 5 に示す半導体部品とは別の半導体部品とインタポーザとの接続部分の周辺を示す拡大断面図である。

【図 7】図 4 に示す配線基板が備える複数の配線層のうちの一層の配線レイアウトの例を示す拡大平面図である。

【図 8】図 2 に示す複数の半導体部品のそれぞれの主面側の端子配列の例を示す平面図である。

【図 9】図 4 ~ 図 6 に示すインタポーザの上面側の例を示す平面図である。

【図 10】図 5 および図 6 に示す半導体部品とインタポーザとを電氣的に接続するバンプ電極の拡大断面図である。

【図 11】図 5 および図 6 に示す半導体部品と配線基板とを電氣的に接続するバンプ電極の拡大断面図である。

【図 12】図 1 に対する変形例である半導体装置の構成例を模式的に示す説明図である。

【図 13】図 1 に対する他の変形例である半導体装置の構成例を模式的に示す説明図である。

【図 14】図 13 に示すメモリパッケージに接続されたインタポーザの周辺を拡大して示す説明図である。

【図 15】図 1 に示すインタポーザの周辺を拡大して示す説明図である。

【図 16】図 15 に対する変形例であるインタポーザの周辺を拡大して示す説明図である。

【図 17】図 5 に対する変形例である半導体装置の半導体部品とインタポーザとの接続部分の周辺を示す拡大断面図である。

【図 18】図 5 に対する他の変形例である半導体装置の半導体部品とインタポーザとの接続部分の周辺を示す拡大断面図である。

【図 19】図 5 に対する他の変形例である半導体装置の半導体部品とインタポーザとの接続部分の周辺を示す拡大断面図である。

【図 20】図 1 に対する他の変形例である半導体装置の構成例を模式的に示す説明図である。

【図 21】図 1 に対する他の変形例である半導体装置の構成例を模式的に示す説明図である。

【図 22】図 1 に対する他の変形例である半導体装置の構成例を模式的に示す説明図である。

【図 23】図 22 に対する変形例である半導体装置の構成例を模式的に示す説明図である。

【図 24】図 4 に対する変形例である半導体装置の構成例を模式的に示す説明図である。

【図 25】図 11 に示す半導体部品と配線基板とを電氣的に接続するバンプ電極に対する変形例を示す拡大断面図である。

【図 26】図 11 に示す半導体部品と配線基板とを電氣的に接続するバンプ電極に対する

10

20

30

40

50

他の変形例を示す拡大断面図である。

【図27】図14に示すメモリパッケージに対する変形例を示す説明図である。

【図28】図1に対する検討例である半導体装置の構成を模式的に示す説明図である。

【発明を実施するための形態】

【0009】

(本願における記載形式・基本的用語・用法の説明)

本願において、実施の態様の記載は、必要に応じて、便宜上複数のセクション等に分けて記載するが、特にそうでない旨明示した場合を除き、これらは相互に独立別個のものではなく、記載の前後を問わず、単一の例の各部分、一方が他方の一部詳細または一部または全部の変形例等である。また、原則として、同様の部分は繰り返しの説明を省略する。また、実施の態様における各構成要素は、特にそうでない旨明示した場合、理論的にその数に限定される場合および文脈から明らかにそうでない場合を除き、必須のものではない。

10

【0010】

同様に実施の態様等の記載において、材料、組成等について、「AからなるX」等であっても、特にそうでない旨明示した場合および文脈から明らかにそうでない場合を除き、A以外の要素を含むものを排除するものではない。たとえば、成分についていえば、「Aを主要な成分として含むX」等の意味である。たとえば、「シリコン部材」等であっても、純粋なシリコンに限定されるものではなく、SiGe(シリコン・ゲルマニウム)合金やその他シリコンを主要な成分とする多元合金、その他の添加物等を含む部材も含むものであることはいうまでもない。また、金めっき、Cu層、ニッケル・めっき等であっても、そうでない旨、特に明示した場合を除き、純粋なものだけでなく、それぞれ金、Cu、ニッケル等を主要な成分とする部材を含むものとする。

20

【0011】

さらに、特定の数値、数量に言及したときも、特にそうでない旨明示した場合、理論的にその数に限定される場合および文脈から明らかにそうでない場合を除き、その特定の数値を超える数値であってもよいし、その特定の数値未満の数値でもよい。

【0012】

また、実施の形態の各図中において、同一または同様の部分は同一または類似の記号または参照番号で示し、説明は原則として繰り返さない。

30

【0013】

また、添付図面においては、却って、煩雑になる場合または空隙との区別が明確である場合には、断面であってもハッチング等を省略する場合がある。これに関連して、説明等から明らかである場合等には、平面的に閉じた孔であっても、背景の輪郭線を省略する場合がある。更に、断面でなくとも、空隙でないことを明示するため、あるいは領域の境界を明示するために、ハッチングやドットパターンを付すことがある。

【0014】

また、本願では、例えばシリコン(Si)などの半導体材料から成る半導体基板に集積回路を形成した後、複数の個片に分割することで得られる半導体部品を、半導体チップと呼ぶ。また、上記半導体チップ、上記半導体チップが搭載された基材(例えば、配線基板やリードフレーム)、および上記半導体チップと電氣的に接続された複数の外部端子を有する半導体部品を、半導体パッケージと呼ぶ。また、半導体チップおよび半導体パッケージの事を、半導体部品または半導体装置と呼ぶ場合がある。半導体部品または半導体装置は、半導体チップおよび半導体パッケージの総称である。また、半導体部品または半導体装置には、複数の半導体部品が配線基板などの基材に搭載されたものも含まれる。例えば、以下の実施の形態では、複数の半導体部品が配線基板に搭載されたものを半導体装置と呼ぶ。したがって、以下の実施の形態において、半導体部品とは、半導体チップまたは半導体パッケージであることを意味する。

40

【0015】

<複数の半導体部品が搭載された半導体装置について>

50

半導体装置の性能向上を図る取り組みには、例えば、データ処理速度の向上や、データ処理機能の多様化、あるいは、通信速度の向上などの取り組みが含まれる。また、半導体装置に対しては、小型化が要求されるので、性能向上を図る際には、性能向上に伴う装置の大型化を抑制する必要がある。

【 0 0 1 6 】

ここで、例えば一つの半導体チップに多くの機能を内蔵させる場合、半導体チップの実装面積が増大することにより、半導体装置の大型化の原因になる。また、一つの半導体チップに多くの機能（例えば多種類の回路や多くの回路）を内蔵させる場合、半導体チップの複数の機能のうちの一部の性能を向上させる際に、半導体チップ全体の設計を見直す必要があるので、開発に時間を要する。

10

【 0 0 1 7 】

一方、一つの半導体パッケージに複数の半導体部品が搭載されている構造の場合、複数の半導体部品のそれぞれが有する機能（回路ブロック）は単純化できる。このため、複数の半導体部品を内蔵させた場合であっても、結果的に半導体装置の大型化を抑制できる。また、半導体装置の複数の機能のうちの一部の性能を向上させる際には、性能向上の対象になる機能を有する半導体部品の設計を見直せば良いので、開発期間を短縮できる。

【 0 0 1 8 】

また、複数の半導体部品のそれぞれが備える回路（機能）を電気的に接続する場合、複数の半導体部品を互いに電気的に接続し、複数の半導体部品間で信号を伝送する必要がある。そこで、例えば後述する図 1 に示すインタポーザ 4 0 などの配線部材を介して複数の半導体部品を電気的に接続すれば、配線部材を介して信号を伝送することができる。

20

【 0 0 1 9 】

インタポーザ 4 0 などの配線部材は、半導体パッケージの基材となる配線基板（パッケージ基板）と比較して、多数の配線を高密度で形成できる。このため、複数の半導体部品がインタポーザを介して互いに電気的に接続されている場合、インタポーザを介在させることによる半導体装置の大型化を抑制できる。

【 0 0 2 0 】

ところが、インタポーザなどの配線部材は、多数の配線経路を高密度で実装できるが、複数の配線経路のそれぞれのインピーダンス特性が低下する。例えば、複数の配線経路のそれぞれの断面積は小さいので、配線抵抗が大きい。また例えば、複数の配線経路のそれぞれのインピーダンス値が配線構造による影響を受けやすくなるので、信号伝送経路の途中に、インピーダンス不連続点が生じやすい。したがって、インタポーザが備える配線経路で高周波信号を伝送する場合には、配線経路のインピーダンス特性に起因して、信号伝送できない場合がある。

30

【 0 0 2 1 】

以下、図 1 に示す本実施の形態の半導体装置 P K G 1 と、図 1 に対する検討例である図 2 8 に示す半導体装置 P K G h 1 について説明する。図 1 は、本実施の形態の半導体装置の構成例を模式的に示す説明図である。また、図 2 8 は、図 1 に対する検討例である半導体装置の構成を模式的に示す説明図である。

【 0 0 2 2 】

図 1 および図 2 8 では、半導体装置の構成例および回路構成例を判り易くしめすため、断面図であってもハッチングを省略している。また、半導体部品 2 0 および半導体部品 3 0 が有する回路を二点鎖線で模式的に示し、各回路に接続される信号伝送経路は、実線で示している。

40

【 0 0 2 3 】

また、図 1 および図 2 8 では、半導体装置が実装基板（マザーボード）M B 1 に搭載され、実装基板 M B 1 を介して外部機器 E X 1 や電位供給部 P S 1 と接続された状態を模式的に示している。言い換えれば、図 1 に示す構成は、半導体装置 P K G 1 が実装基板 M B 1 に搭載され、実装基板 M B 1 を介して外部機器 E X 1 と電気的に接続された電子装置である。

50

【 0 0 2 4 】

また、図 1 および図 2 8 では、半導体装置 P K G 1 (図 2 8 では半導体装置 P K G h 1) が有する多数の配線経路のうちの一部を代表的に示している。したがって、半導体装置 P K G 1 (図 2 8 では半導体装置 P K G h 1) が有する配線経路の数は図 1 や図 2 8 に示す数以上であっても良い。

【 0 0 2 5 】

図 1 に示す半導体装置 P K G 1 および半導体装置 P K G h 1 (図 2 8 参照) のそれぞれは、パッケージ基板である配線基板 1 0 と、配線基板 1 0 の上面 1 0 t 上に搭載される半導体部品 2 0 および半導体部品 3 0 と、半導体部品 2 0 と半導体部品 3 0 との間を電氣的に接続する配線部材であるインタポーザ 4 0 (図 2 8 ではインタポーザ 4 0 h) と、を有している。インタポーザ (ブリッジチップ) 4 0 は、配線基板 1 0 を介さずに、半導体部品 2 0 と半導体部品 3 0 とを電氣的に接続する複数の配線経路を備えた配線部材である。

10

【 0 0 2 6 】

また、半導体装置 P K G 1 および半導体装置 P K G h 1 (図 2 8 参照) のそれぞれは、外部機器 E X 1 との間で信号伝送を行う外部インタフェース回路 (外部入出力回路) S I F 1 と、コア回路 (主回路) S C R 1 を備えている。コア回路 S C R 1 には、データ信号に対して演算処理を施す演算処理回路 (演算処理部) が含まれる。またコア回路 S C R 1 には、演算処理回路以外の回路が含まれていても良い。

【 0 0 2 7 】

図 1 および図 2 8 に示す例では、半導体部品 3 0 がコア回路 S C R 1 を備え、半導体部品 2 0 が外部インタフェース回路 S I F 1 を備えている。また、半導体部品 2 0 および半導体部品 3 0 のそれぞれは、インタポーザ 4 0 を介して電氣的に接続される内部インタフェース回路 S I F 2 を有している。半導体部品 3 0 の内部インタフェース回路 S I F 2 は、コア回路 S C R 1 の演算処理回路と電氣的に接続されている。また、半導体部品 2 0 の内部インタフェース回路 S I F 2 は、外部インタフェース回路 S I F 1 と電氣的に接続されている。言い換えれば、半導体部品 3 0 が備えるコア回路 S C R 1 の演算処理回路は、内部インタフェース回路 S I F 2 および半導体部品 3 0 が備える外部インタフェース回路 S I F 1 を介して外部機器 E X 1 と電氣的に接続されている。

20

【 0 0 2 8 】

また、半導体部品 2 0 と外部機器 E X 1 との間を電氣的に接続する信号伝送経路 L s g 1 では、シリアル通信方式で信号 S G 1 が伝送される。言い換えれば、信号 S G 1 は、シリアル通信方式用に構成されたシリアル信号である。一方、半導体部品 2 0 と半導体部品 3 0 との間を電氣的に接続する信号伝送経路 L s g 2 では、パラレル通信方式で信号 S G 2 が伝送される。言い換えれば、信号 S G 2 は、パラレル通信方式用に構成されたパラレル信号である。

30

【 0 0 2 9 】

シリアル通信方式とは、信号伝送経路において、複数のビットで構成されるデータが 1 ビットずつ逐次的に伝送される通信方式である。一方、パラレル通信方式とは、複数の構成されるデータが複数の信号伝送経路を介して、ビット群として同時並行的に伝送される通信方式である。

40

【 0 0 3 0 】

半導体装置 P K G 1 に要求されるデータ転送速度を固定して考えた場合、パラレル通信方式は、複数の信号伝送経路を介してデータを転送するので、シリアル通信方式と比較して複数の信号伝送経路のそれぞれの伝送速度 (伝送周波数、動作クロック) を低く設定できる。また、パラレル通信方式は、シリアル通信方式と比較して、入出力回路の構造を単純化できる。このため、図 1 に示す信号 S G 2 をパラレル通信方式で伝送する場合、内部インタフェース回路 S I F 2 の構造を単純化できる。この場合、内部インタフェース回路 S I F 2 の専有面積を低減できるので、半導体装置 P K G 1 を小型化することができる。

【 0 0 3 1 】

ただし、パラレル通信方式は、シリアル通信方式と比較して、一般的に信号伝送距離の

50

上限が短くなる。例えば、パラレル通信方式は、複数の信号伝送経路を介してデータを同時に転送するので、高速信号伝送で距離が長くなることにより、スキューが大きくなると同期が困難になる。また例えば、パラレル通信方式では、データ転送速度を規定する要因として、バス幅（信号伝送経路の数）がある。このため、パラレル通信方式の場合、多数の信号伝送経路を高密度で設けることになる。このように、多数の信号伝送経路が高密度で設けられた状態で、信号伝送距離を長くすると、並走する信号伝送経路間でのクロストークノイズの問題が生じる。

【 0 0 3 2 】

一方、シリアル通信方式の場合、入出力回路には、シリアル通信方式とパラレル通信方式とを変換する変換回路が必要になり、回路構造はパラレル通信方式よりも複雑になる。例えば、図 1 に示す半導体部品 20 の平面視において、外部インタフェース回路 S I F 1 の専有面積は、内部インタフェース回路 S I F 2 の専有面積より大きい。変換回路では、シリアル通信方式で入力された信号がパラレル通信方式に変換されて出力され、パラレル通信方式で入力された信号がシリアル通信方式に変換されて出力される。この変換回路は、S e r D e s (S e r i a l i z e r / D e s e r i a l i z e r) と呼ばれる。

10

【 0 0 3 3 】

しかし、シリアル通信方式の場合、複数のビットで構成されるデータが 1 ビットずつ逐次的に伝送されるので、信号伝送距離が長くなってもスキューによる同期の問題は生じ難い。また、シリアル通信方式の場合、複数の信号伝送経路のそれぞれの伝送速度（伝送周波数、動作クロック）を高くすることで、データ転送速度を向上させるので、パラレル通信方式と比較して信号伝送経路の数を低減できる。このため、隣り合う信号伝送経路の間でのクロストークノイズの影響を低減するための対策を施し易い。例えば、信号伝送経路の周囲に固定電位が供給可能なシールド導体層を配置すれば、隣り合う信号伝送経路の間でのクロストークノイズの影響を低減できる。

20

【 0 0 3 4 】

上記の通り、パラレル通信方式とシリアル通信方式には、それぞれ長所があり、図 1 に示す信号伝送経路 L s g 2 など、信号伝送距離が短い部分では、パラレル通信方式を用いることで、半導体装置 P K G 1 を小型化することができる。一方、信号伝送経路 L s g 1 のように半導体装置 P K G 1 の外部との間で信号を伝送する部分では、信号伝送距離が相対的に長くなる。このため、信号伝送経路 L s g 1 には、シリアル通信方式を適用することで安定的に信号伝送することが可能になる。

30

【 0 0 3 5 】

例えば、半導体装置 P K G 1 と外部機器 E X 1 との間でのデータ転送速度を 1.05 TB/s （テラビット毎秒）とした場合について考える。図 1 では、代表的に差動対の信号伝送経路 L s g 1、および一本の信号伝送経路 L s g 2 を示している。差動対の信号伝送経路 L s g 1 の伝送速度を 56 Gbps （ギガビット毎秒）とした場合、 150 対の信号伝送経路 L s g 1 を設けることにより、 1.05 TB/s のデータ転送速度が実現できる。差動対の信号伝送経路 L s g 1 のそれぞれは、対になる二本の配線経路により構成される。したがって、送信用の信号伝送経路と受信用の信号伝送経路とを考慮すると、 1.05 TB/s を実現するために必要な端子の数は、 $150 \times 2 \times 2 = 600$ である。また、一つの信号伝送経路 L s g 2 の伝送速度を 2 Gbps とした場合、 4200 本の信号伝送経路 L s g 2 を設けることにより、 1.05 TB/s のデータ転送速度が実現できる。

40

【 0 0 3 6 】

なお、例えば信号波形の 1 波長で 2 ビット分のデータを伝送する場合、伝送速度と周波数の関係は 2 対 1 になる。したがって、上記の例を周波数に換算すると、信号伝送経路 L s g 1 の伝送速度が 56 Gbps の場合、信号 S G 1 の信号波形の周波数は、 28 GHz （ギガヘルツ）になる。また、信号伝送経路 L s g 2 の伝送速度が 2 Gbps の場合、信号 S G 1 の信号波形の周波数は、 1 GHz （ギガヘルツ）になる。

【 0 0 3 7 】

上記のように、多くの信号伝送経路 L s g 1 を外部インタフェース回路 S I F 1 に接続

50

する場合、外部インタフェース回路SIF1の専有面積が増大する。このため、半導体部品30に全ての信号伝送経路Lsg1を接続する場合、コア回路SCR1と外部インタフェース回路SIF1とのレイアウト上の制約が大きくなり、半導体部品30の平面積(主面30tの面積)が大きくなる。しかし、本実施の形態のように、半導体部品20に多数の信号伝送経路Lsg1のうち少なくとも一部を接続し、半導体部品30のコア回路SCR1が半導体部品20を介して外部と信号伝送する構造にすれば、半導体部品20および半導体部品30のそれぞれのレイアウトを単純化できる。

【0038】

ここで、半導体部品20と半導体部品30とを電気的に接続する方法として、図28に示す半導体装置PKGh1のように、配線基板10上にインタポーザ40hを搭載し、インタポーザ40h上に半導体部品20と半導体部品30とを搭載する方法が考えられる。半導体装置PKGh1の場合、半導体部品20および半導体部品30の全体がインタポーザ40hに搭載されている。言い換えれば、半導体装置PKGh1が有する半導体部品20および半導体部品30のそれぞれは、インタポーザ40hを介して配線基板10と電気的に接続されている。

【0039】

このため、半導体装置PKGh1の場合、シリアル通信方式で信号SG1が伝送される信号伝送経路Lsg1の一部分は、インタポーザ40hを通過する。インタポーザ40hは、パラレル通信方式で信号SG2が伝送される信号伝送経路Lsg2が形成される配線部材である。このため、インタポーザ40hでは、配線基板10と比較して断面積が小さい微細な配線が高密度で配置されている。言い換えれば、インタポーザ40hの配線設計において適用される設計ルールは、配線基板10の配線設計において適用される設計ルールと比較して、配線の厚さ、配線幅、および隣り合う配線間距離の設計基準値が小さい。例えば、図28に示す例では、信号伝送経路Lsg1の一部を構成する半導体部品20の端子PD1に接続されるパンプ電極BPh1の体積は、図1に示すパンプ電極(導電性部材)BP1の体積より小さく、パンプ電極(導電性部材)BP2やパンプ電極(導電性部材)BP3と同程度の体積である。

【0040】

このため、インタポーザ40hが備える配線経路の配線抵抗は、配線基板10が備える配線経路の配線抵抗と比較して相対的に高い。このため、インタポーザ40hでは配線基板10と比較して、配線抵抗による信号の損失が発生し易い。また、複数の配線経路のそれぞれのインピーダンス値が配線構造による影響を受けやすくなるので、信号伝送経路の途中に、インピーダンス不連続点が生じやすい。そしてインピーダンス不連続点では、信号の反射に起因した伝送損失が発生する。

【0041】

また、配線経路の断面積が小さい微細な配線経路を用いて信号伝送を行う場合の信号の損失の程度は、伝送される信号の波長、言い換えれば周波数に対応して変化する。すなわち、信号波長が長い低周波信号の場合、微細な配線経路を通過する際に生じる損失は少ない。一方、信号波長が短い高周波信号の場合、配線抵抗による損失やインピーダンス不連続点での反射の影響を受けやすいため、信号損失が大きくなる。つまり、図28に示す例では、相対的に伝送速度が速い(言い換えれば周波数が高い)信号SG1を伝送する信号伝送経路Lsg1がインタポーザ40hを通過する際に生じる信号損失は、信号SG2を伝送する信号伝送経路Lsg2がインタポーザ40hを通過する際に生じる信号損失より大きい。

【0042】

信号損失が増大すると、信号波形の振幅が小さくなる。また、信号損失が増大すると、信号波形に歪が生じる。このため、信号を受信する側での信号波形が乱れ、通信の信頼性が低下する原因になる。

【0043】

そこで、本実施の形態では、図1に示すように、信号SG1を伝送する信号伝送経路L

10

20

30

40

50

s g 1 が、インタポーザ 4 0 を介さずに半導体部品 2 0 の外部インタフェース回路 S I F 1 と外部機器 E X 1 との間を電氣的に接続するように構成した。

【 0 0 4 4 】

すなわち、図 1 に示すように半導体装置 P K G 1 が有する半導体部品 2 0 は、外部（外部機器 E X 1）との間で信号を送る端子 P D 1、および半導体部品 3 0 との間で信号 S G 2 を送る端子 P D 2 が配置された主面 2 0 t を備える。また、半導体装置 P K G 1 が有する半導体部品 3 0 は、半導体部品 2 0 との間で信号 S G 2 を送る端子 P D 3 が配置された主面 3 0 t を備える。また、信号 S G 1 は信号 S G 2 より高い周波数（高い伝送速度）で伝送される。また、半導体部品 2 0 の端子 P D 1 は、インタポーザ 4 0 を介さず、かつ、バンプ電極 B P 1 を介して配線基板 1 0 と電氣的に接続される。また、半導体部品 2 0 の端子 P D 2 と半導体部品 3 0 の端子 P D 3 は、インタポーザ 4 0 を介して電氣的に接続されている。

10

【 0 0 4 5 】

本実施の形態によれば、シリアル通信方式を利用して高速（高周波）で信号 S G 1 を送る信号伝送経路 L s g 1 がインタポーザ 4 0 を経由せず、バンプ電極 B P 1 を介して配線基板 1 0 に接続されるので、高速伝送経路の信号損失を低減できる。一方、半導体部品 2 0 と半導体部品 3 0 の間で信号 S G 2 を送る信号伝送経路 L s g 2 は、複数の配線が高密度で配置されるインタポーザ 4 0 を経由する。このため、パラレル通信方式を適用して信号伝送経路 L s g 2 の数が増加する場合でも、半導体装置 P K G 1 の平面積の増加を抑制できる。

20

【 0 0 4 6 】

上記したように、信号伝送経路 L s g 2 の伝送速度は例えば 2 G b p s 程度であり、信号 S G 2 の信号波形の周波数は 1 G H z 程度である。半導体部品 2 0 と半導体部品 3 0 の間を接続する程度の伝送距離で、1 G H z 程度の周波数の信号波形による信号伝送を行う場合、インタポーザ 4 0 を経由させても信号伝送の波形品質に与える影響は少ない。しかし、伝送速度が 1 0 G H z 以上になると高周波帯域の伝送損失が増加し、また信号周期も短くなる。このため、タイミングマージンが無くなるので、波形品質の劣化を抑制する必要がある。例えば、シリアル通信方式であっても、周波数が 1 G H z 程度であれば、インタポーザ 4 0 を介して信号を送ることができる。一方、1 0 G H z 以上の周波数で信号伝送する信号伝送経路の場合には、図 1 に示すように、インタポーザ 4 0 を経由しない信号伝送経路 L s g 1 の構造とすることで、信号損失を大幅に低減することができ、インピーダンス不整合も抑制した良好な波形品質が得られる。

30

【 0 0 4 7 】

また、図 1 に示すように、半導体部品 2 0 の端子 P D 2 と半導体部品 3 0 の端子 P D 3 との離間距離は、半導体部品 2 0 の端子 P D 1 と半導体部品 3 0 の端子 P D 3 との離間距離より小さい。言い換えれば、平面視において、半導体部品 2 0 の端子 P D 2 は、半導体部品 2 0 の端子 P D 1 と半導体部品 3 0 の端子 P D 3 との間に配置されている。この場合、インタポーザ 4 0 を介して信号 S G 2 が伝送される信号伝送経路 L s g 2 の両端部である端子 P D 2 と端子 P D 3 の間の伝送距離を短くできる。上記したように、パラレル通信方式の場合、伝送距離が長くなると、スキューによる同期の問題、伝送損失増加の問題、あるいはクロストークノイズの問題が顕在化する。したがって、パラレル通信方式に係るこれらの課題を低減する観点からは、端子 P D 2 と端子 P D 3 の離間距離を小さくして、信号伝送経路 L s g 2 の伝送距離を短くすることが好ましい。

40

【 0 0 4 8 】

また、信号伝送経路 L s g 2 の伝送距離を短くする観点からは、以下の構成が好ましい。すなわち、図 1 に示すように、半導体部品 2 0 の端子 P D 2 と半導体部品 3 0 の端子 P D 3 との離間距離は、半導体部品 2 0 の端子 P D 1 と端子 P D 2 との離間距離より小さい。言い換えれば、平面視において、半導体部品 2 0 の端子 P D 2 は、半導体部品 2 0 の端子 P D 1 より半導体部品 3 0 の端子 P D 3 に近い位置に配置されている。このように、半導体部品 2 0 の端子 P D 2 と半導体部品 3 0 の端子 P D 3 との離間距離は、半導体部品 2

50

0の端子PD1と端子PD2との離間距離より小さくなる程度まで、信号伝送経路Lsg2の伝送距離を短くすれば、パラレル通信方式に係る上記課題を大幅に低減できる。

【0049】

また、図1に示す例では、半導体部品20および半導体部品30のそれぞれと、インタポーザとはバンプ電極を介して電氣的に接続されている。詳しくは、半導体部品20の端子PD2は、バンプ電極BP2を介してインタポーザ40と電氣的に接続されている。また、半導体部品30の端子PD3はバンプ電極BP3を介してインタポーザ40と電氣的に接続されている。バンプ電極BP2およびバンプ電極BP3のそれぞれは、後述するように、例えば半田ボール、あるいは柱状に形成された導電性部材である。このようにバンプ電極を介して配線部材と半導体部品とを電氣的に接続する場合、半導体部品と配線部材の間の伝送距離が短くできる点で好ましい。

10

【0050】

また、半導体部品20に接続される配線経路は、上記した信号伝送経路Lsg1や信号伝送経路Lsg2以外の伝送経路が接続されていても良い。例えば、図1に示す例では、半導体部品20には、接地電位VG1が供給可能な端子PD4および端子PD5が配置されている。半導体部品20には、外部(図1に示す例では電位供給部PS1)から接地電位VG1が供給可能な配線経路Lv g1、および半導体部品20と半導体部品30との間で接地電位VG1を伝送可能な配線経路Lv g2が接続されている。図1に示す例では、電位供給部PS1から端子PD4を介して外部インタフェース回路SIF1および内部インタフェース回路SIF2に接地電位VG1が供給可能である。また、端子PD5は内部

20

【0051】

接地電位VG1が供給可能な配線経路Lv g1は、信号伝送経路Lsg1の信号波形に対する参照電位が伝送されるリファレンス経路として利用することができる。また、信号伝送経路Lsg1の周囲に接地電位が供給される配線経路Lv g1が配置されている場合、信号伝送経路Lsg1から発生するノイズ、あるいは信号伝送経路Lsg1に対するノイズの伝搬を抑制するシールド導体として利用することができる。

【0052】

同様に、半導体部品30との間で接地電位VG1を伝送可能な配線経路Lv g2は、信号伝送経路Lsg2の信号波形に対する参照電位が伝送されるリファレンス経路として利用することができる。また、配線経路Lv g2は、信号伝送経路Lsg2から発生するノイズ、あるいは信号伝送経路Lsg2に対するノイズの伝搬を抑制するシールド導体として利用することができる。

30

【0053】

また、半導体部品20の端子PD4は、インタポーザ40を介さず、かつ、バンプ電極BP4を介して配線基板10と電氣的に接続される。また、半導体部品20の端子PD5は、バンプ電極BP5を介してインタポーザ40と電氣的に接続されている。図1に示す例では、インタポーザ40の配線経路Lv g2は、半導体部品20を介して配線基板10と接続されており、配線基板10とは直接的には接続されていない。この場合、インタポーザ40の下面40b(後述する図5参照)側に端子を設けなくても良い。

40

【0054】

ただし、インタポーザ40の配線経路Lv g2に接地電位VG1を供給する方法の変形例として、インタポーザ40と配線基板10との間、すなわちインタポーザ40の下面40b側に端子を設け、該端子を介して配線基板10と配線経路Lv g2とを直接的に接続しても良い。配線基板10と接続された端子から接地電位VG1を供給すれば、接地電位VG1の供給経路が増えるので、配線経路Lv g2の電位を安定化させることができる。

【0055】

また、図1に示す例では、主面20tにおいて、半導体部品20の端子PD4は、端子PD1と端子PD2の間に配置されている。言い換えれば、外部との間で信号SG1を伝

50

送する端子PD1は、端子PD2および端子PD4と比較してインタポーザ40から離れた位置に配置されている。図1に示す例では、信号伝送経路Lsg1は、半導体部品30から離れる方向に向かって引き出されている。これにより、多数の信号伝送経路Lsg1を配置するスペースを確保することができる。

【0056】

一方、半導体部品20に接地電位VG1を供給する端子PD4が端子PD5の近くに配置されている場合、端子PD4を経由して端子PD5に接地電位VG1を供給する際に接地電位VG1の供給経路距離が短くなる。これにより、配線経路Lv g 2の電位を安定させることができる。

【0057】

ただし、配線経路Lv g 1が、信号伝送経路Lsg1の信号波形に対する参照電位が伝送されるリファレンス経路として利用される場合、信号伝送経路Lsg1と、リファレンス経路としての配線経路Lv g 1との離間距離が一定であることが好ましい。したがって、複数の端子PD4のうちの一部が複数の端子PD2の近傍に設けられていても良い。例えば、半導体部品20の主面20tに複数の端子PD1が設けられている場合、複数の端子PD1の間に複数の端子PD4のうちの一部が設けられていても良い。

【0058】

また、図1に示す例では、半導体部品20の主面20tには、外部(図1に示す例では電位供給部PS1)から電源電位VD1が供給可能な端子PD6が配置されている。半導体部品20には、外部から電源電位VD1が供給可能な配線経路Lv d 1が接続されている。半導体部品20の端子PD6は、インタポーザ40を介さず、かつ、パンプ電極BP6を介して配線基板10と電氣的に接続される。

【0059】

電源電位VD1は、例えば、半導体部品20の外部インタフェース回路SIF1、あるいは半導体部品20の内部インタフェース回路SIF2、あるいはこれらの両方を駆動する駆動電源用の電位である。図1に示すように、インタポーザ40を介さずに、配線基板10から直接的に電源電位VD1を供給することで、配線経路Lv d 1のインピーダンスを低減することができるので、電源電位VD1を安定化させることができる。

【0060】

また、図1に示す例では、主面20tにおいて、半導体部品20の端子PD6は、端子PD1と端子PD2の間に配置されている。言い換えれば、外部との間で信号SG1を伝送する端子PD1は、端子PD2および端子PD6と比較してインタポーザ40から離れた位置に配置されている。図1に示す例では、信号伝送経路Lsg1は、半導体部品30から離れる方向に向かって引き出されている。これにより、多数の信号伝送経路Lsg1を配置するスペースを確保することができる。

【0061】

また、図1に示す例では、主面20tにおいて、半導体部品20の端子PD6は、端子PD1と端子PD4の間に配置されている。言い換えれば、半導体部品20に接地電位VG1を供給する端子PD4は、端子PD1および端子PD6と比較してインタポーザ40に接続される端子PD5に近い位置に配置されている。このように半導体部品20に電源電位VD1を供給する端子PD4が端子PD5の近くに配置されている場合、端子PD4を経由して端子PD5に接地電位VG1を供給する際に接地電位VG1の供給経路距離が短くなる。これにより、配線経路Lv g 2の電位を安定させることができる。

【0062】

また、半導体部品30のコア回路SCR1は、上記したように半導体部品20の外部インタフェース回路SIF1を介して外部と通信するので、半導体部品30がインタポーザ40を介さずに配線基板10と電氣的に接続されているかどうかは限定されない。例えば、図1に示す例では、半導体部品30には、外部(図1に示す例では電位供給部PS1)から接地電位VG1が供給可能な端子PD7および電源電位VD2が供給可能な端子PD8が配置されている。半導体部品30には、外部から電源電位VD1が供給可能な配線経

10

20

30

40

50

路Lv d 2、および外部から電源電位VD 2が供給可能な配線経路Lv d 2が接続されている。半導体部品30の端子PD 7は、インタポーザ40を介さず、かつ、パンプ電極BP 7を介して配線基板10と電氣的に接続される。また、半導体部品30の端子PD 8は、インタポーザ40を介さず、かつ、パンプ電極BP 8を介して配線基板10と電氣的に接続される。電源電位VD 2は、例えば、半導体部品30のコア回路SCR 1、あるいは半導体部品30の内部インタフェース回路SIF 2、あるいはこれらの両方を駆動する駆動電源用の電位である。図1に示すように、インタポーザ40を介さずに、配線基板10から電源電位VD 2を直接的に供給することで、配線経路Lv d 2のインピーダンスを低減することができるので、電源電位VD 2を安定化させることができる。

【0063】

また例えば、図1に対する変形例として、半導体部品30と配線基板10とを直接的に接続せず、電源電位VD 2や接地電位VG 1がインタポーザ40を介して供給されていても良い。

【0064】

また、図1に示す例では、半導体部品は、インタポーザ40に接続され、かつ、接地電位VG 1が供給可能な端子PD 9が配置されている。端子PD 9は、半導体部品20と半導体部品30との間で接地電位VG 1を伝送可能な配線経路Lv g 2の一部を構成する。半導体部品20と半導体部品30との間で接地電位VG 1を伝送可能な配線経路Lv g 2は、信号伝送経路Lsg 2の信号波形に対する参照電位が伝送されるリファレンス経路として利用することができる。また、配線経路Lv g 2は、信号伝送経路Lsg 2から発生するノイズ、あるいは信号伝送経路Lsg 2に対するノイズの伝搬を抑制するシールド導体として利用することができる。

【0065】

<半導体装置の構造>

次に、図1に示す半導体装置PKG 1の構造例について説明する。図2は図1に示す半導体装置の上面図、図3は、図2に示す半導体装置の下面図である。また、図4は、図2のA-A線に沿った断面図である。また、図5は、図4に示す半導体部品とインタポーザとの接続部分の周辺を示す拡大断面図である。図6は、図4に示す複数の半導体部品のうち、図5に示す半導体部品とは別の半導体部品とインタポーザとの接続部分の周辺を示す拡大断面図である。

【0066】

図3以降の各平面図および断面図では、見易さのため、端子数を少なくして示している。しかし、端子の数は図3以降の各図に示す態様の他、種々の変形例がある。例えば、図3に示す半田ボール11の数は、図3に示す数より多くても良い。また例えば、図1を用いて説明したように、半導体部品20に150対の差動対の信号伝送経路Lsg 1を設ける場合、信号SG 1を伝送する端子PD 1および半田ボール11は600個以上必要になる。さらに、4200本の信号伝送経路Lsg 2を設ける場合、信号SG 2を伝送する端子PD 2は4200個以上必要になる。さらに、上記に加え、接地電位VG 1が供給可能な端子PD 4や電源電位VD 1が供給可能な端子PD 5をそれぞれ複数個ずつ設けても良い。また、図4では、配線基板10およびインタポーザ40のそれぞれが有する複数の配線のうちの一部を代表的に示している。

【0067】

図2に示すように、本実施の形態の半導体装置PKG 1が有する半導体部品20および半導体部品30は、それぞれ配線基板10の上面10t上に搭載されている。図2に示す例では、半導体部品20と半導体部品30は、それぞれ四角形を成し、平面視において互いに対向するように、並んで配置されている。また、図2に示す例では、配線基板10は平面視において四角形を成す。

【0068】

図2や図4に示す例では、半導体部品20および半導体部品30は、例えばシリコンなどの半導体材料から成る半導体基板、半導体基板の主面に形成された複数の半導体素子、

10

20

30

40

50

半導体基板の主面上に積層された配線層、および配線層を介して複数の半導体素子と電氣的に接続されている複数の端子を備える半導体チップである。しかし、半導体部品20および半導体部品30は、半導体チップには限定されず、種々の変形例がある。例えば、複数の半導体チップが積層された半導体チップ積層体、あるいは、半導体チップが配線基板などの配線材に搭載された半導体パッケージを、図2や図4に示す半導体部品20、あるいは半導体部品30として用いても良い。また、変形例として後述する図13に示す半導体装置PKG3のように、半導体部品20および半導体部品30Bに加えて、半導体部品60をさらに有していても良い。

【0069】

また、平面視において、半導体部品20と半導体部品30の間には、インタポーザ40が配置されている。詳しくは、半導体部品20と半導体部品30の間には、インタポーザ40のうちの一部が配置されており、インタポーザ40の他の一部分は半導体部品20と重なり、インタポーザ40のさらに他の一部分は半導体部品30と重なっている。インタポーザ40と半導体部品20とが重なっている部分において、インタポーザ40と半導体部品20とが電氣的に接続され、インタポーザ40と半導体部品30とが重なっている部分において、インタポーザ40と半導体部品30とが電氣的に接続されている。

【0070】

また、図2に示す例では、半導体部品20の平面積(裏面20bの面積)は、半導体部品30の平面積(裏面30bの面積)より小さい。図1を用いて説明したように、半導体部品30は、演算処理回路を含むコア回路SCR1を備えている。コア回路SCR1には、演算処理回路の他、半導体装置PKG1が備える機能を実行するために必要な様々な回路が含まれる。例えば、受信したデータや送信前のデータを一時的に記憶する記憶回路などを有していても良い。あるいは、半導体部品20の外部インタフェース回路SIF1とは別に、半導体部品20を介さずに外部との間で信号を伝送する外部インタフェース回路を有していても良い。また、様々な回路を駆動するための電力を供給する回路を有していても良い。このように、ある装置やシステムの動作に必要な回路が一つの半導体チップに集約して形成された半導体装置を、SoC(System on a Chip)と呼ぶ。半導体部品30のコア回路SCR1には、複数の回路が含まれているので、回路の専有面積が大きくなる。このため、図2に示す例では、半導体部品30の平面積が大きくなっている。

【0071】

一方、半導体部品20には、外部インタフェース回路SIF1が形成されており、主に外部機器EX1と半導体部品20との間の信号伝送を中継する中継部品として機能する。接続される信号伝送経路Lsg1の数にもよるが、外部インタフェース回路SIF1の専有面積は、半導体部品30のコア回路SCR1の専有面積より小さい。このため、図2に示す例では、半導体部品20の平面積は半導体部品30の平面積より小さくなっている。

【0072】

ただし、半導体部品20および半導体部品30の平面積には種々の変形例がある。例えば、半導体部品20にコア回路SCR1を形成しても良い。この場合、半導体部品20の平面積が大きくなる。また、半導体部品30に必要な回路の種類が少ない場合、半導体部品30の平面積を小さくすることができる。このような場合、半導体部品20および半導体部品30のそれぞれの平面積が同じになる場合もある。あるいは、半導体部品20の平面積の方が半導体部品30の平面積より大きくなる場合もある。

【0073】

また、図2に示す例では、インタポーザ40の平面積は、半導体部品20の平面積および半導体部品30の平面積より小さい。上記したように、パラレル通信方式の場合、半導体部品20と半導体部品30とを接続する信号伝送経路Lsg2(図1参照)の伝送経路距離を短くすることが好ましい。図2に示すようにインタポーザ40の平面積が小さい場合、半導体部品20と半導体部品30とを接続する配線経路の経路距離が短くなる。したがって、信号伝送距離を短くする観点からは、インタポーザ40の平面積は、半導体部品20の平面積および半導体部品30の平面積より小さいことが好ましい。

10

20

30

40

50

【 0 0 7 4 】

ただし、インタポーザ 4 0 の平面積には、インタポーザ 4 0 に形成される信号伝送経路の数やレイアウトに応じて種々の変形例がある。例えば、配線を引き回すスペースが増大すれば、インタポーザ 4 0 の平面積が大きくなる場合もある。この場合、インタポーザ 4 0 の平面積が半導体部品 2 0 や半導体装置 3 0 の平面積よりも大きくなる場合もある。インタポーザ 4 0 の平面積が半導体部品 2 0 や半導体装置 3 0 の平面積よりも大きい場合でも、半導体部品 2 0 が、平面視において、インタポーザ 4 0 と重ならない部分を有していることが好ましい。

【 0 0 7 5 】

また、図 4 に示すように、半導体部品 2 0 と配線基板 1 0 とは、複数のバンプ電極（導電性部材）5 1 を介して電氣的に接続されている。複数のバンプ電極 5 1 のそれぞれは、半導体部品 2 0 と配線基板 1 0 とを電氣的に接続する導電性部材であって、半導体部品 2 0 と配線基板 1 0 の間に配置されている。複数のバンプ電極 5 1 には、図 1 に示す端子 P D 1 に接続されるバンプ電極 B P 1 が含まれる。また、複数のバンプ電極 5 1 には、図 1 に示す端子 P D 4 に接続されるバンプ電極 B P 4 が含まれる。また、複数のバンプ電極 5 1 には、図 1 に示す端子 P D 6 に接続されるバンプ電極 B P 6 が含まれる。

【 0 0 7 6 】

また、半導体部品 3 0 と配線基板 1 0 とは、複数のバンプ電極（導電性部材）5 2 を介して電氣的に接続されている。複数のバンプ電極 5 2 のそれぞれは、半導体部品 3 0 と配線基板 1 0 とを電氣的に接続する導電性部材であって、半導体部品 3 0 と配線基板 1 0 の間に配置されている。また、複数のバンプ電極 5 2 には、図 1 に示す端子 P D 7 に接続されるバンプ電極 B P 7 が含まれる。また、複数のバンプ電極 5 3 には、図 1 に示す端子 P D 8 に接続されるバンプ電極 B P 8 が含まれる。

【 0 0 7 7 】

本実施の形態では、半導体部品 2 0 は、半導体部品 2 0 の主面 2 0 t と配線基板 1 0 の上面 1 0 t とが対向した状態で、所謂フェイスダウン実装方式により配線基板 1 0 上に搭載されている。また、半導体部品 3 0 は、半導体部品 3 0 の主面 3 0 t と配線基板 1 0 の上面 1 0 t とが対向した状態で、所謂フェイスダウン実装方式により配線基板 1 0 上に搭載されている。また、図 4 に示すバンプ電極 5 1 およびバンプ電極 5 2 のそれぞれは、例えば、半田ボール、あるいは柱状に形成された金属部材である。バンプ電極 5 1 やバンプ電極 5 2 は、半導体部品 2 0、3 0 と配線基板 1 0 との間の狭い隙間（例えば 1 0 0 μm 程度）に狭ピッチ（例えば中心間距離が 1 5 0 μm ~ 2 0 0 μm 程度）で配列することができる。

【 0 0 7 8 】

図 4 に示す例では、互いに対向するように配置されている半導体部品 2 0 の端子 2 1 と配線基板 1 0 のボンディングパッド 1 6 とは、バンプ電極 5 1 を介して電氣的に接続されている。また、互いに対向するように配置されている半導体部品の端子 3 1 と配線基板 1 0 のボンディングパッド 1 6 とは、バンプ電極 5 2 を介して電氣的に接続されている。このように互いに対向した端子間を、バンプ電極を介して電氣的に接続する方法をフリップチップ接続方式と呼ぶ。

【 0 0 7 9 】

また、図 4 に示すように、半導体部品 2 0 とインタポーザ 4 0、および半導体部品 3 0 とインタポーザ 4 0 のそれぞれは、複数のバンプ電極（導電性部材）5 3 を介して電氣的に接続されている。複数のバンプ電極 5 3 のそれぞれは、インタポーザ 4 0 と、半導体部品 2 0 または半導体部品 3 0 を電氣的に接続する導電性部材であって、インタポーザ 4 0 と半導体部品 2 0 の間、およびインタポーザ 4 0 と半導体部品 3 0 の間に、それぞれ配置されている。複数のバンプ電極 5 3 には、図 1 に示す端子 P D 2 に接続されるバンプ電極 B P 2 が含まれる。また、複数のバンプ電極 5 3 には、図 1 に示す端子 P D 3 に接続されるバンプ電極 B P 3 が含まれる。また、複数のバンプ電極 5 3 には、図 1 に示す端子 P D 5 に接続されるバンプ電極 B P 5 が含まれる。また、バンプ電極 5 3 は、半田ボール、あ

10

20

30

40

50

るいは柱状に形成された金属部材である。

【0080】

本実施の形態では、半導体部品20とインタポーザ40、および半導体部品30とインタポーザ40は、それぞれフリップチップ接続方式により電氣的に接続されている。すなわち、図5に示すように、互いに対向するように配置されている半導体部品20の端子22とインタポーザ40のボンディングパッド(端子、中継基板端子)41とは、バンプ電極53を介して電氣的に接続されている。また、図6に示すように、互いに対向するように配置されている半導体部品の端子32とインタポーザ40のボンディングパッド(端子、中継基板端子)42とは、バンプ電極53を介して電氣的に接続されている。なお、インタポーザ40が有する複数のボンディングパッド(端子、中継基板端子)のうち、図5に示すように半導体部品20と厚さ方向に重なる位置に配置されるものをボンディングパッド41と呼び、図6に示すように、半導体部品30と厚さ方向に重なる位置に配置されるものをボンディングパッド42と呼ぶ。

10

【0081】

また、図5に示すボンディングパッド41と図6に示すボンディングパッド42とは、インタポーザ40が有する配線43を介して互いに電氣的に接続されている。つまり、図4に示す半導体部品20と半導体部品30は、インタポーザ40の配線43を介して電氣的に接続されている。

【0082】

また、本実施の形態では、厚さ方向(すなわち、配線基板10の上面10tに直交するZ方向)において、インタポーザ40は、半導体部品20と配線基板10との間に位置する部分、および半導体部品30と配線基板10との間に位置する部分を有している。また、図5に示すように、インタポーザ40の下面40bと配線基板10の上面10tとの間には隙間が空いており、隙間には、樹脂体55が配置されている。このように、半導体部品20、30と配線基板10との間にインタポーザ40の一部が配置されている場合、バンプ電極53の高さ(図4に示すZ方向の長さ)は、バンプ電極51およびバンプ電極52の高さ(図4に示すZ方向の長さ)より小さい。例えば、バンプ電極51およびバンプ電極52のそれぞれの高さ(厚さ)は、100 μ m程度である。一方、複数のバンプ電極53のそれぞれの高さ(厚さ)は、30 μ m程度である。

20

【0083】

また、複数のバンプ電極53のそれぞれの、図1を用いて説明した信号伝送経路Lsg2の一部を構成するので、多数のバンプ電極53が高密度で配置される。複数のバンプ電極53のそれぞれの、例えば中心間距離が10 μ m~30 μ m程度のピッチで配列されている。このため、バンプ電極53の幅、すなわち図5および図6に示すZ方向に直交するX方向における長さは、5 μ m~20 μ m程度である。このため、バンプ電極53の体積は、バンプ電極51(図5参照)およびバンプ電極52(図6参照)の体積より小さい。

30

【0084】

また、図4に示すように、複数のバンプ電極51、複数のバンプ電極52、および複数のバンプ電極53のそれぞれの、樹脂体により封止されている。詳しくは、本実施の形態では、複数のバンプ電極51および複数のバンプ電極52のそれぞれの、樹脂体55により封止されている。また、複数のバンプ電極53のそれぞれの、樹脂体55とは別の樹脂体56により封止されている。樹脂体55および樹脂体56のそれぞれの、バンプ電極51、バンプ電極52、およびバンプ電極53より弾性が低い。

40

【0085】

このため、例えば、半導体装置PKG1に温度サイクル負荷が印加された場合に、バンプ電極51、バンプ電極52、またはバンプ電極53の近傍に生じる応力が、樹脂体55または樹脂体56により緩和される。言い換えれば、樹脂体55および樹脂体56は、バンプ電極51、バンプ電極52、およびバンプ電極53のいずれかに対して応力集中が生じることを抑制する応力緩和層として機能する。そして、バンプ電極51、バンプ電極52、およびバンプ電極53のいずれかに対して応力集中が生じることを抑制することによ

50

り、図1を用いて説明した信号伝送経路Lsg1や信号伝送経路Lsg2の特性劣化、あるいは断線を抑制できる。つまり、本実施の形態によれば、信号伝送経路を構成する複数のバンプ電極のそれぞれを樹脂で封止することにより、信号伝送経路の信頼性を向上させることができる。

【0086】

また、本実施の形態では、バンプ電極51およびバンプ電極52を封止する樹脂体55とは別の樹脂体56によりバンプ電極53を封止している。樹脂体55および樹脂体56は、例えば構成成分が互いに相違する。あるいは、樹脂体55および樹脂体56は、例えば成分の混合割合が互いに相違する。あるいは、樹脂体55および樹脂体56は、例えば形成されたタイミングが異なり、樹脂体55と樹脂体56との間に、図5や図6に示すような境界面56sが形成されている。あるいは、樹脂体55および樹脂体56は、上記した相違点のうちの複数の相違点を有していても良い。また、本実施の形態に対する変形例としては、樹脂体55と56は同一の樹脂材料であっても良い。

10

【0087】

図4に示すように、バンプ電極53は、高さや体積がバンプ電極51およびバンプ電極52とは異なる。このため、バンプ電極53を樹脂封止するための条件と、バンプ電極51およびバンプ電極52を樹脂封止するための条件とが異なっている。このため、本実施の形態のように、バンプ電極51およびバンプ電極52を封止する樹脂体55とは別の樹脂体56によりバンプ電極53が封止されていれば、樹脂体55および樹脂体56の上記した応力緩和機能を最適化することができる。

20

【0088】

<各部品の構成>

次に、半導体装置PKG1を構成する主な部品の詳細な構造について順に説明する。図7は、図4に示す配線基板が備える複数の配線層のうちの一層の配線レイアウトの例を示す拡大平面図である。図8は、図2に示す複数の半導体部品のそれぞれの主面側の端子配列の例を示す平面図である。図8では、半導体部品20および半導体部品30とインタポーザ40との位置関係を示すため、インタポーザ40の輪郭を二点鎖線で示している。また、図9は、図4～図6に示すインタポーザの上面側の例を示す平面図である。図9では、図5および図6に示す配線層M2や配線層M3に配置されている複数の配線43を二点鎖線で示している。

30

【0089】

<配線基板>

図4に示すように、半導体装置PKG1の配線基板10は、上面(面、チップ搭載面)10tの反対側に位置する下面(面、実装面)10bを備える。図3に示すように、半導体装置PKG1の実装面である配線基板10の下面10bには、半導体装置PKG1の外部端子である複数の半田ボール(外部端子)11が、行列状(アレイ状、マトリクス状)に配置されている。複数の半田ボール11のそれぞれは、ランド(外部端子)12(図4参照)に接続されている。

【0090】

半導体装置PKG1のように、実装面側に、複数の外部端子(半田ボール11、ランド12)が行列状に配置された半導体装置を、エリアアレイ型の半導体装置と呼ぶ。エリアアレイ型の半導体装置PKG1は、配線基板10の実装面(下面10b)側を、外部端子の配置スペースとして有効活用することができるので、外部端子数が増大しても半導体装置PKG1の実装面積の増大を抑制することが出来る点で好ましい。つまり、高機能化、高集積化に伴って、外部端子数が増大する半導体装置PKG1を省スペースで実装することができる。

40

【0091】

また、図4に示すように、配線基板10は、上面10tと下面10bの間に配置された側面10sを有する。配線基板10は、半導体装置PKG1と実装基板MB1(図1参照)との間で、電気信号や電位(電源電位、基準電位、あるいは接地電位)を伝送する複数

50

の配線経路を備える基板である。配線基板 10 は、上面 10 t 側と下面 10 b 側を電氣的に接続する複数の配線層（図 4 に示す例では 8 層）を有する。各配線層に設けられた、複数の配線 13 は、複数の配線 13 間、および隣り合う配線層間を絶縁する絶縁層 14 に覆われている。

【0092】

図 4 に示す配線基板 10 は、積層された複数の配線層を備える、所謂、多層配線基板である。図 4 に示す例では、配線基板 10 は上面 10 t 側から順に、配線層 L1、L2、L3、L4、L5、L6、L7、および配線層 L8 の合計 8 層の配線層を備える。複数の配線層のそれぞれは、配線 13 などの導体パターンを有し、隣り合う導体パターンは、絶縁層 14 により覆われている。ただし、配線基板 10 が備える配線層の数は、図 4 に示す例に限定されず、例えば、8 層よりも少なくても良いし、8 層よりも多くても良い。

10

【0093】

また、図 4 に示す例では、配線基板 10 は、コア層（コア材、コア絶縁層、絶縁層）14c を基材として、コア層 14c の上面および下面にそれぞれ複数の配線層が積層された構造になっている。コア層 14c は、配線基板 10 の基材となる絶縁層であって、例えば、ガラス繊維などの繊維材にエポキシ樹脂などの樹脂材を含浸させた絶縁材料から成る。また、コア層 14c の上面および下面のそれぞれに積層される絶縁層 14 は、例えば熱硬化性樹脂などの有機絶縁材料から成る。また、コア層 14c の上面および下面に積層される複数の配線層は、例えばビルドアップ工法により形成される。ただし、図 4 に対する変形例として、コア層 14c を有していない、所謂、コアレス基板を用いても良い。

20

【0094】

また、配線基板 10 は、各配線層の間に設けられ、積層された配線層を厚さ方向に接続する層間導回路であるビア配線 15 VW、およびコア層 14c を厚さ方向に貫通する導回路であるスルーホール配線 15 TW を有する。変形例として上記したようにコアレス基板を用いる場合には、スルーホール配線 15 TW は有していなくても良い。また、配線基板 10 の上面 10 t には、複数のボンディングパッド（基板端子、半導体部品接続用端子）16 が形成されている。

【0095】

配線基板 10 が有する複数の配線層のうち、最上層の配線層（最も上面 10 t 側の配線層 L1）に設けられた配線 13 は、ボンディングパッド 16 と一体に形成されている。言い換えれば、ボンディングパッド 16 は配線 13 の一部と考えることができる。また、ボンディングパッド 16 と配線 13 を区別して考える場合には、配線基板 10 の上面 10 t において、絶縁膜 17 から露出する部分をボンディングパッド 16、絶縁膜 17 に覆われる部分を配線 13 として定義することができる。

30

【0096】

また、配線基板 10 の下面 10 b には、複数のランド（外部端子、半田ボール接続用パッド）12 が形成されている。複数のランド 12 のそれぞれには、半田ボール 11 が接続されており、図 1 に示す実装基板 MB1 と半導体装置 PKG1 とは、図 4 に示す半田ボール 11 を介して電氣的に接続される。すなわち、複数の半田ボール 11 は、半導体装置 PKG1 の外部接続端子として機能する。

40

【0097】

これら複数の半田ボール 11 および複数のランド 12 は、配線基板 10 の複数の配線 13 を介して、上面 10 t 側の複数のボンディングパッド 16 と電氣的に接続されている。なお、配線基板 10 が有する複数の配線層のうち、最下層の配線層（最も下面 10 b 側の配線層）に設けられた配線 13 は、ランド 12 と一体に形成されている。言い換えれば、ランド 12 は配線 13 の一部と考えることができる。また、ランド 12 と配線 13 を区別して考える場合には、配線基板 10 の下面 10 b において、絶縁膜 17 から露出する部分をランド 12、絶縁膜 17 に覆われる部分を配線 13 として定義することができる。

【0098】

また、図 4 に対する変形例として、ランド 12 自身を外部接続端子として機能させる場

50

合もある。この場合、ランド 12 に半田ボール 11 は接続されず、複数のランド 12 のそれぞれは、配線基板 10 の下面 10 b において、絶縁膜 17 から露出する。また、図 4 に対する別の変形例として、ボール形状の半田ボール 11 に代えて、薄い半田膜を接続し、この半田膜を外部接続端子として機能させる場合もある。あるいは、露出面に例えばメッキ法により形成された金 (Au) 膜を形成し、この金膜を外部接続端子とする場合もある。さらに、外部接続端子をピン状 (棒状) に形成する場合もある。

【0099】

また、配線基板 10 の上面 10 t および下面 10 b は、絶縁膜 (ソルダレジスト膜) 17 により覆われている。配線基板 10 の上面 10 t に形成された配線 13 は絶縁膜 17 に覆われている。絶縁膜 17 には開口部が形成され、この開口部において、複数のボンディングパッド 16 の少なくとも一部 (ボンディング領域) が絶縁膜 17 から露出している。また、配線基板 10 の下面 10 b に形成された配線 13 は絶縁膜 17 に覆われている。絶縁膜 17 には開口部が形成され、この開口部において、複数のランド 12 の少なくとも一部 (半田ボール 11 との接合部) が絶縁膜 17 から露出している。

【0100】

また、本実施の形態では、図 1 に示す信号伝送経路 Lsg1 には、差動信号が伝送される。差動信号は、対を成す二本の配線経路に、互いに反対の位相の信号が伝送される。図 7 に示すように、信号伝送経路 Lsg1 は、差動対を成す差動信号伝送経路 DSp および差動信号伝送経路 DSn により構成される。差動対を構成する差動信号伝送経路 DSp および差動信号伝送経路 DSn は、できる限り等間隔であることが好ましい。このため、差動信号伝送経路 DSp および差動信号伝送経路 DSn のそれぞれを構成する配線 13 は、互いに沿うように延びている。また、差動対を構成する差動信号伝送経路 DSp および差動信号伝送経路 DSn の配線経路距離は等長化することが好ましい。このため、差動信号伝送経路 DSp および差動信号伝送経路 DSn のそれぞれを構成するビア配線 15 VW および配線 13 のそれぞれは、差動信号伝送経路 DSp と差動信号伝送経路 DSn の経路距離が等距離になるようにレイアウトされている。

【0101】

また、図 7 に示す例では、信号伝送経路 Lsg1 を構成する導体パターン (配線 13 およびビア配線 15 VW) の周囲は、平面視において、接地電位 VG1 が供給可能な配線経路 Lv g1 に囲まれている。配線経路 Lv g1 は配線 13 よりも面積が大きい、導体パターンである、導体プレーン 13 P により構成されている。このように、信号伝送経路 Lsg1 の周囲に接地電位が供給される配線経路 Lv g1 の一部である導体プレーン 13 P は、信号伝送経路 Lsg1 から発生するノイズ、あるいは信号伝送経路 Lsg1 に対するノイズの伝搬を抑制するシールド導体として利用することができる。また、信号伝送経路 Lsg1 の配線経路に沿って、信号伝送経路 Lsg1 の周囲に接地電位が供給される配線経路 Lv g1 が設けられている。このため、信号伝送経路 Lsg1 の周囲に接地電位が供給される配線経路 Lv g1 の一部である導体プレーン 13 P は、信号伝送経路 Lsg1 の信号波形に対する参照電位が伝送されるリファレンス経路として利用することができる。

【0102】

< 半導体部品 >

図 5 に示すように、半導体部品 20 は、主面 23 t を有する半導体基板 (基材) 23 と、主面 23 t と主面 20 t との間に配置された配線層 24 とを有する。また、図 6 に示すように、半導体部品 30 は、主面 33 t を有する半導体基板 (基材) 33 と、主面 33 t と主面 30 t との間に配置された配線層 34 とを有する。なお、図 5 および図 6 では、見易さのため、一層の配線層 24、34 を示しているが、配線層 24、34 には、インタポーザ 40 の配線層 M1、M2、M3 と同程度以下の厚さを備える複数の配線層が積層されている。また、見易さのために図示は省略するが、複数の配線層 24、34 のそれぞれには、複数の配線が形成されている。また、複数の配線は、複数の配線間、および隣り合う配線層間を絶縁する絶縁層に覆われている。絶縁層は、例えば、酸化珪素 (SiO) などの半導体材料の酸化物から成る、無機絶縁層である。

【 0 1 0 3 】

また、複数の半導体部品 2 0、3 0 のそれぞれが備える半導体基板 2 3、3 3 の主面 2 3 t、3 3 t には、例えばトランジスタ素子、あるいはダイオード素子などの、複数の半導体素子が形成されている。図 5 に示す半導体部品 2 0 では、複数の半導体素子は、配線層 2 4 の複数の配線を介して主面 2 0 t 側に形成された複数の端子 2 1 および複数の端子 2 2 と電氣的に接続されている。また、図 6 に示す半導体部品 3 0 では、複数の半導体素子は、配線層 3 4 の複数の配線を介して主面 3 0 t 側に形成された複数の端子 3 1 および複数の端子 3 2 と電氣的に接続されている。

【 0 1 0 4 】

また、図 5 に示す半導体部品 2 0 の配線層 2 4 上には、複数の端子（電極、部品電極、パッド）2 1 および複数の端子（電極、部品電極、パッド）2 2 が形成されている。複数の端子 2 1 のそれぞれは、バンプ電極 5 1 を介して配線基板 1 0 のボンディングパッド 1 6 と電氣的に接続される端子である。また複数の端子 2 2 のそれぞれはバンプ電極 5 3 を介してインタポーザ 4 0 のボンディングパッド 4 1 と電氣的に接続される端子である。複数の端子 2 1 および複数の端子 2 2 のそれぞれの一部分は、半導体部品 2 0 の主面 2 0 t において、保護絶縁膜であるパッシベーション膜 2 5 から露出している。バンプ電極 5 1 は、端子 2 1 のうち、パッシベーション膜 2 5 から露出する部分に接合されている。

10

【 0 1 0 5 】

また、図 6 に示す半導体部品 3 0 の配線層 3 4 上には、複数の端子（電極、部品電極、パッド）3 1 および複数の端子（電極、部品電極、パッド）3 2 が形成されている。複数の端子 3 1 のそれぞれは、バンプ電極 5 2 を介して配線基板 1 0 のボンディングパッド 1 6 と電氣的に接続される端子である。また複数の端子 3 2 のそれぞれはバンプ電極 5 3 を介してインタポーザ 4 0 のボンディングパッド 4 2 と電氣的に接続される端子である。複数の端子 3 1 および複数の端子 3 2 のそれぞれの一部分は、半導体部品 3 0 の主面 3 0 t において、保護絶縁膜であるパッシベーション膜 3 5 から露出している。バンプ電極 5 2 は、端子 3 1 のうち、パッシベーション膜 3 5 から露出する部分に接合されている。

20

【 0 1 0 6 】

図 8 に示すように、複数の端子 2 2 のそれぞれは、複数の端子 2 1 より、半導体部品 3 0 の端子 3 2 に近い位置に配置されている。また、複数の端子 3 2 のそれぞれは、複数の端子 3 1 より、半導体部品 2 0 の端子 2 2 に近い位置に配置されている。インタポーザ 4 0 を介して電氣的に接続される端子 2 2 と端子 3 2 の離間距離を小さくすることで、インタポーザ 4 0 内での伝送経路距離を低減できる。

30

【 0 1 0 7 】

図 8 に示す例では、半導体部品 2 0 が有する複数の端子 2 1 には、図 1 を用いて説明した端子 P D 1、端子 P D 4、および端子 P D 6 がそれぞれ複数個ずつ含まれる。また、半導体部品 2 0 が有する複数の端子 2 2 には、図 1 を用いて説明した端子 P D 2 および端子 P D 5 がそれぞれ複数個ずつ含まれる。また、半導体部品 3 0 が有する複数の端子 3 1 には、図 1 を用いて説明した端子 P D 7、および端子 P D 8 がそれぞれ複数個ずつ含まれる。また、半導体部品 3 0 が有する複数の端子 3 2 には、図 1 を用いて説明した複数の端子 P D 2 が含まれる。

40

【 0 1 0 8 】

端子 P D 1 は、外部（図 1 に示す外部機器 E X 1）との間で信号を伝送する端子である。複数の端子 P D 1 は、図 8 に示すように、半導体部品 2 0 の主面 2 0 t において、半導体部品 3 0、あるいはインタポーザ 4 0 までの距離が、他の端子と比較して相対的に遠くなる位置に配置されている。言い換えれば、半導体部品 2 0 の主面 2 0 t は、半導体部品 3 0 と対向する辺 2 0 s 1 および辺 2 0 s 1 の反対側の辺 2 0 s 2 を有し、複数の端子 P D 1 のそれぞれは、辺 2 0 s 1 より辺 2 0 s 2 の近くに配置されている。これにより、図 1 を用いて説明した通り、複数の端子 P D 1 のそれぞれに接続される信号伝送経路 L s g 1 を配置するスペースが確保されるので、信号伝送経路 L s g 1 の配線レイアウトが容易になる。

50

【0109】

また、端子PD2は、半導体部品30との間で信号を伝送する端子である。複数の端子PD2は、図8に示すように、半導体部品20の主面20tにおいて、半導体部品30までの距離が、他の端子と比較して相対的に近くなる位置に配置されている。言い換えれば、複数の端子PD1のそれぞれは、半導体部品20の主面20tの辺20s2より辺20s1の近くに配置されている。図8に示す例では、平面視において、複数の端子PD2のそれぞれは、半導体部品20の複数の端子PD1と、半導体部品30の複数の端子PD3との間に配置されている。これにより、図1を用いて説明した通り、複数の端子PD2のそれぞれに接続される信号伝送経路Lsg2の伝送距離を短くすることができる。そして、パラレル通信方式で信号が伝送される信号伝送経路Lsg2の伝送距離を短くすることで、スキューによる同期の問題、伝送損失増加の問題、あるいはクロストークノイズの問題などを抑制できる。

10

【0110】

また、図8に示す例では、平面視において、半導体部品20の複数の端子PD2のそれぞれは、半導体部品20の複数の端子PD1より半導体部品20の複数の端子PD3に近い位置に配置されている。半導体部品20の端子PD2と半導体部品30の端子PD3との離間距離が小さくなる程、図1に示す信号伝送経路Lsg2の伝送距離を短くすることができる。そして、信号伝送経路Lsg2の伝送距離を短くすることで、スキューによる同期の問題、伝送損失増加の問題、あるいはクロストークノイズの問題などを抑制できる。

20

【0111】

また端子PD4および端子PD5のそれぞれは、接地電位VG1が供給可能な端子である。図8に示す例では、平面視において、複数の端子PD4のそれぞれは、複数の端子PD1と複数の端子PD5の間に配置されている。図1を用いて説明したように、半導体部品20に接地電位VG1を供給する端子PD4が端子PD5の近くに配置されている場合、端子PD4を経由して端子PD5に接地電位VG1を供給する際に接地電位VG1の供給経路距離が短くなる。これにより、配線経路Lv g2の電位を安定させることができる。

【0112】

ただし、図1を用いて説明したように、配線経路Lv g1が、信号伝送経路Lsg1の信号波形に対する参照電位が伝送されるリファレンス経路として利用される場合、信号伝送経路Lsg1と、リファレンス経路としての配線経路Lv g1との離間距離が一定であることが好ましい。したがって、複数の端子PD4のうちの一部が複数の端子PD2の近傍に設けられていても良い。例えば、半導体部品20の主面20tに複数の端子PD1が設けられている場合、複数の端子PD1の間に複数の端子PD4のうちの一部が設けられていても良い。

30

【0113】

また、図8に示す例では、半導体部品20の主面20tにおいて、辺20s2側からX方向に沿って、順に、複数の端子PD5および複数の端子PD2が配置されている。この場合、複数の端子PD2を辺20s1に近づけて配置できるので、図1に示す信号伝送経路Lsg2の伝送距離を短くできる。

40

【0114】

ただし、図1に示す配線経路Lv g2が、信号伝送経路Lsg2の信号波形に対する参照電位が伝送されるリファレンス経路として利用される場合、信号伝送経路Lsg2と、リファレンス経路としての配線経路Lv g2との離間距離が一定であることが好ましい。したがって、複数の端子PD5のうちの一部が複数の端子PD2の近傍に設けられていても良い。例えば、半導体部品20の主面20tに複数の端子PD2が設けられている場合、複数の端子PD2の間に複数の端子PD5のうちの一部が設けられていても良い。

【0115】

また、端子PD6は、電源電位VD1が供給可能な端子である。図8に示す例では、平

50

面視において、半導体部品 20 の複数の端子 PD 6 は、複数の端子 PD 1 と複数の端子 PD 2 の間に配置されている。このように、複数の端子 PD 6 が複数の端子 PD 1 と複数の端子 PD 2 の間に配置されている場合、主面 20 t の辺 20 s 2 側には端子 PD 1 を優先的に配置でき、主面 20 t の辺 20 s 1 側には端子 PD 2 を優先的に配置できる。

【0116】

また、図 8 に示す例では、平面視において、半導体部品 20 の複数の端子 PD 6 は、複数の端子 PD 1 と複数の端子 PD 4 の間に配置されている。図 1 を用いて説明したように半導体部品 20 に電源電位 VD 1 を供給する端子 PD 4 が端子 PD 5 の近くに配置されている場合、端子 PD 4 を経由して端子 PD 5 に接地電位 VG 1 を供給する際に接地電位 VG 1 の供給経路距離が短くなる。これにより、配線経路 Lv g 2 の電位を安定させることができる。

10

【0117】

なお、図 8 では、端子 21、端子 22、端子 31、および端子 32 のそれぞれの配列について例示的に示している。図 4 に示すように、パンプ電極 51 は端子 21 と対向する位置に接続される。また、パンプ電極 52 は端子 31 と対向する位置に接続される。また、パンプ電極 53 は、端子 22 (図 5 参照) または端子 32 (図 6 参照) と対向する位置に接続される。したがって、図 8 に示す端子 21、端子 22、端子 31、および端子 32 のレイアウトは、図 4 に示すパンプ電極 51、パンプ電極 52、およびパンプ電極 53 の平面視におけるレイアウトと見做すことができる。

【0118】

20

<インタポーザ>

図 4 に示すように、インタポーザ 40 は、半導体部品 20 に接続される複数のボンディングパッド 41 (図 5 参照) および半導体部品 30 に接続される複数のボンディングパッド 42 (図 6 参照) が配置された上面 (面、中継端子配置面) 40 t、上面 40 t とは反対側の下面 (面、裏面) 40 b、および上面 40 t と下面 40 b の間に配置された側面 40 s (図 5 および図 6 参照) を有する。また、インタポーザ 40 は、図 2 および図 8 に示すように平面視において四角形の外形形状を成す。

【0119】

図 5 および図 6 に示すように、インタポーザ 40 は、主面 44 t を有する半導体基板 (基材) 44 と、主面 44 t と上面 40 t との間に配置された複数の配線層とを有する。図 5 および図 6 に示す例では、インタポーザ 40 は上面 40 t 側から順に、配線層 M1、M2、および配線層 M3 の合計 3 層の配線層を備える。ただし、インタポーザ 40 が備える配線層の数は、図 5 に示す例に限定されず、例えば、3 層よりも少なくても良いし、3 層よりも多くても良い。

30

【0120】

複数の配線層のそれぞれは、配線 43 などの複数の導体パターンを有し、導体パターンのそれぞれは、複数の配線間、および隣り合う配線層間を絶縁する絶縁層 45 により覆われている。絶縁層 45 は、例えば、酸化珪素 (SiO) などの半導体材料の酸化物から成る、無機絶縁層である。また、複数の配線層のうち、最上層 (上面 40 t に最も近い層) に設けられた配線層 M1 には、複数のボンディングパッド 41 (図 5 参照) および複数のボンディングパッド 42 (図 6 参照) が配置されている。配線層 M1 は、絶縁層 45 上に設けられ、保護絶縁膜であるパッシベーション膜 46 に覆われている。

40

【0121】

図 9 に示すように、複数のボンディングパッド 41 および複数のボンディングパッド 42 のそれぞれの一部分は、パッシベーション膜 46 に形成された開口部においてパッシベーション膜 46 から露出している。図 5 および図 6 に示すパンプ電極 52 は、ボンディングパッド 41 (図 5 参照) およびボンディングパッド 42 (図 6 参照) のそれぞれにおいて、パッシベーション膜 46 から露出する部分に接合されている。

【0122】

また、複数のボンディングパッド 41 と複数のボンディングパッド 42 とは、複数の配

50

線 4 3 を介してそれぞれ電氣的に接続されている。複数のボンディングパッド 4 1、複数のボンディングパッド 4 2 およびこれらを電氣的に接続する複数の配線 4 3 により構成される、複数の配線経路には、図 1 を用いて説明した複数の信号伝送経路 L s g 2 が含まれる。また、複数のボンディングパッド 4 1、複数のボンディングパッド 4 2 およびこれらを電氣的に接続する複数の配線 4 3 により構成される、複数の配線経路には、図 1 を用いて説明した配線経路 L v g 2 が含まれる。

【 0 1 2 3 】

本実施の形態のように、半導体基板 4 4 の主面 4 4 t 上に設けた配線層に複数の導体パターンを形成する技術は、半導体ウエハに集積回路を形成する技術を利用できるので、複数の配線 4 3 の配線幅や配置間隔を容易に小さくすることができる。また、半導体ウエハを利用してインタポーザ 4 0 を形成すれば、多数のインタポーザ 4 0 を一括して製造できるので、製造効率が良い。

【 0 1 2 4 】

< パンプ電極 >

図 1 0 は、図 5 および図 6 に示す半導体部品とインタポーザとを電氣的に接続するパンプ電極の拡大断面図である。また、図 1 1 は、図 5 および図 6 に示す半導体部品と配線基板とを電氣的に接続するパンプ電極の拡大断面図である。

【 0 1 2 5 】

本実施の形態の例では、図 4 に示すパンプ電極 5 1、パンプ電極 5 2、およびパンプ電極 5 3 のうち、半導体部品 2 0 または半導体部品 3 0 と、インタポーザ 4 0 とを電氣的に接続するパンプ電極 5 3 は、例えば、図 1 0 に示すように、導体柱 5 3 A と、半田層 5 3 B とを有している。導体柱 5 3 A は、例えば銅 (C u) やニッケル (N i) などの金属材料を主成分とするパンプ電極 5 3 の一部分であって、ピラーパンプと呼ばれる。導体柱 5 3 A の幅 (主面 2 0 t または主面 3 0 t の延在方向に沿った平面方向 (図 1 0 では X 方向) における長さ) は、導体柱 5 3 A の高さ (平面方向に直交する厚さ方向 (図 1 0 では Z 方向) の長さ) より小さい。導体柱 5 3 A は、例えば図示しないマスクに形成された開口部内に導体を成膜、めっき、あるいは印刷等の方法により形成される。このため、例えば、半導体ウエハに集積回路を形成する際に利用するフォトリソグラフィ技術を利用すれば、狭い配置間隔で多数の導体柱 5 3 A を形成できる。

【 0 1 2 6 】

また、半田層 5 3 B は、導体柱 5 3 A と接続対象の端子 (図 1 0 では、端子 2 2 または端子 2 3) とを電氣的に接続する導電性の接続部材であって、導体柱 5 3 A の上面 5 3 t および下面 5 3 b のうち、少なくとも一方に接続されている。図 1 0 に示す例では、半田層 5 3 B は、導体柱 5 3 A の上面 5 3 t に接合され、導体柱 5 3 A の下面 5 3 b は、ボンディングパッド 4 1 (またはボンディングパッド 4 2) に接合されている。インタポーザ 4 0 にパンプ電極 5 3 を形成した後、インタポーザ 4 0 に形成されたパンプ電極 5 3 と半導体部品 2 0 (または半導体部品 3 0) とを接続すると、図 1 0 に示す形状になる。

【 0 1 2 7 】

また、パンプ電極 5 3 の構造には、種々の変形例が適用可能である。例えば、半田層 5 3 B が、導体柱 5 3 A の下面 5 3 b に接合され、導体柱 5 3 A の上面 5 3 t が、端子 2 2 (または端子 3 2) に接合されていても良い。また、例えば、図 1 1 に示すパンプ電極 5 1、5 2 のように、パンプ電極 5 3 が半田材料により形成されていても良い。

【 0 1 2 8 】

また、本実施の形態の例では、図 4 に示すパンプ電極 5 1、パンプ電極 5 2、およびパンプ電極 5 3 のうち、半導体部品 2 0 または半導体部品 3 0 と、配線基板 1 0 とを電氣的に接続するパンプ電極 5 1 およびパンプ電極 5 2 は、例えば、図 1 1 に示すように、ボール状に形成された半田材料から成る。半田材料から成るパンプ電極 5 1 およびパンプ電極 5 2 は、半田ボールと呼ばれる。

【 0 1 2 9 】

半田ボールで形成されたパンプ電極 5 1 およびパンプ電極 5 2 は、導体柱 5 3 A と比較

10

20

30

40

50

して、加熱した時に変形し易い特性を備えている。このため、複数の端子 2 1 と複数のボンディングパッド 1 6 との離間距離にバラつきがあっても、半田ボールが変形することで、複数の端子 2 1 と複数のボンディングパッド 1 6 のそれぞれを接続させることができる。言い換えれば、半田ボールから成るバンプ電極は、導体柱からなるバンプ電極と比較して、複数の端子間距離にバラつきに対する許容マージンが大きい。本実施の形態では、図 5 および図 6 に示すように、厚さ方向において、半導体部品 2 0 と配線基板 1 0 の間、および半導体部品 3 0 と配線基板 1 0 の間、のそれぞれに、インタポーザ 4 0 の一部分が配置されている。このため、図 1 1 に示す端子 2 1 とボンディングパッド 1 6 の離間距離、あるいは端子 3 1 とボンディングパッド 1 6 の離間距離は、インタポーザ 4 0 の厚さよりは大きく。そして、端子間の離間距離が大きくなると、複数の端子間距離にバラつきが生じやすいので、半田ボールから成るバンプ電極 5 1 およびバンプ電極 5 2 を介して、半導体部品 2 0 または半導体部品 3 0 と、配線基板 1 0 とを電氣的に接続する方法が有効である。

10

【 0 1 3 0 】

ただし、バンプ電極 5 1 およびバンプ電極 5 2 の構造には、種々の変形例が適用可能である。例えば、図 1 0 に示すバンプ電極 5 3 と同様に、導体柱 5 3 A と半田層 5 3 B とを備えた構造にしても良い。この場合、半田ボールを利用する場合と比較して、多数のバンプ電極 5 1、5 2 を小さい配置間隔で配列できる。このため、バンプ電極 5 1 およびバンプ電極 5 2 の数を増やしても、半導体装置 P K G 1 (図 4 参照) の大型化を抑制できる。

20

【 0 1 3 1 】

< 変形例 >

本実施の形態では、実施の形態の説明中にも複数の変形例について説明したが、以下では、上記以外の変形例について説明する。

【 0 1 3 2 】

< 変形例 1 >

図 1 2 は、図 1 に対する変形例である半導体装置の構成例を模式的に示す説明図である。図 1 2 に示す半導体装置 P K G 2 は、図 1 に示す半導体部品 3 0 に対する変形例である半導体部品 3 0 A が、コア回路 S C R 1 に加えて、外部インタフェース回路 S I F 3 を有している点で、図 1 に示す半導体装置 P K G 1 と相違する。

30

【 0 1 3 3 】

図 1 では、半導体部品 3 0 のコア回路 S C R 1 に含まれる演算処理回路が、半導体部品 2 0 の外部インタフェース回路 S I F 1 を介して外部と通信する例について説明した。しかし、図 1 2 に示す半導体装置 P K G 2 のように、半導体部品 3 0 A が外部インタフェース回路 S I F 3 を備えていても良い。例えば、コア回路 S C R 1 には演算処理回路を含む複数の回路が含まれているので、複数の演算処理回路を備えていても良い。この場合、図 1 2 に示すように、複数のコア回路 S C R 1 が備える複数の演算処理回路のうちの一部は、半導体部品 3 0 A の主面 3 0 t に配置された端子 P D 9 を介して、外部 (図 1 に示す例では外部機器 E X 2) との間で信号 S G 3 を伝送しても良い。

【 0 1 3 4 】

信号伝送経路 L s g 3 を利用して外部機器 E X 2 と外部インタフェース回路 S I F 3 との間で信号 S G 3 を伝送する方式は、信号伝送経路 L s g 1 と同様に、シリアル通信方式が好ましい。この場合、信号 S G 3 は信号 S G 2 より高い周波数 (高い伝送速度) で伝送される。したがって、また、半導体部品 3 0 A の端子 P D 9 は、インタポーザ 4 0 を介さず、かつ、バンプ電極 B P 9 を介して配線基板 1 0 と電氣的に接続される。ことが好ましい。これにより、高速伝送経路である信号伝送経路 L s g 3 での信号損失を低減できる。

40

【 0 1 3 5 】

また、信号伝送経路 L s g 3 の数が増加すると、外部インタフェース回路 S I F 3 の専有面積が増加することになり、半導体部品 3 0 の面積が増大する。したがって、半導体装置 P K G 2 に複数の信号伝送経路 L s g 1 と複数の信号伝送経路 L s g 3 とが接続されている場合、信号伝送経路 L s g 3 の数は信号伝送経路 L s g 1 の数より少ないことが好ま

50

しい。言い換えれば、半導体部品 20 の主面 20 t に複数の端子 P D 1 が配置され、半導体部品 30 A の主面 30 t に複数の端子 P D 9 が配置されている場合、端子 P D 9 の数は端子 P D 1 の数より少ないことが好ましい。これにより、半導体装置 P K G 2 の大型化を抑制できる。

【 0 1 3 6 】

図 1 2 に示す半導体装置 P K G 2 は、上記した相違点以外は図 1 ~ 図 1 1 を用いて説明した半導体装置 P K G 1 と同様である。また、図 1 2 に示す半導体部品 30 A は、上記した相違点を除き、図 1 ~ 図 1 1 を用いて説明した半導体部品 30 と同様である。このため、上記相違点以外は、上記半導体部品 30 を半導体部品 30 A に置き換えて適用可能であり、上記半導体装置 P K G 1 を半導体装置 P K G 2 に置き換えて適用可能なので、重複する説明は省略する。

10

【 0 1 3 7 】

< 変形例 2 >

また、図 1 では、配線基板 10 に搭載される半導体部品の数が 2 個の場合の実施態様について説明したが、配線基板 10 上に搭載される半導体部品の数は、3 個以上でも良い。例えば、図 1 3 に示す半導体装置 P K G 3 は、配線基板 10 の上面 10 t 上には、半導体部品 20、半導体部品 30 B および半導体部品 60 が搭載されている。図 1 3 は、図 1 に対する他の変形例である半導体装置の構成例を模式的に示す説明図である。また、図 1 4 は、図 1 3 に示すメモリパッケージに接続されたインタポーザの周辺を拡大して示す説明図である。

20

【 0 1 3 8 】

図 1 3 に示す例では、半導体部品 60 は、メモリ回路（主記憶回路）を備えるメモリパッケージであり、半導体部品 30 B は、上記メモリ回路を制御する制御回路を備えている。制御回路は、例えば図 1 3 に示すコア回路 S C R 1 に含まれている。

【 0 1 3 9 】

また、本実施の形態の例では、半導体部品 60 および半導体部品 30 B のそれぞれは、インタポーザ 40 と同様の配線部材であるインタポーザ 40 A を介して電氣的に接続されている。言い換えれば、半導体装置 P K G 3 は、半導体部品 30 B と半導体部品 60 との間で信号を伝送することによって動作するシステムを備えている。

【 0 1 4 0 】

半導体部品 60 は、半導体部品 30 B との間で通信するデータを記憶するメモリ回路（主記憶回路、記憶回路）S M E 1 を備えている。また、半導体部品 30 B には、半導体部品 60 の主記憶回路の動作を制御する制御回路を備えている。また、半導体部品 30 B は、入力されたデータ信号に対して演算処理を行う、演算処理回路を備えている。図 1 3 では、一例として演算処理回路や制御回路などの主要な回路を、コア回路 S C R 1 として示している。ただし、コア回路 S C R 1 に含まれる回路は、上記以外の回路が含まれていても良い。例えば、半導体部品 30 B には、例えば一次的にデータを記憶するキャッシュメモリなど、半導体部品 60 の主記憶回路よりも記憶容量が小さい補助記憶回路（記憶回路）が形成されていても良い。

30

【 0 1 4 1 】

また、半導体部品 30 B は、半導体部品 20 との間で信号 S G 2 を伝送する内部インタフェース回路 S I F 2 の他、半導体部品 60 との間で信号 S G 4 を伝送する内部インタフェース回路 S I F 4 を備えている。また半導体部品 60 は、メモリ回路 S M E 1 の他、半導体部品 30 B との間で信号 S G 4 を伝送する内部インタフェース回路 S I F 4 を備えている。半導体部品 30 B の制御回路は、内部インタフェース回路 S I F 4、および内部インタフェース回路 S I F 4 に接続されるインタポーザ 40 A（詳しくはインタポーザ 40 A が備える複数の信号伝送経路 L s g 4）を介して、半導体部品 60 との間で信号を伝送することができる。

40

【 0 1 4 2 】

図 1 3 に示すメモリ回路 S M E 1 を半導体部品 30 B のコア回路 S C R 1 に形成するこ

50

ともできるが、メモリ回路SME1を半導体部品30Bとは別の半導体部品60に形成すれば、以下の点で好ましい。すなわち、メモリ回路SME1は記憶容量に比例して専有面積が大きくなる。このため、半導体部品30Bにメモリ回路SME1を形成する場合、必要な記憶容量に応じて半導体部品30Bの平面積（主面30tの面積）が大きく変化する。一方、半導体装置PKG3のように、半導体部品60にメモリ回路SME1が形成された構成の場合、半導体部品30Bの平面積は、システムに必要な記憶容量によらず、ほぼ一定にすることができる。また、メモリ回路SME1が形成された半導体部品60は、メモリ回路SME1、内部インタフェース回路SIF4、電源回路の他には、例えば演算処理回路のような複雑な回路を有していない。この場合、メモリ回路SME1のレイアウトの自由度が高いため、記憶容量に比例した半導体部品60の平面積（主面60tの面積）の増大を抑制できる。例えば、図27に示す半導体部品61のように、メモリ回路SME1をそれぞれ有するメモリチップMCが複数枚積層された構造の場合、半導体部品61の平面積の増大を抑制しつつ、かつ、記憶容量を大きくできる。図27は、図14に示すメモリパッケージに対する変形例を示す説明図である。

10

【0143】

信号伝送経路Lsg4は、信号伝送経路Lsg2と同様に、例えばパラレル通信方式により信号SG4を伝送する配線経路である。このため、インタポータ40Aはインタポータ40と同様の構造にすることができる。図13および図14に示す例では、半導体部品30Bの主面30tには、半導体部品20（図13参照）との間で信号SG2（図13参照）を伝送する端子PD3（図13参照）の他、半導体部品60との間で信号SG4を伝送する端子PD10（図14参照）が配置されている。また、図14に示すように、半導体部品60は、半導体部品30Bとの間で信号SG4を伝送する端子PD11が配置された主面60tを有している。

20

【0144】

また、半導体部品60に接続される配線経路は、信号伝送経路Lsg4以外の伝送経路が接続されていても良い。例えば、図14に示す例では、半導体部品60の主面60tには、接地電位VG1が供給可能な端子PD12および端子PD13が配置されている。半導体部品60には、外部（図14に示す例では電位供給部PS1）から接地電位VG1が供給可能な配線経路Lv g4、および半導体部品60と半導体部品30Bとの間で接地電位VG1を伝送可能な配線経路Lv g5が接続されている。図14に示す例では、電位供給部PS1から端子PD12を介してメモリ回路SME1および内部インタフェース回路SIF4に接地電位VG1が供給可能である。また、端子PD13は内部インタフェース回路SIF4に接続されており、接地電位VG1は、内部インタフェース回路SIF4を介して端子PD13に供給される。

30

【0145】

接地電位VG1が供給可能な配線経路Lv g5は、信号伝送経路Lsg4の信号波形に対する参照電位が伝送されるリファレンス経路として利用することができる。また、信号伝送経路Lsg4の周囲に接地電位が供給される配線経路Lv g5が配置されている場合、信号伝送経路Lsg4から発生するノイズ、あるいは信号伝送経路Lsg4に対するノイズの伝搬を抑制するシールド導体として利用することができる。

40

【0146】

また、半導体部品60の端子PD12は、インタポータ40Aを介さず、かつ、パンプ電極BP12を介して配線基板10と電氣的に接続される。また、半導体部品60の端子PD13は、パンプ電極BP13を介してインタポータ40Aと電氣的に接続されている。図14に示す例では、インタポータ40Aの配線経路Lv g5は、半導体部品30Bおよび半導体部品60を介して配線基板10と接続されており、配線基板10とは直接的には接続されていない。この場合、インタポータ40Aの下面40b側に端子を設けなくても良い。

【0147】

ただし、インタポータ40Aの配線経路Lv g5に接地電位VG1を供給する方法の変

50

形例として、インタポーザ 40 A と配線基板 10 との間、すなわちインタポーザ 40 A の下面 40 b 側に端子を設け、該端子を介して配線基板 10 と配線経路 L v g 5 とを直接的に接続しても良い。配線基板 10 と接続された端子から接地電位 V G 1 を供給すれば、接地電位 V G 1 の供給経路が増えるので、配線経路 L v g 5 の電位を安定化させることができる。

【 0 1 4 8 】

また、図 1 4 に示す例では、半導体部品 60 の主面 60 t には、外部（図 1 3 に示す例では電位供給部 P S 1）から電源電位 V D 1 が供給可能な端子 P D 1 4 が配置されている。半導体部品 60 には、外部から電源電位 V D 3 が供給可能な配線経路 L v d 3 が接続されている。半導体部品 60 の端子 P D 1 4 は、インタポーザ 40 A を介さず、かつ、パン
10 プ電極 B P 1 4 を介して配線基板 10 と電氣的に接続される。電源電位 V D 3 は、例えば、半導体部品 60 のメモリ回路 S M E 1、あるいは半導体部品 60 の内部インタフェース回路 S I F 4、あるいはこれらの両方を駆動する駆動電源用の電位である。図 1 4 に示すように、インタポーザ 40 A を介さずに、配線基板 10 から直接的に電源電位 V D 3 を供給することで、配線経路 L v d 3 のインピーダンスを低減することができるので、電源電位 V D 3 を安定化させることができる。

【 0 1 4 9 】

また、図 1 4 に示す例では、主面 20 t において、半導体部品 60 の端子 P D 1 2 は、端子 P D 1 4 と端子 P D 1 3 の間に配置されている。半導体部品 60 に接地電位 V G 1 を供給する端子 P D 1 2 が端子 P D 1 3 の近くに配置されている場合、端子 P D 1 2 を經由
20 して端子 P D 1 3 に接地電位 V G 1 を供給する際に接地電位 V G 1 の供給経路距離が短くなる。これにより、配線経路 L v g 5 の電位を安定させることができる。

【 0 1 5 0 】

図 1 3 に示す半導体装置 P K G 3 は、上記した相違点以外は図 1 ~ 図 1 1 を用いて説明した半導体装置 P K G 1 と同様である。また、図 1 3 に示す半導体部品 30 B は、上記した相違点を除き、図 1 ~ 図 1 1 を用いて説明した半導体部品 30 と同様である。また、図 1 3 に示すインタポーザ 40 A は、上記した相違点を除き、図 1 ~ 図 1 1 を用いて説明したインタポーザ 40 と同様である。このため、上記相違点以外は、上記半導体部品 30 を半導体部品 30 A に、インタポーザ 40 をインタポーザ 40 A に、上記半導体装置 P K G 1 を半導体装置 P K G 3 に、それぞれ置き換えて適用可能なので、重複する説明は省略す
30 る。

【 0 1 5 1 】

< 変形例 3 >

また、図 1 に対する変形例として、信号伝送経路 L s g 2 の配線経路距離をさらに短くしても良い。図 1 5 は、図 1 に示すインタポーザの周辺を拡大して示す説明図である。図 1 6 は、図 1 5 に対する変形例であるインタポーザの周辺を拡大して示す説明図である。

【 0 1 5 2 】

図 1 5 に示すように、半導体部品 20 の端子 P D 2 と半導体部品 30 の端子 P D 3 との離間距離 D 1 は、半導体部品 20 の端子 P D 2 と端子 P D 4 との離間距離 D 2 以上である。半導体部品 20 の端子 P D 2 と半導体部品 30 の端子 P D 3 との離間距離 D 1 を長くす
40 れば、信号伝送経路 L s g 2 を構成する配線を引き回すスペースを増大させることができる。

【 0 1 5 3 】

一方、図 1 6 に示す半導体装置 P K G 4 の場合、半導体部品 20 の端子 P D 2 と半導体部品 30 の端子 P D 3 との離間距離 D 1 は、半導体部品 20 の端子 P D 2 と端子 P D 4 との離間距離 D 2 より小さい。言い換えれば、図 1 6 に示す半導体装置 P K G 4 が有するインタポーザ 40 B の信号伝送経路 L s g 2 の伝送経路距離は、図 1 5 に示す半導体装置 P K G 1 が有するインタポーザ 40 の信号伝送経路 L s g 2 の伝送経路距離より短い。そして、パラレル通信方式で信号が伝送される信号伝送経路 L s g 2 の伝送距離を短くすることで、スキューによる同期の問題、伝送損失増加の問題、あるいはクロストークノイズの
50

問題などを抑制できる。

【0154】

図16に示す半導体装置PKG4は、上記した相違点以外は図1～図11を用いて説明した半導体装置PKG1と同様である。また、図16に示すインタポーザ40Bは、上記した相違点を除き、図1～図11を用いて説明したインタポーザ40と同様である。このため、上記相違点以外は、インタポーザ40をインタポーザ40Bに、上記半導体装置PKG1を半導体装置PKG4に、それぞれ置き換えて適用可能なので、重複する説明は省略する。

【0155】

<変形例4>

また、図5に示す例では、インタポーザ40の下面40bと配線基板10の上面10tの間に隙間があり、この隙間に樹脂体55が配置されている実施態様について説明した。しかし、インタポーザ40の厚さ、あるいはバンプ電極53の高さによっては、半導体部品20と配線基板10との隙間にインタポーザ40の一部分を配置することが難しい場合もある。その場合には、図17に示す半導体装置PKG5のように、配線基板10の上面10t側の一部分に、キャビティ(開口部、段差部)10cが設けられ、キャビティ10c内にインタポーザ40Cの一部分が配置されていても良い。図17は、図5に対する変形例である半導体装置の半導体部品とインタポーザとの接続部分の周辺を示す拡大断面図である。

【0156】

図17に示す半導体装置PKG5は、配線基板10Aの上面10t側の一部にキャビティ10cが形成されている点で、図5に示す半導体装置PKG1と相違する。また、図17に示すインタポーザ40Cが有する半導体基板44の厚さは、図5に示すインタポーザ40が有する半導体基板44の厚さより厚い。この場合、インタポーザ40Cの強度は、インタポーザ40の強度より高い。このため、インタポーザ40Cの厚さおよびバンプ電極53の高さの合計値は配線基板10の上面10tと半導体部品20の主面20tとの離間距離より大きい。しかし、配線基板10Aのように、キャビティ10cが設けられていれば、インタポーザ40Cの一部分(少なくとも下面40bを含む一部分)をキャビティ10c内に配置することで、インタポーザ40Cと半導体部品20とを接続することができる。

【0157】

図17に示すようにインタポーザ40Cの厚さおよびバンプ電極53の高さの合計値が、配線基板10の上面10tと半導体部品20の主面20tとの離間距離より大きくなる要因は、半導体基板44の厚さには限定されない。例えばインタポーザ40の配線層数が増加したことにより、インタポーザ40の厚さが厚くなる場合もある。また例えば、バンプ電極53の高さが図5に示す例より高くなる場合もある。また、配線基板10の上面10tと半導体部品20の主面20tとの離間距離が図5に示す例より小さくなった場合にも、インタポーザ40の厚さおよびバンプ電極53の高さの合計値が、配線基板10の上面10tと半導体部品20の主面20tとの離間距離より大きくなる。これらの場合のいずれにおいても、図17に示す半導体装置PKG5と同様に、配線基板10Aの上面10t側の一部にキャビティ10cが設けられていれば、インタポーザ40の一部分が配線基板10と半導体部品20の間に配置された構造にすることができる。

【0158】

なお、図17は、図5に対する変形例として説明したが、図6に示す半導体部品30との関係においても同様である。すなわち、本変形例において、半導体部品20として説明した部分を半導体部品30と読み替えて適用すれば良い。

【0159】

また、図17に示す半導体装置PKG5は、上記した相違点以外は図1～図11を用いて説明した半導体装置PKG1と同様である。また、図17に示すインタポーザ40Cは、上記した相違点を除き、図1～図11を用いて説明したインタポーザ40と同様である

10

20

30

40

50

。このため、上記相違点以外は、インタポーザ 40 をインタポーザ 40 C に、上記半導体装置 P K G 1 を半導体装置 P K G 5 に、それぞれ置き換えて適用可能なので、重複する説明は省略する。

【 0 1 6 0 】

< 変形例 5 >

図 5 および図 6 に示す例では、インタポーザ 40 の下面 40 b には端子や電極などは、設けられていない。インタポーザ 40 の端子は全て上面 40 t 側に配置されている。しかし、図 5 および図 6 に対する変形例として、図 18 に示す半導体装置 P K G 6 が有するインタポーザ 40 D のように、下面 40 b 側に端子 47 を設けても良い。図 18 は、図 5 に対する他の変形例である半導体装置の半導体部品とインタポーザとの接続部分の周辺を示す拡大断面図である。

10

【 0 1 6 1 】

インタポーザ 40 D は、半導体基板 44 を厚さ方向（主面 44 t および下面 40 b のうち、一方の面から他方の面に向かう方向）に貫通する複数の貫通電極 48 を備えている。複数の貫通電極 48 は、半導体基板 44 を厚さ方向に貫通するように形成された貫通孔に例えば銅（Cu）などの導体を埋め込むことにより形成された導電経路である。貫通電極 48 は、一方の端部が下面 40 b に形成された端子 47 に接続され、他方の端部が配線層 M3 の配線 43 に接続されている。インタポーザ 40 D の場合、下面 40 b に配置された端子、47 および端子 47 に接続されるパンプ電極 54 を介して、例えば図 1 に示す電源電位 V D1、V D2、あるいは接地電位 V G1 などを供給することができる。この場合、端子 47 を介して供給される電源電位 V D1、V D2、あるいは接地電位 V G1 を安定化させることができる。パンプ電極 54 は、例えば図 11 を用いて説明した半田ボール、あるいは図 10 を用いて説明した導体柱である。

20

【 0 1 6 2 】

ただし、この場合であっても、図 1 に示す信号伝送経路 L s g 1 は、端子 P D1 に接続される。すなわち、インタポーザ 40 D を介さずに、半導体部品 20 に接続されていることが好ましい。シリアル通信方式を利用して高速（高周波）で信号 S G1 を伝送する信号伝送経路 L s g 1 がインタポーザ 40 D を経由せず、パンプ電極 B P1 を介して配線基板 10 に接続されていれば、高速伝送経路の信号損失を低減できる。

30

【 0 1 6 3 】

なお、図 18 は、図 5 に対する変形例として説明したが、図 6 に示す半導体部品 30 との関係においても同様である。すなわち、本変形例において、半導体部品 20 として説明した部分を半導体部品 30 と読み替えて適用すれば良い。

【 0 1 6 4 】

また、図 18 に示す半導体装置 P K G 6 は、上記した相違点以外は図 1 ~ 図 11 を用いて説明した半導体装置 P K G 1 と同様である。また、図 18 に示すインタポーザ 40 D は、上記した相違点を除き、図 1 ~ 図 11 を用いて説明したインタポーザ 40 と同様である。このため、上記相違点以外は、インタポーザ 40 をインタポーザ 40 D に、上記半導体装置 P K G 1 を半導体装置 P K G 6 に、それぞれ置き換えて適用可能なので、重複する説明は省略する。

40

【 0 1 6 5 】

< 変形例 6 >

また、インタポーザの下面側に端子が設けられている実施態様には、図 18 を用いて説明したインタポーザ 40 D の他の変形例がある。図 19 は、図 5 に対する他の変形例である半導体装置の半導体部品とインタポーザとの接続部分の周辺を示す拡大断面図である。

【 0 1 6 6 】

図 19 に示半導体装置 P K G 7 が有するインタポーザ 40 E は、積層された複数の配線層を備える、所謂、多層配線基板である。図 19 に示す例では、インタポーザ 40 E は上面 40 t 側から順に、配線層 M1、M2、M3、M4、および配線層 M5 の合計 5 層の配線層を備える。複数の配線層のそれぞれは、配線 43 などの導体パターンを有し、隣り合

50

う導体パターンは、絶縁層45により覆われている。ただし、インタポーザ40Eが備える配線層の数は、図4に示す例に限定されず、例えば、5層よりも少なくとも良いし、5層よりも多くても良い。また、インタポーザ40Eが備える複数の配線層は、層間導回路である、ビア配線を介して電氣的に接続されている。

【0167】

絶縁層45は、例えば熱硬化性樹脂などの有機絶縁材料から成る。あるいは、絶縁層45は、例えば二酸化珪素(SiO₂)などのガラス材料(無機絶縁材料)で形成されていても良い。無機絶縁材料で絶縁層45を形成した場合、各配線層の下地を構成する絶縁層45の平坦性を向上させることができるので、複数の配線43の配線幅を小さくしたり、複数の配線43の配置密度を配線基板10の配線13の配置密度より高くしたりできる。

10

【0168】

また、インタポーザ40Eの上面40tには、複数のボンディングパッド41が形成されている。図19では図示を省略するが、インタポーザ40の上面40tには、図6および図9を用いて説明したボンディングパッド42も形成されている。そして、複数のボンディングパッド41(およびボンディングパッド42)のそれぞれは、バンプ電極53を介して半導体部品20と電氣的に接続されている。また、インタポーザ40Eの下面40bには、複数の端子47が形成されている。そして、複数の端子47のそれぞれは、バンプ電極54を介して配線基板10と電氣的に接続されている。ボンディングパッド41(およびボンディングパッド42)と端子47とは、インタポーザ40Eの複数の配線層を介して互いに電氣的に接続されている。つまり、半導体装置PKG7は、配線基板10と半導体部品20とが、インタポーザ40Eを介して電氣的に接続される配線経路を有している。

20

【0169】

インタポーザ40Eの場合、下面40bに配置された端子、47および端子47に接続されるバンプ電極54を介して、例えば図1に示す電源電位VD1、VD2、あるいは接地電位VG1などを供給することができる。この場合、端子47を介して供給される電源電位VD1、VD2、あるいは接地電位VG1を安定化させることができる。

【0170】

ただし、上記した変形例5と同様に、図1に示す信号伝送経路Lsg1は、端子PD1に接続される。すなわち、インタポーザ40Dを介さずに、半導体部品20に接続されていることが好ましい。シリアル通信方式を利用して高速(高周波)で信号SG1を送送する信号伝送経路Lsg1がインタポーザ40Dを経由せず、バンプ電極BP1を介して配線基板10に接続されていれば、高速伝送経路の信号損失を低減できる。

30

【0171】

また、図示は省略するが、図19に示す半導体装置PKG7に対しては、種々の変形例がある。例えば、図19に示す複数の配線層の間に、例えば、ガラス繊維などの繊維材にエポキシ樹脂などの樹脂材を含浸させた絶縁材料から成るコア絶縁層が配置されていても良い。この場合、インタポーザ40Eの強度を向上させることができる。また、コア絶縁層が配置されている場合、ボンディングパッド41と端子47は、コア絶縁層を貫通するスルーホール配線を介して電氣的に接続される。

40

【0172】

なお、図19は、図5に対する変形例として説明したが、図6に示す半導体部品30との関係においても同様である。すなわち、本変形例において、半導体部品20として説明した部分を半導体部品30と読み替えて適用すれば良い。

【0173】

また、図19に示す半導体装置PKG7は、上記した相違点以外は図1~図11を用いて説明した半導体装置PKG1と同様である。また、図19に示すインタポーザ40Eは、上記した相違点を除き、図1~図11を用いて説明したインタポーザ40と同様である。このため、上記相違点以外は、インタポーザ40をインタポーザ40Eに、上記半導体装置PKG1を半導体装置PKG7に、それぞれ置き換えて適用可能なので、重複する説

50

明は省略する。

【 0 1 7 4 】

< 変形例 7 >

また、上記変形例 5 で説明したインタポーザ 4 0 D や上記変形例 6 で説明したインタポーザ 4 0 E のように、インタポーザの下面 4 0 b 側に端子 4 7 を配置する技術を用いれば、図 2 0 に示す半導体装置 P K G 8 のように、半導体部品 3 0 に接続される全ての配線経路がインタポーザ 4 0 F を介して接続された構造にすることができる。図 2 0 は、図 1 に対する他の変形例である半導体装置の構成例を模式的に示す説明図である。

【 0 1 7 5 】

図 2 0 に示す半導体装置 P K G 8 は、半導体部品 3 0 の複数の端子 P D 7 A および端子 P D 8 A のそれぞれが、インタポーザ 4 0 F を介して配線基板 1 0 と電氣的に接続されている点で、図 1 に示す半導体装置 P K G 1 と相違する。

10

【 0 1 7 6 】

インタポーザ 4 0 F が有する下面 4 0 b には、複数の端子 4 7 が配置されている。複数の端子 4 7 の詳細な構造は、図 1 8 を用いて説明したインタポーザ 4 0 D の構造、あるいは図 1 9 を用いて説明したインタポーザ 4 0 E の構造を適用できるので、重複する説明は省略する。

【 0 1 7 7 】

また、半導体部品 3 0 C には、外部（図 2 0 に示す例では電位供給部 P S 1 ）から接地電位 V G 1 が供給可能な端子 P D 7 A および電源電位 V D 2 が供給可能な端子 P D 8 A が配置されている。半導体部品 3 0 の端子 P D 7 A は、パンプ電極 B P 7 A を介してインタポーザ 4 0 F と電氣的に接続されている。また、端子 P D 7 A は、インタポーザ 4 0 F の端子 4 7 を介して配線基板 1 0 と電氣的に接続されている。また、半導体部品 3 0 C の端子 P D 8 A は、パンプ電極 B P 8 A を介してインタポーザ 4 0 F と電氣的に接続されている。また、端子 P D 8 A は、インタポーザ 4 0 F の端子 4 7 を介して配線基板 1 0 と電氣的に接続されている。

20

【 0 1 7 8 】

図 2 0 に示す半導体装置 P K G 8 は、上記した相違点以外は図 1 ~ 図 1 1 を用いて説明した半導体装置 P K G 1 と同様である。また、図 2 0 に示す半導体部品 3 0 C は、上記した相違点を除き、図 1 ~ 図 1 1 を用いて説明した半導体部品 3 0 と同様である。また、図 2 0 に示すインタポーザ 4 0 F は、上記した相違点を除き、図 1 ~ 図 1 1 を用いて説明したインタポーザ 4 0 と同様である。このため、上記相違点以外は、上記半導体部品 3 0 を半導体部品 3 0 C に、インタポーザ 4 0 をインタポーザ 4 0 F に、上記半導体装置 P K G 1 を半導体装置 P K G 8 に、それぞれ置き換えて適用可能なので、重複する説明は省略する。

30

【 0 1 7 9 】

< 変形例 8 >

図 2 1 は、図 1 に対する他の変形例である半導体装置の構成例を模式的に示す説明図である。図 1 では、半導体部品 2 0 と半導体部品 3 0 とを電氣的に接続する配線部材として、互いに絶縁された複数の配線を有する配線基板であるインタポーザを取り上げて説明した。半導体部品 2 0 と半導体部品 3 0 とを電氣的に接続する配線部材としては、図 2 1 に示す半導体装置 P K G 9 が有する配線部材 4 0 G のように、一方の端部が半導体部品の端子 P D 2 （または端子 P D 5 ）に接続され、他方の端部が半導体部品 3 0 の端子 P D 3 （または端子 P D 9 ）に接続された複数のワイヤ 4 0 W により構成されていても良い。この場合、複数のワイヤ 4 0 W が互いに接触することを抑制するため、複数のワイヤ 4 0 W は樹脂体（例えば図 4 に示す樹脂体 5 6 を参照）で封止されていることが好ましい。

40

【 0 1 8 0 】

< 変形例 9 >

図 2 2 は、図 1 に対する他の変形例である半導体装置の構成例を模式的に示す説明図である。また、図 2 3 は、図 2 2 に対する変形例である半導体装置の構成例を模式的に示す

50

説明図である。図 1 では、半導体部品 30 に電源電位 V_{D2} を供給可能な端子 P_{D8} と配線基板 10 とをインタポーザ 40 を介さずに接続することで、電源電位 V_{D2} を安定化させる実施態様について説明した。図 22 に示す半導体装置 P_{KG10} のように、配線基板 10B の上面 10t と下面 10b との間において、半導体部品 30 と厚さ方向に重なる位置に、コンデンサ $C1$ を配置しても良い。

【0181】

図 22 に示すコンデンサ $C1$ は、配線基板 10B の上面 10t と下面 10b との間に配置された基板内蔵型のコンデンサである。コンデンサ $C1$ の一方の電極は、配線経路 L_{vd2} に接続され、他方の電極は、配線経路 L_{vg3} に接続されている。言い換えれば、コンデンサ $C1$ は、コア回路 S_{CR1} (例えば演算処理回路) の駆動電源を供給する配線経路中に並列接続で配置されている。この場合、コンデンサ $C1$ は、配線経路 L_{vd2} に含まれるノイズ(信号)を配線経路 L_{vg3} 側にバイパスして流す、バイパスコンデンサとして機能させることができる。また、コンデンサ $C1$ は、半導体部品 30 のコア回路 S_{CR1} に流れる電流のループ(経路距離)を小さくすることで、配線経路 L_{vd2} および配線経路 L_{vg3} に含まれるインピーダンス成分の影響を低減する、デカップリングコンデンサとして機能させることができる。また、供給された電力を消費する回路の近傍に、コンデンサ $C1$ を接続することで、瞬間的に駆動電圧が降下する現象を抑制する、バッテリとして機能させることができる。

10

【0182】

また、図 22 に対する更なる変形例として、図 23 に示す半導体装置 P_{KG11} が有するコンデンサ $C1$ のように、半導体部品 30 と厚さ方向に重なる位置に配置されているコンデンサ $C1$ は、配線基板 10 の下面 10b 側に搭載された、表面実装型のコンデンサであっても良い。表面実装型のコンデンサの場合、配線基板 10 が完成した後で、コンデンサ $C1$ を実装すれば良いので、図 22 に示す基板内蔵型のコンデンサと比較して、製造工程を簡単にできる。一方、図 22 に示す基板内蔵型のコンデンサ $C1$ を用いれば、表面実装型のコンデンサと比較して、コンデンサ $C1$ とコア回路 S_{CR1} との配線経路距離を短くできる。

20

【0183】

このように、半導体部品 30 と厚さ方向に重なる位置に、コンデンサ $C1$ が配置されている半導体装置 P_{KG10} は、半導体装置 P_{KG1} と比較して、コア回路 S_{CR1} に供給される電源電位 V_{D2} をさらに安定化させることができる。

30

【0184】

また、コア回路 S_{CR1} とコンデンサ $C1$ との経路距離を短くする観点からは、図 22 に示すように、コンデンサ $C1$ は厚さ方向において、コア回路 S_{CR1} と重なっていることが特に好ましい。

【0185】

図 22 に示す半導体装置 P_{KG10} は、上記した相違点以外は図 1 ~ 図 11 を用いて説明した半導体装置 P_{KG1} と同様である。また、図 20 に示す配線基板 10B は、上記した相違点を除き、図 1 ~ 図 11 を用いて説明した配線基板 10 と同様である。このため、上記相違点以外は、上記配線基板 10 を配線基板 10B に、上記半導体装置 P_{KG1} を半導体装置 P_{KG10} に、それぞれ置き換えて適用可能なので、重複する説明は省略する。

40

【0186】

<変形例 10>

図 24 は、図 4 に対する変形例である半導体装置の構成例を模式的に示す説明図である。図 2 や図 4 では、半導体部品 20 の裏面 20b および半導体部品 30 の裏面 30b が露出する実施態様について説明した。しかし、図 24 に示す半導体装置 P_{KG12} のように、半導体部品 20 の裏面 20b および半導体部品 30 の裏面 30b に放熱板 70 が取り付けられていても良い。

【0187】

図 24 に示す例では、放熱部品 70 は金属板であって、接着材 71 を介して半導体部品

50

20の裏面20bおよび半導体部品30の裏面30bに接着固定されている。接着材71は、樹脂製の接着材であっても良いが、放熱性を向上させる観点から、樹脂材料中に金属粒子やカーボン粒子など、母材よりも熱伝導率が高い放熱材料からなる複数の粒子が含有されていることが好ましい。

【0188】

図24に示す例では、配線基板10の上面10tから半導体部品20の裏面20bまでの高さ、配線基板10の上面10tから半導体部品30の裏面30bまでの高さが同程度である。このため、半導体部品20の裏面20bおよび半導体部品30の裏面30bに放熱板70が取り付けられている。図示は省略するが、配線基板10の上面10tから半導体部品20の裏面20bまでの高さ、配線基板10の上面10tから半導体部品30の裏面30bまでの高さが異なる場合もある。この場合、少なくとも半導体部品30の裏面30bには、放熱部品70が取り付けられていることが好ましい。図1を用いて説明したように、半導体部品30はコア回路SCR1を有し、半導体部品20と比較して発熱し易い。したがって、相対的に発熱量が大きい半導体部品30に放熱部品70を取り付けることで、半導体装置PKG12の放熱性を向上させることができる。

10

【0189】

<変形例11>

図25および図26は、図11に示す半導体部品と配線基板とを電気的に接続するバンブ電極に対する変形例を示す拡大断面図である。

【0190】

20

図11に示す例では、半導体部品20の端子21と配線基板10のボンディングパッド16とが半田材料から成るバンブ電極51を介して電気的に接続され、半導体部品30の端子31と配線基板10のボンディングパッド16とが半田材料から成るバンブ電極51を介して電気的に接続されている例について説明した。バンブ電極51およびバンブ電極52の構造には、種々の変形例が適用可能である。

【0191】

例えば、図25に示すバンブ電極57のように、導体柱57Aと半田層57Bとを備えたバンブ電極57を介して端子21（または端子31）とボンディングパッド16とが電気的に接続された構造であっても良い。

【0192】

30

また、図25に示す例では、ボンディングパッド16のうちの一部が絶縁膜17に覆われた、SMD(solder mask defined)構造である実施態様を例示的に示している。しかし、図26に示す変形例のように、ボンディングパッド16が絶縁膜17(図25参照)から露出する、NSMD(non solder mask defined)構造である実施態様であっても良い。

【0193】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0194】

40

例えば、上記実施の形態で説明した技術思想の要旨を逸脱しない範囲内において、変形例同士を組み合わせる適用することができる。

【0195】

その他、上記実施の形態に記載された内容の一部を以下に記載する。

【0196】

〔付記1〕

第1面、および前記第1面の反対側に位置する第2面を備える配線基板と、
第1主面および前記第1主面の反対側に位置する第1裏面を備え、前記第1主面と前記配線基板との前記第1面とが対向した状態で前記配線基板の前記第1面上に搭載される第1半導体部品と、

50

第2主面および前記第2主面の反対側に位置する第2裏面を備え、前記第2主面と前記配線基板との前記第1面とが対向した状態で前記配線基板の前記第1面上に搭載される第2半導体部品と、

前記第1半導体部品と前記第2半導体部品とを電氣的に接続する複数の配線経路を備える第1配線部材と、

を有し、

前記第1半導体部品の前記第1主面には、前記第1配線部材を介さず、かつ、第1バンプ電極を介して前記配線基板と電氣的に接続される第1端子、および第2バンプ電極を介して前記第1配線部材と電氣的に接続される第2端子が配置され、

前記第2半導体部品の前記第2主面には、第3バンプ電極を介して前記第1配線部材と電氣的に接続される第3端子、および前記第1配線部材を介さず、かつ、第3バンプ電極を介して前記配線基板と電氣的に接続される第4端子が配置され、

前記第1バンプ電極、前記第2バンプ電極、および前記第3バンプ電極のそれぞれは、樹脂で封止されている、半導体装置。

【0197】

〔付記2〕

付記1において、

前記第2バンプ電極および前記第3バンプ電極の体積は、前記第1バンプ電極の体積より小さい、半導体装置。

【0198】

〔付記3〕

付記2において、

前記第2バンプ電極および前記第3バンプ電極は、第1の樹脂体により封止され、前記第1バンプ電極は、前記第1の樹脂体とは別の第2の樹脂体により封止されている、半導体装置。

【符号の説明】

【0199】

10, 10A, 10B 配線基板

10b 下面(面、実装面)

10c キャビティ(開口部、段差部)

10s 側面

10t 上面(面、チップ搭載面)

11 半田ボール(外部端子)

12 ランド(外部端子、半田ボール接続用パッド)

13 配線

13P 導体プレーン

14 絶縁層

14c コア層(コア材、コア絶縁層、絶縁層)

15TW スルーホール配線

15VW ビア配線

16 ボンディングパッド(基板端子、半導体部品接続用端子)

17 絶縁膜(ソルダレジスト膜)

20, 30, 30A, 30B, 30C, 60, 61 半導体部品

20b, 30b 裏面

20s1, 20s2 辺

20t, 30t, 60t 主面

21, 22, 31, 32, PD1, PD2, OD3, PD4, PD5, PD6, PD7, PD7A, PD8, PD8A, PD9, PD10, PD11, PD12, PD13, PD

14 端子(電極、部品電極、パッド)

23, 33 半導体基板(基材)

10

20

30

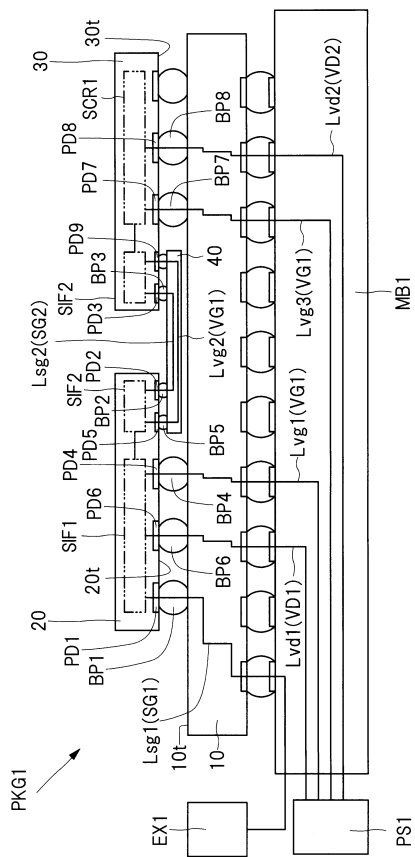
40

50

2 3 t , 3 3 t	主面	
2 4 , 3 4	配線層	
2 5 , 3 5	パッシベーション膜	
4 0 , 4 0 A , 4 0 B , 4 0 C , 4 0 D , 4 0 E , 4 0 F , 4 0 h	インタポーザ	
4 0 b	下面 (面、裏面)	
4 0 G	配線部材	
4 0 s	側面	
4 0 t	上面 (面、中継端子配置面)	
4 0 W	ワイヤ	
4 1 , 4 2	ボンディングパッド (端子、中継基板端子)	10
4 3	配線	
4 4	半導体基板 (基材)	
4 4 t	主面	
4 5	絶縁層	
4 6	パッシベーション膜	
4 7	端子	
4 8	貫通電極	
5 1 , 5 2 , 5 3 , 5 4 , B P 1 , B P 2 , B P 3 , B P 4 , B P 5 , B P 6 , B P 7 , B P 8 , B P 9 , B P 1 2 , B P 1 3 , B P 1 4 , B P h 1	バンプ電極 (導電性部材)	
5 3 A	導体柱	20
5 3 b	下面	
5 3 B	半田層	
5 3 t	上面	
5 5 , 5 6	樹脂体	
5 6 s	境界面	
7 0	放熱板	
7 0	放熱部品	
7 1	接着材	
C 1	コンデンサ	
D 1 , D 2	離間距離	30
D S n , D S p	差動信号伝送経路	
E X 1 , E X 2	外部機器	
L 1 , L 2 , L 3 , L 4 , L 5 , L 6 , L 7 , L 8 , M 1 , M 2 , M 3 , M 4 , M 5	配線層	
L s g 1 , L s g 2 , L s g 3 , L s g 4	信号伝送経路 (配線経路)	
L v d 1 , L v d 2 , L v d 3 , L v g 1 , L v g 2 , L v g 3 , L v g 4 , L v g 5	配線経路	
M B 1	実装基板 (マザーボード)	
P K G 1 , P K G 2 , P K G 3 , P K G 4 , P K G 5 , P K G 6 , P K G 7 , P K G 8 , P K G 9 , P K G 1 0 , P K G 1 1 , P K G 1 2 , P K G h 1	半導体装置	40
P S 1	電位供給部	
S C R 1	コア回路 (主回路)	
S G 1 , S G 2 , S G 3 , S G 4	信号	
S I F 1	外部インタフェース回路 (外部入出力回路)	
S I F 2 , S I F 3 , S I F 4	内部インタフェース回路 (内部入出力回路)	
S M E 1	メモリ回路 (主記憶回路、記憶回路)	
V D 1 , V D 2 , V D 3	電源電位	
V G 1	接地電位	

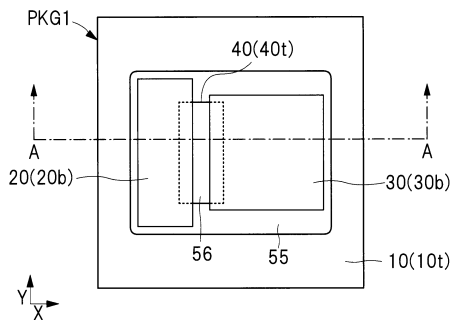
【図1】

図 1



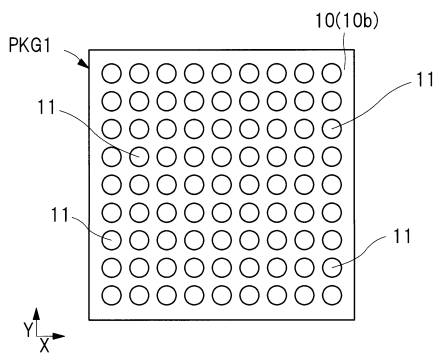
【図2】

図 2



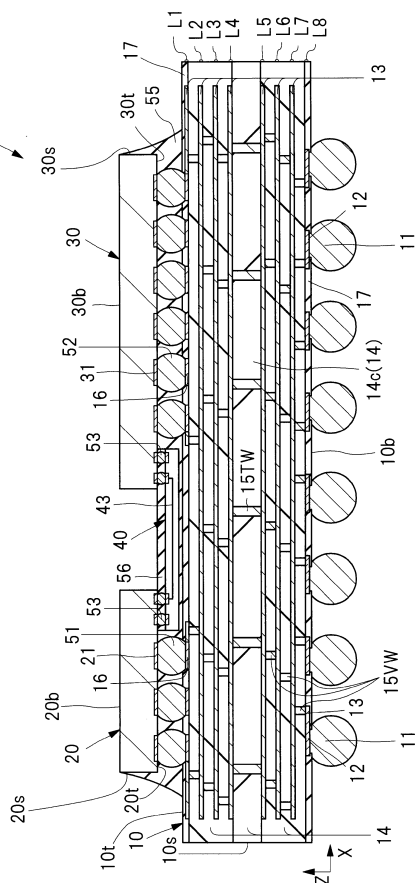
【図3】

図 3

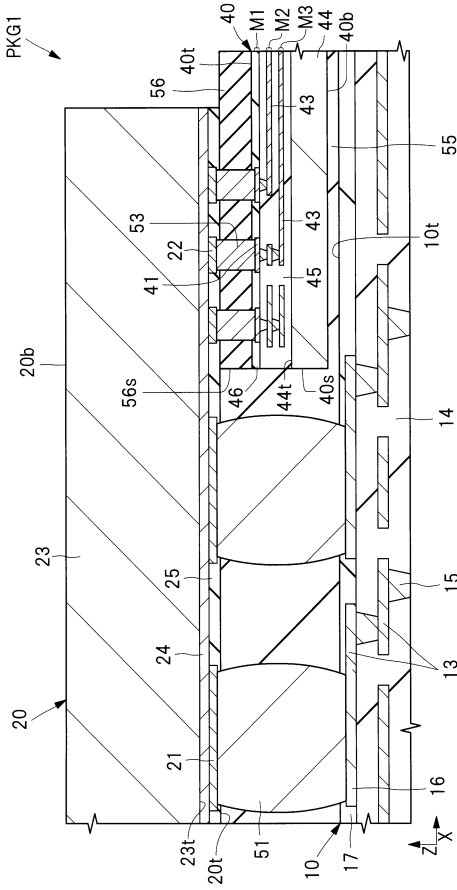


【図4】

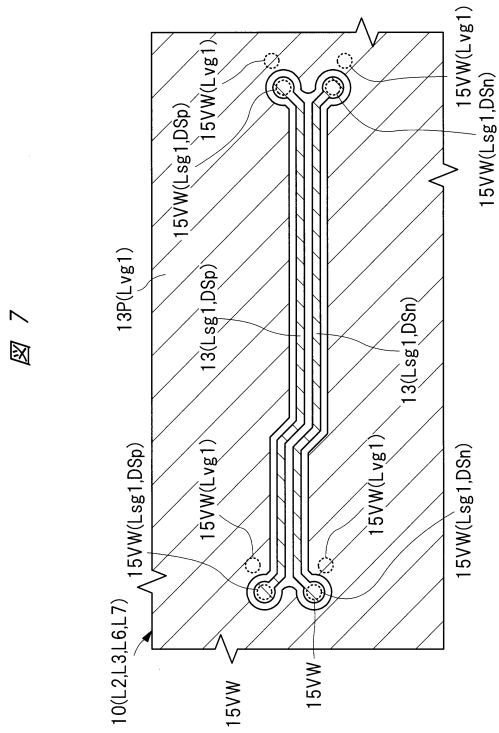
図 4



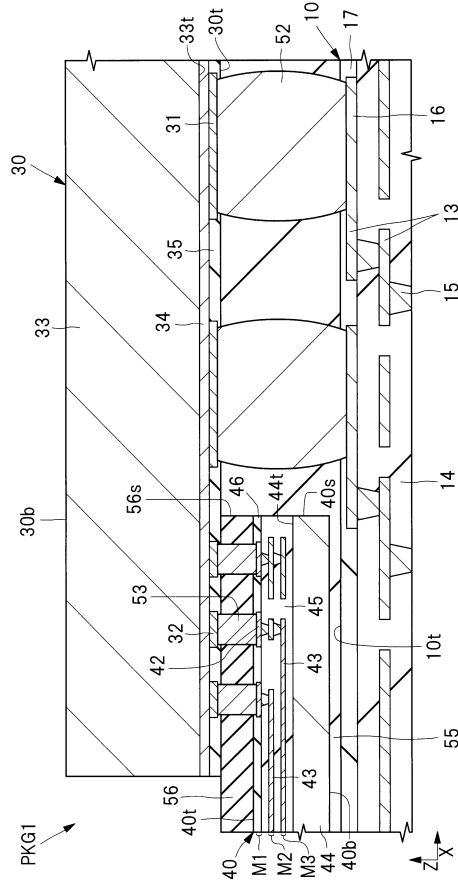
【 図 5 】



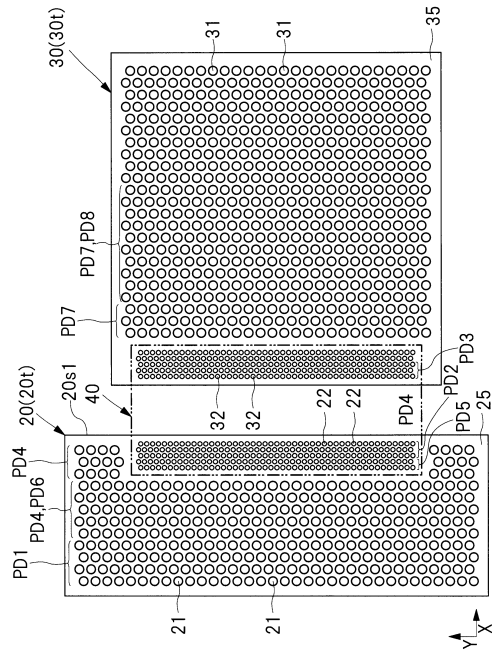
【 図 7 】



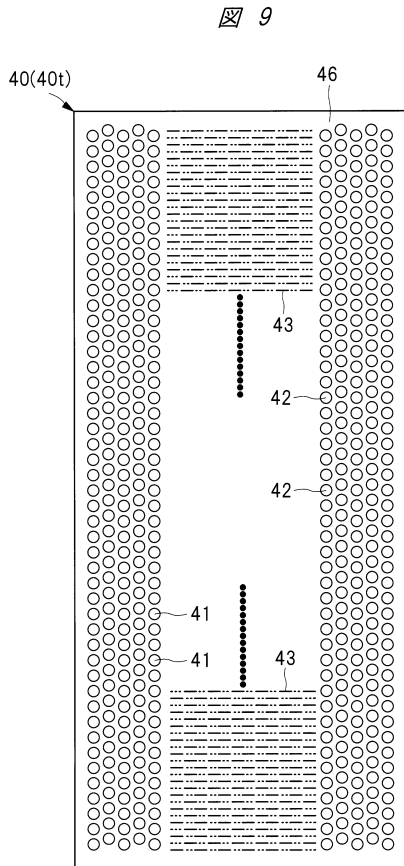
【 図 6 】



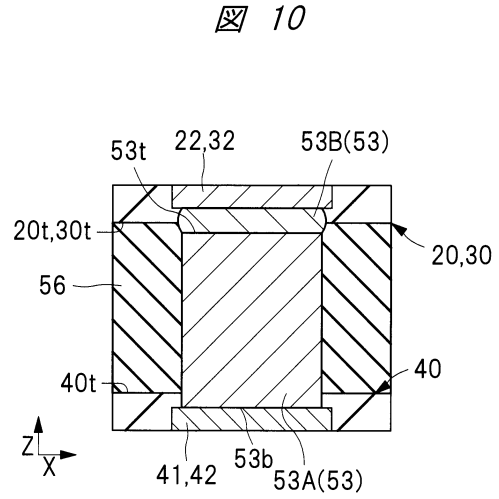
【 図 8 】



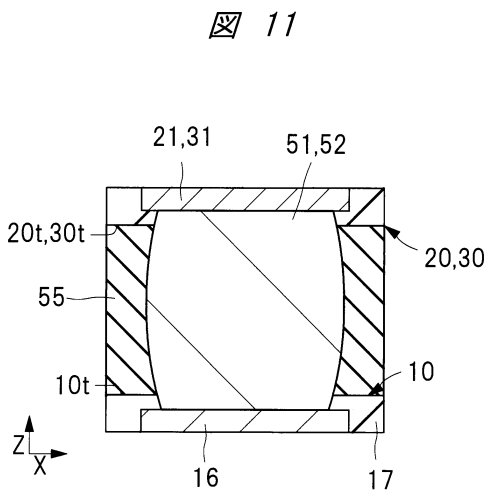
【 図 9 】



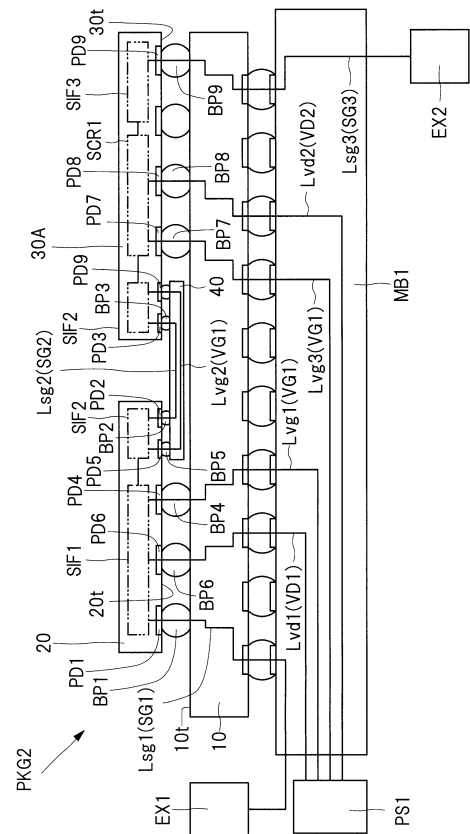
【 図 10 】



【 図 11 】

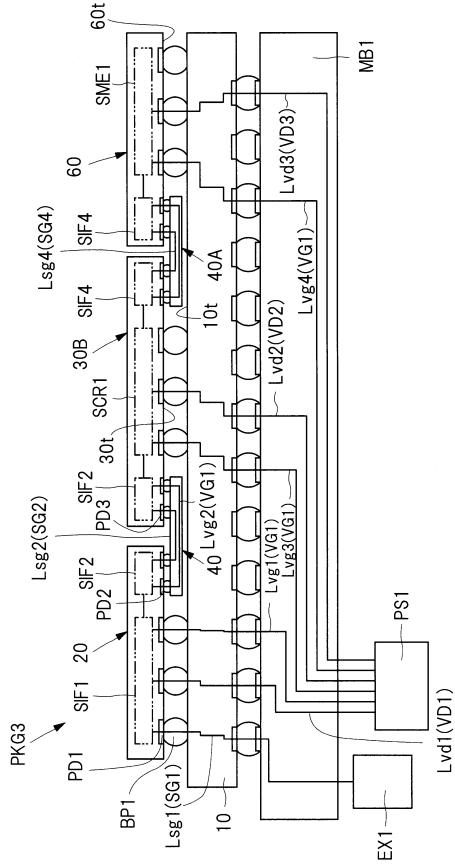


【 図 12 】



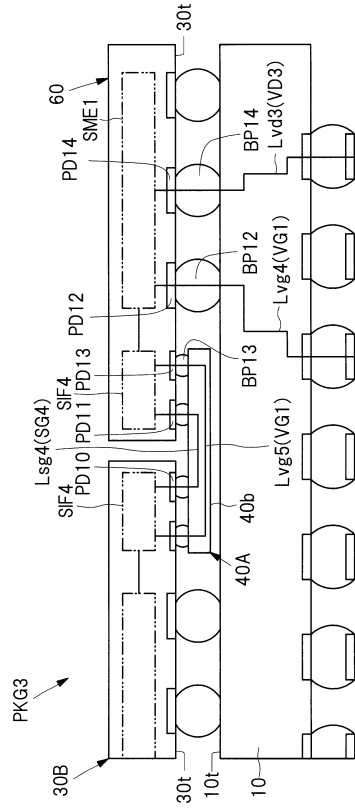
【 図 13 】

図 13



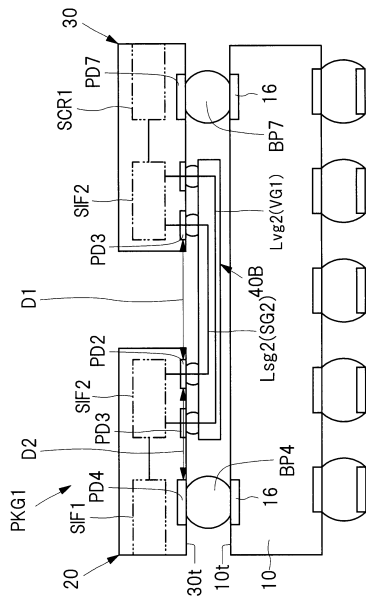
【 図 14 】

図 14



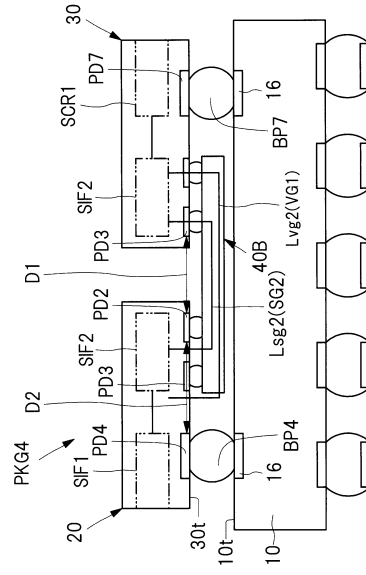
【 図 15 】

図 15



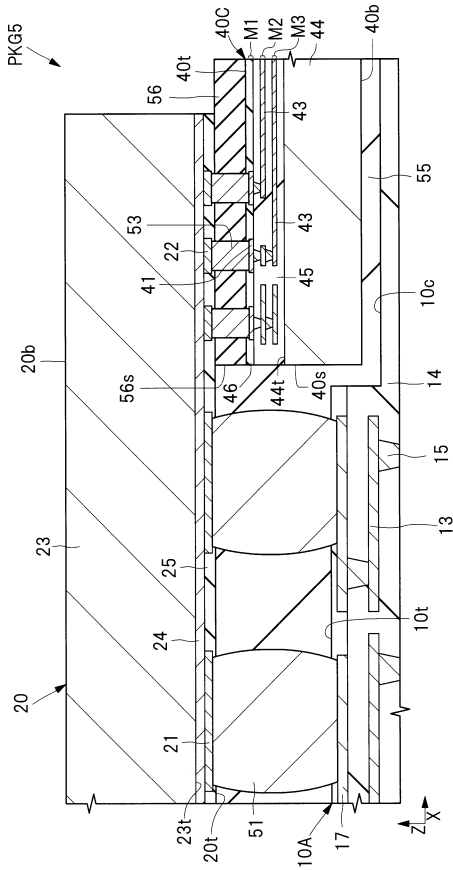
【 図 16 】

図 16



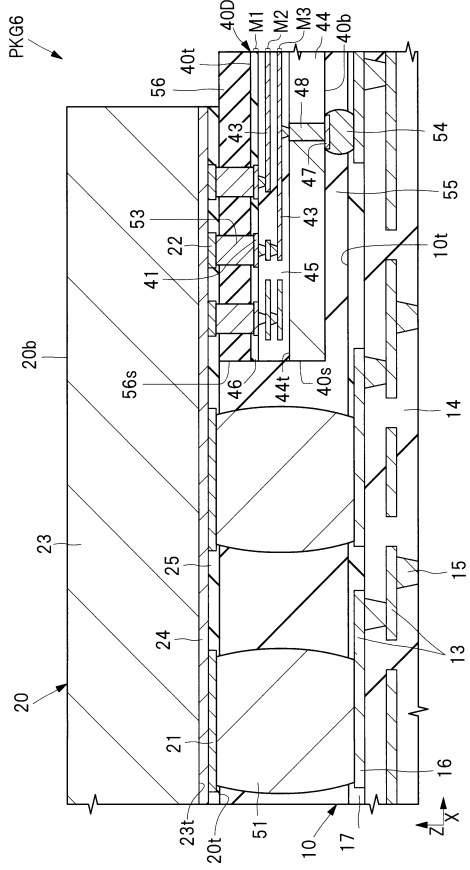
【図17】

図 17



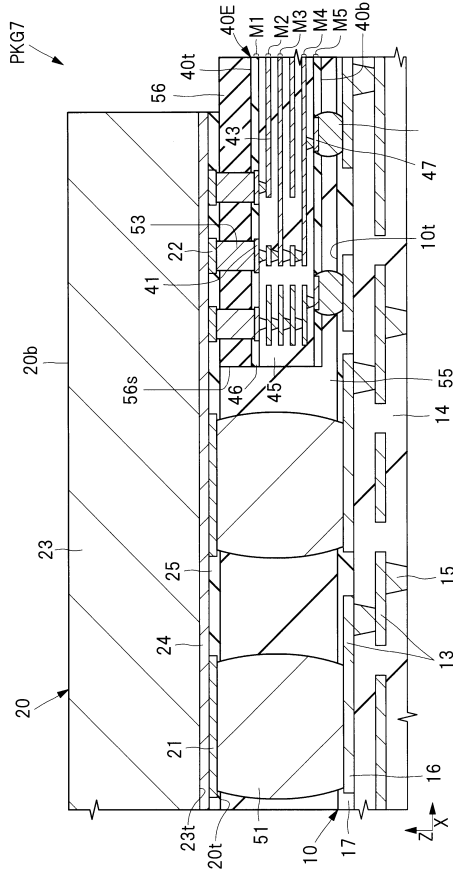
【図18】

図 18



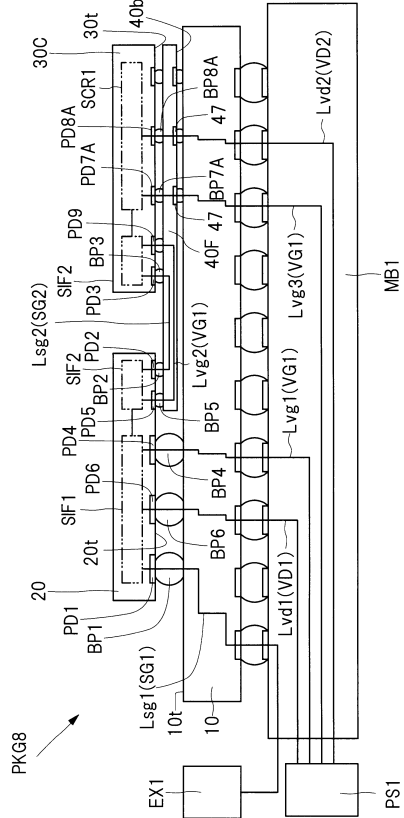
【図19】

図 19



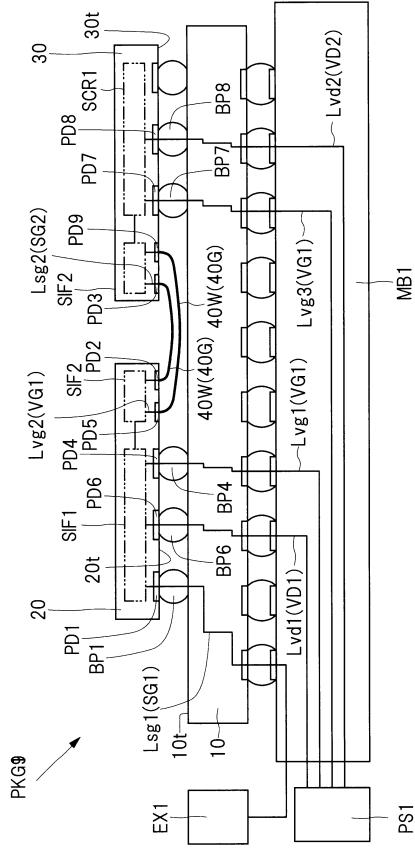
【図20】

図 20



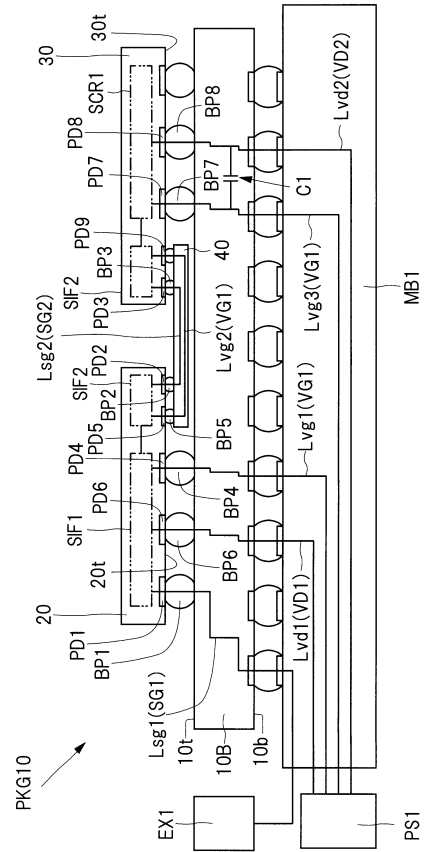
【 図 2 1 】

図 21



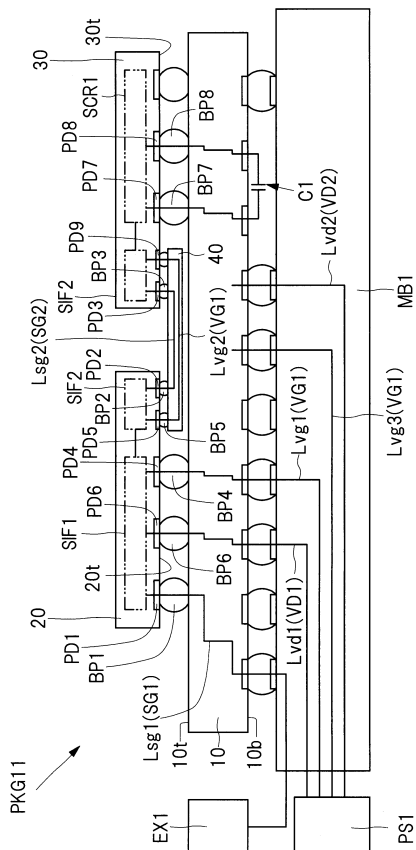
【 図 2 2 】

図 22



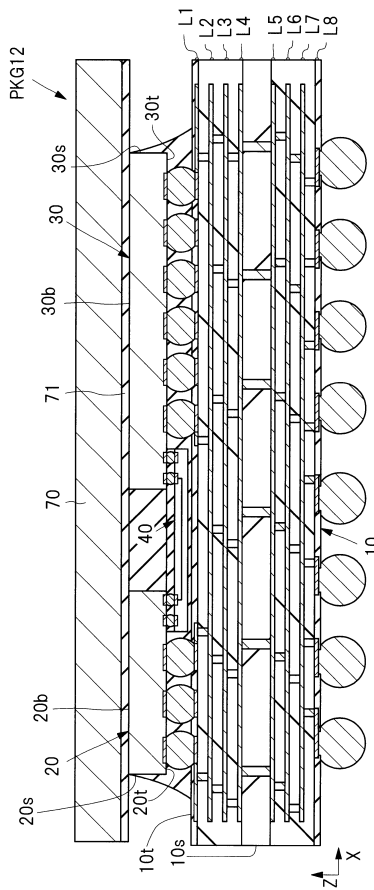
【 図 2 3 】

図 23



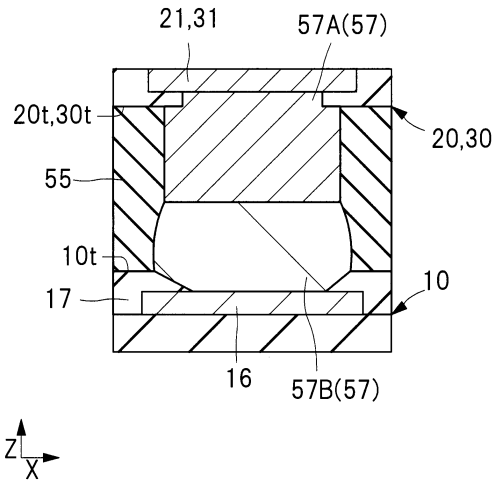
【 図 2 4 】

図 24



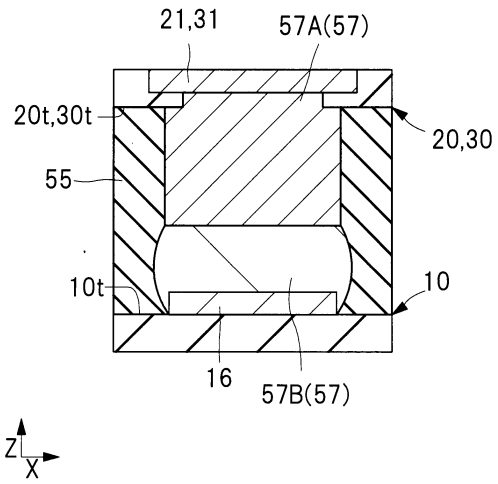
【図 25】

図 25



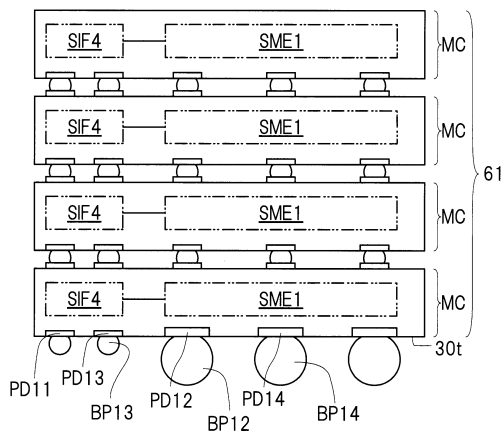
【図 26】

図 26



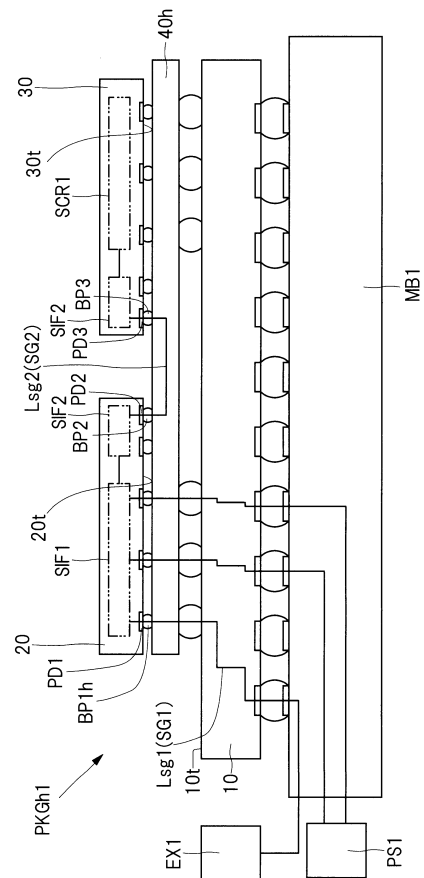
【図 27】

図 27



【図 28】

図 28



フロントページの続き

- (72)発明者 佐藤 嘉昭
東京都江東区豊洲三丁目2番24号 ルネサスエレクトロニクス株式会社内
- (72)発明者 内田 浩享
東京都江東区豊洲三丁目2番24号 ルネサスエレクトロニクス株式会社内
- (72)発明者 萱島 祐治
東京都江東区豊洲三丁目2番24号 ルネサスエレクトロニクス株式会社内
- (72)発明者 飯屋崎 修一
東京都江東区豊洲三丁目2番24号 ルネサスエレクトロニクス株式会社内
- (72)発明者 馬場 伸治
東京都江東区豊洲三丁目2番24号 ルネサスエレクトロニクス株式会社内

審査官 秋山 直人

- (56)参考文献 米国特許出願公開第2013/0193587(US, A1)
米国特許出願公開第2014/0048928(US, A1)
特開2009-43818(JP, A)
特開2008-109331(JP, A)
国際公開第2010/026990(WO, A1)
特開2009-10913(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 25/065
H01L 23/12
H01L 25/00
H01L 25/07
H01L 25/18