



(21)申請案號：102124641

(22)申請日：中華民國 102 (2013) 年 07 月 09 日

(51)Int. Cl. : **H01L21/762 (2006.01)**

(30)優先權：2012/07/09 美國 61/669,611

2013/03/08 美國 13/790,625

(71)申請人：高通公司(美國) QUALCOMM INCORPORATED (US)

美國

(72)發明人：瑞瑪強卓安 維德亞 RAMACHANDRAN, VIDHYA (IN)；古錫昆 GU, SHIQUN

(US)

(74)代理人：陳長文

(56)參考文獻：

US 2009/0309232A1

US 2010/0090318A1

US 2011/0089572A1

審查人員：古朝璟

申請專利範圍項數：19 項 圖式數：27 共 53 頁

(54)名稱

自積體電路之晶圓背面層整合基板穿孔

INTEGRATING THROUGH SUBSTRATE VIAS FROM WAFER BACKSIDE LAYERS OF INTEGRATED CIRCUITS

(57)摘要

一種半導體晶圓具有自該半導體晶圓之一背面產生之一經整合基板穿孔。該半導體晶圓包括一半導體基板及該半導體基板之一表面上之一淺溝槽隔離(STI)層襯墊。該半導體晶圓亦包括形成於一接觸蝕刻終止層上之一層間介電(ILD)層，該接觸蝕刻終止層分離該ILD層與該半導體基板之該表面上之該STI層襯墊。該半導體晶圓進一步包括一基板穿孔，該基板穿孔延伸穿過該STI層襯墊及該半導體基板以與該ILD層內之至少一觸點耦接。該基板穿孔包括一導電填充材料及一側壁隔離襯裡層。該側壁隔離襯裡層具有可能延伸至該STI層襯墊中但並未穿過該STI層襯墊的一部分。

A semiconductor wafer has an integrated through substrate via created from a backside of the semiconductor wafer. The semiconductor wafer includes a semiconductor substrate and a shallow trench isolation (STI) layer pad on a surface of the semiconductor substrate. The semiconductor wafer also includes an inter-layer dielectric (ILD) layer formed on a contact etch stop layer, separating the ILD layer from the STI layer pad on the surface of the semiconductor substrate. The semiconductor wafer further includes a through substrate via that extends through the STI layer pad and the semiconductor substrate to couple with at least one contact within the ILD layer. The through substrate via includes a conductive filler material and a sidewall isolation liner layer. The sidewall isolation liner layer has a portion that possibly extends into, but not through, the STI layer pad.

指定代表圖：

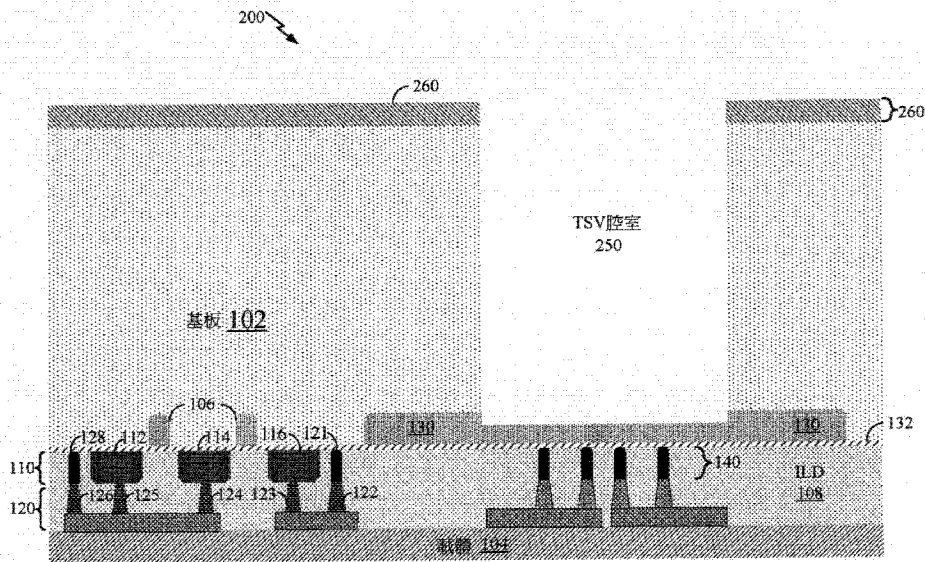


圖2

符號簡單說明：

- 102 . . . 半導體基板
- 104 . . . 載體基板
- 106 . . . 淺溝槽隔離 (STI)區域
- 108 . . . 層間介電 (ILD)層
- 110 . . . 前段工序 (FEOL)層
- 112 . . . 主動裝置
- 114 . . . 主動裝置
- 116 . . . 主動裝置
- 120 . . . 中段工序 (MOL)互連層
- 121 . . . 導電元件/互連件
- 122 . . . 導電元件/互連件
- 123 . . . 導電元件/互連件
- 124 . . . 導電元件/互連件
- 125 . . . 導電元件/互連件
- 126 . . . 導電元件/互連件
- 128 . . . 導電元件/互連件
- 130 . . . 淺溝槽隔離層襯墊
- 132 . . . 接觸蝕刻終止層
- 140 . . . 局部互連件
- 200 . . . 橫截面圖
- 250 . . . 基板穿孔 (TSV)腔室
- 260 . . . 背面隔離層

發明摘要

※ 申請案號：

107124641

※ 申請日：

102.7.9

※IPC 分類：H01L 21/162 (2006.01)

【發明名稱】

自積體電路之晶圓背面層整合基板穿孔

INTEGRATING THROUGH SUBSTRATE VIAS FROM WAFER
BACKSIDE LAYERS OF INTEGRATED CIRCUITS

【中文】

一種半導體晶圓具有自該半導體晶圓之一背面產生之一經整合基板穿孔。該半導體晶圓包括一半導體基板及該半導體基板之一表面上之一淺溝槽隔離(STI)層襯墊。該半導體晶圓亦包括形成於一接觸蝕刻終止層上之一層間介電(ILD)層，該接觸蝕刻終止層分離該ILD層與該半導體基板之該表面上之該STI層襯墊。該半導體晶圓進一步包括一基板穿孔，該基板穿孔延伸穿過該STI層襯墊及該半導體基板以與該ILD層內之至少一觸點耦接。該基板穿孔包括一導電填充材料及一側壁隔離襯裡層。該側壁隔離襯裡層有可能延伸至該STI層襯墊中但並未穿過該STI層襯墊的一部分。

【英文】

A semiconductor wafer has an integrated through substrate via created from a backside of the semiconductor wafer. The semiconductor wafer includes a semiconductor substrate and a shallow trench isolation (STI) layer pad on a surface of the semiconductor substrate. The semiconductor wafer also includes an inter-layer dielectric (ILD) layer formed on a contact etch stop layer, separating the ILD layer from the STI layer pad on the surface of the semiconductor substrate. The semiconductor wafer further includes a through substrate via that extends through the STI layer pad and the semiconductor substrate to couple with at least one contact within the ILD layer. The through substrate via includes a conductive filler material and a sidewall isolation liner layer. The sidewall isolation liner layer has a portion that possibly extends into, but not through, the STI layer pad.

【代表圖】

【本案指定代表圖】：第（2）圖。

【本代表圖之符號簡單說明】：

102	半導體基板
104	載體基板
106	淺溝槽隔離(STI)區域
108	層間介電(ILD)層
110	前段工序(FEOL)層
112	主動裝置
114	主動裝置
116	主動裝置
120	中段工序(MOL)互連層
121	導電元件/互連件
122	導電元件/互連件
123	導電元件/互連件
124	導電元件/互連件
125	導電元件/互連件
126	導電元件/互連件
128	導電元件/互連件
130	淺溝槽隔離層襯墊
132	接觸蝕刻終止層
140	局部互連件
200	橫截面圖
250	基板穿孔(TSV)腔室
260	背面隔離層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

(無)

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

自積體電路之晶圓背面層整合基板穿孔

INTEGRATING THROUGH SUBSTRATE VIAS FROM WAFER
BACKSIDE LAYERS OF INTEGRATED CIRCUITS

本申請案主張2012年7月9日以V. Ramachandran等人的名義申請的美國臨時專利申請案第61/669,611號之權益，本案之揭示內容明確地以引用的方式全文併入本文中。

【技術領域】

本發明大體而言係關於積體電路(IC)。更具體而言，本發明係關於將自晶圓背面產生之基板穿孔(TSV)整合至進階互補金屬氧化物半導體(CMOS)節點中。

【先前技術】

積體電路(IC)之半導體製造的處理流程可能包括前段工序(FEOL)製程、中段工序(MOL)製程及後段工序(BEOL)製程。FEOL製程可能包括晶圓製備、隔離、井形成、閘極圖案化、間隔物、延伸及源極/汲極植入、矽化物形成及雙重應力襯裡形成。MOL製程可能包括閘極觸點形成。中段工序層可包括(但不限於)緊鄰半導體裝置電晶體或其他類似主動裝置的MOL觸點、通孔或其他層。BEOL製程可包括用於互連在FEOL及MOL製程期間產生之半導體裝置的一系列晶圓處理步驟。現代半導體晶片產品的成功製造涉及材料與所採用製程之間的相互作用。

TSV(基板穿孔)大體上用於接取積體電路(IC)裝置之正面上的主動裝置。TSV與MOL組件(例如，MOL觸點及通孔)在相同的層級下共

存。然而，TSV製造呈現節點大小按比例調整低於四十五(45)奈米(nm)的各種挑戰。MOL裝置特徵為大約十(10)奈米(nm)；然而，TSV為大約幾毫米(μm)。因此，TSV製造製程的小變化可損壞MOL裝置。

【發明內容】

根據本發明之一個態樣，描述一種半導體晶圓，其具有自半導體晶圓之背面產生的經整合基板穿孔。半導體晶圓包括半導體基板及在該半導體基板之表面上之淺溝槽隔離(STI)層襯墊。半導體晶圓亦包括形成於接觸蝕刻終止層上之層間介電(ILD)層，該接觸蝕刻終止層分離該ILD層與半導體基板之表面上之STI層襯墊。半導體晶圓進一步包括基板穿孔，其延伸穿過STI層襯墊及半導體基板以與ILD層內之至少一觸點耦接。基板穿孔包括導電填充材料及側壁隔離襯裡層。側壁隔離襯裡層具有可能延伸至STI層襯墊中但並未穿過STI層襯墊的一部分。

根據本發明之另一態樣，描述一種用於將來自晶圓背面之基板穿孔(TSV)整合至進階CMOS(互補金屬氧化物半導體)節點中的方法。該方法包括將基板穿孔(TSV)腔室蝕刻至半導體基板中。TSV腔室可延伸至半導體基板內之淺溝槽隔離(STI)層襯墊。該方法亦包括蝕刻穿過STI層襯墊至互連件/觸點上之膜。該方法進一步包括將隔離襯裡層沈積於TSV腔室內。隔離襯裡層可包括不同於互連件/觸點上之膜之材料的材料。該方法亦包括蝕刻穿過互連件/觸點上之膜及隔離襯裡層之一部分以曝露互連件/觸點。

根據本發明之另一態樣，描述一種半導體晶圓，其具有自半導體晶圓之背面產生的經整合基板穿孔。半導體晶圓包括半導體基板及在該半導體基板之表面上之淺溝槽隔離(STI)層襯墊。半導體晶圓亦包括形成於接觸蝕刻終止層上之層間介電(ILD)層，接觸蝕刻終止層分離該ILD層與半導體基板之表面上之STI層襯墊。半導體晶圓進一

步包括用於傳導穿過基板的構件。該傳導構件延伸穿過STI層襯墊及半導體基板以與ILD層內之至少一觸點耦接。傳導構件可能包括用於隔離傳導構件之側壁之構件。隔離構件具有可能延伸至STI層襯墊中但並未穿過STI層襯墊的一部分。

以上內容已相當概括性地概述本發明之特徵及技術優點，以便可較佳地理解以下【實施方式】。在下文描述本發明之額外特徵及優點。熟習此項技術者應瞭解，本發明可容易用作修改或設計用於進行本發明之相同目的之其他結構的基礎。熟習此項技術者亦應認識到，此類等效構造不脫離如隨附申請專利範圍中所闡述的本發明之教示。當結合附圖考慮時，將自以下描述較佳地理解新穎特徵(該等新穎特徵經咸信為本發明之特性(關於其組織及操作方法兩者))連同其他目標及優點。然而，應明確理解，該等圖中之每一者僅出於說明及描述目的而提供且並不意欲界定本發明之限制。

【圖式簡單說明】

為更全面理解本發明，現參考結合附圖之以下描述。

圖1A及圖1B展示說明根據本發明之一個態樣的積體電路(IC)裝置的橫截面圖，該IC裝置包括用於中段工序層內之主動裝置的蝕刻終止層。

圖2展示說明根據本發明之一個態樣的圖1B之IC裝置的橫截面圖，該IC裝置包括背面隔離層及終止於淺溝槽隔離(STI)層襯墊內部的背面基板穿孔(TSV)腔室。

圖3展示根據本發明之一個態樣的圖2之IC裝置的橫截面圖，其說明隔離襯裡在TSV腔室內及在背面隔離層上之沈積。

圖4展示根據本發明之一個態樣的圖3之IC裝置的橫截面圖，其說明移除水平表面上之隔離襯裡膜以形成側壁襯裡。

圖5展示根據本發明之一個態樣的說明在受控選擇性蝕刻淺溝槽

隔離層以自中段工序層內的主動裝置曝露觸點及/或局部互連件之後的圖4之IC裝置的橫截面圖。

圖6展示根據本發明之一個態樣的說明在TSV障壁晶種製程之後的圖5之IC裝置的橫截面圖。

圖7展示根據本發明之一個態樣的說明在用以形成背面TSV之電化學沈積及銅化學機械拋光(CMP)製程之後的圖6之IC裝置的橫截面圖。

圖8展示根據本發明之一個態樣的說明圖6之IC裝置的橫截面圖，其說明在障壁晶種層上形成抗蝕劑作為可選重分佈層(RDL)製程的部分。

圖9展示根據本發明之一個態樣的說明在用以形成背面TSV的電化學沈積及銅化學機械拋光(CMP)製程之後的圖8之IC裝置的橫截面圖。

圖10展示根據本發明之一個態樣的圖9之IC裝置的橫截面圖，其說明完整的背面TSV及RDL層。

圖11展示根據本發明之一個態樣的圖10之IC裝置的橫截面圖，其說明完整的背面TSV及無障壁晶種層之RDL層。

圖12為說明根據本發明之一個態樣的用於將基板穿孔(TSV)整合至進階CMOS(互補金屬氧化物半導體)節點中的方法的方塊圖。

圖13展示根據本發明之一個態樣的圖1A之IC裝置的橫截面圖，該IC裝置包括抗蝕劑以使得能夠形成終止於STI層襯墊上之背面TSV腔室。

圖14展示根據本發明之一個態樣的圖13之IC裝置的橫截面圖，該IC裝置包括終止於STI層襯墊上之背面TSV腔室。

圖15展示根據本發明之一個態樣的說明在受控選擇性蝕刻STI層襯墊以自中段工序層之主動裝置曝露觸點及/或局部互連件之後的圖

14之IC裝置的橫截面圖。

圖16展示根據本發明之一個態樣的圖15之IC裝置的橫截面圖，其說明隔離襯裡在TSV腔室內及在半導體基板之背面上的沈積。

圖17展示根據本發明之一個態樣的圖16之IC裝置的橫截面圖，其說明抗蝕劑在隔離襯裡上以保護TSV腔室內之側壁隔離襯裡。

圖18展示根據本發明之一個態樣的說明在非定向蝕刻在TSV腔室底部之隔離襯裡以自中段工序層之主動裝置曝露觸點及/或局部互連件之後的圖17之IC裝置的橫截面圖。

圖19展示根據本發明之一個態樣的圖15之IC裝置的橫截面圖，其說明隔離襯裡的沈積，該隔離襯裡填充TSV腔室且安置於半導體基板之背面上。

圖20展示根據本發明之一個態樣的圖19之IC裝置的橫截面圖，其說明在非定向蝕刻TSV腔室底部之隔離襯裡以自中段工序層之主動裝置曝露觸點及/或局部互連件之前在隔離襯裡上的抗蝕劑。

圖21展示根據本發明之一個態樣的說明在非定向蝕刻TSV腔室內之隔離襯裡以自中段工序層之主動裝置曝露觸點及/或局部互連件之後的圖20之IC裝置的橫截面圖。

圖22展示根據本發明之一個態樣的說明在TSV障壁晶種製程之後的圖21之IC裝置的橫截面圖。

圖23展示根據本發明之一個態樣的說明圖22之IC裝置的橫截面圖，其說明在障壁晶種層上形成抗蝕劑作為可選重分佈層(RDL)製程的部分。

圖24展示根據本發明之一個態樣的說明在用以形成背面TSV之電化學沈積及銅化學機械拋光(CMP)製程之後的圖23之IC裝置的橫截面圖。

圖25展示根據本發明之一個態樣的圖24之IC裝置的橫截面圖，

其說明完整的背面TSV及RDL層。

圖26展示根據本發明之一個態樣的圖25之IC裝置的橫截面圖，其說明完整的背面TSV及RDL層，包括鈍化層。

圖27為展示可有利地採用本發明之組態的無線通信系統的方塊圖。

【實施方式】

下文結合隨附圖式所闡述之【實施方式】意欲作為對各種組態之描述，且不意欲表示可實踐本文中所描述之概念的僅有組態。出於提供對各種概念之透徹理解之目的，【實施方式】包括特定細節。然而，對於熟習此項技術者而言將顯而易見，可在無此等特定細節之情況下實踐此等概念。在一些例子中，以方塊圖形式展示熟知的結構及組件以便避免混淆此類概念。如本文中所描述，使用術語「及/或」意欲表示「包含性或」，且使用術語「或」意欲表示「排他性或」。

本發明之各種態樣提供用於在積體電路(IC)中將晶圓背面基板穿孔(TSV)與中段工序層整合的技術。積體電路(IC)之半導體製造的處理流程可包括前段工序(FEOL)製程、中段工序(MOL)製程及後段工序(BEOL)製程。將理解，術語「層」包括膜，且除非另有說明，否則不應被視為指示垂直或水平厚度。根據本發明之一個態樣，自晶圓背面製造TSV以自正面裝置製造製程分離TSV製程。在一個組態中，TSV腔室內之側壁襯裡隔離層延伸至半導體晶圓之淺溝槽隔離(STI)層中。如本文中所描述，術語「半導體基板」可指代切割晶圓基板或可指代未切割晶圓的基板。類似地，術語晶圓及晶粒可互換地使用，除非此類互換將難以置信。

在一個組態中，側壁襯裡隔離層展現不同於STI層襯墊及/或MOL互連層之局部互連件(觸點)的膜的化學材料性質。此組態提供改良之選擇性而用於在不損壞MOL互連層內之任何主動裝置的情況下實現

受控蝕刻以曝露局部互連件。在側壁襯裡隔離層之化學材料性質不同於STI層襯墊的此組態中，在蝕刻穿過STI層襯墊之前沈積襯裡隔離層。在側壁襯裡隔離層之化學材料性質不同於MOL互連層之局部互連件的膜的組態中，在蝕刻STI層襯墊之後製造側壁襯裡隔離層。形成晶圓背面TSV以接觸MOL互連層之局部互連件。在另一組態中，晶圓背面TSV包括用於提供對(例如)MOL互連層之局部互連件之接取的重分佈層。

圖1A展示根據本發明之一個態樣的說明包括主動裝置112至116之積體電路(IC)裝置100的橫截面圖。代表性地，IC裝置100包括半導體基板(例如，矽晶圓)102，其具有淺溝槽隔離(STI)區域106及STI層襯墊130。層間介電(ILD)層108安置於半導體基板102之STI區域106及STI層襯墊130上。亦提供包括主動裝置(例如，電晶體)112至116之FEOL層110。亦提供MOL互連層120。ILD層108保護FEOL層110之主動裝置112至116以及MOL互連層120之導電元件(例如，通孔)121至126及互連件(觸點)121及128。在此組態中，ILD層108由氧化矽或其他類似材料形成，用於防止MOL互連層120之導電元件121至128之間的短路。在替代組態中，ILD層108為低K介電質或其他類似材料。

圖1B展示IC裝置100，該IC裝置100包括附接至ILD層108之頂部表面、與半導體基板102相對的載體基板104。在此組態中，在ILD層108與半導體基板102之間提供接觸蝕刻終止層132。接觸蝕刻終止層可為薄膜層，其用於控制濕式化學製程以自例如主動裝置層(例如，FEOL層110)曝露觸點。接觸蝕刻終止層132可由碳化矽、氮化矽或其他類似保護性材料形成。如在圖1A及圖1B中進一步說明，MOL互連層120包括形成於ILD層108內之局部互連件(觸點)140。在此組態中，可製造無TSV的IC裝置100，但該IC裝置100包括STI層襯墊130，可增加該STI層襯墊130之大小以用於提供TSV著陸區。使半導體基板102

變薄以提供在二十微米至一百五十微米之範圍中的厚度，以為蝕刻TSV腔室做準備，如在圖2中所示。

圖2展示說明圖1B之IC裝置的橫截面圖200，該IC裝置包括背面隔離層260及穿過半導體基板102之背面形成的TSV腔室250。代表性地，TSV腔室250終止於STI層襯墊130內部。在此組態中，背面隔離層260形成於半導體基板102之頂部表面上。背面隔離層260可由碳化矽、氮化矽、氧化矽或其他類似保護性材料形成。在形成背面隔離層260之後，圖案化及蝕刻TSV腔室250以與正面主動裝置對齊且終止於STI層襯墊130內部。在此組態中，TSV腔室250之大小為大約1微米(μm)至20微米(μm)。

圖3展示根據本發明之一個態樣的圖2之IC裝置的橫截面圖300，其說明隔離襯裡層370在TSV腔室250內及在背面隔離層260上的沈積。在此組態中，蝕刻及/或微影製程蝕刻穿過半導體基板102及STI層襯墊130的一部分以形成TSV腔室250。在蝕刻完成之後，襯裡隔離沈積在背面隔離層260、側壁及TSV腔室250的底部上形成隔離襯裡層370。隔離襯裡層370可由聚合物、氧化矽、氮化矽或用於形成氧化物膜之其他類似前驅體的層而形成。在例示性組態中，隔離襯裡層370可具有四分之一微米的厚度。

預期多個不同組態，其中使用定向(例如，類似間隔物)蝕刻來曝露MOL互連層之接觸膜。在圖4至圖12中所描述之本發明的態樣(其中側壁襯裡隔離層之化學材料性質不同於STI層襯墊)中，在蝕刻STI層襯墊之前製造襯裡隔離層。在涉及圖13至圖26中所示的襯裡開口微影的本發明之態樣(其中側壁襯裡隔離層之化學材料性質不同於MOL互連層之局部互連件的膜)中，在蝕刻STI層襯墊之後製造側壁襯裡隔離層。

圖4展示根據本發明之一個態樣的說明第一組態的橫截面圖

400，在該第一組態中移除隔離襯裡層370而形成側壁隔離襯裡層470。可自TSV腔室250之底部及背面隔離層260移除隔離襯裡層370。移除隔離襯裡層370使得能夠形成側壁隔離襯裡層470。在本發明之一個態樣中，側壁隔離襯裡層470展現不同於STI層襯墊130的化學材料性質。此組態實現受控定向蝕刻穿過半導體基板102，且可能蝕刻至STI層襯墊130中，但並未穿過STI層襯墊130。亦即，側壁隔離層470之不同化學材料性質實現受控的蝕刻以在未蝕刻穿過STI層襯墊130的情況下曝露STI層襯墊130。

STI層襯墊130亦可展現不同於MOL互連層120之局部互連件(觸點)140的膜的化學材料性質。此組態提供改良之選擇性而用於實現受控定向之蝕刻以曝露MOL互連層120之局部互連件140。在側壁隔離襯裡層470之化學材料性質不同於STI層襯墊130的組態中，在蝕刻STI層襯墊130之前製造側壁隔離襯裡層470。在側壁隔離襯裡層470之化學材料性質不同於MOL互連層120之局部互連件140的膜的組態中，在蝕刻STI層襯墊130之後製造側壁隔離襯裡層470(參見圖13至圖26)。此組態包括針對不能以定向方式執行材料蝕刻的情況的額外微影製程。

圖5展示根據本發明之一個態樣的說明在受控選擇性蝕刻STI層襯墊130以自MOL互連層120內之主動裝置曝露局部互連件140之後的圖4之IC裝置的橫截面圖500。如圖5中所示，定向反應式離子蝕刻(DRIE)發生在TSV腔室250之底部。在此組態中，DRIE可稱為「襯裡隔離間隔蝕刻」以曝露局部互連件140。側壁隔離襯裡層470、STI層襯墊130與接觸蝕刻終止層132之間的不同蝕刻速率實現在接觸蝕刻終止層132處終止的選擇性蝕刻，以曝露局部互連件140。

在本發明之此態樣中，STI層襯墊130與局部互連件140之膜的不同化學材料性質實現定向間隔蝕刻，該定向間隔蝕刻減輕對半導體基

板102之MOL互連層120的影響，以減少與蝕刻背面TSV相關聯的缺陷(亦即，潛在蝕刻MOL互連層120)。

圖6展示根據本發明之一個態樣的說明在用以形成障壁晶種層652之TSV障壁晶種填充製程之後的圖5之IC裝置的橫截面圖600。如圖6中所示，障壁晶種層652用填充材料內襯TSV腔室250，以為繼續形成背面TSV做準備，如圖7中所示。在一個組態中，障壁晶種層652提供凸塊下金屬化(UBM)層。

圖7展示根據本發明之一個態樣的說明在用以形成背面TSV 780的電化學沈積(ECD)及化學機械拋光(CMP)製程之後的圖6之IC裝置的橫截面圖700。代表性地，形成背面TSV 780之TSV腔室藉由選擇性受控蝕刻而預形成，該選擇性受控蝕刻在不損壞半導體基板102之MOL互連層120之導電元件、互連件及/或觸點的情況下曝露局部互連件140，如上文所論述。在此組態中，將CMP製程應用於導電填充材料(諸如，銅)以形成背面TSV 780。

圖8展示根據本發明之一個態樣的說明圖6之IC裝置的橫截面圖800，其說明在障壁晶種層652上形成抗蝕劑890作為可選重分佈層(RDL)製程的部分。抗蝕劑890可為在作為微影製程之一部分中使用以在障壁晶種層652上形成圖案化塗層的光阻劑或其他光敏材料。

圖9展示根據本發明之一個態樣的說明在用以形成背面TSV 980的電化學沈積及化學機械拋光(CMP)製程之後的圖8之IC裝置的橫截面圖900。電化學沈積及CMP製程亦形成RDL 982。RDL 982可提供對(例如)MOL互連層120之局部互連件140的接取，或可提供對TSV或其他背面組件之間的晶圓之背面的佈線，該等其他背面組件諸如導電互連件(例如，導電凸塊)或其他類似互連結構。

圖10展示根據本發明之一個態樣的圖9之IC裝置的橫截面圖1000，其說明在移除抗蝕劑之後的背面TSV 980及RDL層982。在一個

組態中，鈍化層(參見圖26)沈積於RDL 982及背面隔離層260上。

圖11展示根據本發明之一個態樣的IC裝置1100的橫截面圖，其說明完整的背面TSV 980及無障壁晶種層之RDL層982。在此組態中，背面TSV 980直接接觸MOL互連層120之局部互連件。

圖12為說明根據本發明之一個態樣的用於將基板穿孔(TSV)整合至進階CMOS(互補金屬氧化物半導體)節點中之方法1200的方塊圖。舉例而言，在區塊1210處，IC裝置基板具備淺溝槽隔離(STI)層襯墊，但不具有TSV，如在圖1B中所示。儘管本描述已提及矽基板，但亦預期其他基板材料。舉例而言，在區塊1212處，使基板變薄以為背面TSV做準備，且將IC裝置基板置放於載體上，如圖1B中所示。

舉例而言，再次參看圖12，在區塊1214處，沈積低溫氧化矽/氮化矽以提供用於基板之背面隔離層，如圖2中所示。在區塊1216處，TSV腔室經圖案化及蝕刻以終止於STI層襯墊內部。舉例而言，如圖2中所示，藉由蝕刻穿過半導體基板102且蝕刻至STI層襯墊130中但並未穿過STI層襯墊130來形成TSV腔室250。舉例而言，在區塊1218處，沈積低溫襯裡以內襯TSV腔室及背面隔離層，如圖3中所示。或者，例如，在蝕刻穿過STI層襯墊之後沈積低溫襯裡，如圖13至圖26中所示。

舉例而言，如圖4中所示，自TSV腔室250之底部及背面隔離層260移除隔離襯裡層370。移除隔離襯裡層370使得能夠形成側壁隔離襯裡層470。在本發明之一個態樣中，側壁隔離襯裡層470展現不同於MOL互連層120之STI層襯墊130及/或局部互連件140的膜的化學材料性質，以提供改良之選擇性用於實現受控蝕刻以曝露局部互連件140。

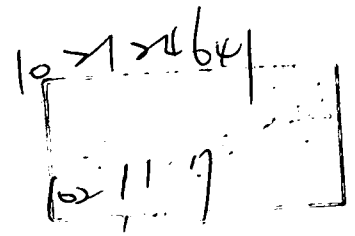
在區塊1220處，執行穿過STI層襯墊之蝕刻以自中段工序(MOL)互連層曝露觸點及/或局部互連件。舉例而言，如圖5中所示，沿著側

壁隔離襯裡層470之定向反應式離子蝕刻提供選擇性且受控之間隔蝕刻以在不損壞MOL互連層120內之主動裝置的情況下曝露局部互連件140。舉例而言，在區塊1222處，用導電材料填充TSV腔室250，如圖6至圖7中所示。儘管本描述已提及銅填充，但亦預期其他填充材料。如圖9至圖11中所示，可執行可選重分佈層(RDL)製程以提供包括RDL層之背面TSV。在區塊1224處，執行對背面TSV之化學機械拋光。或者，可執行抗蝕劑剝除/障壁晶種過度蝕刻。

在一個組態中，IC裝置1100包括用於傳導的構件，其延伸穿過淺溝槽隔離(STI)層及基板。傳導構件具有導電填充材料。在本發明之一個態樣中，傳導構件為圖7及/或圖11之背面基板穿孔780/980，其經組態以執行傳導構件所述的功能。在此組態中，IC裝置1100亦包括用於將傳導構件與基板隔離的構件，其部分地延伸至STI層襯墊中，但並未穿過STI層襯墊。在本發明之一個態樣中，隔離構件為圖4及圖11之側壁隔離襯裡層470，其經組態以執行隔離構件所述的功能。在另一態樣中，上述構件可為經組態以執行上述構件所述的功能的裝置或任何層。

圖13展示根據本發明之一個態樣的說明圖1A之IC裝置的橫截面圖1300，該IC裝置包括抗蝕劑890以使得能夠形成終止於STI層襯墊130上之背面TSV腔室。如上所述，圖13至圖26中展示涉及襯裡開口微影之本發明的態樣。本發明之此態樣包括針對不能以定向方式(諸如，根據例如圖2及圖5中所示的本發明之態樣而執行的定向蝕刻)執行材料蝕刻的情況的額外微影製程(例如，遮罩)。

圖14展示根據本發明之一個態樣的圖13之IC裝置的橫截面圖1400，該IC裝置包括終止於STI層襯墊130上之TSV腔室250。在此組態中，TSV腔室250經圖案化及蝕刻以與正面主動裝置對齊並終止於STI層襯墊130上。在此組態中，TSV腔室250之大小為大約1微米(μm)



至20微米(μm)。

圖15展示根據本發明之一個態樣的說明在受控非定向蝕刻STI層襯墊130以曝露MOL互連層120之觸點及/或局部互連件140上的膜(未展示)之後的圖14之IC裝置的橫截面圖1500。舉例而言，在本發明之此等態樣中，在蝕刻STI層襯墊130之後製造側壁襯裡隔離層，如在圖16中開始所示。

圖16展示根據本發明之一個態樣的圖15之IC裝置的橫截面圖1600，其說明隔離襯裡層370在TSV腔室250內及在半導體基板102之背面上的沈積。可執行電漿沈積以在TSV腔室250內及在半導體基板102之背面上沈積隔離襯裡層370。側壁隔離襯裡層470之化學材料性質可能不同於局部互連件140之膜以促進曝露MOL互連層120的觸點。舉例而言，在此組態中，在蝕刻STI層襯墊130之後沈積隔離襯裡層370，如圖15中所示。

圖17展示根據本發明之一個態樣的圖16之IC裝置的橫截面圖1700，其說明抗蝕劑890在隔離襯裡層370上以保護TSV腔室250內之側壁隔離襯裡層470。在本發明之此態樣中，抗蝕劑890之沈積為針對不能以定向方式執行材料蝕刻的情況的額外微影製程。舉例而言，在本發明之此態樣中，抗蝕劑890保護側壁隔離襯裡層470免受非定向蝕刻，執行該非定向蝕刻以曝露MOL互連層120之局部互連件140，如圖18中所示。

圖18展示根據本發明之一個態樣的說明在非定向蝕刻在TSV腔室250底部之隔離襯裡層370及膜(未展示)以自MOL互連層120之主動裝置曝露觸點及/或局部互連件140之後的圖17之IC裝置的橫截面圖1800。在此組態中，在TSV腔室250底部之隔離襯裡層370展現不同於MOL互連層120之局部互連件140的膜的化學材料性質。此組態提供改良之選擇性用於實現受控非定向蝕刻以曝露MOL互連層120之局部

互連件140。亦可使用濕式蝕刻來開放TSV腔室250底部之隔離襯裡層370以曝露MOL互連層120之局部互連件140。

關於圖19描述用於沈積隔離襯裡層370之替代製程。圖19展示根據本發明之一個態樣的圖15之IC裝置的橫截面圖1900，其說明隔離襯裡層370的沈積，該隔離襯裡層370填充TSV腔室250且安置於半導體基板102之背面上。在此組態中，聚合物旋塗式製程用隔離襯裡層370填充TSV腔室250。儘管關於圖19將聚合物旋塗式製程描述為填充TSV腔室，但亦可使用絕緣材料填充TSV腔室250之任何其他製程以獲得相同結果。隔離襯裡層370可由聚合物、氧化矽、氮化矽或用於形成氧化物膜的其他類似前驅體之層來形成。

圖20展示根據本發明之一個態樣的圖19之IC裝置的橫截面圖2000，其說明在隔離襯裡層370上之抗蝕劑890。代表性地，抗蝕劑890形成於半導體基板102之背面上的隔離襯裡層370的一部分上。舉例而言，可執行TSV腔室250內之隔離襯裡層370的非定向蝕刻以自MOL互連層120之主動裝置曝露觸點及/或局部互連件140，如圖21中所示。

圖21展示根據本發明之一個態樣的說明在非定向蝕刻TSV腔室250內之隔離襯裡層370之後的圖20之IC裝置的橫截面圖2100。在此組態中，隔離襯裡層370之非定向蝕刻曝露MOL互連層120之局部互連件140。此組態提供改良之選擇性而用於實現受控非定向蝕刻以曝露MOL互連層120之局部互連件140，此係歸因於隔離襯裡層370與局部互連件140的膜不同的化學材料性質。亦可使用濕式蝕刻來開放TSV腔室250內之隔離襯裡層370以曝露MOL互連層120之局部互連件140。

圖22展示根據本發明之一個態樣的在TSV障壁晶種製程之後的圖21之IC裝置的橫截面圖2200。如圖22中所示，TSV障壁晶種製程用填

充材料內襯 TSV 腔室 250，以爲繼續形成背面 TSV 做準備，如圖 23 中所示。在一個組態中，藉由 TSV 障壁晶種製程沈積之填充材料提供凸塊下金屬化(UBM)層 654。

圖 23 展示根據本發明之一個態樣的說明圖 22 之 IC 裝置的橫截面圖 2300，其描繪在 UBM 層 654 上形成抗蝕劑 890 作爲可選重分佈層 (RDL) 製程的部分。抗蝕劑 890 可爲用作微影製程的部分以在 UBM 層 654 上形成圖案化塗層的光阻劑或其他光敏材料。

圖 24 展示根據本發明之一個態樣的說明在用以形成背面 TSV 980 之電化學沈積及化學機械拋光 (CMP) 製程之後的圖 23 之 IC 裝置的橫截面圖。電化學沈積及 CMP 製程亦形成 RDL 982。RDL 982 可提供對(例如) MOL 互連層 120 之局部互連件 140 的接取。

圖 25 展示根據本發明之一個態樣的在移除抗蝕劑之後的圖 24 之 IC 裝置的橫截面圖 2500，其說明背面 TSV 980 及 RDL 層 982。此組態可類似於圖 11 中所示的組態。

圖 26 展示根據本發明之一個態樣的圖 25 之 IC 裝置的橫截面圖 2600，其說明背面 TSV 980 及 RDL 層 982，包括鈍化層 656。在此組態中，鈍化層 656 沈積於 RDL 982 及半導體基板 102 之背面上的隔離襯裡層 370 的部分上。舉例而言，根據圖 14 至圖 26 形成之背面 TSV 980 涉及額外微影製程，如圖 17 中所示。抗蝕劑 890 之沈積涉及針對不能以定向方式執行材料蝕刻的情況的額外微影遮罩。

舉例而言，在本發明之此態樣中，抗蝕劑 890 保護側壁隔離襯裡層 470 免受非定向蝕刻，執行該非定向蝕刻以曝露 MOL 互連層 120 之局部互連件 140，如圖 18 中所示。此額外微影遮罩簡化用於曝露 MOL 互連層 120 之局部互連件 140 的蝕刻製程。因爲側壁隔離襯裡層 470 受保護，所以可使用非定向蝕刻、濕式蝕刻或其他類似非定向蝕刻來曝露 MOL 互連層 120 之局部互連件 140。

圖27為展示可有利地採用本發明之組態的例示性無線通信系統2700的方塊圖。出於說明之目的，圖27展示三個遠端單元2720、2730及2750以及兩個基地台2740。應認識到，無線通信系統可具有更多個遠端單元及基地台。遠端單元2720、2730及2750包括IC裝置2725A、2725B及2725C，該等IC裝置包括所揭示的背面基板穿孔(TSV)。應認識到，含有IC之任何裝置亦可包括本文中所揭示的背面TSV，包括基地台、交換裝置及網路設備。圖27展示自基地台2740至遠端單元2720、2730及2750之前向鏈路信號2780，及自遠端單元2720、2730及2750至基地台2740之反向鏈路信號2790。

在圖27中，遠端單元2720經展示為行動電話，遠端單元2730經展示為攜帶型電腦，且遠端單元2750經展示為無線區域迴路系統中之固定位置遠端單元。舉例而言，遠端單元可為行動電話、手持型個人通信系統(PCS)單元、諸如個人資料助理之攜帶型資料單元、GPS允用裝置、導航裝置、機上盒、音樂播放器、視訊播放器、娛樂單元、諸如儀錶讀取設備之固定位置資料單元，或儲存或擷取資料或電腦指令之任何其他裝置，或其任何組合。儘管圖27說明IC裝置2725A、2725B及2725C，該等IC裝置包括所揭示的背面基板穿孔(TSV)，但本發明不限於此等例示性所說明單元。本發明之態樣可適當地用於包括背面TSV之任何裝置中。

對於韌體及/或軟體實施而言，可藉由執行本文中所描述之功能的模組(例如，程序、函式，等等)來實施該等方法。有形地體現指令之任何機器可讀媒體可用於實施本文中所描述之方法。舉例而言，軟體程式碼可儲存於記憶體中且藉由處理器單元執行。記憶體可實施於處理器單元內或處理器單元外部。本文所使用的術語「記憶體」指代長期記憶體、短期記憶體、揮發性記憶體、非揮發性記憶體或其他記憶體中之任一類型且不限於任何特定記憶體類型或記憶體數目，或指

代其上儲存記憶體之媒體類型。

儘管已詳細地描述本發明及其優點，但應理解，在不脫離如由隨附申請專利範圍所界定的本發明之技術的情況下，可在本文中進行各種改變、替代及變更。舉例而言，諸如「在……之上」及「在……之下」之關係術語係關於基板或電子裝置而使用。當然，若使基板或電子裝置顛倒，則「在……之上」變為「在……之下」，且「在……之下」變為「在……之上」。另外，若側向地定向，則「在……之上」及「在……之下」可指代基板或電子裝置之側面。此外，本申請案之範疇不意欲限於說明書中所描述之製程、機器、製造、物質組成、構件、方法及步驟之特定實施例。如一般熟習此項技術者自本發明將易於瞭解，可根據本發明而利用執行與本文中所描述之對應實施例實質上相同之功能或達成與本文中所描述之對應實施例實質上相同之結果的目前現有或稍後待開發的程序、機器、製造、物質組成、構件、方法或步驟。因此，隨附申請專利範圍意欲在其範疇內包括此類過程、機器、製造、物質組成、構件、方法或步驟。

【符號說明】

100	積體電路(IC)裝置
102	半導體基板
104	載體基板
106	淺溝槽隔離(STI)區域
108	層間介電(ILD)層
110	前段工序(FEOL)層
112	主動裝置
114	主動裝置
116	主動裝置
120	中段工序(MOL)互連層

121	導電元件/互連件
122	導電元件/互連件
123	導電元件/互連件
124	導電元件/互連件
125	導電元件/互連件
126	導電元件/互連件
128	導電元件/互連件
130	淺溝槽隔離層襯墊
132	接觸蝕刻終止層
140	局部互連件
200	橫截面圖
250	基板穿孔(TSV)腔室
260	背面隔離層
300	橫截面圖
370	隔離襯裡層
400	橫截面圖
470	側壁隔離襯裡層
500	橫截面圖
600	橫截面圖
652	障壁晶種層
654	凸塊下金屬化(UBM)層
656	鈍化層
700	橫截面圖
780	背面基板穿孔
800	橫截面圖
890	抗蝕劑

900	橫截面圖
980	背面基板穿孔
982	重分佈層(RDL)
1000	橫截面圖
1100	橫截面圖
1300	橫截面圖
1400	橫截面圖
1500	橫截面圖
1600	橫截面圖
1700	橫截面圖
1800	橫截面圖
1900	橫截面圖
2000	橫截面圖
2100	橫截面圖
2200	橫截面圖
2300	橫截面圖
2400	橫截面圖
2500	橫截面圖
2600	橫截面圖
2700	橫截面圖
2720	遠端單元
2725A	積體電路裝置
2725B	積體電路裝置
2725C	積體電路裝置
2730	遠端單元
2740	基地台

2750	遠端單元	-
2780	前向鏈路信號	-
2790	反向鏈路信號	-

申請專利範圍

1. 一種半導體裝置，其包含：
 - 一半導體基板；
 - 一淺溝槽隔離(STI)層襯墊，其在該半導體基板之一表面上；
 - 一層間介電(ILD)層，其在一接觸蝕刻終止層上，該接觸蝕刻終止層分離該ILD層與該STI層襯墊；及
 - 一基板穿孔，其具有延伸穿過該半導體基板且部分地進入但不穿過該STI層襯墊之一部分，該基板穿孔包含一導電填充材料及一側壁隔離襯裡層，該側壁隔離襯裡層具有延伸至該STI層襯墊中但並未穿過該STI層襯墊的一部分。
2. 如請求項1之半導體裝置，其中該側壁隔離襯裡層之一化學材料組合物與該ILD層內之該至少一觸點之一化學材料組合物或該STI層襯墊之一化學組合物不同。
3. 如請求項1之半導體裝置，其中該側壁隔離襯裡層包含一選自由一聚合物、一氮化矽及一氧化矽組成之群組的材料。
4. 如請求項1之半導體裝置，其進一步包含一重分佈層，該重分佈層耦接至該基板穿孔之該導電填充材料。
5. 如請求項1之半導體裝置，其併入至一音樂播放器、一視訊播放器、一娛樂單元、一導航裝置、一通信裝置、一個人數位助理(PDA)、一固定位置資料單元或一電腦中之至少一者中。
6. 一種製造一半導體基板中之一基板穿孔(TSV)的方法，其包含：
 - 將一基板穿孔(TSV)腔室蝕刻至該半導體基板中，該TSV腔室具有延伸穿過該半導體基板且部分地進入但不穿過該半導體基板內之一淺溝槽隔離(STI)層襯墊之一部分；

蝕刻穿過該STI層襯墊至一互連件/觸點上之一膜；

將一隔離襯裡層沈積於該TSV腔室內，該隔離襯裡層包含一材料，該材料不同於該互連件/觸點上之該膜之一材料；及

蝕刻穿過該互連件/觸點上之該膜及該隔離襯裡層之一部分以曝露該互連件/觸點。

7. 如請求項6之方法，其中在蝕刻穿過該STI層襯墊之前執行沈積該隔離襯裡層，以使得一側壁隔離襯裡層包括延伸至該STI層襯墊中但並未穿過該STI層襯墊的一部分。

8. 如請求項6之方法，其中蝕刻穿過該膜包含執行一定向蝕刻，該定向蝕刻使該隔離襯裡層在該TSV腔室之側壁上的至少該部分無損。

9. 如請求項8之方法，其進一步包含：

將一光阻劑沈積於該TSV腔室之側壁上之該隔離襯裡層上，在蝕刻穿過該互連件/觸點上之該膜及該隔離襯裡層之未受保護部分以曝露該互連件/觸點時該光阻劑保護該通孔腔室之側壁上之該隔離襯裡層。

10. 如請求項9之方法，其進一步包含：

在沈積該隔離襯裡層之後圖案化一開口，在蝕刻穿過該互連件/觸點上之該膜以曝露該互連件/觸點時使用該開口，

其中沈積該隔離襯裡層包含填充該TSV腔室。

11. 如請求項6之方法，其進一步包含用一導電材料填充該TSV腔室，該導電材料與該互連件/觸點電耦接。

12. 如請求項11之方法，其進一步包含在填充該TSV腔室之前圖案化一抗蝕劑以界定該TSV之一重分佈層。

13. 如請求項6之方法，其中該蝕刻穿過該膜包含執行一濕式蝕刻。

14. 如請求項6之方法，其進一步包含將該半導體基板併入至一音樂

播放器、一視訊播放器、一娛樂單元、一導航裝置、一通信裝置、一個人數位助理(PDA)、一固定位置資料單元或一電腦中之至少一者中。

15. 一種半導體裝置，其包含：

一半導體基板；

一淺溝槽隔離(STI)層襯墊，其在該半導體基板之一表面之上；

一層間介電(ILD)層，其在於一接觸蝕刻終止層上，該接觸蝕刻終止層分離該ILD層與該STI層襯墊；及

用於傳導穿過一基板的構件，該傳導構件具有延伸穿過該半導體基板且部分地進入但不穿過該STI層襯墊之一部分，該傳導構件包含一用於隔離該傳導構件之側壁的構件，該隔離構件具有延伸至該STI層襯墊中但並未穿過該STI層襯墊的一部分。

16. 如請求項15之半導體裝置，其中該隔離構件之一化學材料組合物與該ILD層內之該觸點之一化學材料組合物或該STI層襯墊之一化學組合物不同。

17. 如請求項15之半導體裝置，其中該隔離構件包含一選自由一聚合物、一氮化矽及一氧化矽組成之群組的材料。

18. 如請求項15之半導體裝置，其進一步包含一耦接至該用於傳導之構件的重分佈層。

19. 如請求項15之半導體裝置，其併入至一音樂播放器、一視訊播放器、一娛樂單元、一導航裝置、一通信裝置、一個人數位助理(PDA)、一固定位置資料單元或一電腦中之至少一者中。