



(12) 发明专利

(10) 授权公告号 CN 101976658 B

(45) 授权公告日 2015. 11. 25

(21) 申请号 201010297229. 8

US 4362766 , 1982. 12. 07,

(22) 申请日 2010. 09. 29

审查员 魏芳芳

(73) 专利权人 上海集成电路研发中心有限公司
地址 201210 上海市张江高斯路 497 号

(72) 发明人 曾绍海 张伟 李铭

(74) 专利代理机构 上海思微知识产权代理事务
所(普通合伙) 31237

代理人 郑玮

(51) Int. Cl.

H01L 23/29(2006. 01)

H01L 23/31(2006. 01)

H01L 21/56(2006. 01)

(56) 对比文件

CN 101304023 A, 2008. 11. 12,

US 5946542 A, 1999. 08. 31,

US 6218314 B1, 2001. 04. 17,

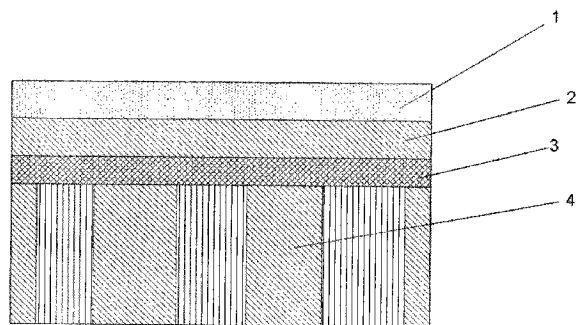
权利要求书1页 说明书4页 附图1页

(54) 发明名称

钝化层及其制造方法

(57) 摘要

本发明公开了一种钝化层及其制造方法,该钝化层包括形成于半导体基底之上、并且覆盖于半导体基底之中金属线(4)上的非晶硅层(3),以及依次形成于所述非晶硅层(3)之上的二氧化硅层(2)和氮氧化硅层(1)。该钝化层的制造方法包括以下步骤:S01在半导体基底上沉积非晶硅层(3),所述的非晶硅层(3)覆盖半导体基底及半导体基底之中的金属线(4);S02在上述的非晶硅层(3)上沉积二氧化硅层(2);S03在上述的二氧化硅层(2)上沉积氮氧化硅层(1)。本发明应用于半导体制造技术领域,可以提高半导体芯片的良品率。



1. 一种钝化层,其特征在於:包括形成於半导体基底之上、并且覆盖於半导体基底之中金属线(4)上的非晶硅层(3),以及依次形成於所述非晶硅层(3)之上的二氧化硅层(2)和氮氧化硅层(1);其中,所述的金属线(4)为铜线;以及形成在所述金属线(4)与非晶硅层(3)交界面的金属硅化物。

2. 根据权利要求1所述的钝化层,其特征在於:所述非晶硅层(3)的厚度为 $600\text{\AA} - 1400\text{\AA}$ 。

3. 根据权利要求1所述的钝化层,其特征在於:所述二氧化硅层(2)的厚度为 $3000\text{\AA} - 5000\text{\AA}$ 。

4. 根据权利要求1所述的钝化层,其特征在於:所述氮氧化硅层(1)的厚度为 $3000\text{\AA} - 5000\text{\AA}$ 。

5. 一种钝化层的制造方法,其特征在於:包括以下步骤:

S01 在半导体基底上沉积非晶硅层(3),所述的非晶硅层(3)覆盖半导体基底及半导体基底之中的金属线(4);其中,所述的金属线(4)为铜线;在所述非晶硅层(3)沉积过的过程中,所述金属线(4)与非晶硅层(3)交界面形成金属硅化物;

S02 在上述的非晶硅层(3)上沉积二氧化硅层(2);

S03 在上述的二氧化硅层(2)上沉积氮氧化硅层(1)。

6. 根据权利要求5所述的钝化层的制造方法,其特征在於:所述的非晶硅层(3)、二氧化硅层(2)和氮氧化硅层(1)均采用等离子增强化学气相沉积工艺生成。

7. 根据权利要求6所述的钝化层的制造方法,其特征在於:采用等离子增强化学气相沉积工艺生成非晶硅层(3)的工艺温度是 $330 - 370$ 摄氏度,所用气体为硅烷和氢气。

8. 根据权利要求6所述的钝化层的制造方法,其特征在於:采用等离子增强化学气相沉积工艺生成二氧化硅层(2)的工艺温度是 380 摄氏度以上、且小于 400 摄氏度或者是 420 摄氏度以下、且大于 400 摄氏度,所用气体为硅酸乙酯和一氧化二氮。

9. 根据权利要求6所述的钝化层的制造方法,其特征在於:采用等离子增强化学气相沉积工艺生成氮氧化硅层(1)的工艺温度是 380 摄氏度以上、且小于 400 摄氏度或者是 420 摄氏度以下、且大于 400 摄氏度,所用气体为硅烷和一氧化二氮。

钝化层及其制造方法

技术领域

[0001] 本发明涉及半导体芯片制造领域,具体的讲是涉及一种形成于半导体基底之上、并且覆盖半导体基底之中的金属线上的钝化层及其制造方法。

背景技术

[0002] 在半导体器件制造过程中,器件表面的钝化是关键技术之一。对半导体器件表面进行钝化可以减少器件氧化层中的各种电荷,增强半导体芯片对离子沾污的阻挡能力,保护半导体芯片内部器件的互连以及半导体芯片表面的电特性,防止半导体芯片器件受到机械损伤和化学损伤。在半导体芯片钝化层的制造过程中,常采用沉积、溅射等方法,由于各层材料的杨氏模量和热胀系数的差异,以及相应温度变化都会使薄膜内部的应力发生变化,从而使芯片内部产生空洞、裂纹或者脱落等现象,引起半导体芯片内部的结构变形或者互连导线短路或断路,造成半导体芯片性能变差或者失效,使半导体芯片的良品率降低。

[0003] 钝化层的种类和结构对于互连内部形成的应力及应力释放的快慢影响很大。在CMOS技术中,双嵌式互连线通常使用金属铜作为导电材料,CMOS器件中的金属铜互连层表面覆盖有钝化层。如图1所示,现有技术半导体芯片的钝化层一般由依次沉积在金属线30上的二氧化硅层20和氮氧化硅层10组成。所述的二氧化硅层20可用高密摄氏度等离子化学气相沉积(HDPCVD)工艺或等离子增强化学气相沉积(PECVD)工艺生成,用于缓冲氮氧化硅层10的应力。由于二氧化硅层20和氮氧化硅层10的杨氏模量和热胀系数的差异,上述工艺的二氧化硅层20和氮氧化硅层10均对金属线30施加收缩应力,使钝化层与金属线30之间的粘合性变差,甚至会把金属线30拔出,则金属线30与钝化层之间就会产生空洞、裂纹或者脱落现象,即降低了半导体芯片的良品率。

发明内容

[0004] 本发明所要解决的技术问题是,克服以上不足,提供一种可以提高半导体芯片的良品率的钝化层。

[0005] 为了解决上述技术问题,本发明的技术方案是:一种钝化层,包括形成于半导体基底之上、并且覆盖于半导体基底之中金属线的非晶硅层,以及依次形成于所述非晶硅层之上的二氧化硅层和氮氧化硅层。

[0006] 作为优选方案,所述的金属线为铜线。

[0007] 作为优选方案,所述非晶硅层的厚度为 $600\text{\AA} - 1400\text{\AA}$ 。

[0008] 作为优选方案,所述二氧化硅层的厚度为 $3000\text{\AA} - 5000\text{\AA}$ 。

[0009] 作为优选方案,所述氮氧化硅层的厚度为 $3000\text{\AA} - 5000\text{\AA}$ 。

[0010] 本发明所要解决的另一技术问题是,提供一种钝化层的制造方法。包括以下步骤:

[0011] S01 在半导体基底上沉积非晶硅层,所述的非晶硅层覆盖半导体基底及半导体基底之中的金属线;

[0012] S02 在上述的非晶硅层上沉积二氧化硅层；

[0013] S03 在上述的二氧化硅层上沉积氮氧化硅层。

[0014] 作为优选方案,在上述钝化层的制造方法中,所述的非晶硅层、二氧化硅层和氮氧化硅层均采用等离子增强化学气相沉积工艺生成。

[0015] 作为优选方案,在上述钝化层的制造方法中,采用等离子增强化学气相沉积工艺生成非晶硅层的工艺温度是 330-370 摄氏度,所用气体为硅烷和氢气。

[0016] 作为优选方案,在上述钝化层的制造方法中,采用等离子增强化学气相沉积工艺生成二氧化硅层的工艺温度是 380 摄氏度以上、且小于 400 摄氏度或者是 420 摄氏度以下、且大于 400 摄氏度,所用气体为硅酸乙酯和一氧化二氮。

[0017] 作为优选方案,在上述钝化层的制造方法中,采用等离子增强化学气相沉积工艺生成氮氧化硅层的工艺温度是 380 摄氏度以上、且小于 400 摄氏度或者是 420 摄氏度以下、且大于 400 摄氏度,所用气体为硅烷和一氧化二氮。

[0018] 采用上述技术方案后,本发明钝化层及其制造方法与现有技术相比,具有以下优点:本发明在二氧化硅层和金属线之间增加了由等离子增强化学气相沉积 (PECVD) 工艺生成的非晶硅层,非晶硅层和金属线有良好的接触,在非晶硅沉积的过程中,金属铜原子扩散到 Si 间隙中,这样在非晶硅和金属线的交界面处 Si 原子周围的原子数将多余 4 个, Si-Si 共价键所共有的电子将同时被间隙原子所共有,从而 Si-Si 共价键所共有的电子数少于 2 个,使得 Si-Si 键从饱和价键向非饱和价键转变,因此 Si-Si 的键能将由共价键向金属键转变,减弱了 Si-Si 的键能,促进了金属硅化物在交界处的低温形成;从而减缓金属线中金属原子的迁移,避免了金属线的空洞产生;同时等离子增强化学气相沉积 (PECVD) 工艺生成的二氧化硅部分抵消了氮氧化硅的收缩应力,从而避免了钝化层与金属线的剥离和空洞,进而提高了半导体芯片的良品率。

附图说明

[0019] 图 1 是现有技术钝化层结构示意图；

[0020] 图 2 是本发明钝化层结构示意图。

[0021] 现有技术:10、氮氧化硅层,20、二氧化硅层,30、金属线。

[0022] 本发明:1、氮氧化硅层,2、二氧化硅层,3、非晶硅层,4、金属线。

具体实施方式

[0023] 下面结合附图对本发明作进一步详细描述：

[0024] 图 2 中,省略了半导体芯片基底的器件层,仅以示意方式画出了金属线和钝化层的结构。本领域技术人员可以理解,所述半导体基底中可以预先制作 CMOS 器件,并且可以采用双嵌式互连工艺形成金属线。

[0025] 如图 2 所示,本发明的钝化层,包括形成于半导体基底之上、并且覆盖于半导体基底之中的金属线 4 上的非晶硅层 3,以及依次形成于所述非晶硅层 3 之上的二氧化硅层 2 和氮化硅层 1。所述的金属线 4 为铜线。也就是说,所述半导体芯片的金属线 4 采用铜线工艺制作。

[0026] 所述非晶硅层 3 的厚度为 $600\text{\AA} - 1400\text{\AA}$ 。选择该厚度范围是由于非晶硅层 3 是

采用化学方法沉积而成的,当非晶硅层 3 的厚度太厚时,非晶硅层 3 沉积时间就会加大,从而增大了加工成本;而当非晶硅层 3 的厚度太薄时,其应力不足以抵抗氮氧化硅向金属线 4 的伸缩应力。

[0027] 所述二氧化硅层 2 的厚度为 $3000\text{Å} - 5000\text{Å}$ 。选择该厚度范围是由于二氧化硅层 2 是采用化学方法沉积而成的,当二氧化硅 2 的厚度太厚时,沉积时间就会加大,从而增大了加工成本;而当二氧化硅 2 的厚度太薄时,其应力不足以抵抗氮氧化硅层 1 向金属线 4 的伸缩应力。

[0028] 所述氮氧化硅层 1 的厚度为 $3000\text{Å} - 5000\text{Å}$ 。选择该厚度范围是由于氮氧化硅层 1 是采用化学方法沉积而成的,当氮氧化硅的厚度太厚时,沉积时间就会加大,从而增大了加工成本;而当氮氧化硅 1 的厚度太薄时,不能起到钝化的效果。

[0029] 根据上述钝化层的沉积厚度,本发明设定以下三种具体方案:

[0030] 方案一:非晶硅层 3 的厚度为 600Å ,二氧化硅 2 的厚度为 5000Å ,氮氧化硅 1 的厚度为 3400Å 。

[0031] 方案二:非晶硅层 3 的厚度为 1000Å ,二氧化硅 2 的厚度为 4000Å ,氮氧化硅 1 的厚度为 4000Å 。

[0032] 方案三:非晶硅层 3 的厚度为 1400Å ,二氧化硅 2 的厚度为 3000Å ,氮氧化硅 1 的厚度为 4600Å 。

[0033] 本发明在二氧化硅层 2 和金属线 4 之间增加了由等离子增强化学气相沉积 (PECVD) 工艺生成的非晶硅层 3,非晶硅层 3 和金属线 4 有良好的接触,在非晶硅沉积的过程中,金属铜原子扩散到 Si 间隙中,这样在非晶硅和金属线的界面层处 Si 原子周围的原子数将多余 4 个, Si-Si 共价键所共有的电子将同时被间隙原子所共有,从而 Si-Si 共价键所共有的电子数少于 2 个,使得 Si-Si 键从饱和价键向非饱和价键转变,因此 Si-Si 的键能将由共价键向金属键转变,减弱了 Si-Si 的键能,促进了金属硅化物在界面处的低温形成,从而减缓金属线 4 中金属原子的迁移,避免了金属线的空洞产生;同时等离子增强化学气相沉积 (PECVD) 工艺生成的二氧化硅部分抵消了氮氧化硅的收缩应力,从而避免了钝化层与金属线的剥离和空洞,进而提高了半导体芯片的良品率。

[0034] 本发明钝化层的制造方法,包括以下步骤:

[0035] S01 在半导体基底上沉积非晶硅层 (3),所述的非晶硅层 (3) 覆盖半导体基底及半导体基底之中的金属线 (4);

[0036] S02 在上述的非晶硅层 3 上沉积二氧化硅层 2;

[0037] S03 在上述的二氧化硅层 2 上沉积氮氧化硅层 1。

[0038] 上述钝化层的制造方法,所述的非晶硅层 3、二氧化硅层 2 和氮氧化硅层 1 均采用等离子增强化学气相沉积 (PECVD) 工艺生成。

[0039] 上述钝化层的制造方法,采用等离子增强化学气相沉积 (PECVD) 工艺生成非晶硅层 3 的工艺温度是 330-370 摄氏度,所用气体为硅烷 (SiH₄) 和氢气 (H₂)。沉积非晶硅层 3 的工艺温度设定为 330-370 摄氏度是因为:当沉积非晶硅层 3 的工艺温度太高时,非晶硅的温度会对半导体芯片金属线 4 产生热损伤,出现剥离脱落现象,则半导体芯片的良品率就会下降;当沉积非晶硅层 3 的工艺温度太低时,由于非晶硅层 3 采用化学方法沉积而成,则非晶硅的反应速率就会很慢,增加了沉积时间,因此加大了生产成本。

[0040] 上述钝化层的制造方法,采用等离子增强化学气相沉积(PECVD)工艺生成二氧化硅层 2 的工艺温度是 380-420 摄氏度,所用气体为硅酸乙酯 (TEOS) 和一氧化二氮 (N₂O)。沉积二氧化硅 2 的工艺温度设定为 380-420 摄氏度是因为:当沉积二氧化硅层 2 的工艺温度太高时,二氧化硅的温度会对半导体的非晶硅层 1 产生热损伤,非晶硅层 1 出现空洞、裂纹现象,则沉积在半导体基底、并且覆盖金属线 4 的非晶硅层 1 不均匀,从而导致半导体芯片的良品率下降;当沉积二氧化硅层 2 的工艺温度太低时,由于二氧化硅层 2 采用化学方法沉积而成,则二氧化硅的反应速率就会很慢,增加了沉积时间,因此加大了生产成本。

[0041] 上述钝化层的制造方法,采用等离子增强化学气相沉积(PECVD)工艺生成氮氧化硅层 1 的工艺温度是 380-420 摄氏度,所用气体为硅烷 (SiH₄) 和一氧化二氮 (N₂O)。氮氧化硅层 1 的工艺温度设定为 380-420 摄氏度是因为:当沉积氮氧化硅层 1 的工艺温度太高时,氮氧化硅的温度会对半导体基底的二氧化硅层 2 产生热损伤,则二氧化硅层 2 就会出现空洞、裂纹现象,从而导致半导体芯片的良品率下降;当沉积氮氧化硅层 1 的工艺温度太低时,由于氮氧化硅层 1 采用化学方法沉积而成,则氮氧化硅的反应速率就会很慢,增加了沉积时间,因此加大了生产成本。

[0042] 根据以上钝化层的制造方法,采用等离子增强化学气相沉积(PECVD)工艺生成非晶硅层 3、二氧化硅层 2、氮氧化硅层 1 的工艺方法,其工艺温度设定以下三种具体方案:

[0043] 方案一:非晶硅层 3 的工艺温度设定为 330 摄氏度,二氧化硅层 2 的工艺温度设定为 420 摄氏度,氮氧化硅层 1 的工艺温度设定为 420 摄氏度。

[0044] 方案二:非晶硅层 3 的工艺温度设定为 350 摄氏度,二氧化硅层 2 的工艺温度设定为 400 摄氏度,氮氧化硅层 1 的工艺温度设定为 400 摄氏度。

[0045] 方案三:非晶硅层 3 的工艺温度设定为 370 摄氏度,二氧化硅层 2 的工艺温度设定为 380 摄氏度,氮氧化硅层 1 的工艺温度设定为 380 摄氏度。

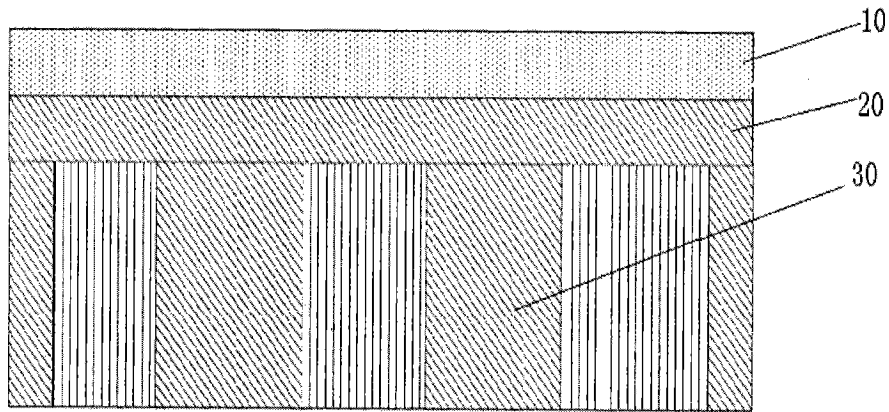


图 1

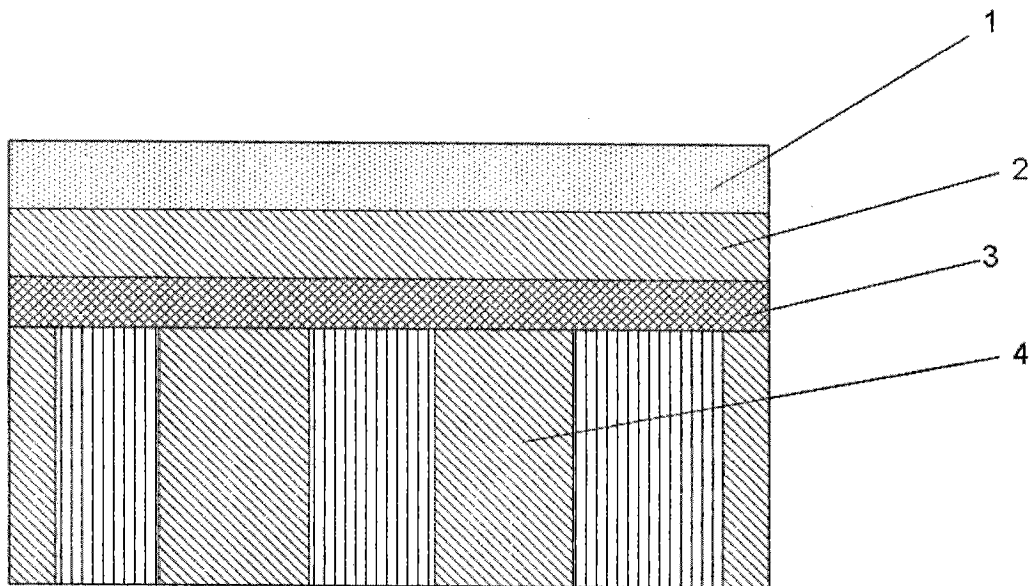


图 2