

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5568467号
(P5568467)

(45) 発行日 平成26年8月6日(2014.8.6)

(24) 登録日 平成26年6月27日(2014.6.27)

(51) Int.Cl.	F I
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 J
HO 1 L 21/768 (2006.01)	HO 1 L 25/08 Z
HO 1 L 23/522 (2006.01)	
HO 1 L 25/065 (2006.01)	
HO 1 L 25/07 (2006.01)	

請求項の数 19 (全 21 頁) 最終頁に続く

(21) 出願番号 特願2010-508142 (P2010-508142)
 (86) (22) 出願日 平成21年7月22日(2009.7.22)
 (86) 国際出願番号 PCT/JP2009/003432
 (87) 国際公開番号 W02010/023812
 (87) 国際公開日 平成22年3月4日(2010.3.4)
 審査請求日 平成24年4月3日(2012.4.3)
 (31) 優先権主張番号 特願2008-220256 (P2008-220256)
 (32) 優先日 平成20年8月28日(2008.8.28)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000005821
 パナソニック株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 110001427
 特許業務法人前田特許事務所
 (74) 代理人 100077931
 弁理士 前田 弘
 (74) 代理人 100110939
 弁理士 竹内 宏
 (74) 代理人 100110940
 弁理士 嶋田 高久
 (74) 代理人 100113262
 弁理士 竹内 祐二
 (74) 代理人 100117581
 弁理士 二宮 克也

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

基板を貫通する複数の貫通電極を有する半導体装置であって、
 前記複数の貫通電極は、3つ以上の電極群に分けて配置されており、
 前記各電極群は、二次元的に配列された3つ以上の貫通電極から構成されており、
前記基板上に形成された活性素子と前記複数の貫通電極のそれぞれとの距離のうちの最小距離と比較して、前記各電極群内における貫通電極間最小距離の方が小さいことを特徴とする半導体装置。

【請求項2】

請求項1に記載の半導体装置において、
 前記基板の上面及び下面の少なくとも一方の上には配線層が形成されており、
 前記複数の貫通電極のうちの少なくとも1つと前記配線層とは電気的に接続されていることを特徴とする半導体装置。

【請求項3】

請求項1に記載の半導体装置において、
 前記基板における前記各電極群の配置領域には活性素子が形成されていないことを特徴とする半導体装置。

【請求項4】

請求項1に記載の半導体装置において、
 前記各電極群のうち配置面積が最小の電極群内における貫通電極間最大距離と比較して

、前記各電極群間の距離のうちの最小距離の方が大きいことを特徴とする半導体装置。

【請求項 5】

請求項 1 に記載の半導体装置において、

前記各電極群のうちの少なくとも 1 つの電極群は、互いに異なる電位を持つ 2 つ以上の貫通電極を含むことを特徴とする半導体装置。

【請求項 6】

請求項 1 に記載の半導体装置において、

前記各電極群のうちの少なくとも 1 つの電極群は、同じ電位を持つ 2 つ以上の貫通電極を含むことを特徴とする半導体装置。

【請求項 7】

請求項 6 に記載の半導体装置において、

前記同じ電位を持つ 2 つ以上の貫通電極には同一の信号が入力されることを特徴とする半導体装置。

【請求項 8】

請求項 6 に記載の半導体装置において、

前記同じ電位を持つ 2 つ以上の貫通電極は同一の電源線を構成していることを特徴とする半導体装置。

【請求項 9】

請求項 6 に記載の半導体装置において、

前記同じ電位を持つ 2 つ以上の貫通電極のうちの 1 つは、当該電極群の周縁部に配置されていることを特徴とする半導体装置。

【請求項 10】

請求項 1 に記載の半導体装置において、

前記各電極群のうちの少なくとも 1 つの電極群は、第 1 の電位を持つ第 1 の貫通電極と、前記第 1 の電位に対して相補な第 2 の電位を持ち且つ前記第 1 の貫通電極と隣り合う第 2 の貫通電極とを含むことを特徴とする半導体装置。

【請求項 11】

請求項 10 に記載の半導体装置において、

前記第 1 の貫通電極は電源線を構成し、前記第 2 の貫通電極はグランド線を構成することを特徴とする半導体装置。

【請求項 12】

請求項 10 に記載の半導体装置において、

当該電極群は、信号が入力される第 3 の貫通電極をさらに含み、前記第 3 の貫通電極を取り囲むように前記第 1 の貫通電極と前記第 2 の貫通電極とが交互に配置されていることを特徴とする半導体装置。

【請求項 13】

請求項 1 に記載の半導体装置において、

前記各電極群は等間隔で配置されていることを特徴とする半導体装置。

【請求項 14】

請求項 1 に記載の半導体装置において、

前記各電極群のうちの少なくとも 1 つの電極群は、電氣的接続に用いられない疑似貫通電極を含むことを特徴とする半導体装置。

【請求項 15】

請求項 14 に記載の半導体装置において、

前記疑似貫通電極は、当該電極群の周縁部に配置されていることを特徴とする半導体装置。

【請求項 16】

請求項 1 に記載の半導体装置において、

前記各電極群のうちの少なくとも 1 つの電極群は、他の貫通電極の電氣的接続を補助する補助貫通電極を含むことを特徴とする半導体装置。

10

20

30

40

50

【請求項 17】

請求項 16 に記載の半導体装置において、
前記補助貫通電極は、当該電極群の周縁部に配置されていることを特徴とする半導体装置。

【請求項 18】

複数の半導体装置を積層させた積層型半導体装置であって、
前記複数の半導体装置のうち少なくとも 1 つは、請求項 1 ~ 17 のいずれか 1 項に記載の半導体装置であることを特徴とする積層型半導体装置。

【請求項 19】

複数の半導体装置を積層させた積層型半導体装置であって、
前記複数の半導体装置のうち 2 つ以上は、請求項 1 ~ 17 のいずれか 1 項に記載の半導体装置であり、当該各半導体装置における前記各電極群は互いにオーバーラップしないように配置されていることを特徴とする積層型半導体装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、貫通電極を有する半導体装置に関するものである。

【背景技術】

【0002】

近年、半導体装置の高機能化及び高集積化を目的として、複数の半導体チップを積み重ねた積層型半導体装置の開発が行われている。ところが、多くの積層型半導体装置においては、ワイヤーボンディングを用いて積層された半導体チップの間をインターポーザなどの中継基板を介して電氣的に接続している。このため、積層型半導体装置のサイズは、半導体チップのサイズに、ワイヤーを引き回すためのスペースのサイズを加えたものになるので、積層型半導体装置の小型化には限界があった。また、このような積層型半導体装置においては、ワイヤーボンディングを用いることによって配線長が長くなるため、配線抵抗が大きくなり、高速動作にも限界があった。

20

【0003】

その解決策として、図 10 に示すような積層型半導体装置（特許文献 1 参照）が提案されている。当該装置においては、積層された複数の半導体チップに貫通穴を形成し、当該貫通穴に導電性樹脂や金属を充填して作成した貫通電極により、半導体チップを電氣的に接続している。具体的には、図 10 に示すように、上から順に半導体チップ 1001A、1001B、1001C 及び 1001D が積層された積層型半導体装置には、複数の貫通電極 1003 が設けられている。各半導体チップ同士は絶縁性樹脂 1004 によって接着されている。また、各半導体チップ裏面における貫通電極 1003 の周りには電極取り出しパッド 1002 が設けられている。尚、電極取り出しパッド 1002 での電氣的接続を安定させるために、絶縁性樹脂 1004 における貫通電極 1003 の周りには空隙 1005 が形成されており、当該空隙 1005 には貫通電極 1003 と同じ材料が充填されている。

30

40

【0004】

図 10 に示す構成によると、積層した半導体チップ同士を直接接続できるため、半導体チップの大きさのみによって積層型半導体装置全体の大きさが決まる。また、図 10 に示す構成によると、ワイヤーボンディングにより半導体チップ同士を電氣的に接続する場合と比べて、短い配線長で半導体チップ同士を電氣的に接続することが可能となるため、配線抵抗を小さくすることができ、高速動作が可能となる。さらに、積層する各半導体チップを薄くすることによって積層型半導体装置を低背化することもできるため、従来構造と比べて、積層型半導体装置全体の大きさを縮小することが可能となる。

【0005】

以上に述べた貫通電極の代表的な配置としては、例えば、図 11 に示すような積層型半

50

導体装置（特許文献 2 参照）における貫通電極の配置がある。当該装置 1 1 0 0 において、装置全体に均等ピッチで貫通電極 1 1 0 5 が配置されている。

【先行技術文献】

【特許文献】

【0 0 0 6】

【特許文献 1】特開平 1 0 - 1 6 3 4 1 1 号公報

【特許文献 2】特開 2 0 0 4 - 3 3 5 9 4 8 号公報

【発明の概要】

【発明が解決しようとする課題】

【0 0 0 7】

しかしながら、従来例に係る貫通電極を有する半導体装置においては、活性素子（能動素子）の電気的特性が安定しないという問題点がある。

【0 0 0 8】

前記に鑑み、本発明は、貫通電極を有する半導体装置において活性素子の電気的特性を安定させることを目的とする。

【課題を解決するための手段】

【0 0 0 9】

前記の目的を達成するために、本願発明者らは、従来例に係る貫通電極を有する半導体装置において活性素子の電気的特性が安定しない原因を検討した結果、次のような知見を得るに至った。

【0 0 1 0】

貫通電極は、フォトリソグラフィやエッチング技術を用いて形成した貫通穴に電極材料を埋め込むことによって形成される。ところが、これらの一連のプロセスを経ることにより、基板には歪が生じることになり、その結果、貫通電極周辺に形成されたトランジスタ等の素子には応力がかかる。

【0 0 1 1】

また、半導体装置の動作に起因して熱が発生するが、基板の熱膨張係数と貫通電極の熱膨張係数との間には差があるため、加熱した半導体装置において基板の膨張量と貫通電極の膨張量とが異なるので、この膨張量の違いに起因する応力が貫通電極周辺の基板にかかる。

【0 0 1 2】

一方、トランジスタやダイオード等の活性素子は、シリコンなどの結晶性材料により構成されているが、一般に、結晶性材料における電荷の移動度が応力の印加によって変化するため、応力が印加されると、活性素子の動作電流が変化してしまう。

【0 0 1 3】

以上のように、貫通電極に近接して配置された活性素子においては動作電流値が変化するという問題が生じる。

【0 0 1 4】

そこで、本願発明者らは、この問題を回避するために、貫通電極周辺に活性素子を配置しない領域を設けることを検討してみた。以下、本願において、この貫通電極周辺における活性素子を配置しない領域を「緩衝領域」と称し、トランジスタやダイオードなどの不純物層を有する活性素子を配置する領域を「活性素子領域」と称する。ここで、緩衝領域として必要なサイズは、貫通電極の直径により異なるが、例えば直径 1 μm の貫通電極に対しては、貫通電極を中心とする半径 5 μm 程度の範囲である。

【0 0 1 5】

ところが、例えば図 1 1 に示すような従来の貫通電極配置に対して「緩衝領域」を設定した場合には、図 1 2 に示すような問題が生じる。すなわち、図 1 1 に示すように、貫通電極 1 1 0 5 がエリアアレイ状態に配置されている場合に、図 1 2 に示すように、各貫通電極 1 1 0 5 の周辺に、各貫通電極 1 1 0 5 に起因する応力や熱膨張の影響を回避するために、活性素子を配置しない緩衝領域 1 1 0 6 を設けたとすると、緩衝領域 1 1 0 6 が半

10

20

30

40

50

導体装置 1100 内において広い面積を占める結果、緩衝領域 1106 以外の領域に設定される活性素子領域 1103 の面積を十分に確保することができなくなる。そのため、半導体装置の活性素子形成面に対して、活性素子を面積効率良く配置することができなくなり、半導体装置の小型化を図ることができなくなるという問題が生じる。

【0016】

そこで、本願発明者らは、この新たな課題を解決することを目的として、言い換えると、半導体装置内の貫通電極の数を減らすことなく緩衝領域が占める面積を削減し、半導体装置の活性素子形成面を有効に活用できるようにして半導体装置の小型化を容易に図ることができるようにすることを目的として、次のような発明を想到した。

【0017】

すなわち、本発明に係る半導体装置は、基板を貫通する複数の貫通電極を有する半導体装置であって、前記複数の貫通電極は、3つ以上の電極群に分けて配置されており、前記各電極群は、二次元的に配列された3つ以上の貫通電極から構成されている。

【0018】

本発明に係る半導体装置によると、二次元的に配列された複数の貫通電極を集めて電極群を構成しているため、貫通電極周辺に「緩衝領域」を設ける場合に、電極群内において隣り合う貫通電極の緩衝領域を共通化することができる。このため、半導体装置内で緩衝領域が占める面積を減らし、活性素子領域を広く確保することができるので、半導体装置の活性素子形成面を有効に活用でき、それにより半導体装置の小型化を容易に図ることができる。また、半導体装置の小型化を図りつつ貫通電極周辺に緩衝領域を設けることができるので、貫通電極に起因して活性素子の電気的特性が不安定になることを防止することができる。

【0019】

また、本発明に係る半導体装置を樹脂インターポーザなどのベース基板上に実装する際に、又は本発明に係る半導体装置と他の半導体装置とを積層する際に、本発明に係る半導体装置には実装又は積層（組み立て）に起因する応力がかかるが、二次元的に配列された複数の貫通電極から構成される電極群を本発明に係る半導体装置内に3つ以上配置しているため、前述の応力に偏りを生じさせることなく均衡状態を確保しながら実装又は積層を行うことができるので、信頼性を向上させることができる。

【0020】

尚、本発明に係る半導体装置において、前記基板の上面及び下面の少なくとも一方の上に集積回路を構成する配線層が形成されており、前記複数の貫通電極のうちの少なくとも1つと前記配線層とが電氣的に接続されていてもよい。

【0021】

また、本発明に係る半導体装置において、前記基板における前記各電極群の配置領域には活性素子が形成されていないことが好ましいことは言うまでもない。

【0022】

また、本発明に係る半導体装置において、前記基板上に形成された活性素子と前記複数の貫通電極のそれぞれとの距離のうちの最小距離と比較して、前記各電極群内における貫通電極間最小距離の方が小さいことが好ましい。すなわち、貫通電極自体は、前述の応力や熱の影響を受けて特性が変化するものではないため、短絡しない範囲で貫通電極同士を近づけることが可能である。このため、各貫通電極（正確には各貫通電極の中心）から活性素子（つまり素子分離により囲まれた活性素子領域）までの距離のうちの最短距離と比較して、各電極群内における貫通電極間最小距離（つまり当該電極群において最も近接している貫通電極の中心間距離）の方を小さくすることによって、半導体装置内で緩衝領域が占める面積をより効率良く削減できるので、半導体装置のさらなる小型化を図ることができる。

【0023】

また、本発明に係る半導体装置において、前記各電極群のうち配置面積が最小の電極群内における貫通電極間最大距離と比較して、前記各電極群間の距離のうちの最小距離の方

10

20

30

40

50

が大きくてもよい。言い換えると、本発明に係る半導体装置において、電極群同士の間隔を、最小の電極群の配置寸法以上に設定してもよい。

【0024】

また、本発明に係る半導体装置において、前記各電極群のうちの少なくとも1つの電極群は、互いに異なる電位を持つ2つ以上の貫通電極を含んでいてもよいし、又は同じ電位を持つ2つ以上の貫通電極を含んでいてもよい。前記各電極群のうちの少なくとも1つの電極群が、同じ電位を持つ2つ以上の貫通電極を含むと、本発明に係る半導体装置とベース基板又は他の半導体装置との間で接合不良や貫通電極のオープン不良等の問題が生じ、それにより、同じ電位を持つ一の貫通電極による電氣的接続が取れなくなった場合にも、同じ電位を持つ他の貫通電極により電氣的接続を取ることができる。このため、半導体装置の信頼性を向上させることができる。特に、同じ電位を持つ2つ以上の貫通電極に同一の信号が入力される場合には、半導体装置の歩留まりの向上を図ることができる。また、同じ電位を持つ2つ以上の貫通電極が同一の電源線を構成している場合には、半導体装置の歩留まりの向上を図ることができると共に、電源線の低抵抗化を図ることができる。尚、同じ電位を持つ2つ以上の貫通電極のうちの1つが、当該電極群の周縁部に配置されていてもよい。すなわち、プロセス条件の調整によって、プロセス起因の形状不良等を電極群周縁部に発生させる場合には、当該周縁部に、同電位の貫通電極のうちの1つを配置することにより、言い換えると、当該周縁部に、同電位の貫通電極を複数配置しないことにより、形状不良等の問題が生じた場合にも、半導体装置の信頼性の低下を抑制することができる。

10

20

【0025】

また、本発明に係る半導体装置において、前記各電極群のうちの少なくとも1つの電極群は、第1の電位を持つ第1の貫通電極と、前記第1の電位に対して相補な第2の電位を持ち且つ前記第1の貫通電極と隣り合う第2の貫通電極とを含んでいてもよい。例えば、前記第1の貫通電極は電源線を構成し、前記第2の貫通電極はグランド線を構成する場合、電源線とグランド線との間の静電容量を大きくすることができるため、電源電圧の変動に対する半導体装置への供給電圧の変動を小さくすることができる。また、当該電極群は、信号が入力される第3の貫通電極をさらに含み、前記第3の貫通電極を取り囲むように前記第1の貫通電極と前記第2の貫通電極とが交互に配置されている場合、例えば、電源線及びグランド線は信号線に対して信号線間の相互干渉を防ぐシールドとして作用するため、クロストークの小さい半導体装置を実現することができる。

30

【0026】

また、本発明に係る半導体装置において、前記各電極群は等間隔で配置されていてもよい。このようにすると、本発明に係る半導体装置をベース基板に貼り付けた後に、又は本発明に係る半導体装置と他の半導体装置とを積層した後に、本発明に係る半導体装置とベース基板又は他の半導体装置との間隙に充填材、例えばアンダーフィルを充填させた場合に、電極群が等間隔で配置されていることにより、アンダーフィルの充填を容易に行うことができる。これにより、アンダーフィルの充填率を向上させることができるので、接着信頼性を向上させることができる。

【0027】

また、本発明に係る半導体装置において、前記各電極群のうちの少なくとも1つの電極群は、電氣的接続に用いられない疑似貫通電極を含んでいてもよい。このようにすると、フォトリソグラフィによる貫通穴パターン転写工程又はエッチングによる貫通穴形成工程等のプロセスに起因する貫通電極の形状不良等の問題の発生を防止することができるので、貫通電極を有する半導体装置の信頼性を向上させることができる。この場合、前記疑似貫通電極は、当該電極群の周縁部に配置されていてもよい。すなわち、プロセス条件の調整によって、プロセス起因の形状不良等を電極群周縁部に発生させる場合には、当該周縁部に疑似貫通電極を配置することにより、言い換えると、当該周縁部には真正の貫通電極を配置しないことにより、真正の貫通電極に形状不良等の問題が発生することを防止することができるので、真正の貫通電極の信頼性を向上させることが可能となる。

40

50

【0028】

また、本発明に係る半導体装置において、前記各電極群のうちの少なくとも1つの電極群は、他の貫通電極の電氣的接続を補助する補助貫通電極を含んでいてもよい。例えば、真正の貫通電極とその補助貫通電極とが同一の電源線を構成する場合、当該電源線の抵抗を低減させることができるので、半導体装置に供給される電源電圧の低下を抑制することができる。この場合、前記補助貫通電極は、当該電極群の周縁部に配置されていてもよい。すなわち、プロセス条件の調整によって、プロセス起因の形状不良等を電極群周縁部に発生させる場合には、当該周縁部に補助貫通電極を配置することにより、言い換えると、当該周縁部には真正の貫通電極を配置しないことにより、形状不良等の問題が生じた場合にも、真正の貫通電極の信頼性の低下を防止することができる。

10

【0029】

本発明に係る積層型半導体装置は、複数の半導体装置を積層させた積層型半導体装置であって、前記複数の半導体装置のうち少なくとも1つは、前述の本発明に係る半導体装置である。

【0030】

本発明に係る積層型半導体装置によると、より小型で高密度であり且つ配線長の短い積層型半導体装置を実現できるため、より高い性能とより高い機能とを持つ積層型半導体装置を実現することができる。

【0031】

尚、本発明に係る積層型半導体装置において、本発明に係る半導体装置における電極群を構成する貫通電極は、例えば、他の半導体装置の貫通電極と電氣的に接続されていても良いし又は他の半導体装置上に形成された電極パッドと電氣的に接続されていても良い。

20

【0032】

また、本発明に係る積層型半導体装置において、前記複数の半導体装置のうち2つ以上は、前述の本発明に係る半導体装置であり、当該各半導体装置における前記各電極群は互いにオーバーラップしないように配置されていると、積層型半導体装置に応力が印加された際に、当該応力が装置全体に均等に印加されるようにすることができるので、積層型半導体装置が損傷することを回避することができる。

【発明の効果】

【0033】

本発明によると、貫通電極を有する半導体装置において、二次元的に配列された複数の貫通電極を集めて電極群を構成しているため、活性素子を配置できない緩衝領域が半導体装置内で占める面積を削減することができるので、半導体装置の小型化を図ることができる。また、半導体装置の小型化を図りつつ貫通電極周辺に緩衝領域を設けることができるので、貫通電極に起因して活性素子の電氣的特性が不安定になることを防止することができる。

30

【0034】

また、本発明によると、貫通電極を有する半導体装置において、二次元的に配列された複数の貫通電極から構成される電極群を3つ以上配置しているため、半導体装置の実装や積層等の組み立て時に半導体装置にかかる応力に偏りが生じることを防止できるので、言い換えると、半導体装置にかかる応力の均衡状態を確保しながら組み立てを行うことができるので、信頼性を向上させることができる。

40

【図面の簡単な説明】

【0035】

【図1】図1(a)~(e)は、本発明の第1の実施形態に係る半導体装置を示しており、図1(a)には半導体装置の断面図を、図1(b)~(e)には半導体装置の平面図を示している。

【図2】図2(a)~(c)は、本発明の第1の実施形態に係る半導体装置に設けられた電極群における貫通電極の配列例を示す図である。

【図3】図3(a)及び(b)は、本発明の第2の実施形態に係る半導体装置における電

50

極群の平面構成を示す図である。

【図４】図４（ａ）は、本発明の第３の実施形態に係る半導体装置における電極群の平面構成を示す図であり、図４（ｂ）は、本発明の第３の実施形態の変形例に係る半導体装置における電極群の平面構成を示す図である。

【図５】図５は、本発明の第３の実施形態に係る半導体装置に設けられた電極群において互いに隣り合う貫通電極が持つ互いに相補な電位の一例を示す図である。

【図６】図６（ａ）及び（ｂ）は、本発明の第４の実施形態に係る半導体装置の平面図を示している。

【図７】図７（ａ）は、本発明の第５の実施形態に係る半導体装置における電極群の平面構成を示す図であり、図７（ｂ）は、本発明の第５の実施形態の変形例に係る半導体装置

10

における電極群の平面構成を示す図である。

【図８】図８（ａ）は、本発明の第６の実施形態に係る積層型半導体装置の断面図を示し、図８（ｂ）及び（ｃ）は、本発明の第６の実施形態の変形例に係る積層型半導体装置の断面図を示している。

【図９】図９（ａ）及び（ｂ）は、本発明の第７の実施形態に係る積層型半導体装置の断面図及び平面図を示している。

【図１０】図１０は、特許文献１に記載された従来積層型半導体装置の断面図を示している。

【図１１】図１１は、特許文献２に記載された従来積層型半導体装置における貫通電極の配置を示している。

20

【図１２】図１１に示す従来貫通電極配置に対して本発明の「緩衝領域」を設定した場合に生じる問題点を説明する図である。

【発明を実施するための形態】

【００３６】

以下、図面を参照しながら、本発明の各実施形態に基づいて本発明を詳細に説明する。

【００３７】

（第１の実施形態）

図１（ａ）及び（ｂ）は、本発明の第１の実施形態に係る半導体装置１００を示しており、図１（ａ）には半導体装置１００の断面図を、図１（ｂ）には半導体装置１００の平面図を示している。尚、図１（ｂ）におけるＢ－Ｂ'面での断面図が図１（ａ）であり、

30

図１（ａ）におけるＡ－Ａ'面での平面図が図１（ｂ）である。

【００３８】

図１（ａ）に示すように、半導体基板１の第１主表面２ａ側の表面部には、トランジスタやダイオードなどの活性素子を構成する不純物層８と、各活性素子を分離する素子分離９とが形成されていると共に、半導体基板１の第１主表面２ａ上にはゲート絶縁膜１４を介してゲート電極１３が形成されている。尚、半導体装置１００において各活性素子は活性素子領域３に集められており、活性素子領域３は素子分離９によって囲われている。

【００３９】

半導体基板１の第１主表面２ａ上には、ゲート電極１３を覆うように絶縁層１０Ａが形成されており、絶縁層１０Ａ上には、半導体装置１００内で信号の伝達及び電源の供給を行う配線４Ａが形成されている。絶縁層１０Ａ中には、配線４Ａと不純物層８とを接続するプラグ１２が形成されている。

40

【００４０】

絶縁層１０Ａ上には、配線４Ａを覆うように絶縁層１０Ｂが形成されており、絶縁層１０Ｂ上には、半導体装置１００内で信号の伝達及び電源の供給を行う配線４Ｂが形成されている。絶縁層１０Ｂ中には、配線４Ｂと配線４Ａとを接続するビア２１Ａが形成されている。

【００４１】

絶縁層１０Ｂ上には、配線４Ｂを覆うように絶縁層１０Ｃが形成されており、絶縁層１０Ｃ上には、半導体装置１００内で信号の伝達及び電源の供給を行う配線４Ｃが形成され

50

ている。絶縁層10C中には、配線4Cと配線4Bとを接続するビア21Bが形成されている。

【0042】

絶縁層10C上には、配線4Cを覆うように絶縁層10Dが形成されており、絶縁層10D上には、配線4Cから装置外部へ信号を取り出すための電極パッド11が形成されている。絶縁層10D中には、電極パッド11と配線4Cとを接続するビア21Cが形成されている。

【0043】

本実施形態の半導体装置100においては、第1主表面2aから第2主表面2bまで半導体基板1を貫通すると共に絶縁層10Aを貫通して、複数の貫通電極5が配線4Aと電氣的に接続するように形成されている。ここで、本実施形態の特徴として、複数の貫通電極5は、3つ以上の電極群7に分けて配置されており、各電極群7は、二次元的に配列された3つ以上の貫通電極5から構成されている。また、各電極群7と活性素子領域3との間には、貫通電極5に起因する応力等の影響を活性素子が受けないように、活性素子を配置しない緩衝領域6が配置されている。

10

【0044】

具体的には、図1(b)の平面図に示すように、半導体装置100内において、貫通電極5を縦横3×4、計12個集めて1つの電極群7を構成していると共に、当該電極群7を半導体装置100内に3つ配置している。

【0045】

尚、貫通電極5の材料としては、例えば銅、タングステン、アルミニウム又はポリシリコン等を用いることができる。

20

【0046】

また、貫通電極5の直径は0.5~20μm(好ましくは0.5~5μm)程度であり、貫通電極5の長さ(高さ)は5~50μm程度である。

【0047】

また、図示は省略しているが、各貫通電極5の側壁を覆うように、貫通電極材料の拡散を防ぐための保護膜を介して、各貫通電極5と半導体基板1との電氣的な絶縁を行う絶縁膜を形成することが好ましい。絶縁膜の材料としては、例えばSiO₂、SiN等を用いる。保護膜の材料としては、貫通電極材料の拡散を防ぐことができるバリア性を持つ材料が好ましく、例えばTa、Ta₂N₅、TiN等を用いることができる。

30

【0048】

ところで、「課題を解決するための手段」で述べたように、活性素子を貫通電極に近接して配置することはできないが、貫通電極を構成する電極材料は、応力などの影響を受けて特性が変動するものではないため、貫通電極同士については互いに短絡しない程度に近づけて配置することが可能である。そのため、貫通電極を密集させて配置することによって、緩衝領域を集約することが可能となる。

【0049】

本実施形態の半導体装置100においては、二次元的に配列された複数の貫通電極5を集めて電極群7を構成しているため、貫通電極周辺における活性素子を配置しない緩衝領域6を集約することが可能となる。そのため、従来構造と比べて、半導体装置内において緩衝領域6が占める面積を削減することができるので、言い換えると、活性素子領域3を広く確保して半導体装置100の活性素子形成面(本実施形態では第1主表面2a)を有効に活用することができるので、半導体装置100の小型化を容易に図ることができる。また、半導体装置100の小型化を図りつつ貫通電極周辺に緩衝領域6を設けることができるので、貫通電極5に起因して活性素子の電氣的特性が不安定になることを防止することができる。

40

【0050】

例えば、上面からみた断面形状が一辺1μmの正方形である36本の貫通電極がエリアレイ状にピッチ(貫通電極の中心間距離)20μmで配置されており、各貫通電極の周

50

辺における当該電極の端部から4 μ mまでの範囲に緩衝領域が設定された従来型の半導体装置と比較して、本実施形態の半導体装置100における活性素子形成面の面積は約24%小さい。但し、本実施形態の半導体装置100においては、縦横3 \times 4、計12個の貫通電極5から構成されている電極群7が3つ（貫通電極5の総数は36本）配置されており、電極群7内における貫通電極5の配置ピッチが2 μ mであり、各電極群7の周辺における当該電極群7の端部から4 μ mまでの範囲に緩衝領域6が設定されているものとする。

【0051】

尚、本実施形態の半導体装置100において、各電極群7内で隣り合う貫通電極5間の距離（配置スペース）は0.1~10 μ m（好ましくは0.5~5 μ m）程度である。また、各電極群7の周辺における当該電極群7の端部から0.5~10 μ mまでの範囲には、活性素子を配置しない緩衝領域6を設けることが好ましい。

10

【0052】

また、本実施形態によると、半導体装置100を樹脂インターポーザなどのベース基板上に実装する際に、又は半導体装置100と他の半導体装置とを積層する際に、半導体装置100には実装又は積層（組み立て）に起因する応力がかかるが、本実施形態では、二次元的に配列された複数の貫通電極5から構成される電極群7を半導体装置100内に3つ配置しているため、前述の応力に偏りを生じさせることなく均衡状態を確保しながら実装又は積層を行うことができるので、信頼性を向上させることができる。

【0053】

また、本実施形態において、半導体装置100内に配置する電極群7の個数は3つ以上であれば特に限定されるものではなく、また、電極群7を構成する貫通電極5の個数も3つ以上であれば特に限定されるものではない。すなわち、図1(b)に示す平面構成に代えて、例えば図1(c)~(e)に示す平面構成を用いてもよい。ここで、電極群7は、縦（上下）方向に等間隔で配置されていてもよいし、横（左右）方向に等間隔で配置されていてもよいし、斜め方向に等間隔で配置されていてもよい。

20

【0054】

さらに、電極群7内における貫通電極5の配列も二次元的配列であれば特に限定されるものではない。図2(a)~(c)は、電極群7における貫通電極5の配列例を示している。すなわち、図1(b)に示す半導体装置100の電極群7においては、貫通電極5が縦方向及び横方向にそれぞれ3個及び4個並んでいたが、本発明の概念はこの個数や配列に限定されるものではなく、例えば、図2(a)~(c)に示すような貫通電極5の配列を基本単位として1つ又は複数含む電極群7を構成してもよい。

30

【0055】

また、本実施形態において、半導体装置100内に配置された各電極群7を構成する貫通電極5の個数を全て同じに設定したが、本発明の概念はこれに限定されるものではなく、電極群毎にその有する貫通電極の個数が異なってもよい。

【0056】

また、本実施形態において、全ての貫通電極5の直径を同じに設定したが、本発明の概念はこれに限定されるものではなく、貫通電極毎にその直径が異なってもよい。

40

【0057】

また、本実施形態においては、図1(a)に示すように、貫通電極5を配線（第1層配線）4Aに接続させているが、本発明の概念はこれに限定されるものではなく、貫通電極5を、半導体装置100の他の配線（4B又は4C）又は電極パッド11に直接接続させてもよい。また、貫通電極5を半導体装置100の上方に突き出させてもよい。さらに、貫通電極5を半導体装置100内の配線（4A、4B又は4C）に接続させなくてもよい。この場合、貫通電極5は、半導体装置100が実装されるベース基板の電極パッド、又は半導体装置100と積層される他の半導体装置の電極パッド等に接続される。

【0058】

また、本実施形態において、半導体基板1の第1主表面2a上に配線層を設けたが、こ

50

れに代えて、或いは、これに加えて、半導体基板 1 の第 2 主表面 2 b 上に配線層を設けてもよい。この場合、第 2 主表面 2 b 上の配線層と貫通電極 5 とが電氣的に接続されていてもよい。

【 0 0 5 9 】

また、本実施形態においては、図 1 (b) 及び図 2 (a) ~ (c) に示すように、上面からみた貫通電極 5 の断面形状を円形としたが、本発明の概念はこれに限定されるものではなく、プロセス上又は設計上の理由から他の形状が望ましい場合には、上面からみた貫通電極 5 の断面形状を多角形や楕円等としてもよい。

【 0 0 6 0 】

また、本実施形態において、半導体基板 1 における各電極群 7 の配置領域には活性素子を形成しないことが好ましいことは言うまでもない。

10

【 0 0 6 1 】

また、本実施形態において、半導体基板 1 上に形成された活性素子と各貫通電極 5 との距離のうちの最小距離と比較して、各電極群 7 内における貫通電極 5 間最小距離の方が小さいことが好ましい。すなわち、貫通電極 5 自体は、前述の応力や熱の影響を受けて特性が変化するものではないため、短絡しない範囲で貫通電極 5 同士を近づけることが可能である。このため、各貫通電極 5 (正確には各貫通電極 5 の中心) から活性素子 (つまり素子分離 9 により囲まれた活性素子領域 3) までの距離のうちの最短距離と比較して、各電極群 7 内における貫通電極 5 間最小距離 (つまり当該電極群 7 において最も近接している貫通電極 5 の中心間距離) の方を小さくすることによって、半導体装置 1 0 0 内で緩衝領域 6 が占める面積をより効率良く削減できるので、半導体装置 1 0 0 のさらなる小型化を図ることができる。

20

【 0 0 6 2 】

また、本実施形態において、各電極群 7 のうち配置面積が最小の電極群 7 内における貫通電極 5 間最大距離と比較して、前記各電極群 7 間の距離のうちの最小距離の方が大きてもよい。言い換えると、半導体装置 1 0 0 において、電極群 7 同士の間隔を、最小の電極群 7 の配置寸法以上に設定してもよい。

【 0 0 6 3 】

また、本実施形態において、各電極群 7 のうちの少なくとも 1 つの電極群 7 は、互いに異なる電位を持つ 2 つ以上の貫通電極 5 を含んでいてもよいし、又は同じ電位を持つ 2 つ以上の貫通電極 5 を含んでいてもよい。

30

【 0 0 6 4 】

(第 2 の実施形態)

図 3 (a) 及び (b) は、本発明の第 2 の実施形態に係る半導体装置における電極群の平面構成を示す図である。尚、本実施形態は、図 1 (a) 及び (b) に示す第 1 の実施形態を変形したものであって、以下に記載する事項以外については基本的に第 1 の実施形態と同じである。

【 0 0 6 5 】

図 3 (a) に示す電極群においては、複数の貫通電極 5 が配置された単一の電極群内に、同一の信号が入力される 3 つの貫通電極 (以下、信号貫通電極と称する) 3 0 a、3 0 b 及び 3 0 c がさらに配置されている。この構成により、後述するように、貫通電極の信頼性を向上させることが可能となる。

40

【 0 0 6 6 】

貫通電極を形成する際には、プロセス条件に起因して貫通電極に問題が生じる場合がある。例えば、貫通穴への金属埋め込みに不良があり、貫通電極が導通不良を生じるような場合である。また、半導体装置に設けられた貫通電極をベース基板や他の半導体装置と接続する際に接合不良が生じる場合もある。

【 0 0 6 7 】

それに対して、図 3 (a) に示す電極群の場合、一つの電極群内に同じ信号が入力される信号貫通電極が複数存在するため、仮に一つの信号貫通電極 3 0 a に接続不良が生じた

50

としても、他の信号貫通電極 30b 及び 30c によって電氣的接続を確保することができる。このため、信頼性を低下させることなく、確実に信号の授受を行うことができる。すなわち、半導体装置が不良になることはないので、歩留まりの向上を図ることができる。

【0068】

また、図3(b)に示す電極群においては、複数の貫通電極5が配置された単一の電極群内に、同じ電源電圧が入力される(つまり同じ電源線を構成する)2つの貫通電極31a及び31b(以下、電源貫通電極31a及び31bと称する)と、グランド電位を持つ(つまり同じグランド線を構成する)2つの貫通電極32a及び32b(以下、グランド貫通電極32a及び32bと称する)とがさらに配置されている。この構成により、例えば、一つの電源貫通電極31aや一つのグランド貫通電極32aに接続不良が生じた場合にも、半導体装置が不良になることはないので、歩留まりの向上を図ることができる。また、同じ電源線となる貫通電極を複数配置しているため、当該電源線の低抵抗化を図ることができ、半導体装置に供給される電源電圧の低下を小さく抑えることができる。

10

【0069】

尚、本発明において、単一の電極群内に配置される同一信号貫通電極、電源貫通電極、及びグランド貫通電極のそれぞれの個数は、2つ以上であれば、図3(a)及び(b)に示す本実施形態の例に限定されるものではないことは言うまでもない。

【0070】

また、プロセス条件の調整によって、プロセス起因の形状不良等を電極群周縁部に発生させる場合には、当該周縁部に、同一信号貫通電極のうちの1つ、電源貫通電極のうちの1つ、又はグランド貫通電極のうちの1つを配置することにより、言い換えると、当該周縁部に、複数の同一信号貫通電極、複数の電源貫通電極又は複数のグランド貫通電極を配置しないことにより、形状不良等の問題が生じた場合にも、半導体装置の信頼性の低下を抑制することができる。

20

【0071】

(第3の実施形態)

図4(a)は、本発明の第3の実施形態に係る半導体装置における電極群の平面構成を示す図である。尚、本実施形態は、図1(a)及び(b)に示す第1の実施形態を変形したものであって、以下に記載する事項以外については基本的に第1の実施形態と同じである。

30

【0072】

ところで、従来の半導体装置においては、負荷の変動により半導体装置に供給される電源電圧が変化した場合に、半導体装置を構成するトランジスタやダイオードなどの活性素子の動作が変動することがある。そこで、一般に、活性素子の動作の変動を抑制するために、半導体装置近傍のベース基板などにコンデンサを配置することによって電圧変動を抑制することが行われている。

【0073】

本実施形態の図4(a)に示す電極群においては、電源線を構成する貫通電極31(以下、電源貫通電極31と称する)と、電源線に対して相補なグランド線を構成する貫通電極32(以下、グランド貫通電極32と称する)とを互いに隣り合うように交互に配置する。この構成により、電源貫通電極31とグランド貫通電極32との間の静電容量を増大させることができ、当該容量を、電圧変動を抑制するコンデンサとして用いることができる。すなわち、電源電圧の変動に対する半導体装置への供給電圧の変動を小さくすることができる。このため、貫通電極を有する半導体装置の近傍にコンデンサを配置する必要がなくなり、半導体装置の小型化を図ることができる。

40

【0074】

尚、本実施形態において、電極群における貫通電極間距離を短絡しない程度に小さくすることによって、電源貫通電極31とグランド貫通電極32との間の静電容量を大きくすることができる。それにより、電圧変動抑制効果も大きくなる。従って、貫通電極間距離(配置スペース)は0.1~5µm程度であることが望ましい。

50

【0075】

また、図4(a)に示す電極群においては、電源貫通電極31及びグランド貫通電極32のみを配置しているが、当該電極群内に信号が入力される貫通電極が存在する場合には、図4(b)に示すように、信号貫通電極30を取り囲むように電源貫通電極31とグランド貫通電極32とを交互に配置することが望ましい。このようにすると、電源貫通電極31及びグランド貫通電極32は信号貫通電極30に対して信号貫通電極30間の相互干渉を防ぐシールドとして作用するため、クロストークの小さい半導体装置を実現することができる。

【0076】

また、図4(a)及び(b)に示す電極群において、互いに相補な電位を持つ貫通電極の例として、電源貫通電極31及びグランド貫通電極32を配置したが、本発明の概念はこれに限られるものではなく、グランド貫通電極32に代えて、電源電圧に対して相補な他の電圧が印加される貫通電極を配置してもよい。また、電源貫通電極31及びグランド貫通電極32に代えて、例えば図5に示すような時間変化をする電位A及びBをそれぞれ有する貫通電極を配置してもよい。

【0077】

(第4の実施形態)

図6(a)は、本発明の第4の実施形態に係る半導体装置の平面図を示している。尚、本実施形態は、図1(a)及び(b)に示す第1の実施形態の変形したものであって、以下に記載する事項以外については基本的に第1の実施形態と同じである。また、図6(a)において、図1(a)及び(b)に示す第1の実施形態と同一の構成要素には同一の符号を付している。

【0078】

ところで、貫通電極を有する半導体装置をベース基板に貼り付けた後、又は当該半導体装置と他の半導体装置とを積層して貫通電極により電氣的接続を取った後、当該半導体装置とベース基板又は他の半導体装置との間には充填材、例えばアンダーフィルを充填している。このとき、例えば図11に示す従来技術のように貫通電極がエリアアレイ状に配置されていると、半導体装置側面におけるアンダーフィルを注入する注入口の面積が小さくなると共に、アンダーフィルの流入経路も細くなるため、アンダーフィルの充填が困難となり、その結果、貫通電極を有する半導体装置とベース基板又は他の半導体装置との間にアンダーフィルが充填されていない大きい未充填領域が生成される場合がある。このように、貫通電極の配置によっては、アンダーフィルの充填に問題が生じるのである。

【0079】

それに対して、本実施形態においては、図6(a)に示すように、複数の貫通電極5を密集させて形成した電極群7を半導体装置内に9つ配置し、さらに、これらの電極群7を互いに等間隔で配置している。このように、複数の電極群7を等間隔で配置することによって、半導体装置側面においてアンダーフィルの注入口となる電極群7間の間隙が大きくなると共に、アンダーフィルの流入経路の断面積も半導体装置全体に亘って均等に広がるため、アンダーフィルの注入を容易に行うことができる。

【0080】

尚、本実施形態においては、電極群7の配置領域へのアンダーフィル充填は困難になるものの、半導体装置全体で見ると、大きい未充填領域の形成を防ぐことができ、アンダーフィルの充填率は向上するので、接着信頼性が向上した半導体装置を実現することができる。

【0081】

また、本実施形態において、電極群7を縦方向及び横方向にそれぞれ3群ずつ配置する場合(図6(a))を示しているが、電極群7の総数が3つ以上であれば、本発明において電極群7の配置の仕方は特に限定されるものではなく、例えば、電極群7を縦方向及び横方向にそれぞれ10群ずつ配置してもよい。或いは、電極群7を行列状に配置する代わりに、図6(b)に示すように、電極群7を千鳥状に配列してもよい。尚、電極群7を等

10

20

30

40

50

間隔で配置すると、アンダーフィルの充填が容易になるという効果が得られる。

【0082】

(第5の実施形態)

図7(a)は、本発明の第5の実施形態に係る半導体装置における電極群の平面構成を示す図である。尚、本実施形態は、図1(a)及び(b)に示す第1の実施形態を変形したものであって、以下に記載する事項以外については基本的に第1の実施形態と同じである。

【0083】

ところで、貫通電極は、フォトリソグラフィによる貫通穴パターン転写工程やエッチングによる貫通穴形成工程等といったプロセスを経て形成されるが、貫通電極を密集して配置しようとする場合、プロセス条件によっては貫通穴の形状に問題が生じることがある。例えば、プラズマを用いたドライエッチングによって密集した貫通穴を形成する場合、エッチング条件によっては密集したパターンの周縁部でエッチングと側壁保護膜形成とのバランスが崩れて、貫通穴形状に不良が生じることがある。

【0084】

そこで、図7(a)に示す本実施形態の電極群においては、電氣的接続のために用いる複数個の貫通電極(真正貫通電極)60を電極群中心部に配置すると共に、半導体装置内の配線とは電氣的に接続されていない擬似貫通電極61を電極群周縁部に配置する。言い換えると、複数個の真正貫通電極60の周辺に擬似貫通電極61を配置する。この構成においては、プロセス条件の調整によって、プロセス起因の形状不良等の発生を電極群周縁部に配置された擬似貫通電極に吸収させることができるので、電氣的接続に用いられる真正貫通電極60については正常な形状で形成することが可能となる。これにより、真正貫通電極60の信頼性を向上させることが可能となる。

【0085】

尚、擬似貫通電極61の材料としては、真正貫通電極60と同様に、Cu、Al、W又はポリシリコン等を用いてもよいし、或いは、SiO₂等の絶縁物を用いてもよい。また、擬似貫通電極61の材料として、前述の金属材料や他の熱伝導性の良い材料を用いることによって、半導体装置の放熱性を向上させることもできる。

【0086】

ところで、擬似貫通電極は、電氣的接続の用途を主目的としたものではないため、仮に導電性材料を用いた擬似貫通電極を単独で電氣的接続に用いたとしても、抵抗値が高いことなどが原因となって、性能的に十分ではない可能性がある。しかしながら、単一の電極群内において、例えば、電源線の低抵抗化を目的として、電源線を構成する真正貫通電極(以下、真正電源貫通電極という)に対して、当該電源線を構成するように擬似貫通電極を補助的に配置してもよい(以下、このような用途を目的とする擬似貫通電極を「補助貫通電極」と称する)。このように、同じ電極群内に存在する真正電源貫通電極と同じ電源電圧を補助貫通電極に印加にすることによって、当該電源線の抵抗を低下させることができるので、半導体装置に供給される電源電圧の低下を防止することができる。また、プロセス条件の調整によって、プロセス起因の形状不良等を電極群周縁部に発生させる場合には、補助貫通電極を電極群周縁部に配置すること、言い換えると、真正貫通電極を電極群周縁部に配置しないことが好ましい。このようにすると、形状不良等の問題が生じた場合にも、真正貫通電極の信頼性の低下を防止することができる。

【0087】

尚、図7(a)に示す電極群においては、その周縁部に擬似貫通電極61を配置したが、プロセス条件の調整により、電極群中心部にプロセス起因の不良等を生じさせる場合には、図7(b)に示すように、電極群中心部に擬似貫通電極61を配置してもよい。このようにすると、電氣的接続に用いられる真正貫通電極60を粗に配置できるため、半導体装置内において配線の引き回しを行いやすくなる。

【0088】

また、応力の均衡を確保しながら、貫通電極を有する半導体装置をベース基板上に実装

10

20

30

40

50

したり又は当該半導体装置と他の半導体装置とを積層するためには、当該半導体装置における各電極群を構成する貫通電極の数はほぼ同じであることが好ましい。従って、電極群を構成する真正貫通電極の個数が、同じ半導体装置内に配置された電極群毎に異なるような場合には、真正貫通電極の個数が比較的少ない電極群に擬似貫通電極を配置することにより、各電極群を構成する貫通電極の数がほぼ同じになるように調整することもできる。

【0089】

(第6の実施形態)

図8(a)は、本発明の第6の実施形態に係る積層型半導体装置の断面図を示している。尚、本実施形態は、図1(a)及び(b)に示す第1の実施形態に係る半導体装置を少なくとも1つ含む複数の半導体装置を積層させた積層型半導体装置に関し、第1の実施形態と重複する記載については省略する。また、図8(a)において、説明を簡単にするために、図1(a)及び(b)に示す第1の実施形態に係る半導体装置の構成要素の一部を省略している。

10

【0090】

図8(a)に示す積層型半導体装置200においては、ベース基板17上に、第1の実施形態で例示した、貫通電極を有する2つの半導体装置100A及び100Bと、貫通電極を有していない半導体装置101とが積層されている。

【0091】

半導体装置100Aは、半導体基板1Aに設けられた活性素子領域(素子分離を含む)3Aと、半導体基板1Aを貫通する複数の貫通電極からなる電極群7Aと、半導体基板1Aの活性素子形成面上に形成された配線層(電極群7Aと電氣的に接続された配線と絶縁層とを含む)19Aとを有している。また、半導体装置100Aは、ベース基板17上に、半導体基板1Aの活性素子形成面の反対面がベース基板17と対向するように実装されている。尚、ベース基板17と半導体装置100Aとの間はアンダーフィル15Aによって封止されていると共に、ベース基板17と半導体装置100Aの電極群7Aとの電氣的接続はハンダバンプ16Aによって確保されている。

20

【0092】

半導体装置100Bは、半導体基板1Bに設けられた活性素子領域(素子分離を含む)3Bと、半導体基板1Bを貫通する複数の貫通電極からなる電極群7Bと、半導体基板1Bの活性素子形成面上に形成された配線層(電極群7Bと電氣的に接続された配線と絶縁層とを含む)19Bとを有している。また、半導体装置100Bは、半導体装置100A上に、配線層19Bが半導体装置100Aと対向するように積層されている。尚、半導体装置100Aと半導体装置100Bとの間はアンダーフィル15Bによって封止されていると共に、半導体装置100Aの配線層19Aと半導体装置100Bの配線層19Bとの電氣的接続はハンダバンプ16Bによって確保されている。

30

【0093】

半導体装置101は、半導体基板1Cに設けられた活性素子領域(素子分離を含む)18と、半導体基板1Cの活性素子形成面上に形成された配線層(配線と絶縁層とを含む)19Cとを有している。また、半導体装置101は、配線層19Cが半導体装置100Bと対向するように積層されている。尚、半導体装置100Bと半導体装置101との間はアンダーフィル15Cによって封止されていると共に、半導体装置100Bの電極群19Bと半導体装置101の配線層19Cとの電氣的接続はハンダバンプ16Cによって確保されている。

40

【0094】

以上に説明した本実施形態の積層型半導体装置によると、半導体装置間の電氣的接続に貫通電極を用いているため、ワイヤーボンディングを用いた従来の積層型半導体装置と比べて、より配線長の短い小型の積層型半導体装置を実現することができる。また、本実施形態の積層型半導体装置によると、貫通電極を有する従来の半導体装置と比べて、より小型化が可能な第1の実施形態に係る半導体装置つまり本発明の貫通電極群を有する半導体装置100A及び100Bを有するため、貫通電極を有する従来の半導体装置のみからな

50

る積層型半導体装置と比べて、装置全体の大きさを縮小化することができる。

【0095】

尚、積層形態が図8(a)に示す態様に限られないことは言うまでもなく、第1の実施形態に係る半導体装置100(第2~第5の実施形態の変形を加えたものを含む)を少なくとも1つ含んでいる全ての積層型半導体装置が本発明の概念に含まれる。

【0096】

図8(b)及び(c)は、本実施形態の変形例に係る半導体装置の断面図を示している。尚、図8(b)及び(c)において、図8(a)に示す本実施形態の積層型半導体装置と同一の構成要素には同一の符号を付すことにより、重複する説明を省略する。

【0097】

図8(b)に示す積層型半導体装置201においては、ベース基板17上に、第1の実施形態で例示した、貫通電極を有する3つの半導体装置100A、100B及び100Cが積層されている。すなわち、積層型半導体装置201が有する全ての半導体装置が貫通電極を有する。その他、図8(b)に示す積層型半導体装置201が図8(a)に示す積層型半導体装置200と異なっている点は次の通りである。まず、半導体装置100Bは、半導体装置100A上に、半導体基板1Bの活性素子形成面の反対面が半導体装置100Aと対向するように積層されている。また、半導体装置100Aの配線層19Aと半導体装置100Bの電極群7Bとの電氣的接続がハンダバンプ16Bによって確保されている。さらに、半導体装置100Cは、半導体基板1Cに設けられた活性素子領域(素子分離を含む)3Cと、半導体基板1Cを貫通する複数の貫通電極からなる電極群7Cと、半導体基板1Cの活性素子形成面上に形成された配線層(電極群7Cと電氣的に接続された配線と絶縁層とを含む)19Cとを有している。ここで、半導体装置100Cは、半導体装置100B上に、半導体基板1Cの活性素子形成面の反対面が半導体装置100Bと対向するように積層されている。尚、半導体装置100Bと半導体装置100Cとの間はアンダーフィル15Cによって封止されていると共に、半導体装置100Bの配線層19Bと半導体装置100Cの電極群7Cとの電氣的接続はハンダバンプ16Cによって確保されている。

【0098】

図8(c)に示す積層型半導体装置202においては、ベース基板17上に、貫通電極を有していない半導体装置102と、第1の実施形態で例示した、貫通電極を有する2つの半導体装置100A及び100Bとが積層されている。その他、図8(c)に示す積層型半導体装置202が図8(a)に示す積層型半導体装置200と異なっている点は次の通りである。まず、半導体装置102は、半導体基板1Cに設けられた活性素子領域(素子分離を含む)18と、半導体基板1Cの活性素子形成面上に形成された配線層(配線と絶縁層とを含む)19Cと、配線層19C上に形成された電極パッド11とを有している。また、半導体装置102は、半導体基板1Cの活性素子形成面の反対面がベース基板17に接するようにベース基板17上に実装されている。尚、半導体装置102の電極パッド11とベース基板17との電氣的接続はワイヤーボンディング20によって確保されている。次に、半導体装置100Aは、半導体装置102上に、半導体基板1Aの活性素子形成面の反対面が半導体装置102と対向するように積層されている。尚、半導体装置102と半導体装置100Aとの間はアンダーフィル15Aによって封止されていると共に、半導体装置102の配線層19Cと半導体装置100Aの電極群7Aとの電氣的接続がハンダバンプ16Aによって確保されている。次に、半導体装置100Bは、半導体装置100A上に、半導体基板1Bの活性素子形成面の反対面が半導体装置100Aと対向するように積層されている。また、半導体装置100Aの配線層19Aと半導体装置100Bの電極群7Bとの電氣的接続がハンダバンプ16Bによって確保されている。

【0099】

また、本実施形態においては、半導体装置同士の間、及び半導体装置とベース基板との間の電氣的接続をハンダバンプによって確保すると共に、半導体装置同士の間、及び半導体装置とベース基板との間をアンダーフィルによって封止したが、本発明の

10

20

30

40

50

概念はこれに限られるものではない。例えば、積層される半導体装置の貫通電極間を熱圧着や金属間結合等を利用して直接接合してもよいし、又は積層される半導体装置の貫通電極間を直接には接合せずに（貫通電極間に絶縁物や充填材を介在させて）当該貫通電極間を容量結合や電磁誘導結合等を利用して電氣的に接続してもよい。

【0100】

（第7の実施形態）

図9（a）及び（b）は、本発明の第7の実施形態に係る積層型半導体装置の断面図及び平面図を示している。但し、図9（b）に示す平面図は、本実施形態の積層型半導体装置300を上面から見たときの貫通電極（電極群）の配置のみを抽出して示した図である。尚、本実施形態は、図1（a）及び（b）に示す第1の実施形態に係る半導体装置を少なくとも2つ含む複数の半導体装置を積層させた積層型半導体装置に関し、第1の実施形態と重複する記載については省略する。また、図9（a）及び（b）に示す本実施形態の積層型半導体装置300は、図8（b）に示す第6の実施形態の変形例に係る積層型半導体装置201をさらに変形させたものであり、図9（a）及び（b）において、図8（b）に示す第6の実施形態の変形例に係る積層型半導体装置201と同一の構成要素には同一の符号を付すことにより、重複する説明を省略する。

10

【0101】

ところで、貫通電極により半導体装置間の電氣的接続を取っている積層型半導体装置においては、その構造によって、外部から加えられた応力が貫通電極に集中し、その結果、各半導体装置に損傷が生じることがある。そのため、積層型半導体装置では外部応力の集中を防ぐ工夫が必要となる。

20

【0102】

そこで、図9（a）及び（b）に示す本実施形態の積層型半導体装置300において、貫通電極を有する3つの半導体装置100A、100B及び100Cを積層する際に、各半導体装置100A、100B及び100Cに設けられた電極群7A、7B及び7Cをそれぞれ平面的に異なる箇所に配置している。言い換えると、各半導体装置100A、100B及び100Cにおける各電極群7A、7B及び7Cは互いにオーバーラップしないように配置されている。

【0103】

この構成により、積層型半導体装置300内において応力が特定の箇所に集中することを防ぐことができるので、積層型半導体装置300が損傷する可能性を低減することができる。

30

【0104】

以上、本発明をその好適な実施形態に基づいて説明してきたが、本発明は、前述の実施形態のみに限定されるものではなく、各実施形態の組み合わせも本発明の範囲に含まれることは言うまでもない。

【産業上の利用可能性】

【0105】

本発明は、貫通電極を有する半導体装置に関し、複数の貫通電極を集めて電極群を構成することにより、貫通電極周辺に緩衝領域を設けた場合にも半導体装置の小型化を図りつつ活性素子の電氣的特性を安定させることができ、非常に有用である。

40

【符号の説明】

【0106】

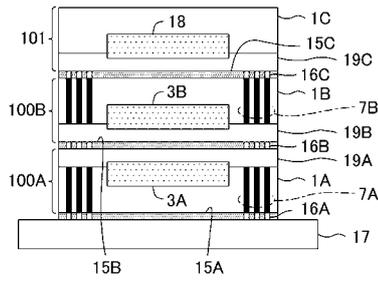
- 1、1A、1B、1C 半導体基板
- 2a 第1主表面
- 2b 第2主表面
- 3 活性素子領域
- 4A、4B、4C 配線
- 5 貫通電極
- 6 緩衝領域

50

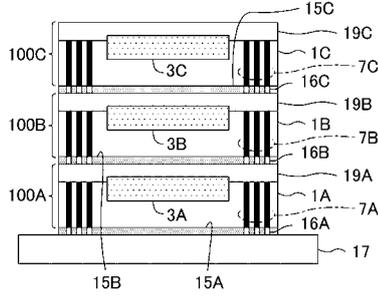
7、7 A、7 B、7 C	電極群	
8	不純物層	
9	素子分離	
10 A、10 B、10 C、10 D	絶縁層	
11	電極パッド	
12	プラグ	
13	ゲート電極	
14	ゲート絶縁膜	
15 A、15 B、15 C	アンダーフィル	
16 A、16 B、16 C	ハンダバンプ	10
17	ベース基板	
18	活性素子形成領域	
19 A、19 B、19 C	配線層	
20	ワイヤーボンディング	
21 A、21 B、21 C	ビア	
30、30 a、30 b、30 c	信号貫通電極	
31、31 a、31 b	電源貫通電極	
32、32 a、32 b	グランド貫通電極	
60	真正貫通電極	
61	擬似貫通電極（補助貫通電極）	20
100、100 A、100 B、100 C	半導体装置（貫通電極を有する半導体装置）	
101	貫通電極を有しない半導体装置	
200	貫通電極を有する積層型半導体装置	
201	貫通電極を有する積層型半導体装置	
202	貫通電極を有する積層型半導体装置	
300	貫通電極を有した積層型半導体装置	

【 8 】

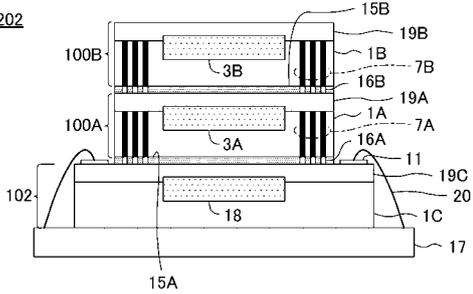
(a) 200



(b) 201

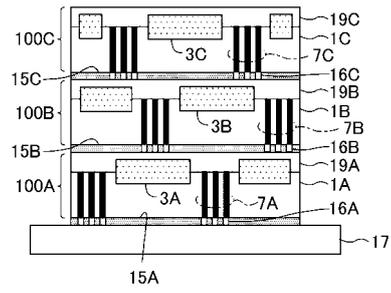


(c) 202

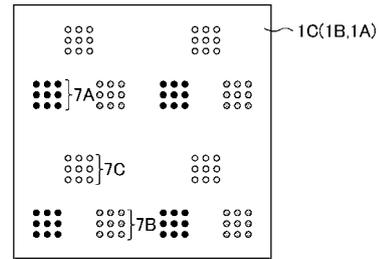


【 9 】

(a) 300

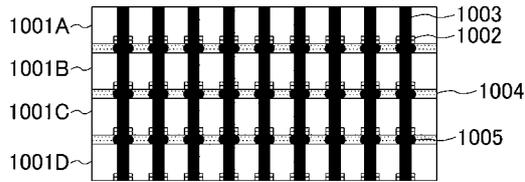


(b)

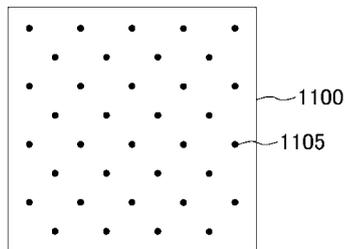


【 10 】

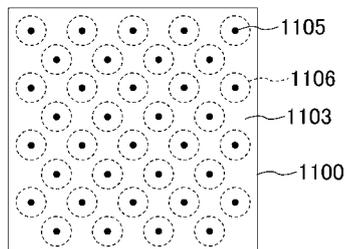
1000



【 11 】



【 12 】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 25/18 (2006.01)

(74)代理人 100117710

弁理士 原田 智雄

(74)代理人 100121728

弁理士 井関 勝守

(74)代理人 100124671

弁理士 関 啓

(74)代理人 100131060

弁理士 杉浦 靖也

(72)発明者 西尾 太一

大阪府門真市大字門真1006番地 パナソニック株式会社内

(72)発明者 平野 博茂

大阪府門真市大字門真1006番地 パナソニック株式会社内

(72)発明者 太田 行俊

大阪府門真市大字門真1006番地 パナソニック株式会社内

審査官 正山 旭

(56)参考文献 特開2006-165025(JP,A)

特開2003-151978(JP,A)

国際公開第2006/051945(WO,A1)

(58)調査した分野(Int.Cl.,DB名)

H 0 1 L 2 1 / 3 2 0 5

H 0 1 L 2 1 / 7 6 8

H 0 1 L 2 3 / 5 2 2

H 0 1 L 2 5 / 0 6 5

H 0 1 L 2 5 / 0 7

H 0 1 L 2 5 / 1 8