



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0024893  
(43) 공개일자 2021년03월08일

<p>(51) 국제특허분류(Int. Cl.) H01L 21/768 (2006.01) H01L 21/304 (2006.01) H01L 21/3105 (2006.01) H01L 21/311 (2006.01) H01L 23/485 (2006.01) H01L 25/07 (2006.01)</p> <p>(52) CPC특허분류 H01L 21/76832 (2013.01) H01L 21/304 (2013.01)</p> <p>(21) 출원번호 10-2019-0104647 (22) 출원일자 2019년08월26일 심사청구일자 없음</p>	<p>(71) 출원인 삼성전자주식회사 경기도 수원시 영통구 삼성로 129 (매탄동)</p> <p>(72) 발명자 이규하 경기도 성남시 분당구 수내로 148, 111동 403호(수내동, 파크타운서안아파트)</p> <p>강필규 경기도 화성시 동탄대로시범길 276, 903동 403호(청계동, 시범우남퍼스트빌아파트) (뒷면에 계속)</p> <p>(74) 대리인 리엔목특허법인</p>
---	--

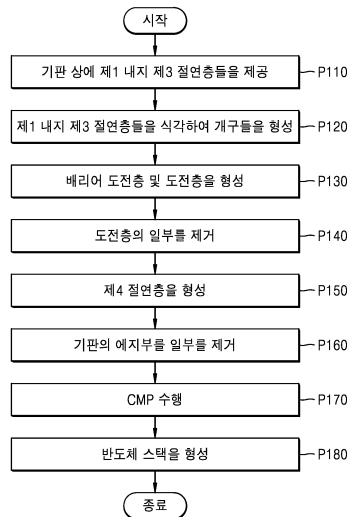
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 반도체 소자 제조 방법

(57) 요약

상술한 과제를 해결하기 위한, 예시적인 실시예들에 따르면 반도체 소자 제조 방법이 제공된다. 상기 방법은, 기판 상에 제1, 제2 및 제3 절연층들을 순차적으로 형성하는 단계; 상기 제1, 제2 및 제3 절연층들을 식각하여 개구를 형성하는 단계; 상기 개구를 부분적으로 채우는 도전층을 형성하는 단계; 상기 개구의 적어도 일부를 채우는 제4 절연층을 형성하는 단계; 및 상기 기판의 가장자리의 적어도 일부를 제거하는 트리밍 단계를 포함할 수 있다.

대표도 - 도1



(52) CPC특허분류

*H01L 21/31051* (2013.01)  
*H01L 21/31105* (2013.01)  
*H01L 21/76813* (2013.01)  
*H01L 21/76816* (2013.01)  
*H01L 21/76831* (2013.01)  
*H01L 21/76834* (2013.01)  
*H01L 21/76837* (2013.01)  
*H01L 23/485* (2013.01)  
*H01L 25/074* (2013.01)

(72) 발명자

**김석호**

경기도 화성시 동탄반석로 41, 619동 1202호(반송동, 나루마을신도브레뉴아파트)

**나훈주**

서울특별시 강남구 영동대로 210, 3동 505호(대치동, 쌍용아파트)

**문광진**

경기도 화성시 영통로50번길 14, 202동 1003호(반월동, 반달마을두산위브아파트)

**박재형**

경기도 안양시 동안구 안양관교로 42, 113동 2102호(관양동, 인덕원마을삼성아파트)

**장주희**

경기도 화성시 동탄공원로 21-12, 910동 1201호(능동, 푸른마을 포스코더샵2차)

**홍의관**

경기도 용인시 기흥구 서천동로21번길 11-4, 302동 102호(서천동)

## 명세서

### 청구범위

#### 청구항 1

기판 상에 제1, 제2 및 제3 절연층들을 순차적으로 형성하는 단계;  
상기 제1, 제2 및 제3 절연층들을 식각하여 개구를 형성하는 단계;  
상기 개구를 부분적으로 채우는 도전층을 형성하는 단계;  
상기 개구의 적어도 일부를 채우는 제4 절연층을 형성하는 단계; 및  
상기 기판의 가장자리의 적어도 일부를 제거하는 트리밍 단계를 포함하는 반도체 소자 제조방법.

#### 청구항 2

제1항에 있어서,  
상기 트리밍 단계는,  
상기 기판의 가장자리의 적어도 일부를 제거한 후 산 베이스 용액을 이용하여 상기 기판을 세정하는 것을 특징으로 하는 반도체 소자 제조방법.

#### 청구항 3

제1항에 있어서,  
상기 제4 절연층은 상기 제2 절연층과 동일한 물질을 포함하는 것을 특징으로 하는 반도체 소자 제조방법.

#### 청구항 4

제1항에 있어서,  
상기 제4 절연층을 형성하는 단계 이전에, 상기 도전층의 일부를 제거하여 도전성 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자 제조방법.

#### 청구항 5

제4항에 있어서,  
상기 도전성 패턴의 상면이 노출되도록 CMP(Chemical Mechanical Polishing)를 수행하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

#### 청구항 6

제5항에 있어서,  
상기 CMP에 의해 상기 제4 절연층 중 적어도 일부는 상기 제2 절연층의 상부와 동시에 제거되는 것을 특징으로 하는 반도체 소자 제조 방법.

#### 청구항 7

제5항에 있어서,  
상기 CMP는 상기 제2 절연층을 설정된 양만큼 식각하는 것을 타겟으로 수행되는 것을 특징으로 하는 반도체 소자 제조 방법.

#### 청구항 8

제1 기판의 제1 면 상에 순차로 제1 내지 제3 절연층들을 형성하는 단계;

상기 제1 내지 제3 절연층들을 식각하여 복수의 개구들을 형성하는 단계;  
 상기 제1 내지 제3 절연층들 상에 콘포말한 형상의 배리어 도전층을 형성하는 단계;  
 상기 복수의 개구들의 적어도 일부를 채우고, 상기 배리어 도전층과 접하는 도전층을 형성하는 단계;  
 상기 도전층의 일부를 제거하여 도전성 패턴을 형성하는 단계;  
 상기 도전 패턴 및 상기 배리어 도전층 상에 제4 절연층을 형성하는 단계로서, 상기 제4 절연층은 상기 도전 패턴 및 상기 배리어 도전층에 접하고, 상기 제4 절연층의 상면은 상기 제3 절연층의 상면보다 상기 기판으로부터 멀리 이격되고;  
 상기 기판의 가장자리의 적어도 일부를 제거하고 상기 기판을 세정하는 단계;  
 상기 도전성 패턴의 상면이 노출되도록 CMP를 수행하는 단계;  
 상기 제1 기판을 제2 기판에 결합시키는 단계; 및  
 상기 제1 기판의 상기 제1 면과 대향하는 제2 면을 그라인드하는 단계;를 포함하는 반도체 소자 제조 방법.

**청구항 9**

제8항에 있어서,  
 상기 제4 절연층은 상기 제2 절연층과 동일한 물질을 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

**청구항 10**

제1 기판을 포함하는 제1 반도체 구조에 제1 후면 배선 구조를 제공하는 단계;  
 제2 기판을 포함하는 제2 반도체 구조에 제1 전면 배선 구조를 제공하는 단계; 및  
 상기 제1 반도체 구조 상에 상기 제2 반도체 구조를 실장하는 단계;를 포함하되,  
 상기 제2 반도체 구조에 제1 전면 배선 구조를 제공하는 단계는,  
 상기 제2 기판 상에 제1 내지 제3 절연층들을 형성하는 단계;  
 제1 개구들이 형성되도록, 상기 제1 내지 제3 절연층들을 식각하는 단계;  
 상기 제1 개구들을 부분적으로 채우는 제1 배리어 도전층 및 제1 도전층을 형성하는 단계;  
 상기 제1 도전층의 상부를 제거하여 제1 도전 패턴들을 형성하는 단계;  
 상기 제1 도전 패턴들 및 상기 제1 배리어 도전층을 커버하는 제4 절연층을 제공하는 단계; 및  
 상기 제2 기판의 에지부의 적어도 일부를 제거하는 제1 트리밍 단계를 포함하는 반도체 소자 제조 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 반도체 소자 제조 방법에 관한 것이다.

**배경 기술**

[0002] 웨이퍼 투 웨이퍼 결합은 흔히 웨이퍼 레벨 3-D 패키징에 사용된다. 최근, 서로 다른 종류의 웨이퍼들을 결합하거나, 또는 서로 다른 종류의 반도체 소자들이 구현된 웨이퍼들을 결합하여 2.5D 또는 3D 집적 회로(integrated circuit, IC) 패키지(웨이퍼 스택이라고도 함)를 제조하기 위한 다양한 기술들이 연구되고 있다. 웨이퍼 스택을 형성한 후, 일반적으로 접합된 웨이퍼 중 적어도 하나에 백그라인딩 공정이 수행될 수 있다. 백그라인딩 공정은 웨이퍼 스택에 포함된 웨이퍼의 두께를 감소시켜 IC의 고밀도 패키징을 가능할 수 있고, 경우에 따라 후속 공정을 위한 결합용 배선을 노출시킬 수 있다.

[0003] 백 그라인딩 공정 이전에 웨이퍼의 가장 자리를 제거하는 공정을 에지 트리밍이라고 지칭한다. 이러한 에지 트

리밍 공정에 의해 백 그라인딩 또는 범핑 공정 중에 웨이퍼의 에지가 칩핑(chipping)되거나 파손되는 것을 방지할 수 있다. 그러나, 종래의 웨이퍼 트리밍 공정은, 트리밍 직후에 수행되는 세정 공정에 의해 본딩 전극들이 손상되어 웨이퍼 스택의 신뢰성 및 수율이 저하되는 문제점이 있다.

**발명의 내용**

**해결하려는 과제**

[0004] 본 발명의 기술적 사상이 해결하려는 과제는 신뢰성이 제고된 반도체 소자 제조 방법을 제공하는 것이다.

[0005] 본 발명의 기술적 사상이 해결하고자 하는 과제는 이상에서 언급한 과제에 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

**과제의 해결 수단**

[0006] 상술한 과제를 해결하기 위한, 예시적인 실시예들에 따르면 반도체 소자 제조 방법이 제공된다. 상기 방법은, 기판 상에 제1, 제2 및 제3 절연층들을 순차적으로 형성하는 단계; 상기 제1, 제2 및 제3 절연층들을 식각하여 개구를 형성하는 단계; 상기 개구를 부분적으로 채우는 도전층을 형성하는 단계; 상기 개구의 적어도 일부를 채우는 제4 절연층을 형성하는 단계; 및 상기 기판의 가장자리의 적어도 일부를 제거하는 트리밍 단계를 포함할 수 있다.

[0007] 다른 예시적인 실시예들에 따르면, 반도체 소자 제조 방법이 제공된다. 상기 방법은, 제1 기판의 제1 면 상에 순차로 제1 내지 제3 절연층들을 형성하는 단계; 상기 제1 내지 제3 절연층들을 식각하여 복수의 개구들을 형성하는 단계; 상기 제1 내지 제3 절연층들 상에 콘포말한 형상의 배리어 도전층을 형성하는 단계; 상기 복수의 개구들의 적어도 일부를 채우고, 상기 배리어 도전층과 접하는 도전층을 형성하는 단계; 상기 도전층의 일부를 제거하여 도전성 패턴을 형성하는 단계; 상기 도전 패턴 및 상기 배리어 도전층 상에 제4 절연층을 형성하는 단계로서, 상기 제4 절연층은 상기 도전 패턴 및 상기 배리어 도전층에 접하고, 상기 제4 절연층의 상면은 상기 제3 절연층의 상면보다 상기 기판으로부터 멀리 이격되고; 상기 기판의 가장자리의 적어도 일부를 제거하고 상기 기판을 세정하는 단계; 상기 도전성 패턴의 상면이 노출되도록 CMP를 수행하는 단계; 상기 제1 기판을 제2 기판에 결합시키는 단계; 및 상기 제1 기판의 상기 제1 면과 대향하는 제2 면을 그라인드하는 단계;를 포함할 수 있다.

[0008] 다른 예시적인 실시예들에 따르면, 반도체 소자 제조 방법이 제공된다. 상기 방법은, 제1 기판을 포함하는 제1 반도체 구조에 제1 후면 배선 구조를 제공하는 단계; 제2 기판을 포함하는 제2 반도체 구조에 제1 전면 배선 구조를 제공하는 단계; 및 상기 제1 반도체 구조 상에 상기 제2 반도체 구조를 실장하는 단계;를 포함하되, 상기 제2 반도체 구조에 제1 전면 배선 구조를 제공하는 단계는, 상기 제2 기판 상에 제1 내지 제3 절연층들을 형성하는 단계; 제1 개구들이 형성되도록, 상기 제1 내지 제3 절연층들을 식각하는 단계; 상기 제1 개구들을 부분적으로 채우는 제1 배리어 도전층 및 제1 도전층을 형성하는 단계; 상기 제1 도전층의 상부를 제거하여 제1 도전 패턴들을 형성하는 단계; 상기 제1 도전 패턴들 및 상기 제1 배리어 도전층을 커버하는 제4 절연층을 제공하는 단계; 및 상기 제2 기판의 에지부의 적어도 일부를 제거하는 제1 트리밍 단계를 포함할 수 있다.

**발명의 효과**

[0009] 본 발명의 기술적 사상에 따르면, 서로 다른 이종의 웨이퍼를 접합하는 단계에서 본딩 전극에 보이드가 발생하는 것을 방지할 수 있다. 이에 따라 수율 및 신뢰성이 제고된 반도체 소자 제조 방법을 제공할 수 있다.

**도면의 간단한 설명**

- [0010] 도 1은 일부 실시예들에 따른 반도체 소자 제조 방법을 설명하기 위한 순서도이다.
- 도 2a는 일부 실시예들에 따른 반도체 소자 제조 방법을 설명하기 위한 개략적인 단면도이다.
- 도 2b는 도 2a의 일부를 확대 도시한 부분 단면도이다.
- 도 3 내지 도 6은 일부 실시예들에 따른 반도체 소자의 제조 방법을 설명하기 위한 단면도들로서, 각각 도 2b에 대응되는 부분 단면도들이다.
- 도 7a는 일부 실시예들에 따른 반도체 소자 제조 방법을 설명하기 위한 개략적인 단면도이다.
- 도 7b는 도 7a의 일부를 확대 도시한 부분 단면도이다.

도 8은 일부 실시예들에 따른 반도체 소자의 제조 방법을 설명하기 위한 부분 단면도이다.

도 9a 및 도 9b는 일부 실시예들에 따른 반도체 소자 제조 방법을 설명하기 위한 단면도들이다.

도 10은 다른 일부 실시예들에 따른 반도체 소자 제조 방법을 설명하기 위한 순서도이다.

도 11 내지 도 15b는 일부 실시예들에 따른 반도체 소자 제조 방법을 설명하기 위한 단면도들이다.

도 16은 다른 일부 실시예들에 따른 반도체 소자 제조 방법을 설명하기 위한 순서도이다.

도 17 내지 도 19c는 일부 실시예들에 따른 반도체 소자 제조 방법을 설명하기 위한 단면도들이다.

도 20은 일부 실시예들에 따른 반도체 소자 제조 방법을 설명하기 위한 순서도이다.

도 21 내지 도 27b는 일부 실시예들에 따른 반도체 소자 제조 방법을 설명하기 위한 단면도들이다.

도 28은 일부 실시예들에 따른 반도체 소자 제조 방법을 설명하기 위한 순서도이다.

도 29 내지 도 33은 일부 실시예들에 따른 반도체 소자 제조 방법을 설명하기 위한 단면도들이다.

### 발명을 실시하기 위한 구체적인 내용

- [0011] 이하, 첨부 도면을 참조하여 본 발명의 실시예들을 상세히 설명한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고, 이들에 대한 중복된 설명은 생략한다. 이하의 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장되어 표현되었고, 이에 따라 실제의 형상 및 비율과 다소 상이할 수 있다.
- [0012] 도 1은 일부 실시예들에 따른 반도체 소자 제조 방법을 설명하기 위한 순서도이다.
- [0013] 도 2a는 일부 실시예들에 따른 반도체 소자 제조 방법을 설명하기 위한 개략적인 단면도이며, 도 2b는 도 2a의 A부분을 확대 도시한 부분 단면도이다.
- [0014] 도 1 내지 도 2b를 참조하면, P110에서, 기판(101) 상에 제1 내지 제3 절연층들(110, 120, 130)을 제공할 수 있다.
- [0015] 기판(101)은 예를 들면, 실리콘(Si, silicon)을 포함할 수 있다. 또는 기판(101)은 게르마늄(Ge, germanium)과 같은 반도체 원소, 또는 SiC (silicon carbide), GaAs(gallium arsenide), InAs (indium arsenide), 및 InP (indium phosphide)와 같은 화합물 반도체를 포함할 수 있다. 또는 기판(101)은 SOI (silicon on insulator) 구조를 가질 수 있다. 예를 들면, 기판(101)은 BOX 층(buried oxide layer)을 포함할 수 있다. 기판(101)은 도전 영역, 예를 들면 불순물이 도핑된 웰 (well), 또는 불순물이 도핑된 구조물을 포함할 수 있다. 또한, 기판(101)은 STI (shallow trench isolation) 구조와 같은 다양한 소자분리 구조를 가질 수 있다. 기판(101)은 활성면인 제1 면과 제1 면에 반대되는 비활성면인 제2 면을 가질 수 있다.
- [0016] 도 2a에서, 기판(101)의 에지가 라운드 형상을 갖는 것으로 도시되었으나 이에 제한되는 것은 아니다. 예컨대, 기판(101)의 에지는 베벨(beveled) 구조와 같이 라운드 형상 이외의 다양한 형상을 가질 수 있다. 기판(101)은 위에서 볼때, 대략 원판 형상을 가질 수 있다. 기판(101)은 기판(101)의 방향을 식별하기 위한 노치를 포함할 수 있다. 경우에 따라, 기판(101)은 도펀트 타입을 나타내기 위해 추가 지시기를 더 포함할 수 있다.
- [0017] 제1 절연층(110)은 기판(101) 상에 배치될 수 있다. 제1 절연층(110)은 기판(101)과 접할 수 있다. 제1 절연층(110)은, 예컨대, 실리콘 산화물 등의 절연 물질을 포함할 수 있다. 일부 실시예들에 따르면, 제1 절연층(110)은 서로 다른 공정에서 반복적으로 적층된 절연 물질층들이 일체화되어 형성될 수 있다. 일부 실시예들에 따르면, 제1 절연층(110) 내에 배선층이 형성될 수 있다. 이에 따라 제1 절연층(110)은 MIM(Metal Insulator Metal)구조를 가질 수 있고, 예컨대 BEOL(Back End of Line) 공정에 의해 형성될 수 있다. 경우에 따라, 제1 절연층(110) 내에 커패시터와 같은 수동 소자들이 더 형성될 수 있다.
- [0018] 기판(101) 내에, 또는 기판(101) 및 제1 절연층(110)에 걸쳐 다양한 반도체 소자가 형성될 수 있다. 상기 다양한 반도체 소자는, 예를 들면 CMOS 트랜지스터 (complementary metal-insulator-semiconductor transistor) 등과 같은 MOSFET (metal-oxide-semiconductor field effect transistor) 소자, DRAM(dynamic random access memory), PRAM(Phase Change RAM), STT-MRAM(Spin Transfer Torque-Magnetic RAM), ReRAM(Resistive RAM), 플래쉬 메모리와 같은 메모리 소자, 시스템 LSI(large scale integration), CIS (CMOS imaging sensor) 등과 같은 이미지 센서, MEMS(micro-electro-mechanical system), 능동 소자, 수동 소자 등을 포함할 수 있다.

- [0019] 제2 절연층(120)은 제1 절연층(110) 상에 배치될 수 있다. 제2 절연층(120)은 제1 절연층(110)과 접할 수 있다. 제2 절연층(120)은 제1 절연층(110)과 다른 물질을 포함할 수 있다. 일부 실시예들에 따르면, 제2 절연층(120)은, 예컨대, SiC와 같은 실리콘 탄화물을 포함할 수 있다. 일부 실시예들에 따르면, 제2 절연층(120)은, 예컨대, SiN과 같은 실리콘 질화물을 포함할 수 있다. 일부 실시예들에 따르면, 제2 절연층(120)은, 예컨대, SiCN과 같은 실리콘 탄질화물을 포함할 수 있다.
- [0020] 제3 절연층(130)은 제2 절연층(120) 상에 배치될 수 있다. 제3 절연층(130)은 제2 절연층(120)과 접할 수 있다. 제3 절연층(130)은 제2 절연층(120)과 다른 물질을 포함할 수 있다. 제3 절연층(130)은 제1 절연층(110)과 동일한 물질을 포함할 수 있으나 이에 제한되는 것은 아니다. 제3 절연층(130)은 예컨대, 실리콘 산화물 등과 같은 절연 물질을 포함할 수 있다.
- [0021] 도 3 내지 도 6은 일부 실시예들에 따른 반도체 소자의 제조 방법을 설명하기 위한 단면도들로서, 각각 도 2b에 대응되는 부분 단면도들이다.
- [0022] 도 1 및 도 3을 참조하면, P120에서 제1 내지 제3 절연층들(110, 120, 130)을 식각하여 복수의 개구들(Op1)을 형성할 수 있다.
- [0023] 복수의 개구들(Op1)은 예컨대, 건식 식각에 의해 형성될 수 있으나 이에 제한되지 않는다. 도 3 내지 도 6은 설명의 편의를 위해 간략화된 도면으로서, 복수의 개구들(Op1)은 경우에 따라 테이퍼드 구조를 가질 수 있다.
- [0024] 일부 실시예들에 따르면, 복수의 개구들(Op1) 각각의 깊이는 제1 내지 제3 절연층들(110, 120, 130)의 높이보다 낮을 수 있다. 이에 따라 복수의 개구들(Op1)은 기판(101)의 상면을 노출시키지 않을 수 있다.
- [0025] 제1 내지 제3 절연층들(110, 120, 130)에 의해 복수의 개구들(Op1)의 측벽이 정의될 수 있고, 제1 절연층(110)에 의해 복수의 개구들(Op1)의 바닥면이 정의될 수 있다.
- [0026] 도 1 및 도 4를 참조하면, P130에서 배리어 도전층(141) 및 도전층(145)이 형성될 수 있다.
- [0027] 배리어 도전층(141)은 제1 내지 제3 절연층들(110, 120, 130)과 접할 수 있다. 배리어 도전층(141)은 콘포말한 형상을 가질 수 있다. 이에 따라 도 3의 복수의 개구들(Op1)의 형상이 배리어 도전층(141)에 전사될 수 있다.
- [0028] 배리어 도전층(141)은 도전성 물질을 포함할 수 있다. 일부 실시예들에 따르면, 배리어 도전층(141)은 금속 물질을 포함할 수 있다. 일부 실시예들에 따르면, 배리어 도전층(141)은 TiN, TaN, TiAl, TiAlC 등을 포함할 수 있다.
- [0029] 도전층(145)은 배리어 도전층(141) 상에 형성될 수 있다. 도전층(145)은 배리어 도전층(141)과 접할 수 있다. 일부 실시예들에 따르면, 도전층(145)은 도전성 물질을 포함할 수 있다. 일부 실시예들에 따르면, 도전층(145)은 금속 물질을 포함할 수 있다. 일부 실시예들에 따르면, 도전층(145)은 예컨대, Pt, Au, Ag, Fe, Ni, Zn, Sn, Al, Zn, Pb, Sn, Hg, W, Cu 중 적어도 어느 하나를 포함할 수 있다.
- [0030] 도전층(145)은 도 3의 복수의 개구들(Op1)을 부분적으로 채울 수 있고, 이에 따라 복수의 개구들(Op2)이 형성될 수 있다. 복수의 개구들(Op2)의 바닥면은 제2 절연층(120)의 상면보다 기판(101)에 더 가까울 수 있다. 복수의 개구들(Op2)의 바닥면은 제2 절연층(120)의 하면보다 기판(101)으로부터 더 멀 수 있다.
- [0031] 도 1, 도 4 및 도 5을 참조하면, P140에서 도전층(145)의 일부를 제거할 수 있다.
- [0032] 도전층(145)의 상부는 예컨대, CMP 공정과 같은 이방성 식각에 의해 제거될 수 있다. 상기 CMP는 도전층(145)의 식각량(예컨대, 식각 높이)을 타겟으로 한 CMP일 수 있다. 이에 따라, 배리어 도전층(141)의 실질적인 손상 없이 서로 다른 복수의 개구들(Op2)에 대응되는 부분의 도전층(145)이 분리되어 복수의 도전성 패턴들(145p)이 형성될 수 있다.
- [0033] 인접한 도전성 패턴들(145p)은 수평 방향으로 서로 이격될 수 있고, 서로 별도의 전기 경로를 형성할 수 있다. 일부 실시예들에 따르면, 도전층(145)의 일부는 선택적 식각에 의해 제거될 수 있다. 이에 따라, 도전층(145)의 일부를 제거하는 단계에서, 배리어 도전층(141)은 실질적으로 제거되지 않을 수 있다.
- [0034] 여기서 수평 방향은 기판(101)의 상면(예컨대, 제1 절연층(110)과 접하는 면)과 실질적으로 평행한 방향을 지칭하고, 수직 방향은 기판(101)의 상면(예컨대, 제1 절연층(110)과 접하는 면)과 실질적으로 수직인 방향을 지칭한다.
- [0035] 도 1 및 도 6을 참조하면, P150에서 제4 절연층(150)을 제공할 수 있다



- [0036] 제4 절연층(150)은 도 5의 복수의 개구들(Op3)을 충분히 채우도록 제공될 수 있다. 예컨대, 도 3의 복수의 개구들(Op1)의 수직 높이가 약 수십 Å일 때, 제4 절연층(150)의 두께는 약 수백 Å일 수 있다. 예컨대, 도 3의 복수의 개구들(Op1)의 수직 높이가 약 20Å정도일 때, 제4 절연층(150)의 두께는 약 200Å 내지 약 300Å일 수 있다.
- [0037] 일부 실시예들에 따르면, 도 5의 복수의 개구들(Op3) 각각에 대응되는 위치에 리세스들(R)이 형성될 수 있다. 일부 실시예들에 따르면, 리세스들(R)은 도 5의 복수의 개구들(Op3)과 수직으로 중첩될 수 있다. 제4 절연층(150)의 상면(150u) 중 기판(101)에 가장 가까운 부분(150u1)은 리세스(R) 내에 배치될 수 있다. 제4 절연층(150)의 상면(150u) 중 가장 기판에 가까운 부분(150u1)은 제3 절연층(130)의 상면보다 기판(101)으로부터 더 멀리 이격될 수 있다.
- [0038] 제4 절연층(150)은 절연성 물질을 포함할 수 있다. 일부 실시예들에 따르면, 제4 절연층(150)은 SiN과 같은 실리콘 질화물, SiC와 같은 실리콘 탄화물, 및 SiCN과 같은 실리콘 탄질화물 중 적어도 하나를 수 있고, 예컨대 CVD(Chemical Vapor Deposition)에 의해 형성될 수 있다. 다른 일부 실시예들에 따르면, 제4 절연층(150)은 SOH(Spin on Hardmask) 등의 물질을 포함할 수 있고, 스핀 코팅의 방식에 의해 제공될 수 있다. 다른 일부 실시예들에 따르면, 제4 절연층(150)은 폴리머 또는 TEOS(Tetraethyl Orthosilicate)를 포함할 수 있다. 일부 실시예들에 따르면, 제4 절연층(150)은 제2 절연층(120)과 동일한 물질을 포함할 수 있다. 제4 절연층(150)은 제2 절연층(120)과 다른 물질을 포함할 수도 있다.
- [0039] 도 7a는 일부 실시예들에 따른 반도체 소자 제조 방법을 설명하기 위한 개략적인 단면도이며, 도 7b는 도 7a의 B부분을 확대 도시한 부분 단면도이다.
- [0040] 도 1, 도 7a 및 도 7b를 참조하면, P160에서 기판(101)의 에지부의 일부(예컨대, 상부)를 제거할 수 있다.
- [0041] 기판(101)의 에지부의 상부가 제거될 때, 그 위에 배치된 제1 내지 제3 절연층들(110, 120, 130) 및 제4 절연층(150)이 함께 부분적으로 제거될 수 있다. 전술한 바와 같이, 기판(101)의 에지부를 제거하는 공정을 에지 트리밍이라고 한다. 후술하듯 반도체 스택을 형성하는 공정(P180)에서 실장된 기판의 비활성면을 연마하여 실장된 기판(101)의 두께를 감소시키는 백 그라운드 공정이 수행될 수 있다. 백그라운드 공정 중, 라운드 모양 및 베벨 모양 등, 기판(101) 측면 형상의 영향으로 인해 기판(101)의 에지 부에 에지 칩핑(edge chipping)이 발생할 수 있다.
- [0042] 일부 실시예들에 따르면, 기판(101)을 실장하는 단계 이전에, 에지 트리밍을 수행함으로써, 기판(101)의 에지부 측면의 둥근 모양을 효과적으로 제거할 수 있다. 이에 따라 에지 칩핑을 방지할 수 있는바, 웨이퍼의 손상을 방지할 수 있다.
- [0043] 에지 트리밍에 의해 기판(101)의 에지부에 그루브(G)가 형성될 수 있다. 그루브(G)는 대략 직선의 측벽을 가지며, 단면도상 대략 직사각 형상을 가질 수 있다. 하지만 이에 제한되는 것은 아니고, 그루브는 역삼각형 형상의 테이퍼드 구조를 갖거나 불규칙한 형상 또는 정사각 형상을 갖는 것도 가능하다.
- [0044] 일부 실시예들에 따르면, 그루브(G)는 다이싱 블레이드에 의해 형성될 수 있다. 일부 실시예들에 따르면, 그루브(G)는 건식/습식 식각에 의해 형성될 수 있다. 일부 실시예들에 따르면, 그루브(G)는 레이저 빔의 조사에 의해 형성될 수 있다. 그루브(G)는 기판(101)의 원주를 따라 대략 원형으로 형성될 수 있다.
- [0045] 기판(101)의 에지부를 일부 제거하는 것은, 기판(101) 제1 내지 제3 절연층들(110, 120, 130), 배리어 도전층(141) 및 도전성 패턴들(145p) 및 제4 절연층(150)을 세정하는 것을 포함할 수 있다.
- [0046] 여기서, 설명의 편의상 기판(101) 상에 제1 내지 제3 절연층들(110, 120, 130), 배리어 도전층(141) 및 도전성 패턴들(145p) 및 제4 절연층(150)이 형성된 구조를 반도체 구조(2)라고 지칭한다.
- [0047] 일부 실시예들에 따르면, 기판(101)의 세정은 습식 세정일 수 있다. 일부 실시예들에 따르면, 기판(101)은 예컨대 산 베이스의 물질에 의해 세정될 수 있다. 일부 실시예들에 따르면, 기판(101)은 HNPA 용액에 의해 세정될 수 있다. HNPA 용액을 이용한 세정에 의해, 기판(101)으로부터 비산된 입자(예컨대, Si 입자) 등 에지 트리밍에 의한 오염원들이 제거될 수 있다. 여기서 HNPA 용액은 불산(HF), 질산(HNO<sub>3</sub>), 인산(H<sub>3</sub>PO<sub>4</sub>), 초산(CH<sub>3</sub>COOH) 및 물을 소정의 부피비로 혼합한 용액일 수 있다.
- [0048] 일부 실시예들에 따르면, 에지 트리밍 단계의 세정에 의해 제4 절연층(150)의 상부가 제거될 수 있다. 이에 따라 에지 트리밍 단계의 세정에 의해 제4 절연층(150)은 이전 단계에서의 제4 절연층(150, 도 6 참조) 보다 작은



두께를 가질 수 있다. 또한, 에지 트리밍 단계의 세정에 의해 도 6의 리세스들(R)이 제거될 수 있다. 일부 실시예들에 따르면, 에지 트리밍 단계의 세정에서 제4 절연층(150)이 도전성 패턴들(145p)을 커버하므로, 도전성 패턴들(145p)이 HNP 용액 등의 세정액에 노출되지 않을 수 있다.

- [0049] 종래, 에지 트리밍 직후에 수행되는 HNP 세정에 의해, 예컨대 Cu 등을 포함하는 도전성 패턴들(145p)이 손상되는 문제점이 있었다. 이에 따라, 도전성 패턴들이 손상되어 실장된 기판 사이의 접촉 불량 및/또는 컨택을 의한 도전성 패턴들 사이의 오정렬이 발생하는 문제점이 있었다. 일부 실시예들에 따르면, 제4 절연층(150)에 의해 도전성 패턴들(145p)이 보호되는바 제조의 신뢰성 및 수율을 제고할 수 있다.
- [0050] 도 8은 일부 실시예들에 따른 반도체 소자의 제조 방법을 설명하기 위한 단면도로서, 도 7b에 대응되는 부분 단면도이다.
- [0051] 이어서 도 1 및 도 8을 참조하면, P170에서 CMP(Chemical Mechanical Polishing)를 수행할 수 있다.
- [0052] CMP에 의해 제4 절연층(150, 도7b 참조)은 제거될 수 있다. 일부 실시예들에 따르면, CMP는 제2 절연층(120)을 설정된 양만큼 제거하는 것을 목표로 하여 수행될 수 있다. 이에 따라, 제3 층(130, 도 7b 참조) 및 제2 절연층(120)의 상부가 제거될 수 있다. 다른 일부 실시예들에 따르면, CMP는 도전성 패턴들(145p)의 상면을 종료점으로 할 수 있다.
- [0053] CMP에 의해 배리어 도전층(141)이 분리되어 복수의 배리어 도전성 패턴들(141p)이 형성될 수 있다. 배리어 도전성 패턴들(141p) 각각은 대응되는 도전성 패턴들(145p)의 측면 및 하면을 커버할 수 있다.
- [0054] 일부 실시예들에 따르면, 도전성 패턴들(145p)에 대한 실질적인 CMP 공정이 생략될 수 있다. 이에 따라, 도전성 패턴들(145p)이 과도 식각되어 상면 프로파일에 디싱(dishing)이 발생하는 것을 방지할 수 있다. 또한, 제2 절연층(120)을 설정된 양만큼 식각하는 것을 목표로 한 CMP는 종래의 배리어 도전층을 종료점으로 하는 CMP에 비해 CMP 균일도가 제고될 수 있는바, 웨이퍼 투 웨이퍼 접합이 신뢰성이 제고될 수 있다. 나아가, 제2 절연층(120)과 절연층(150, 도 7b 참조)이 동일한 물질을 포함하는 경우, 제2 절연층(120)이 CMP에 의해 식각되는 동안 동일한 물질층인 제4 절연층(150)이 식각되는바 이종 물질의 CMP로 인한 CMP의 신뢰성 저하 문제를 해결할 수 있다.
- [0055] 도 9a 및 도 9b는 일부 실시예들에 따른 반도체 소자 제조 방법을 설명하기 위한 단면도들이다,
- [0056] 도 1, 도 9a 및 도 9b를 참조하면 P180에서 반도체 스택(SS)을 형성할 수 있다.
- [0057] 반도체 스택(SS)은 반도체 구조(1)상에 반도체 구조(2)를 실장하고, 반도체 구조들(1, 2)을 접합하여 형성될 수 있다. 일부 실시예들에 따르면, 비교적 저온에서 반도체 구조(1) 상에 반도체 구조(2)를 실장하고, 반도체 스택(SS)을 비교적 고온에서 어닐링하여 반도체 구조들(1, 2)을 접합시킬 수 있다. 일부 실시예들에 따르면, 어닐링 공정 이후에, 반도체 구조들(1, 2) 사이의 결합을 강화시키기 위한 열 압착 공정이 수행될 수 있다. 일부 실시예들에 따르면, 열압 착 공정 이후 추가적인 어닐링 공정이 수행될 수도 있다. 반도체 구조(2)는 도 7a의 반도체 구조(2)에 더해, 도 8을 참조하여 설명한 CMP 공정이 수행된 것일 수 있다.
- [0058] 일부 실시예들에 따르면, 반도체 구조(1)는 에지부에 그루브가 형성되지 않은 것을 제외하고 반도체 구조(2)와 유사할 수 있다. 반도체 구조(1)는 기판(101) 및 상기 기판(101) 상에 순차로 적층된 제1 내지 제3 층들(110, 120, 130)을 포함할 수 있다. 반도체 구조(1)의 도전 패턴(145p)을 노출시키기 위한 CMP 공정에 의해 제2 절연층(120)은 도전 패턴들(145p)과 공면을 이룰 수 있다. 제3 절연층(130)은 반도체 구조(1)의 에지부에 일부 잔존할 수 있다.
- [0059] 반도체 구조(1)는 CMOS 트랜지스터 등과 같은 MOSFET 소자, DRAM, PRAM, STT-MRAM, ReRAM, 플래쉬 메모리와 같은 메모리 소자, 시스템 LSI, CIS 등과 같은 이미지 센서, MEMS, 능동 소자, 수동 소자 등을 포함할 수 있다. 반도체 구조(1)는 반도체 구조(2)와 다른 반도체 소자를 포함할 수 있다.
- [0060] 반도체 구조에 포함된 기판(101)의 후면이 백그라인딩 되어 두께가 감소할 수 있다. 이에 따라, 반도체 구조(2)의 그루브(G) 바깥의 에지부는 그루브(G)의 존재로 인해 분리되어 제거될 수 있다.
- [0061] 도 10은 다른 일부 실시예들에 따른 반도체 소자 제조 방법을 설명하기 위한 순서도이다.
- [0062] 도 11 내지 도 15b는 다른 일부 실시예들에 따른 반도체 소자 제조 방법을 설명하기 위한 단면도들이다.
- [0063] 설명의 편의상 도 1 내지 도 9b를 참조하여 설명한 것과 중복되는 것을 생략하고 차이점을 위주로 설명하도록

한다.

- [0064] 도 10을 참조하면, P210 내지 P230은 각각 순서대로 도 1의 P110 내지 P130과 실질적으로 동일한 방식으로 수행될 수 있다.
- [0065] 이어서, 도 10 및 도 11을 참조하면, P240에서 도전층(145)과 접하는 커버 도전층(160)을 형성할 수 있다.
- [0066] 커버 도전층(160)은 도 4의 복수의 개구들(Op2)을 완전히 채울 수 있다. 일부 실시예들에 따르면, 커버 도전층(160)은 도전성 물질을 포함할 수 있다. 일부 실시예들에 따르면, 커버 도전층(160)은 금속 물질을 포함할 수 있다. 일부 실시예들에 따르면, 커버 도전층(160)은 Pt, Au, Ag, Fe, Ni, Zn, Sn, Al, Zn, Pb, Sn, Hg, W, 및 Cu 중 어느 하나를 포함할 수 있으나 제한되는 것은 아니다. 일부 실시예들에 따르면, 커버 도전층(160)은 도전층(145)과 다른 물질을 포함할 수 있다.
- [0067] 도 10 내지 도 12를 참조하면, P250에서 커버 도전성 패턴들(160p)을 형성할 수 있다.
- [0068] 커버 도전성 패턴들(160p)을 커버 도전층(160)의 일부 제거에 의해 형성될 수 있다. 커버 도전층(160)의 일부 제거는 도전층(145) 및 배리어 도전층(141)의 실질적인 제거 없이 선택적으로 제거될 수 있다. 커버 도전성 패턴들(160p)의 하면 및 측벽들은 도전층(145)과 접할 수 있다, 일부 실시예들에 따르면, 커버 도전성 패턴들(160p)의 상면이 도전층(145)의 상면보다 낮은 레벨에 배치된 것으로 도시되었으나, 이에 제한되는 것은 아니다.
- [0069] 도 10 및 도 13을 참조하면, P260에서 제4 절연층(150)을 형성할 수 있다.
- [0070] 제4 절연층(150)을 형성하는 것은 도 1 및 도 6을 참조하여 설명한 것과 실질적으로 동일하다. 제4 절연층(150)은 커버 도전성 패턴들(160p) 및 도전층(145)과 접할 수 있다.
- [0071] 이어서 도 10 및 도 14를 참조하면 P270에서 기관의 에지부의 일부를 제거할 수 있다.
- [0072] 기관의 에지부의 일부의 제거는 도 1, 도 7a 및 도 7b를 참조하여 설명한 것과 실질적으로 동일하다.
- [0073] P270에서 에지부 트리밍 단계의 세정에 의해 제4 절연층(150)의 일부가 식각될 수 있다. 이에 따라 제4 절연층(150)의 수직 두께가 감소할 수 있다.
- [0074] 이어서 도 10, 도 15a 및 도 15b를 참조하면 P280에서 CMP를 수행할 수 있다.
- [0075] 일부 실시예들에 따르면, 도 15a와 같이 도전성 패턴들(141p) 상에 커버 도전성 패턴들(160p)이 잔존하도록 CMP가 수행될 수 있다. 이에 따라 제2 절연층(120), 배리어 도전성 패턴들(141p), 도전성 패턴들(145p) 및 커버 도전성 패턴들(160p)이 공면을 이룰 수 있다.
- [0076] 다른 일부 실시예들에 따르면, 도 15b와 같이 도전성 패턴들(141p) 상에 커버 도전성 패턴이 제거되도록 CMP가 수 있다. 이에 따라, 제2 절연층(120), 배리어 도전성 패턴들(141p) 및 도전성 패턴들(145p)이 공면을 이룰 수 있다.
- [0077] 이어서 P290에서 반도체 스택을 형성할 수 있다. 반도체 스택의 형성은 도 1, 도9a 및 도 9b을 참조하여 설명한 P190과 실질적으로 동일하다.
- [0078] 도 16은 다른 일부 실시예들에 따른 반도체 소자 제조 방법을 설명하기 위한 순서도이다.
- [0079] 도 17 내지 도 19c는 일부 실시예들에 따른 반도체 소자 제조 방법을 설명하기 위한 단면도들이다.
- [0080] 설명의 편의상 도 1 내지 도 9b를 참조하여 설명한 것과 중복되는 것을 생략하고 차이점을 위주로 설명하도록 한다.
- [0081] 도 16을 참조하면, P310 내지 P330은 각각 순서대로 도 1의 P110 내지 P130과 실질적으로 동일한 방식으로 수행될 수 있다.
- [0082] 도 16 및 도 17을 참조하면, P340에서 제4 절연층(150)을 형성할 수 있다.
- [0083] 제4 절연층(150)을 형성하는 것은 도 1 및 도 6을 참조하여 설명한 것과 유사하다.
- [0084] 단, 도 1 내지 도 6을 참조하여 설명한 것과 달리, 제4 절연층(150)은 도전층(145)의 일부를 제거하지 않은 채 형성될 수 있다. 이에 따라 제4 절연층(150)은 도전층(145)과 접할 수 있고, 도 5의 복수의 개구들(Op2)을 채울 수 있다. 이에 따라, 제4 절연층(150)의 하면에 도전층(145)의 상면 프로파일이 전사될 수 있다.

- [0085] 이어서 도 16 및 도 18을 참조하면 P350에서 기관(101)의 에지부를 일부 제거할 수 있다.
- [0086] 기관의 에지부의 제거는 도 1, 도 7a 및 도 7b를 참조하여 설명한 것과 실질적으로 동일하다. P350에서 에지부 트리밍 단계의 세정에 의해 제4 절연층(150)의 일부가 식각될 수 있다. 이에 따라 제4 절연층(150)의 수직 두께가 감소할 수 있다.
- [0087] 이어서 도 10, 도 19a 내지 도 19c를 참조하면 P360에서 CMP를 수행할 수 있다.
- [0088] 일부 실시예들에 따르면, 도 19a와 같이 절연 패턴(150p) 및 제3 절연층(130)이 잔존하도록 CMP가 수행될 수 있다. 절연 패턴(150p)의 측벽 및 바닥면은 도전성 패턴들(141p)과 접할 수 있다. 도 19a의 CMP는 제3 절연층(130)의 식각량을 타겟으로 하는 CMP일 수 있다. 이에 따라 제3 절연층(130), 배리어 도전성 패턴들(141p), 도전성 패턴들(145p) 및 절연 패턴들(150p) 각각의 상면들이 공면을 이룰 수 있다.
- [0089] 다른 일부 실시예들에 따르면, 도 19b와 같이 도전성 패턴들(141p) 상에 절연 패턴(150p)이 잔존하도록 CMP가 수행될 수 있다. 도 19b의 CMP는 제2 절연층(120)의 식각량을 타겟으로 하는 CMP일 수 있다. 이에 따라 제2 절연층(120), 배리어 도전성 패턴들(141p), 도전성 패턴들(145p) 및 절연 패턴들(150p)의 각각의 상면들이 공면을 이룰 수 있다.
- [0090] 다른 일부 실시예들에 따르면, 도 15b와 같이 CMP 이후 도전성 패턴들(141p) 상의 절연 패턴들(150p)이 제거될 수 있다. 도 19c의 CMP는 제2 절연층(120)의 식각량을 타겟으로 하는 CMP일 수 있다. 이에 따라, 제2 절연층(120), 배리어 도전성 패턴들(141p) 및 도전성 패턴들(145p)이 공면을 이룰 수 있다.
- [0091] 도 20은 일부 실시예들에 따른 반도체 소자 제조 방법을 설명하기 위한 순서도이다.
- [0092] 도 21 내지 도 27b는 일부 실시예들에 따른 반도체 소자 제조 방법을 설명하기 위한 단면도들이다. 여기서, 도 21 내지 도 25은 도 2b에 대응되는 부분 단면도들이고, 도 26b는 도 26a의 C 부분을 확대한 부분 단면도이며, 도 27b는 도 27a의 D 부분을 확대한 부분 단면도이다.
- [0093] 설명의 편의상 도 1 내지 도 19c를 참조하여 설명한 것과 중복되는 것을 생략하고 차이점을 위주로 설명한다.
- [0094] 도 20의 P410은 도 1의 P110과 실질적으로 동일하다.
- [0095] 도 20 및 도 21을 참조하면, P421에서 비아용 개구(0pv)들을 형성하도록 제1 내지 제3 절연층들(110, 120, 130)을 식각할 수 있다.
- [0096] 제1 내지 제3 절연층들(110, 120, 130)은, 예컨대, 플라즈마 식각과 같은 건식 식각에 의해 식각될 수 있으나 이에 제한되는 것은 아니다. 제1 내지 제3 절연층들(110, 120, 130)에 형성된 비아용 개구들(0pv)은 기관(101)의 상면에 수직인 방향으로 연장될 수 있다.
- [0097] 도 20 내지 도 22를 참조하면, P425에서 트렌치들(Tr)을 형성하도록 제1 내지 제3 절연층들(110, 120, 130)을 식각할 수 있다.
- [0098] P421에서와 마찬가지로, 제1 내지 제3 절연층들(110, 120, 130)은 플라즈마 식각과 같은 건식 식각에 의해 식각될 수 있다. 트렌치들(Tr)은 비아용 개구(0pv)와 중첩되도록 형성될 수 있다. 비아용 개구(0pv)가 형성되었던 부분은 트렌치들(Tr)을 형성하는 공정에서 기관(101)의 상면에 수직인 방향으로 더 식각될 수 있다. 이에 따라, 후술하는 도전성 비아(146v, 도 24 참조)이 형성되기 위한 공간 및 도전성 패턴(146p, 도 24 참조)이 형성되기 위한 공간이 실질적으로 동시에 형성될 수 있다.
- [0099] 도 20 및 도 23을 참조하면, P430에서 배리어 도전층(141) 및 도전층(145)을 제공할 수 있다.
- [0100] 배리어 도전층(141)은 예를 들어, ALD(Atomic layer deposition), CVD, PECVD(plasma-enhanced CVD), MOCVD(Metal Organic CVD), PVD(physical vapor deposition), 반응성 펄스 레이저 퇴적법(reactive pulsed laser deposition) 분자 빔 에피택시(molecular beam epitaxy) 및 DC 마그네트론 스퍼터링(magnetron sputtering) 중 어느 하나의 방법에 의해 제공될 수 있다.
- [0101] 도전층(145)은 전기 도금 공정에 의해 제공될 수 있으나 이에 제한되는 것은 아니다.
- [0102] 도 20, 도 23 및 도 24를 참조하면, P440에서 도전성 패턴들(146p) 및 도전성 비아들(146v)을 형성할 수 있다.
- [0103] 도전성 패턴들(146p) 및 도전성 비아들(146v)을 형성하는 것은, 도전층(145)의 상부를 CMP에 의해 제거하는 것을 포함할 수 있다. 이에 따라, 배리어 도전층(141)의 실질적인 손상 없이 서로 다른 복수의 개구들(0p2)에 대

응되는 부분의 도전층(145)이 분리되어 복수의 도전성 패턴들(146p) 및 도전성 비아들(146v)이 형성될 수 있다.

- [0104] 도전성 비아들(146v) 기관(101)의 상면에 수직한 방향으로 연장될 수 있고, 도전성 패턴들(146p)은 기관(101)의 상면에 평행한 방향으로 연장될 수 있다. 이에 따라 적층되는 기관(101)의 도전성 패턴들 사이의 접촉 면적을 확보할 수 있으므로, 반도체 소자 제조의 신뢰성이 제고될 수 있다.
- [0105] 도 20 및 도 25를 참조하면, P450에서 제4 절연층(150)을 형성할 수 있다. 제4 절연층(150)의 형성은, 도 1 및 도 6을 참조하여 설명한 것과 실질적으로 동일할 수 있다.
- [0106] 도 20, 도 26a 및 도 26b를 참조하면, P460에서 기관(101)의 에지부의 일부를 제거할 수 있다. 기관(101)의 에지부의 일부를 제거하는 것은 도 1, 도 7a 및 도 7b를 참조하여 설명한 것과 실질적으로 동일하다.
- [0107] 도 20, 도 27a 및 도 27b를 참조하면, P470에서 CMP를 수행할 수 있다. CMP의 수행은 도 1 및 도 8을 참조하여 설명한 것과 실질적으로 동일하다. CMP의 수행에 의해 도전성 패턴들(146p)의 상면이 노출될 수 있다. 도전성 패턴들(146p)의 상면은 제2 절연층(120)의 상면과 동일 레벨에 있을 수 있다.
- [0108] 이어서 P480에서 반도체 스택을 형성할 수 있다. P480은 도 1, 도 9a 및 도 9b를 참조하여 설명한 P180과 실질적으로 동일하다.
- [0109] 도 28은 일부 실시예들에 따른 반도체 소자 제조 방법을 설명하기 위한 순서도이다.
- [0110] 도 29 내지 도 32는 일부 실시예들에 따른 반도체 소자 제조 방법을 설명하기 위한 단면도들이다.
- [0111] 도 28 및 도 29를 참조하면, P1010에서 제1 반도체 구조(1) 상에 제2 반도체 구조(2)를 실장할 수 있다.
- [0112] 제1 반도체 구조(1)는 전면 배선 구조(FWS) 및 후면 배선 구조(FWS)를 포함할 수 있다. 전면 배선 구조(FWS)는 외부 접속 단자일 수 있으며, 예컨대, 후술하는 반도체 스택(SS, 도 33 참조)에 외부로부터의 신호, 전원 및 그라운드가 인가되는 경로일 수 있다. 후면 배선 구조(FWS)는 제2 반도체 구조(2)와 접합 및 전기적 연결을 위해 제공될 수 있다.
- [0113] 제1 반도체 구조(1)의 후면 배선 구조(BWS)는 도전성 물질을 포함할 수 있다. 제1 반도체 구조(1)는 에지 트리밍 공정이 수행되지 않는바, 제1 반도체 구조(1)의 후면 배선 구조(BWS)는 도 20 내지 도 27b를 참조하여 설명한 방법과 다른 방법에 의해 형성될 수 있다. 제1 반도체 구조(1)의 전면 및 후면 배선 구조(BWS)는 예컨대, 듀얼 다마신 공정에 의해 형성될 수 있으나 이에 제한되는 것은 아니다.
- [0114] 제2 반도체 구조(2)에 포함된 전면 배선 구조(FWS)는, 도 21 내지 도 27b에 의해 설명된 일련의 공정들에 의해 형성될 수 있다.
- [0115] 도 28 및 도 30를 참조하면, P1020에서 제2 반도체 구조(2)의 에지부를 제거할 수 있다.
- [0116] 제2 반도체 구조(2)의 에지부의 제거는 도 9a에서와 마찬가지로 백그라인딩 공정에 의해 수행될 수 있다.
- [0117] 도 28 및 도 31을 참조하면, P1030에서 제2 반도체 구조(2)에 후면 배선 구조(BWS)를 형성할 수 있다.
- [0118] 제2 반도체 구조(2)의 후면 배선 구조(BWS)는 제1 반도체 구조(2)의 후면 배선 구조(BWS)와 유사한 방식으로 제공될 수 있다.
- [0119] 도 28 및 도 32를 참조하면, P1040에서 제2 반도체 구조(2) 상에 제3 및 제4 반도체 구조들(3, 4)을 실장할 수 있다.
- [0120] 제3 및 제4 반도체 구조(3, 4)를 실장하는 것은, 제2 반도체 구조를 제공하기 위한 P1020 및 P1030과 실질적으로 동일하다. 이때 제4 반도체 구조(4)는 최상층에 배치되므로, 제4 반도체 구조(4)는 후면 배선 구조를 포함하지 않을 수 있다.
- [0121] 도 28 및 도 33을 참조하면, P1050에서 제1 내지 제4 반도체 구조들을 커버하는 몰딩층(MLD)을 형성할 수 있다.
- [0122] 몰딩층(MLD)은, 예컨대 EMC(Epoxy Molding Compound)를 포함할 수 있다. 일부 실시예들에 따르면, 몰딩층(MLD)이 제4 반도체 구조(4)의 상면을 커버할 수 있다. 다른 실시예들에서, 도 33에 도시된 것과는 달리, 몰딩층이 제4 반도체 구조(4)의 상면 상에 형성되지 않고, 제4 반도체 구조(4)의 상면이 반도체 스택(SS)외부로 노출될 수도 있다.
- [0123] 이후, 소잉 공정으로 반도체 스택(SS)을 분리함으로써, 개별칩들 형성할 수 있다.

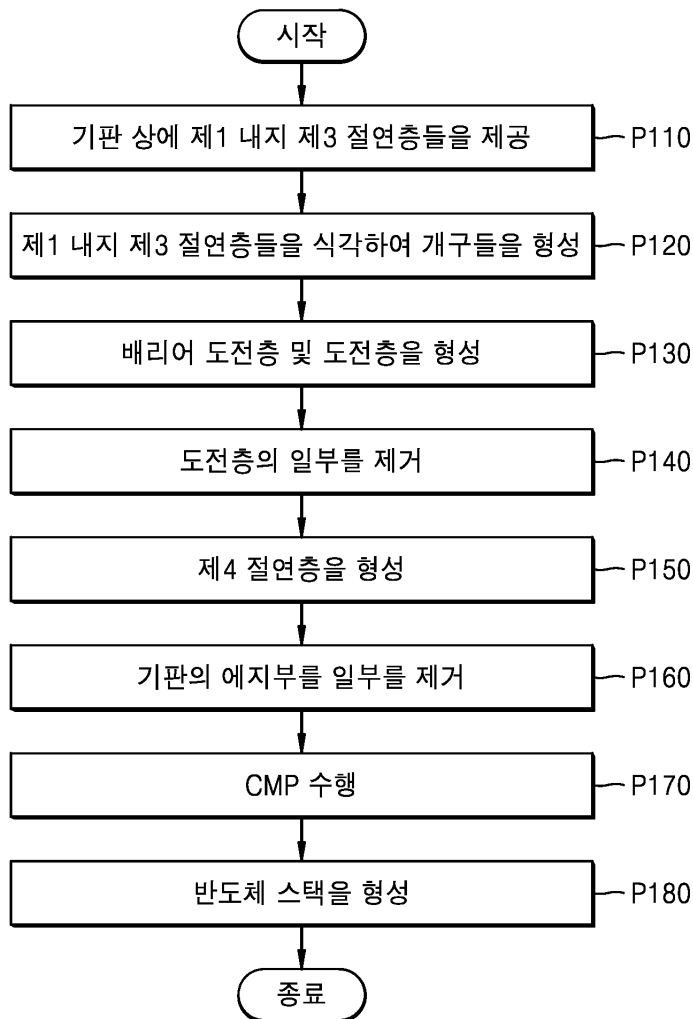
[0124] 이상, 첨부된 도면을 참조하여 본 발명의 실시 예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

**부호의 설명**

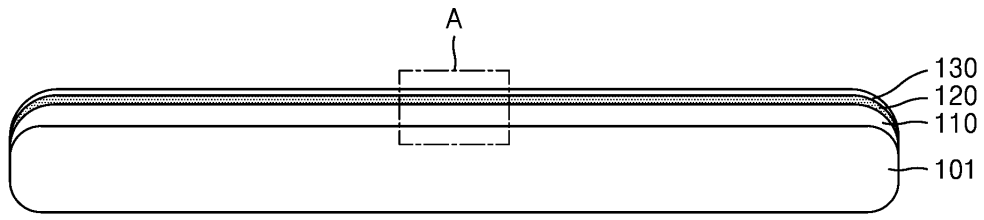
[0125] 101: 기판, 110: 제1 절연층, 120: 제2 절연층, 130: 제3 절연층  
 141: 배리어 도전층 141p: 배리어 도전성 패턴  
 145: 도전층 145p: 도전성 패턴  
 150: 제4 절연층, 150p: 절연 패턴  
 160: 커버 도전층, 160p: 커버 도전성 패턴  
 Op1, Op2, Op3, Op4: 개구

**도면**

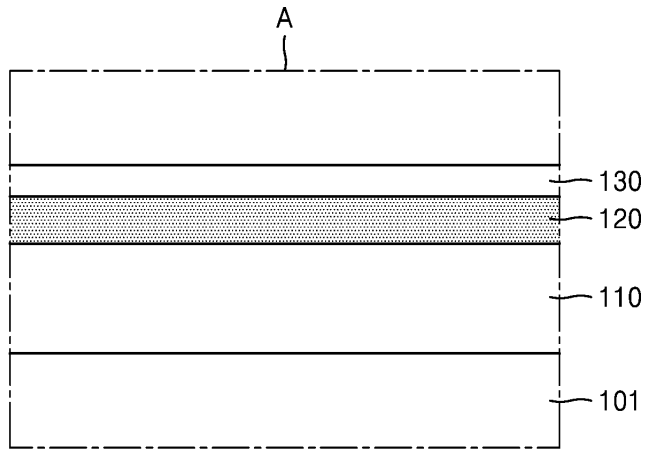
**도면1**



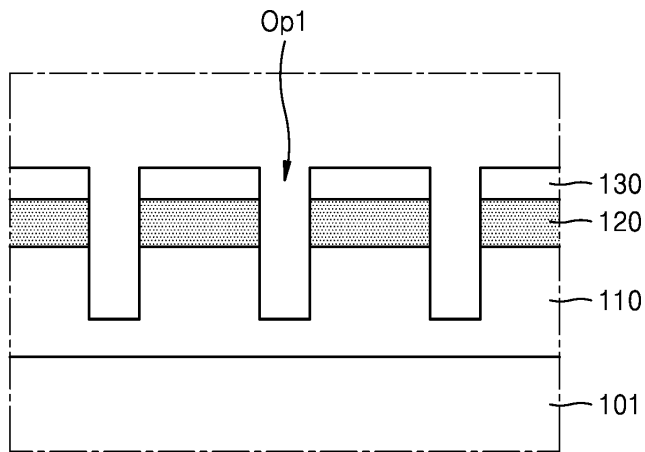
도면2a



도면2b

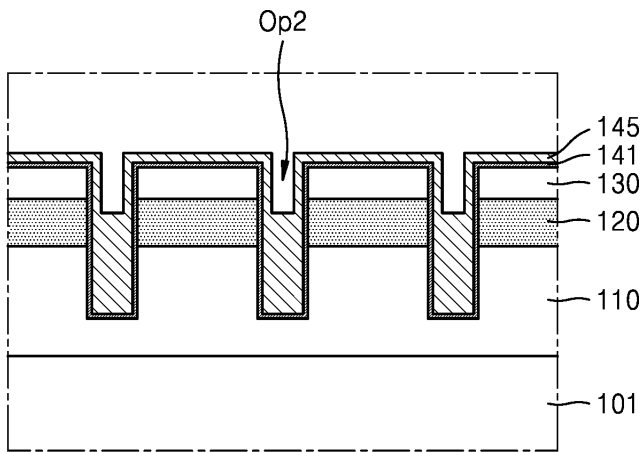


도면3

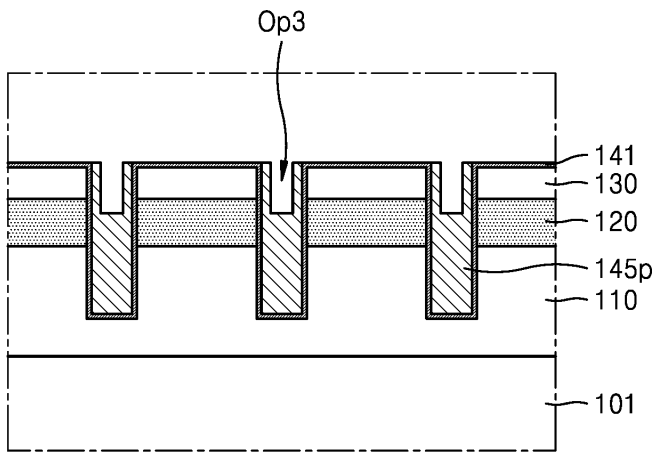




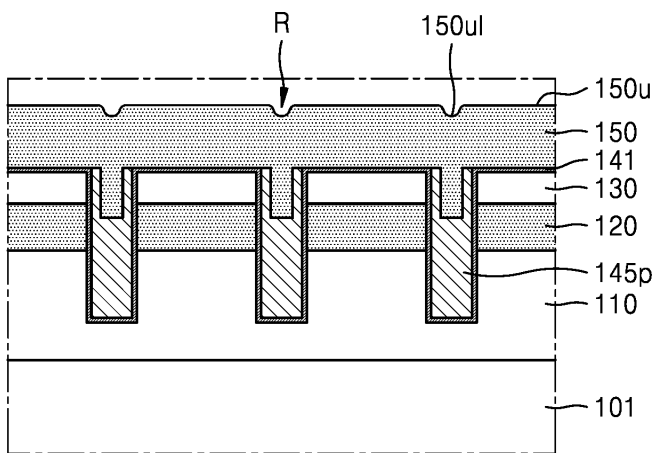
도면4



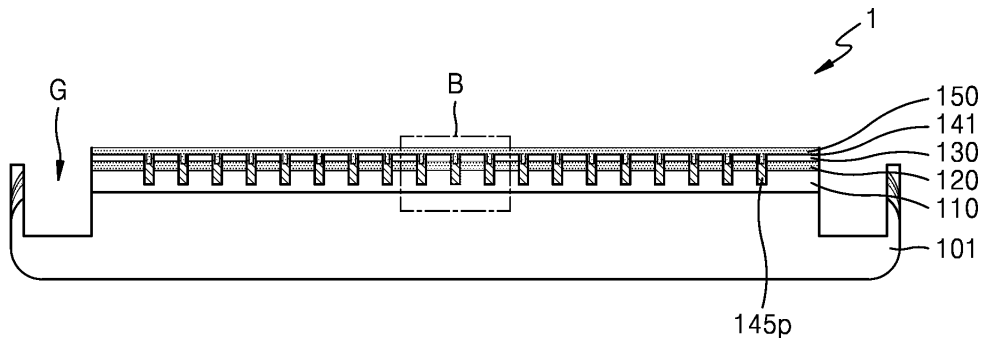
도면5



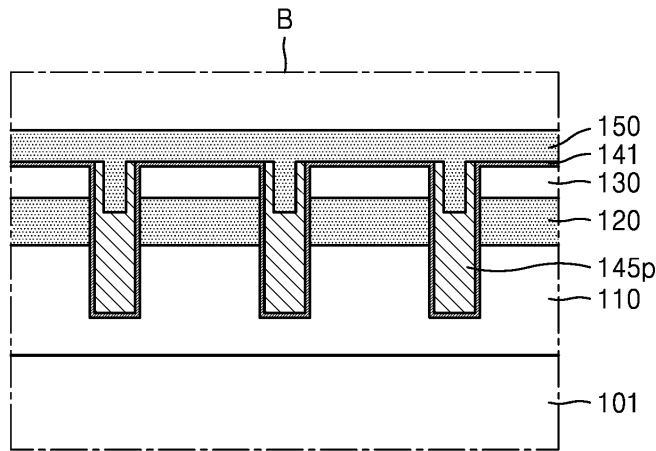
도면6



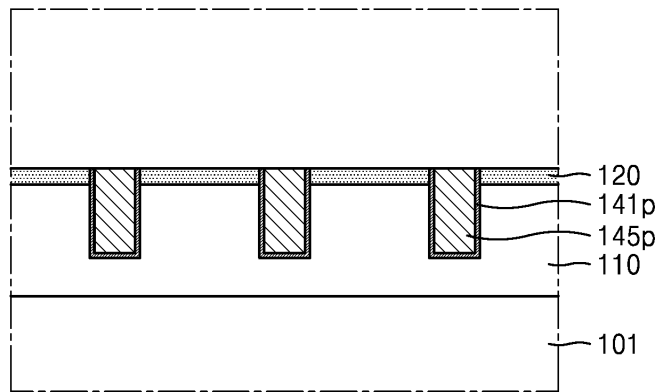
도면7a



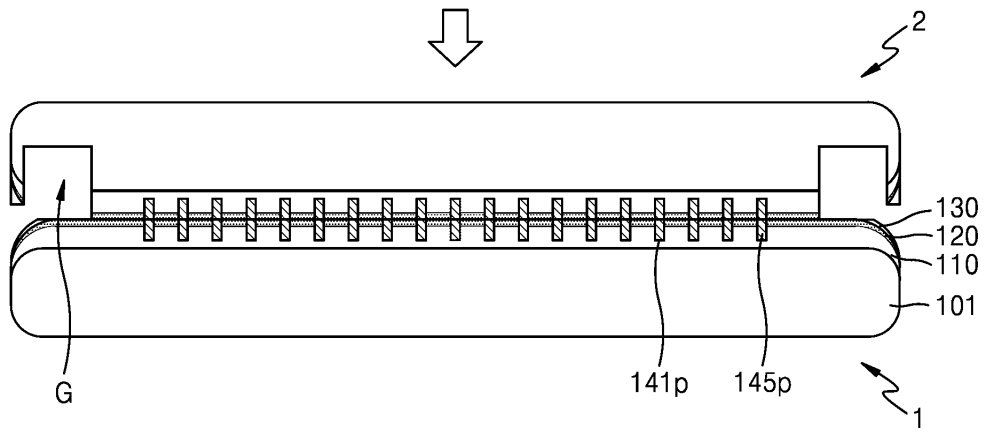
도면7b



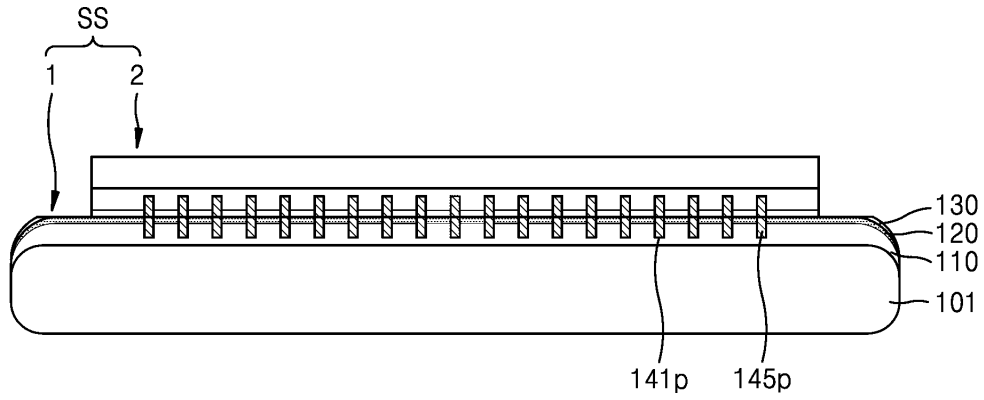
도면8



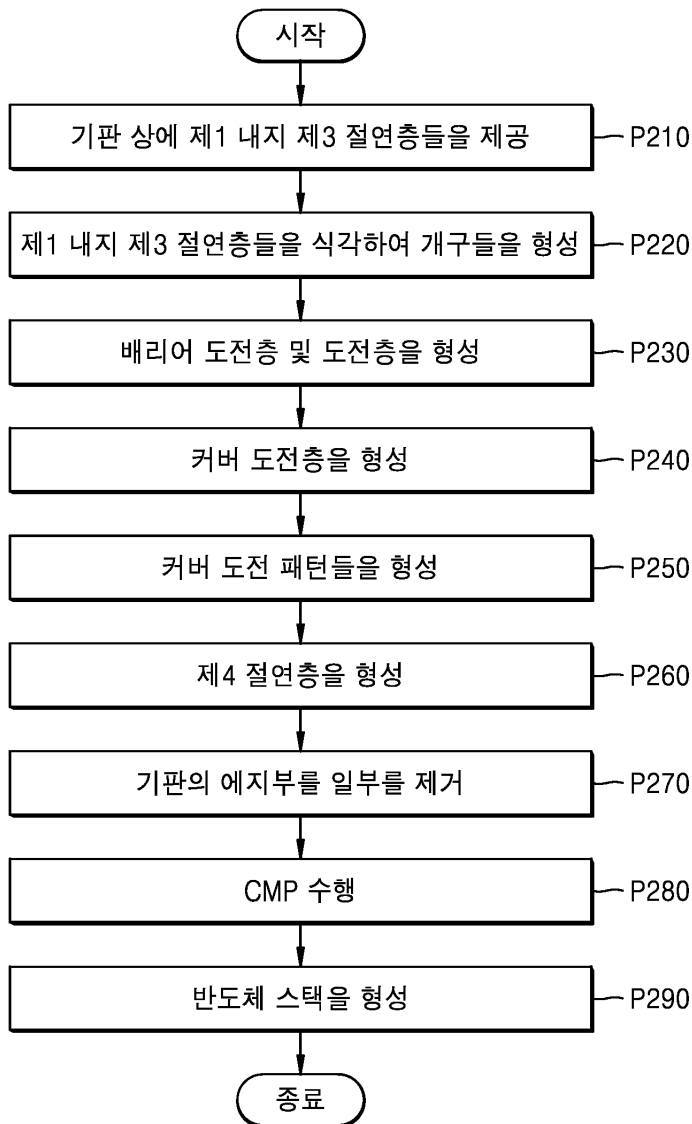
도면9a



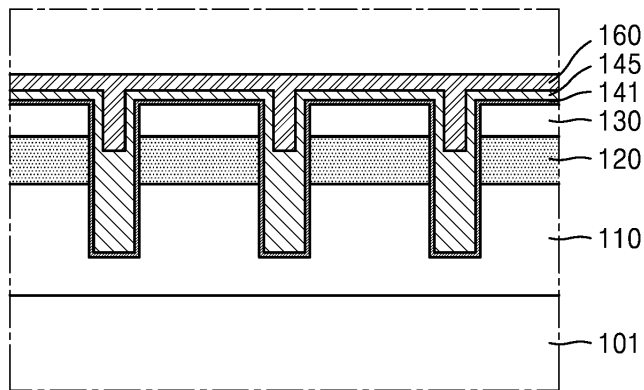
도면9b



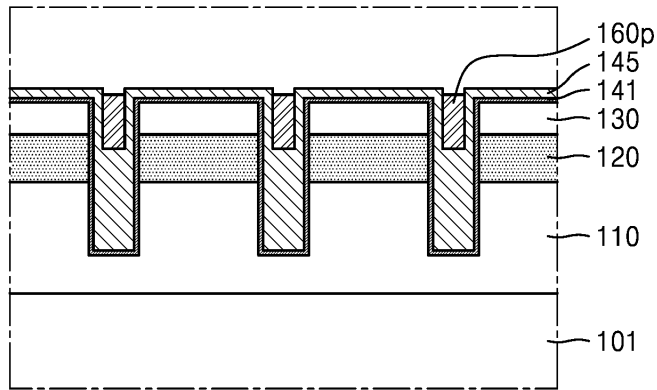
도면10



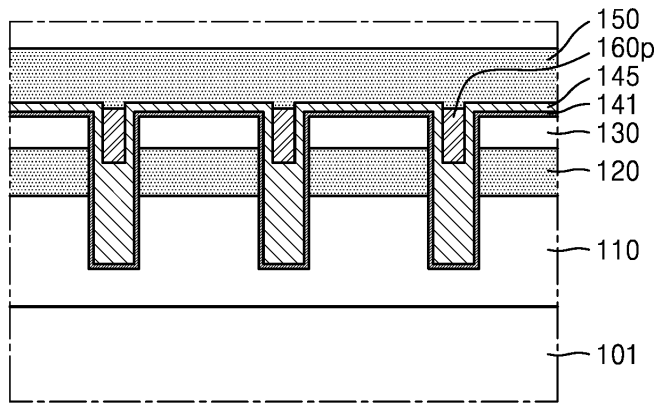
도면11



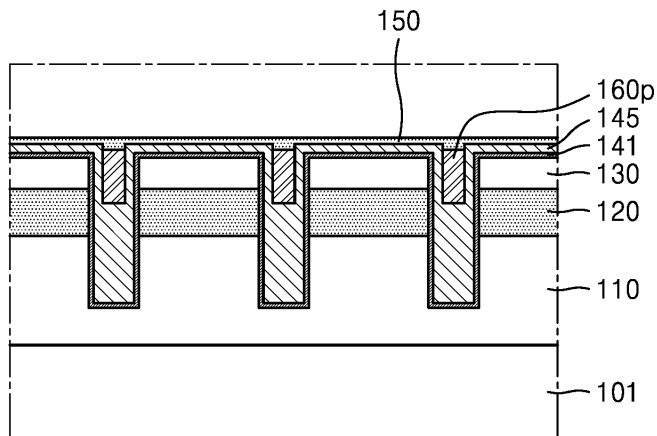
도면12



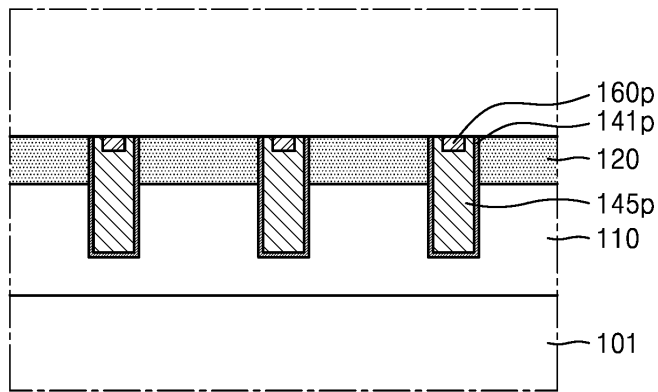
도면13



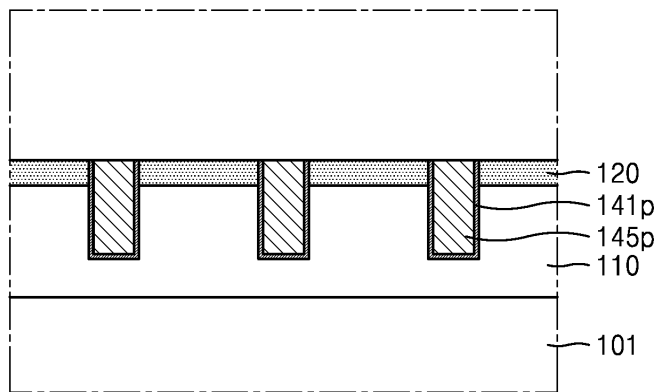
도면14



도면15a

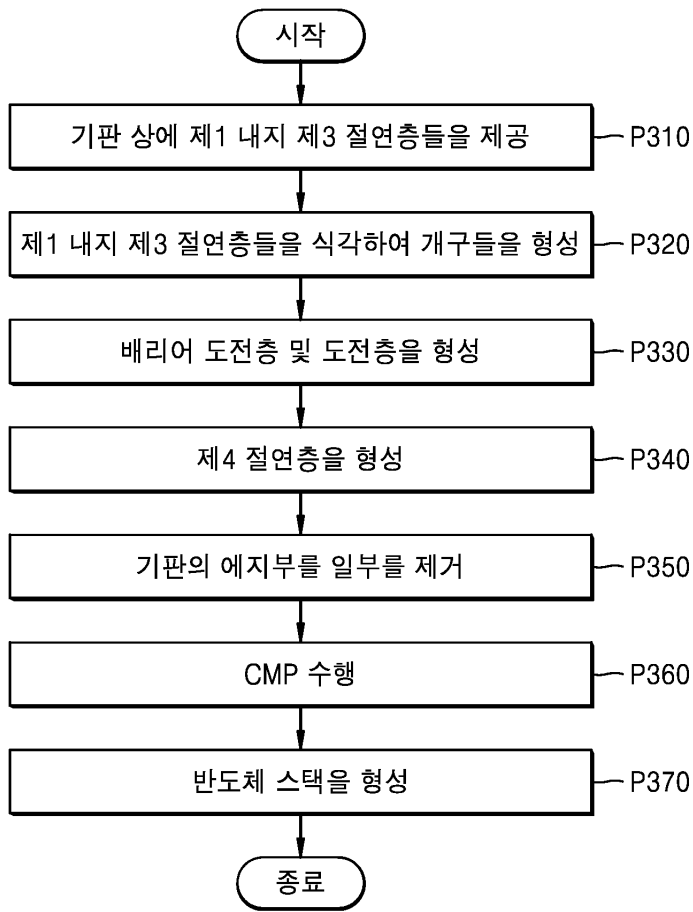


도면15b

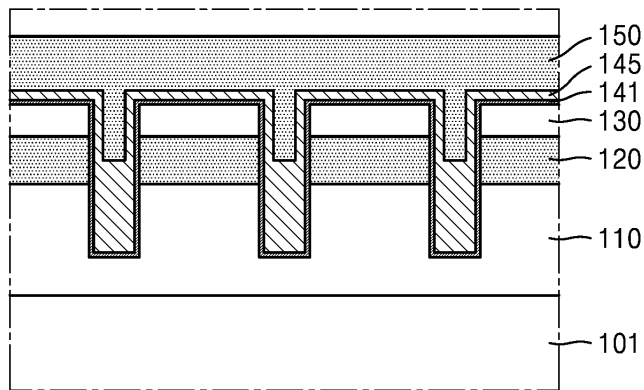




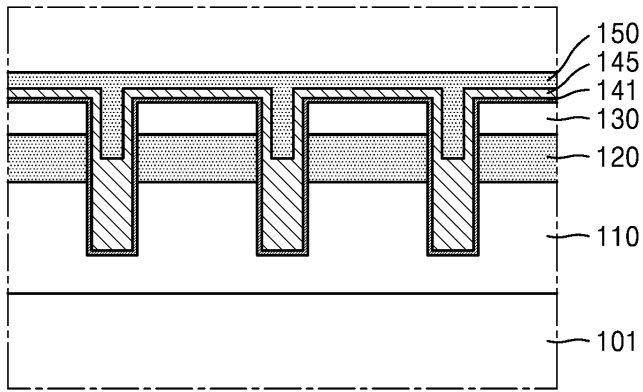
도면16



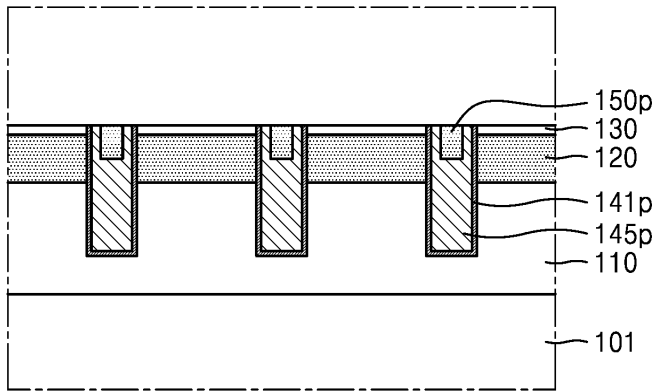
도면17



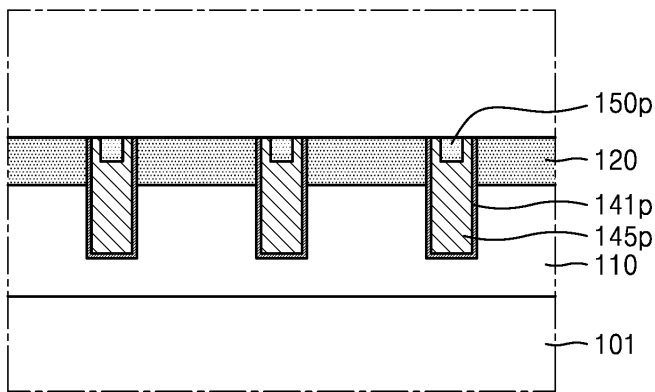
도면18



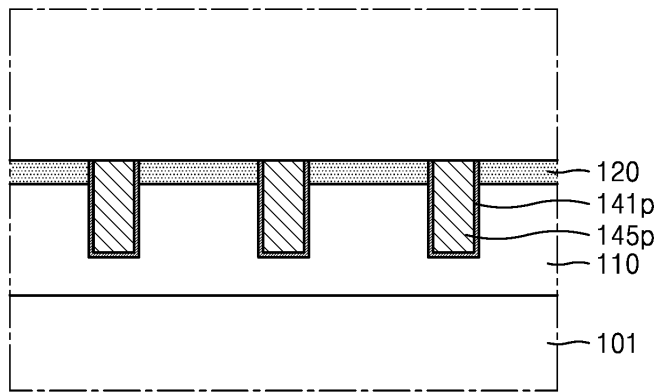
도면19a



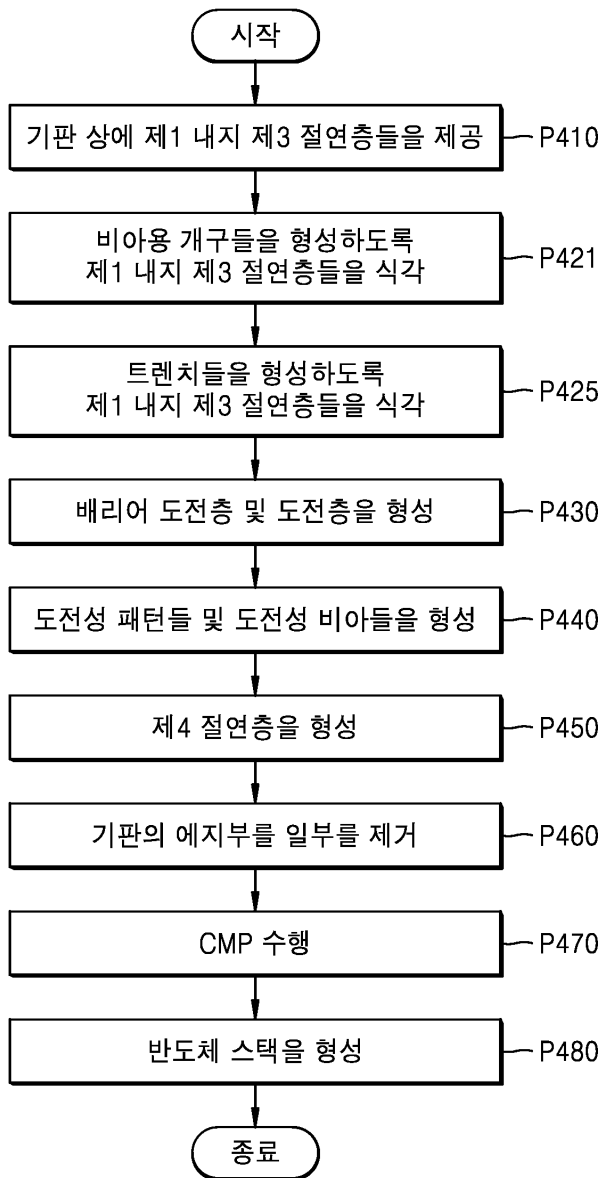
도면19b



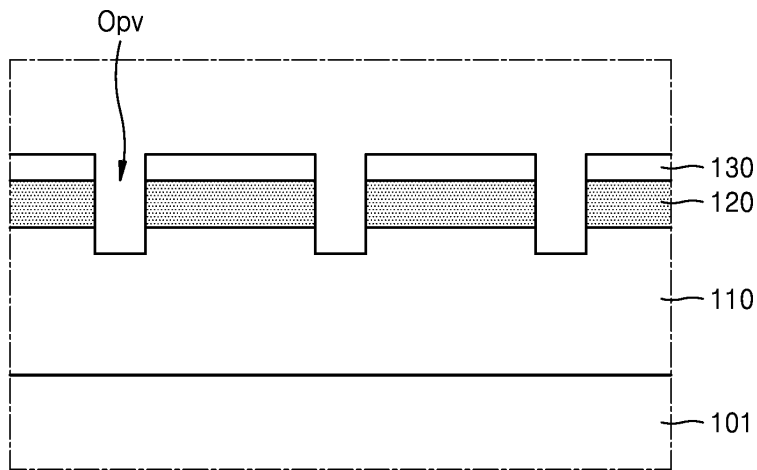
도면19c



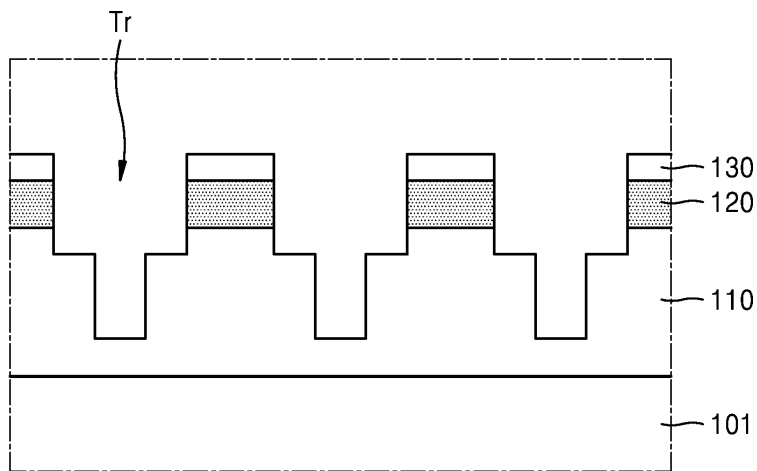
도면20



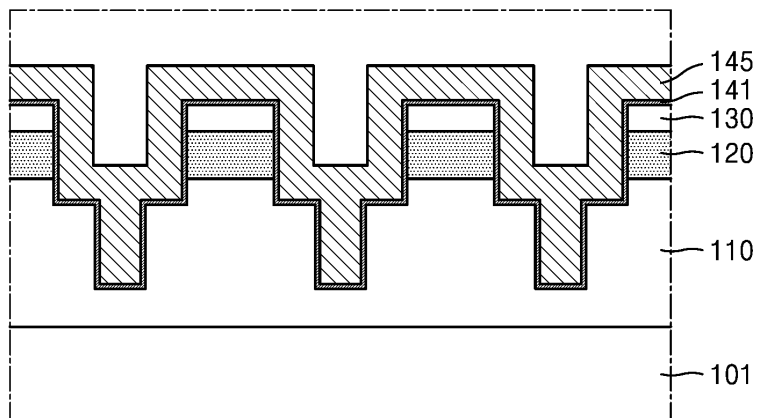
도면21



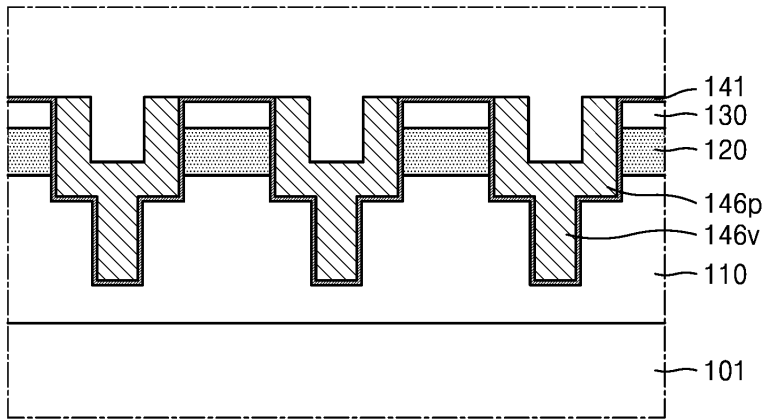
도면22



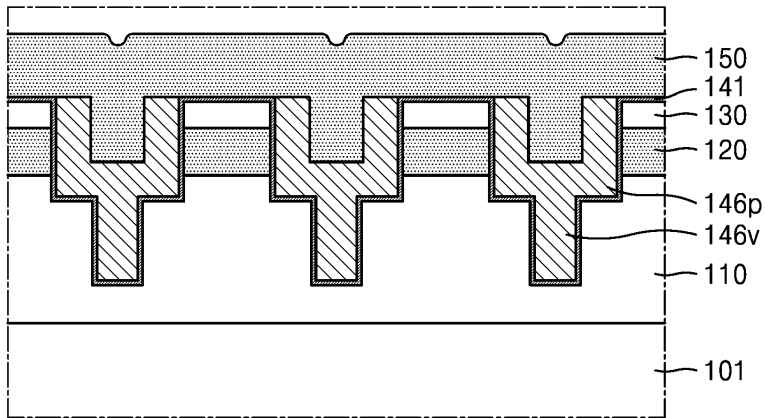
도면23



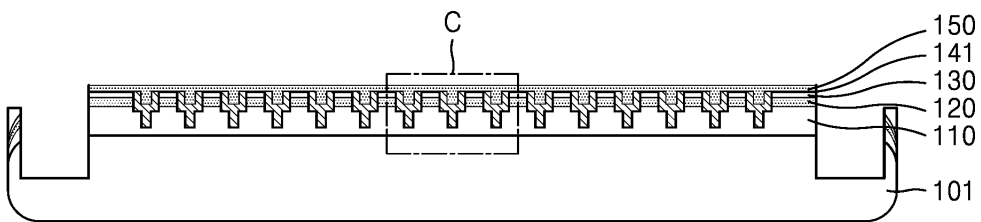
도면24



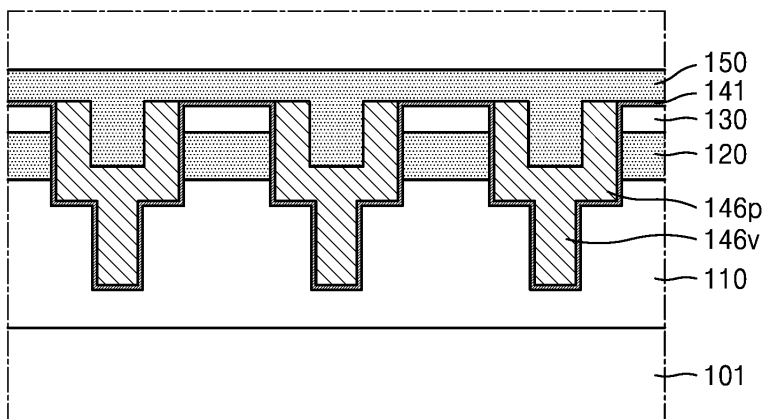
도면25



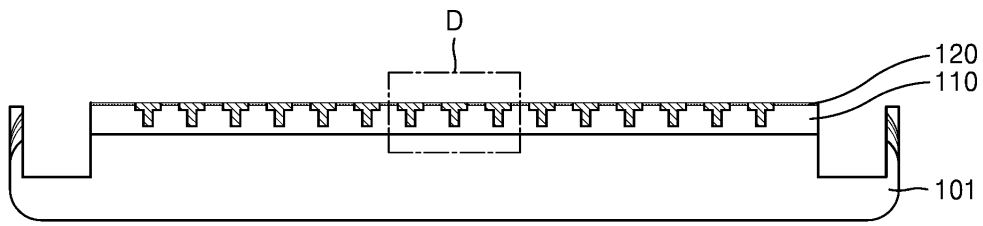
도면26a



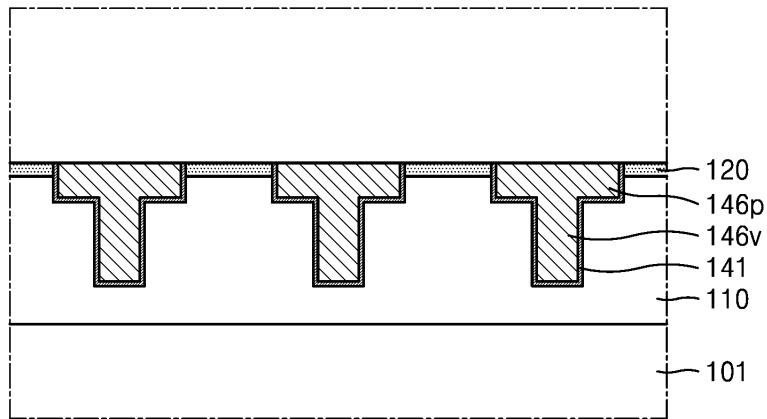
도면26b



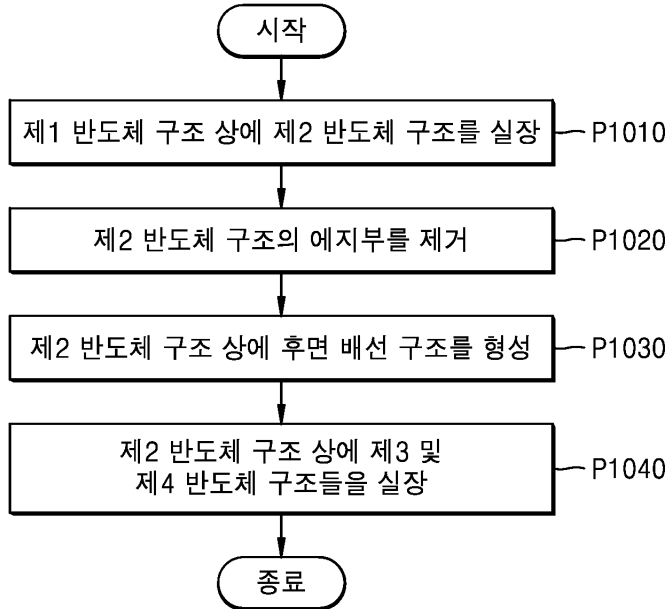
도면27a



도면27b

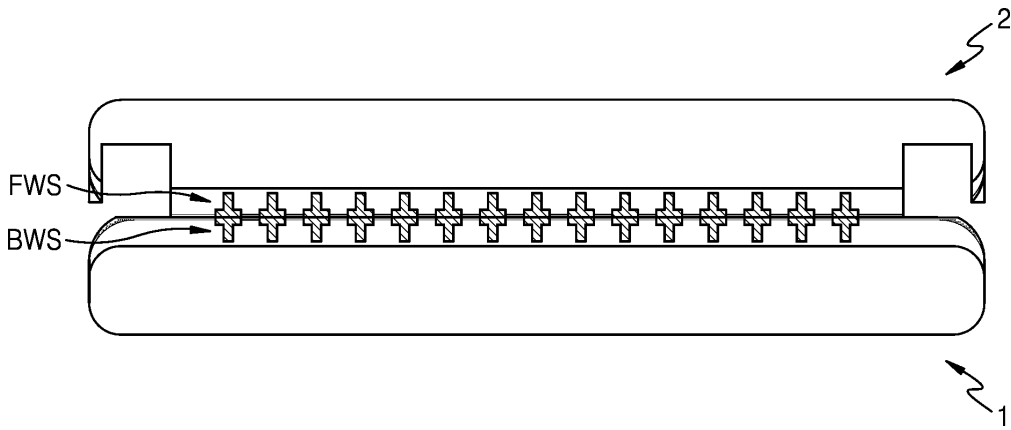


도면28

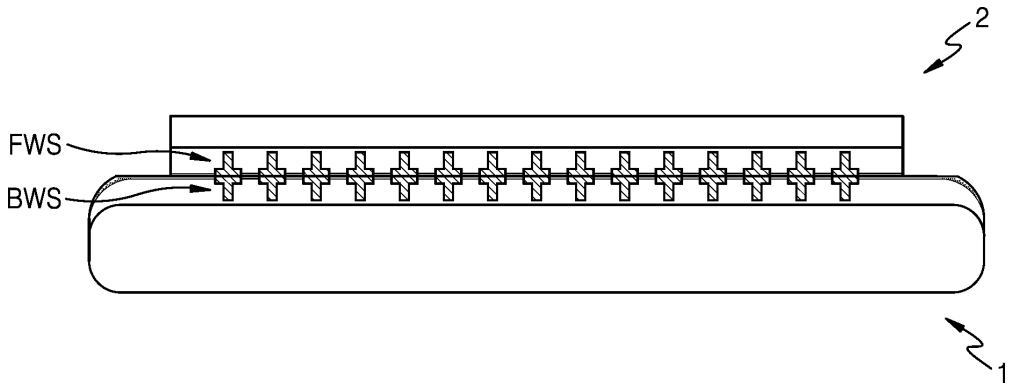




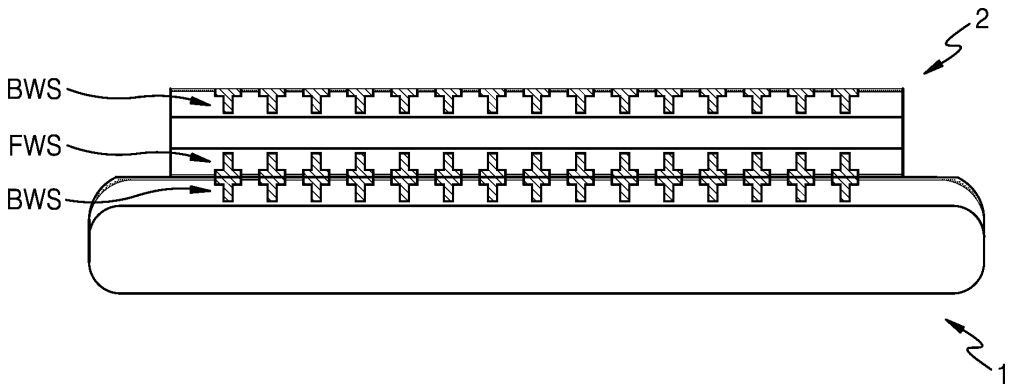
도면29



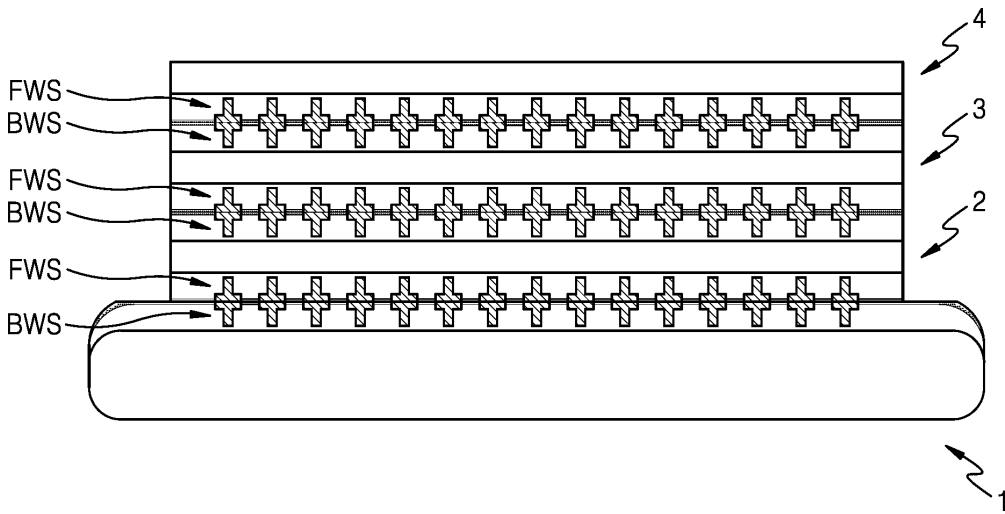
도면30



도면31



도면32



도면33

