

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5915756号
(P5915756)

(45) 発行日 平成28年5月11日(2016.5.11)

(24) 登録日 平成28年4月15日(2016.4.15)

(51) Int.Cl.	F I				
HO 1 L 29/739 (2006.01)	HO 1 L	29/78	6 5 5 F		
HO 1 L 29/78 (2006.01)	HO 1 L	29/78	6 5 8 H		
HO 1 L 21/336 (2006.01)	HO 1 L	29/78	6 5 5 C		
HO 1 L 29/06 (2006.01)	HO 1 L	29/78	6 5 2 P		
HO 1 L 21/322 (2006.01)	HO 1 L	29/06	3 0 1 G		
請求項の数 13 (全 20 頁) 最終頁に続く					

(21) 出願番号 特願2014-531545 (P2014-531545)
 (86) (22) 出願日 平成25年7月10日(2013.7.10)
 (86) 国際出願番号 PCT/JP2013/068921
 (87) 国際公開番号 W02014/030457
 (87) 国際公開日 平成26年2月27日(2014.2.27)
 審査請求日 平成26年11月11日(2014.11.11)
 (31) 優先権主張番号 特願2012-183092 (P2012-183092)
 (32) 優先日 平成24年8月22日(2012.8.22)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000005234
 富士電機株式会社
 神奈川県川崎市川崎区田辺新田1番1号
 (74) 代理人 100104190
 弁理士 酒井 昭徳
 (72) 発明者 ルー ホンフェイ
 神奈川県川崎市川崎区田辺新田1番1号
 富士電機株式会社内
 審査官 棚田 一也

最終頁に続く

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

第1導電型半導体基板の一方の主面側に選択的に設けられた第2導電型ベース領域と、前記第2導電型ベース領域の内部に選択的に設けられた第1導電型エミッタ領域と、前記第2導電型ベース領域の、前記第1導電型半導体基板からなるドリフト領域と前記第1導電型エミッタ領域とに挟まれた部分の表面上にゲート絶縁膜を介して設けられたゲート電極と、を有する絶縁ゲート構造を備える活性領域と、

前記活性領域の外周を取り巻く耐压構造部と、

前記第1導電型半導体基板の他方の主面側に設けられた第2導電型コレクタ層と、

前記耐压構造部の外周部に、前記第1導電型半導体基板の一方の主面と他方の主面とを繋ぐように設けられ、前記第2導電型コレクタ層に電氣的に接続された第2導電型分離層と、

前記ドリフト領域の内部の、前記第2導電型ベース領域の底面よりも前記第1導電型半導体基板の一方の主面から深い位置に、前記第2導電型ベース領域および前記第2導電型コレクタ層から離れて設けられた第1導電型低ライフタイム調整領域と、

を具備し、

前記第1導電型低ライフタイム調整領域は、前記活性領域から前記第2導電型分離層にわたって設けられており、

前記第1導電型低ライフタイム調整領域のキャリアのライフタイム t_1 は、前記ドリフト領域のキャリアのライフタイム t_2 よりも低く、 $t_2 > t_1$ の関係を有し、前記第1導電

型低ライフタイム調整領域のドーピング濃度のピーク濃度 n_1 は、前記ドリフト領域のドーピング濃度 n_2 の4倍よりも小さく、 $n_1 < 4 n_2$ の関係を有することを特徴とする半導体装置。

【請求項2】

前記活性領域内の最外周の前記第2導電型ベース領域の深さは、当該第2導電型ベース領域よりも内側に位置する前記第2導電型ベース領域の深さより深いことを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記活性領域内の最外周の前記第2導電型ベース領域の深さは、前記耐圧構造部を構成する第2導電型ガードリングの深さと等しいことを特徴とする請求項1に記載の半導体装置。

10

【請求項4】

前記ドリフト領域の、隣り合う前記第2導電型ベース領域間に挟まれた部分に、前記活性領域内の最外周の前記第2導電型ベース領域よりも内側に位置する前記第2導電型ベース領域と前記第1導電型低ライフタイム調整領域との間に底面が位置する深さで設けられた、前記ドリフト領域より不純物濃度の高い第1導電型領域をさらに備えることを特徴とする請求項1に記載の半導体装置。

【請求項5】

前記第1導電型低ライフタイム調整領域のキャリアのライフタイム t_1 は、前記ドリフト領域のキャリアのライフタイム t_2 を $0.2 \mu s \sim 3.0 \mu s$ の範囲とし、 t_2 / t_1 を $2 \sim 8$ とする関係を有することを特徴とする請求項1に記載の半導体装置。

20

【請求項6】

前記第1導電型低ライフタイム調整領域のドーピング濃度のピーク濃度 n_1 は、前記ドリフト領域のドーピング濃度 n_2 よりも高く、 $n_1 > n_2$ の関係を有することを特徴とする請求項1に記載の半導体装置。

【請求項7】

前記第1導電型低ライフタイム調整領域の深さ方向の中心は、前記活性領域内の最外周の前記第2導電型ベース領域の底面から前記第2導電型コレクタ層側に $20 \mu m$ 以内の深さの範囲に位置することを特徴とする請求項1に記載の半導体装置。

【請求項8】

30

前記第1導電型半導体基板の一方の主面側に前記絶縁ゲート構造と所要の金属電極膜とを形成した後、前記第1導電型半導体基板の他方の主面側からプロトンを注入し、熱アニール処理を行うことにより、前記第1導電型低ライフタイム調整領域を形成することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項9】

$5.0 \times 10^{13} \text{ cm}^{-2} \sim 5.0 \times 10^{14} \text{ cm}^{-2}$ のドーズ量範囲の前記プロトンを注入し、温度 $330 \sim 380$ の水素雰囲気の前記熱アニール処理を行うことを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項10】

前記第1導電型半導体基板の一方の主面側に前記絶縁ゲート構造と所要の金属電極膜とを形成した後、同じ側からヘリウムをイオン注入し、熱アニール処理を行うことにより、前記第1導電型低ライフタイム調整領域を形成することを特徴とする請求項1に記載の半導体装置の製造方法。

40

【請求項11】

$2.0 \text{ MeV} \sim 5.5 \text{ MeV}$ のエネルギー範囲の前記ヘリウムをイオン注入し、温度 380 以下の水素雰囲気の前記熱アニール処理を行うことを特徴とする請求項10に記載の半導体装置の製造方法。

【請求項12】

さらに、電子線照射により前記第1導電型低ライフタイム調整領域のライフタイムを調整することを特徴とする請求項11に記載の半導体装置の製造方法。

50

【請求項 13】

前記第1導電型低ライフタイム調整領域のドーピング濃度のピーク濃度を、前記ドリフト領域のドーピング濃度の4倍以内に調整することを特徴とする請求項9または11に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置および半導体装置の製造方法に関する。

【背景技術】

10

【0002】

高耐圧ディスクリートパワーデバイスは、電力変換装置において中心的な役割を果たしている。そのようなパワーデバイスとして、絶縁ゲートバイポーラトランジスタ (IGBT) や金属酸化物半導体電界効果トランジスタ (MOSFET) などがある。IGBTは、導電度変調型のバイポーラデバイスのため、ユニポーラデバイスのMOSFETに比べてオン電圧が低くなることから、特に、オン電圧が高くなり易い高耐圧デバイスを搭載するスイッチング回路などで多用されている。

【0003】

さらに、前述の電力変換装置を、より変換効率の高いマトリクスコンバータとするためには、双方向スイッチングデバイスが必要になる。その双方向スイッチングデバイスを構成する半導体デバイスとして、順方向耐圧と同程度の逆方向耐圧を有する逆阻止IGBT (Reverse Blocking IGBT) が注目されている。その理由は、この逆阻止IGBTを逆並列接続することにより、簡単に双方向スイッチングデバイスを構成することができるからである。逆阻止IGBTは、通常のIGBTでコレクタ領域とドリフト領域との間にあるpn接合を、高い耐圧信頼性の終端構造によって逆阻止電圧を保持できるように改良したデバイスである。そのため、逆阻止IGBTは、AC-AC電力変換用の前述のマトリクスコンバータやDC-AC変換用のマルチレベルのインバータに搭載するスイッチングデバイスとして適している。

20

【0004】

図12を参照して、従来の逆阻止IGBTの構造について以下に説明する。図12は、従来の逆阻止IGBTの要部を示す断面図である。図12に示すように、逆阻止IGBTにおいても、通常のIGBTと同様にチップの中央近辺に活性領域110が設けられ、この活性領域110を取り巻く外周側に、耐圧構造部120が設けられる。そして、逆阻止IGBTは、さらに耐圧構造部120の外側を取り囲む分離領域130を有することを特徴とする。分離領域130は、n⁻型半導体基板の一方の主面と他方の主面とをp型領域で連結させるためのp⁺型分離層31を主たる領域として有する。

30

【0005】

このp⁺型分離層31をn⁻型半導体基板の一方の主面からのp型不純物の熱拡散により形成するためには、p⁺型分離層31を非常に深く形成する必要があるため、高温長時間の熱拡散ドライブを伴う。このp⁺型分離層31によって、逆方向耐圧接合であるp型コレクタ領域10とn⁻型ドリフト領域1との間のpn接合面の終端が、チップ化の際の切断面となるチップ側端面12に露出しない構造にすることが可能になる。さらに、p型コレクタ領域10とn⁻型ドリフト領域1との間のpn接合面は、チップ側端面12に露出しないだけでなく、絶縁膜14で保護された耐圧構造部120の基板表面 (基板おもて面側の表面) 13に露出される。このため、逆方向耐圧の信頼性を高くすることができる。

40

【0006】

活性領域110は、n⁻型ドリフト領域1、p型ベース領域2、n⁺型エミッタ領域3、ゲート絶縁膜4、ゲート電極5、層間絶縁膜6およびエミッタ電極9などからなるおもて面側構造と、p型コレクタ領域10およびコレクタ電極11などの裏面構造と、を備える縦型のIGBTの主電流の経路となる領域である。さらに、活性領域110の耐圧構造部

50

120に近い終端部110aの終端pベース領域(活性領域110の最外周のpベース領域)2-1の深さは、終端pベース領域2-1より内側のp型ベース領域2よりも深い。隣接するp型ベース領域2間で、ゲート電極5の下側のn⁻型ドリフト領域1の表面層には、n⁻型ドリフト領域1より低抵抗で、かつp型ベース領域2より深さの深いn型高濃度領域1aが形成され、オン電圧を低減させている。

【0007】

耐圧構造部120は、順方向電圧印加(コレクタ電極11はエミッタ電極9の電位より高い)および逆方向電圧印加(コレクタ電極11はエミッタ電極9の電位より低い)時に高くなり易い電界強度を緩和するためのp型ガードリング7やフィールドプレート8と、基板表面13に露出するpn接合の終端保護膜としての絶縁膜14とを備える。p型ガードリング7は、p型ベース領域2より深く形成されることが好ましく、終端p型ベース領域2-1と同時形成される。

10

【0008】

一方、前述したインバータ等に通常のIGBTを使用する際には、フリーホイーリングダイオード(Free Wheeling Diode(以下、FWDと略記))をIGBTに逆並列接続させる必要がある。また、FWDでは、逆回復特性を改善するために、そのドリフト領域のキャリアのライフタイム(以下、単にライフタイムとする)を局所的に異なるように調整することがある。

【0009】

そのような局所的にライフタイムの異なるFWDの断面図を図15(a)に示す。図15は、従来のダイオードの断面構造およびライフタイムプロファイルを示す説明図である。図15(a)はFWDの断面構造であり、図15(b)はFWDを構成する半導体基板の深さ方向を横軸とし、ライフタイムを縦軸とするプロファイル(分布)を示す。図15のFWDの構造を以下に説明する。この半導体ダイオード(FWD)において、n⁻型低不純物濃度のn⁻型半導体基板のおもて面側の表面層には、p型半導体領域105が設けられている。p型半導体領域105表面に接触するアノード電極109が設けられている。n⁻型半導体基板の裏面側の表面層に、n⁺型高濃度領域115が設けられている。n⁺型高濃度領域115に接触するカソード電極112が設けられている。p型半導体領域105とn⁺型高濃度領域115とに挟まれた部分は、元のn⁻型半導体基板の不純物濃度のまま残るn⁻型低不純物濃度領域(以降、n⁻型低濃度領域102とする)である。

20

30

【0010】

ドリフト領域となるn⁻型低濃度領域102は、場所によってライフタイムが異なるように調整される。具体的には、n⁻型低濃度領域102は、異なるライフタイムに調整された第1~3ライフタイム調整領域102a~102cを備える。第1ライフタイム調整領域102aは、n⁻型低濃度領域102のp型半導体領域105側に位置し、p型半導体領域105の全面に接する。第3ライフタイム調整領域102cは、第1ライフタイム調整領域102aとn⁺型高濃度領域115との間の、デバイス中央に位置する。第2ライフタイム調整領域102bは、第1ライフタイム調整領域102aとn⁺型高濃度領域115との間において、第3ライフタイム調整領域102cに隣接して第3ライフタイム調整領域102cを取り囲む。ライフタイム調整後の第1~3ライフタイム調整領域102a~102cそれぞれのライフタイムを比較すると、第1ライフタイム調整領域102a<第2ライフタイム調整領域102b<第3ライフタイム調整領域102cである。

40

【0011】

このような局所的なライフタイム調整は、金(Au)、白金(Pt)などの重金属を所定領域へ選択的に拡散させること、または電子線などの高エネルギー粒子を所定の領域へ選択的に照射することによって導入され得ることが知られている(例えば、下記特許文献1参照)。

【0012】

荷電水素(プロトン)のイオン注入とその後の低温アニールにより、Si半導体基板をn型にドーピングできることは一般的に知られている。プロトンドーズ量と熱処理後の不

50

純物濃度との関係は、アニール条件が350 , 30分などの場合について既に発表されている(例えば、下記非特許文献1参照。)。

【0013】

また、プロトン注入と熱アニール技術とを用いて、IGBTのn⁺型バッファ層を形成することも既に知られている。その代表的なデバイスの構造および各部のドーピングプロファイルの概略をそれぞれ図16, 図17に示す。図16は、従来のIGBTの別の一例の要部を示す断面図である。図17は、図16の従来IGBTのドーピングプロファイル図である。図16に示すn⁺型バッファ層24は、n⁻型半導体基板のおもて面にIGBTの表面構造(符号25~29)を形成し、n⁻型半導体基板を裏面から研削して薄くした後、加速エネルギーが500KeV以下の単発または複数回のプロトン注入(例えば、図17のN_{H1}~N_{H3}の3回)とその後の300~400の温度で30分間~60分間の熱アニールにより形成される。n⁺型バッファ層24を形成するために必要なプロトンドーピング量およびアニール条件は下記非特許文献1を参考とすれば容易に決められる。プロトンドーピング法によってn⁺型バッファ層24を形成するメリットは、n⁺型バッファ層24のドナー化に必要なアニール温度を、先に形成した表面構造のメタル電極膜に悪影響を及ぼさない約350前後にできることである。図16、図17の前述の説明に無い符号について、符号22はn⁻型ドリフト領域、符号25はp型ベース領域、符号26はn⁺型エミッタ領域、符号27はゲート絶縁膜、符号28はゲート電極、符号29はエミッタ電極、符号31はp⁻型コレクタ領域、符号32はコレクタ電極である(例えば、下記特許文献2、3参照。)。

【0014】

逆阻止IGBTはゲートがオフで逆方向(コレクタ電極を負電極に接続、エミッタ電極を正電極に接続)に電圧印加される場合、逆漏れ電流が大きいたことが問題となることがある。図13は、従来の逆阻止IGBTの要部断面構造および逆方向電圧印加時の電界強度プロファイルを示す説明図である。図13の左側には、図12の活性領域110内の単位セルの、特にはその終端部110aやゲートパッド部(図示せず)の基板縦方向(半導体基板の厚さ方向)の簡略断面図を示す。図13の右側には、逆方向電圧印加時の電界強度分布を示す。逆方向電圧を印加する場合、コレクタ接合(p型コレクタ領域10とn⁻型ドリフト領域1との間のpn接合)からの空乏層の伸張とともに、n⁻型ドリフト領域1のうちp型コレクタ領域10側のドリフト領域1-2が空乏化され、pエミッタ(p型ベース領域2)、nベース(n⁻型ドリフト領域1)、p型コレクタ領域10からなるpnptランジスタの正味nベース1-1(n⁻型ドリフト領域1のうちp型ベース領域2側の空乏化されていないドリフト領域)が薄くなる。さらに、pエミッタの濃度が高くて、その注入効率も高いことと相まって、空乏層領域(ドリフト領域1-2)で発生する漏れ電流が前記pnptランジスタより増幅され、素子の漏れ電流が大きくなる結果、素子の動作温度(耐熱性)が制限されることが問題となる。

【0015】

また、p型コレクタ領域10に欠陥が多いなど品質が低い状態、または、p型コレクタ領域10のボロンドーズ量が過少の状態逆方向電圧印加される場合、p型コレクタ領域10に広がる空乏層が、コレクタ電極11へパンチスルーする虞がある。この場合は、格段に逆漏れ電流が大きくなる。そのような逆漏れ電流が大きくなるという問題を克服するために、p型コレクタ領域10をYAGレーザーで局所的に高活性化することが好ましいことが知られている(例えば、下記特許文献4参照。)。また、p型コレクタ領域10の局所的な高活性化に伴うp型コレクタ領域10からの高注入ホールキャリアの残留によるスイッチング損失の増大を抑制するため、電子線照射後のアニール温度を330前後に低くしてn⁻型ドリフト領域1のライフタイムを小さくするとよいことも知られている。

【0016】

また、ライフタイムキラー層をコレクタ領域に近いドリフト領域の内部に設けることにより、ダイオード動作時の逆回復ピーク電流を小さくし、ソフトリカバリー特性とする逆阻止IGBTに関する記述がある(例えば、下記特許文献5参照。)。

【0017】

また、プロトン照射により、ドリフト領域の厚さの中央部へ高濃度領域を設けることにより、逆回復時の dV/dt の増加を抑え、ソフトリカバリー特性とするダイオードに関する技術も知られている（例えば、下記特許文献6参照。）。

【先行技術文献】

【特許文献】

【0018】

【特許文献1】国際公開第99/63597号パンフレット（15頁14行～同19行）

【特許文献2】米国特許第6482681号明細書（図1、図6）

【特許文献3】特許第4128777号公報（図1、図6）

10

【特許文献4】特開2007-59550号公報（0009段落）

【特許文献5】特開2002-76017号公報（要約、図1）

【特許文献6】特開2009-224794号公報（要約、図1）

【非特許文献】

【0019】

【非特許文献1】ディー・シルバー（D. Silber）、外4名、インプローブド ダイナミック プロパティーズ オブ GTO-サイリスタズ アンド ダイオードズ バイ プロトン インプランテーション（Improved Dynamic Properties of GTO-Thyristors and Diodes by Proton Implantation）、インターナショナル エレクトロン デバイシズ ミーティング ダイジェスト 1985（International Electron Devices Meeting（IEDM） Digest 1985）、（米国）、1985年、第31巻、p.162-165

20

【発明の概要】

【発明が解決しようとする課題】

【0020】

しかしながら、前述の図13に示す逆阻止IGBTの n^- 型ドリフト領域1全体の小さいライフタイムは、一方で逆方向電圧印加時にドリフト領域1-2へ再結合中心を増やし、逆漏れ電流を増大させる欠点がある。また、従来の逆阻止IGBTの逆漏れ電流を、図14の矢印に示すように、ライフタイムを大きくすることにより低減させた場合、オン電圧は小さくなるが、ターンオフ損失が大きくなる問題が生じるので好ましくない。図14は、従来の逆阻止IGBTの E_{off} （ターンオフ損失）と V_{on} （オン電圧）とのトレードオフ関係を示す特性図である。前述の小さいライフタイムは短いライフタイム、ライフタイムを大きくとはライフタイムを長くと言い換えることもできる。また、逆漏れ電流を低減するために、 n^- 型ドリフト領域1の厚さ W を増やす方法も有効である。しかしながら、その場合、 E_{off} と V_{on} とのトレードオフ関係は図14に示すように、より悪いレベルに劣化するので、 n^- 型ドリフト領域1の厚さ W を増やす方法も好ましくない。

30

【0021】

本発明は、上述した従来技術による問題点を解消するため、ターンオフ損失とオン電圧とのトレードオフ関係の劣化を抑制しながら、高温逆漏れ電流とターンオフ損失の増大とを共に抑えることができる半導体装置および半導体装置の製造方法を提供することを目的とする。

40

【課題を解決するための手段】

【0022】

本発明は前記課題を解決して、発明の目的を達成するため、この発明にかかる半導体装置は、次の特徴を有する。活性領域には、 n^- 型半導体基板の一方の主面側にMOSゲート構造を有する。MOSゲート構造は、 p 型ベース領域、 n^+ 型エミッタ領域、ゲート絶縁膜およびゲート電極からなる。 p 型ベース領域は、 n^- 型半導体基板の一方の主面側に選択的に設けられている。 n^+ 型エミッタ領域は、 p 型ベース領域の内部に選択的に設けられている。 p 型ベース領域の、 n^- 型ドリフト領域と n^+ 型エミッタ領域とに挟まれた部

50

分の表面上には、ゲート絶縁膜を介してゲート電極が設けられている。耐压構造部は、活性領域の外周を取り巻く。n⁻型半導体基板の他方の主面側に設けられたp型コレクタ層と、耐压構造部の外周部に、n⁻型半導体基板の一方の主面と他方の主面とを繋ぐように、p⁺型分離層が設けられている。p⁺型分離層は、p型コレクタ層に電氣的に接続されている。n⁻型ドリフト領域の内部の、p型ベース領域の底面よりもn⁻型半導体基板の一方の主面から深い位置に、p型ベース領域から離れてn型低ライフタイム調整領域が設けられている。n型低ライフタイム調整領域は、活性領域からp⁺型分離層にわたって設けられている。n型低ライフタイム調整領域のキャリアのライフタイム t_1 は、n⁻型ドリフト領域のキャリアのライフタイム t_2 より低く、 $t_2 > t_1$ の関係を有する。

【0023】

10

また、この発明にかかる半導体装置は、上述した発明において、活性領域内の最外周の終端pベース領域の深さは、終端pベース領域よりも内側に位置するp型ベース領域の深さより深くてもよい。

【0024】

また、この発明にかかる半導体装置は、上述した発明において、活性領域内の最外周の終端pベース領域の深さは、耐压構造部を構成するp型ガードリングの深さと等しくてもよい。

【0025】

また、この発明にかかる半導体装置は、上述した発明において、n⁻型ドリフト領域の、隣り合うp型ベース領域間に挟まれた部分に、活性領域内の最外周の終端pベース領域よりも内側に位置するp型ベース領域とn型低ライフタイム調整領域との間に底面が位置する深さで設けられた、n⁻型ドリフト領域より不純物濃度の高いn型高濃度領域をさらに備えていてもよい。

20

【0026】

また、この発明にかかる半導体装置は、上述した発明において、n型低ライフタイム調整領域のキャリアのライフタイム t_1 は、n⁻型ドリフト領域のキャリアのライフタイム t_2 を $0.2 \mu s \sim 3.0 \mu s$ の範囲とし、 t_2 / t_1 を $2 \sim 8$ とする関係を有することが好ましい。

【0027】

また、この発明にかかる半導体装置は、上述した発明において、n型低ライフタイム調整領域のドーピング濃度のピーク濃度 n_1 は、n⁻型ドリフト領域のドーピング濃度 n_2 よりも高く、 $n_1 > n_2$ の関係を有することが好ましい。

30

【0028】

また、この発明にかかる半導体装置は、上述した発明において、n型低ライフタイム調整領域のドーピング濃度のピーク濃度 n_1 は、n⁻型ドリフト領域のドーピング濃度 n_2 の4倍よりも小さく、 $n_1 < 4 n_2$ の関係を有することが好ましい。

【0029】

また、この発明にかかる半導体装置は、上述した発明において、n型低ライフタイム調整領域の深さ方向の中心は、活性領域内の最外周のp型ベース領域の底面からp型コレクタ層側に $20 \mu m$ 以内の深さの範囲に位置することが好ましい。

40

【0030】

また、本発明は前記課題を解決して、発明の目的を達成するため、この発明にかかる半導体装置の製造方法は、上述した発明において、n⁻型半導体基板の一方の主面側にMOSゲート構造と所要の金属電極膜とを形成した後、n⁻型半導体基板の他方の主面側からプロトンを注入し、熱アニール処理を行うことによりn型低ライフタイム調整領域を形成することを特徴とする。

【0031】

また、この発明にかかる半導体装置の製造方法は、上述した発明において、 $5.0 \times 10^{13} \text{ cm}^{-2} \sim 5.0 \times 10^{14} \text{ cm}^{-2}$ のドーズ量範囲のプロトンを注入し、温度 $330 \sim 380$ の水素雰囲気中で熱アニール処理を行うことが好ましい。

50

【0032】

また、この発明にかかる半導体装置の製造方法は、上述した発明において、 n^- 型半導体基板の一方の主面側にMOSゲート構造と所要の金属電極膜とを形成した後、同じ側からヘリウムをイオン注入し、熱アニール処理を行うことにより、 n 型低ライフタイム調整領域を形成することが好ましい。

【0033】

また、この発明にかかる半導体装置の製造方法は、上述した発明において、 $2.0\text{ MeV} \sim 5.5\text{ MeV}$ のエネルギー範囲のヘリウムをイオン注入し、温度 380 以下の水素雰囲気中で熱アニール処理を行うことが好ましい。

【0034】

また、この発明にかかる半導体装置の製造方法は、上述した発明において、さらに、電子線照射により n 型低ライフタイム調整領域のライフタイムを調整することが好ましい。

【0035】

また、この発明にかかる半導体装置の製造方法は、上述した発明において、 n 型低ライフタイム調整領域のドーピング濃度のピーク濃度を、 n^- 型ドリフト領域のドーピング濃度の4倍以内に調整することが好ましい。

【発明の効果】

【0036】

本発明にかかる半導体装置および半導体装置の製造方法によれば、素子のエミッタ側に、活性領域の最外周の p ベース領域および耐圧構造部の p ガードリングの底面から離れて n 型低ライフタイム調整領域を設けることにより、ターンオフ損失とオン電圧とのトレードオフの劣化を抑制しながら、高温逆漏れ電流およびターンオフ時のコレクタ電圧跳ね上がりピークを低く抑制することができる。その結果、過熱、過電圧に対する信頼性を向上させることができる。

【図面の簡単な説明】

【0037】

【図1】図1は、本発明にかかる逆阻止IGBTの要部を示す断面図である。

【図2】図2は、図1の逆阻止IGBTのドーピング濃度プロファイルおよびライフタイムプロファイルを示す特性図である。

【図3】図3は、本発明にかかる逆阻止IGBTの接合温度 $T = 125$ での逆方向の電流 - 電圧特性を示す特性図である。

【図4】図4は、本発明にかかる逆阻止IGBTの接合温度 $T = 125$ でのドーピング濃度比と逆漏れ電流との関係を示す特性図である。

【図5】図5は、本発明にかかる逆阻止IGBTのターンオフ損失 E_{off} とオン電圧 V_{on} との関係を示す特性図である。

【図6】図6は、本発明にかかる逆阻止IGBTのターンオフ時の dV/dt とオン電圧 V_{on} との関係を示す特性図である。

【図7】図7は、本発明にかかる逆阻止IGBTのターンオフ時のコレクタ電圧の跳ね上がりとオン電圧 V_{on} との関係を示す特性図である。

【図8】図8は、本発明の実施例1にかかる逆阻止IGBTの製造途中の状態を示す断面図(その1)である。

【図9】図9は、本発明の実施例1にかかる逆阻止IGBTの製造途中の状態を示す断面図(その2)である。

【図10】図10は、本発明の実施例1にかかる逆阻止IGBTの製造途中の状態を示す断面図(その3)である。

【図11】図11は、本発明の実施例2にかかる逆阻止IGBTの製造途中の状態を示す断面図である。

【図12】図12は、従来の逆阻止IGBTの要部を示す断面図である。

【図13】図13は、従来の逆阻止IGBTの要部断面構造および逆方向電圧印加時の電界強度プロファイルを示す説明図である。

10

20

30

40

50

【図14】図14は、従来の逆阻止IGBTのEoffとVonとのトレードオフ関係を示す特性図である。

【図15】図15は、従来のダイオードの断面構造およびライフタイムプロファイルを示す説明図である。

【図16】図16は、従来のIGBTの別の一例の要部を示す断面図である。

【図17】図17は、図16の従来IGBTのドーピングプロファイル図である。

【発明を実施するための形態】

【0038】

以下、本発明にかかる半導体装置および半導体装置の製造方法の好適な実施の形態および実施例について、添付図面を参照して詳細に説明する。本明細書および添付図面においては、nまたはpを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、nやpに付す+および-は、それぞれそれが付されていない層や領域よりも相対的に不純物濃度が高いまたは低いことを意味する。なお、以下の実施の形態および実施例の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。また、実施の形態および実施例で説明される添付図面は、見易くまたは理解し易くするために正確なスケール、寸法比で描かれていない。本発明はその要旨を超えない限り、以下に説明する実施の形態および実施例の記載に限定されるものではない。

【0039】

(実施の形態)

本発明にかかる半導体装置の断面構造について、逆阻止IGBTを例に説明する。図1は、本発明にかかる逆阻止IGBTの要部を示す断面図である。図1に示すように、本発明の実施の形態にかかる逆阻止IGBTは、チップの中央近辺に設けられた活性領域110と、この活性領域110を取り巻く外周側に設けられた耐压構造部120と、耐压構造部120の外側を取り囲む分離領域130と、を備える。活性領域110において、n⁻型ドリフト領域1となるn⁻型半導体基板のおもて面側には、p型ベース領域2、p⁺型ベースコンタクト領域、n⁺型エミッタ領域3、ゲート絶縁膜4、ゲート電極5、層間絶縁膜6およびエミッタ電極9などからなる表面構造が設けられている。活性領域110は、主電流の経路となる領域である。耐压構造部120は、n⁻型ドリフト領域1の基板おもて面側の電界を緩和し耐压を保持する領域である。分離領域130は、n⁻型半導体基板の一方の主面と他方の主面とをp型領域で連結させるためのp⁺型分離層31を主たる領域として有する。

【0040】

n⁻型ドリフト領域1の内部には、基板おもて面側に、活性領域110から分離領域130にわたって、キャリアのライフタイム(以下、単にライフタイムとする)をn⁻型ドリフト領域1よりも低く調整したn型低ライフタイム調整領域1bが設けられている。n型低ライフタイム調整領域1bは、終端pベース領域(活性領域110の耐压構造部120側の終端部110aに設けられた最外周のpベース領域)2-1および耐压構造部120のp型ガードリング7の底面よりも基板おもて面から深い位置に、終端pベース領域2-1から離れて設けられている。また、n型低ライフタイム調整領域1bの深さ方向の中心は、終端pベース領域2-1または耐压構造部120のp型ガードリング7の底面より約20μm以内に位置する。n型低ライフタイム調整領域1bの中心が終端pベース領域2-1またはp型ガードリング7の底面より約20μmを超えると、耐压が低下するので、好ましくない。

【0041】

(実施例1)

次に、n型低ライフタイム調整領域1bおよびn⁻型ドリフト領域1のドーピング濃度プロファイルおよびライフタイムプロファイルについて、本発明の逆阻止IGBTの主な実施の形態を従来の逆阻止IGBTと比較しながら説明する。図2は、図1の逆阻止IGBTのドーピング濃度プロファイルおよびライフタイムプロファイルを示す特性図である

10

20

30

40

50

。ここで、比較の対象となる従来の逆阻止 IGBT は、本発明の逆阻止 IGBT の特徴部分である n 型低ライフタイム調整領域 1 b を備えていない逆阻止 IGBT である。即ち、以下の説明で用いられる従来の逆阻止 IGBT は、図 12 に示すように、n 型低ライフタイム調整領域以外の構造については本発明の逆阻止 IGBT と実質的に同じ構造を有する。

【0042】

上述したように、図 1 に示す本発明にかかる逆阻止 IGBT は、図 12 に示す従来の逆阻止 IGBT と比較して、n 型低ライフタイム調整領域 1 b が付加的に設けられている構造を特徴としている。実施例 1 の逆阻止 IGBT の n 型ドリフト領域 1 および点線で挟まれた n 型低ライフタイム調整領域 1 b のドーピング濃度プロファイルを図 2 (a) に示す。また、実施例 1 の逆阻止 IGBT のライフタイムの深さ方向のプロファイル(以下、ライフタイムプロファイルとする)を図 2 (b) に示す。また、図 2 (a) および図 2 (b) には、それぞれ、従来の逆阻止 IGBT のドーピング濃度プロファイルおよびライフタイムプロファイルを示す。図 2 において、横軸となる基板の深さ方向の距離の座標原点は活性領域 110 の終端部 110 a 内の終端 p ベース領域 2-1 または耐圧構造部 120 の p 型ガードリング 7 の底面とする。図 2 (a) の縦軸はドーピング濃度、図 2 (b) の縦軸はライフタイムである。

【0043】

実施例 1 の逆阻止 IGBT において、n 型低ライフタイム調整領域 1 b より基板おもて面から深い部分における n 型ドリフト領域 1 のドーピング濃度(以下、単に n 型ドリフト領域 1 のドーピング濃度とする) n_2 は均一である。n 型低ライフタイム調整領域 1 b のドーピングはプロトン照射により行われ、n 型低ライフタイム調整領域 1 b は、n 型ドリフト領域 1 のドーピング濃度 n_2 より高濃度のドーピング濃度 n_1 をピークとするドーピング濃度プロファイルを有する。n 型ドリフト領域 1 に対する n 型低ライフタイム調整領域 1 b のドーピング濃度比 (n 型低ライフタイム調整領域 1 b のドーピング濃度 n_1 / n 型ドリフト領域 1 のドーピング濃度 n_2) が $n_1 / n_2 = 1.0$ の場合については後述の実施例 2 で説明する。一方、図 2 (a) に破線で示す従来の逆阻止 IGBT の n 型ドリフト領域 1 全体のドーピング濃度 n_3 は、酸素ドナーや電子線照射の影響により基板おもて面側で少し凹状に低い濃度プロファイルを有するが、深さ方向にほぼ一様のドーピング濃度プロファイルを示す。

【0044】

ライフタイムについては、図 2 (b) に示すように、従来の逆阻止 IGBT は、n 型ドリフト領域 1 全体のライフタイム t_3 は、深さ方向に均一に調整されている。一方、実施例 1 の逆阻止 IGBT では、n 型低ライフタイム調整領域 1 b 内に局所的なプロトン照射またはプロトン照射と電子線照射との組み合わせが行われ、n 型低ライフタイム調整領域 1 b のライフタイム t_1 が n 型ドリフト領域 1 のライフタイム t_2 より小さくなるように調整されている。実施例 1 の逆阻止 IGBT の n 型ドリフト領域 1 のライフタイム t_2 は、従来の逆阻止 IGBT の n 型ドリフト領域 1 全体のライフタイム t_3 より大きい。即ち、実施例 1 の逆阻止 IGBT の n 型低ライフタイム調整領域 1 b のライフタイム t_1 および n 型ドリフト領域 1 のライフタイム t_2 については、従来の逆阻止 IGBT の n 型ドリフト領域 1 全体のライフタイム t_3 に対して、 $t_2 > t_3$ で $t_1 < t_3$ としたうえで、 t_2 を $0.2 \mu s \sim 3.0 \mu s$ の範囲とし、 t_2 / t_1 を $2 \sim 8$ として検証した。また、 $t_3 / t_1 < 6$ とした時には、 $t_2 / t_1 > 6$ とした。その結果を図 3 ~ 図 7 に示す。図 3 ~ 図 7 には、それぞれ実施例 1 の逆阻止 IGBT の検証結果とともに、比較として従来の逆阻止 IGBT の結果を示している。

【0045】

図 3 は、本発明にかかる逆阻止 IGBT の接合温度 $T = 125$ での逆方向の電流 - 電圧特性を示す特性図である。図 3 には、定格耐圧 $1700 V$ の逆阻止 IGBT の活性領域 110 の終端部 110 a またはゲートパット部の(高温)逆漏れ電流を示すための逆方向(エミッタ電極 9 を正電極に接続、コレクタ電極 11 を負電極に接続)の電流 - 電圧特性

10

20

30

40

50

曲線のシミュレーションカーブを示す。但し、接合温度 $T = 125$ 、ゲート電圧 $V_{GE} = 0$ V である。図 3 には、エミッタ - コレクタ間逆方向電圧 $V_{CE} = -1700$ V において、実施例 1 の逆阻止 IGBT および従来の逆阻止 IGBT の逆漏れ電流を示す。図 3 に示すように、従来の逆阻止 IGBT (n^- 型ドリフト領域 1 全体のライフタイム $t_3 = 1.74$ μ s と調整) の逆漏れ電流は、 3.0×10^{-10} A / μ m であった。それに対して、実施例 1 の逆阻止 IGBT においては、 n^- 型ドリフト領域 1 に対する n 型低ライフタイム調整領域 1 b のドーピング濃度比が $n_1 / n_2 = 3.8$ 、 $n_1 / n_2 = 1.9$ の場合に、逆漏れ電流はそれぞれ 0.8×10^{-11} A / μ m、 0.9×10^{-11} A / μ m に低減されることを示している。以下の説明で、逆漏れ電流に関する記述は高温逆漏れ電流を意味する。高温逆漏れ電流とは、接合温度 T が例えば 125 程度になるなど動作温度範囲が高温であるときの逆漏れ電流である。また、 n^- 型ドリフト領域 1 に対する n 型低ライフタイム調整領域 1 b のドーピング濃度比が $n_1 / n_2 = 1.0$ の場合でも、 n 型低ライフタイム調整領域 1 b の 0.3 μ s のライフタイム t_1 が小さく有効に働き、実施例 1 の逆阻止 IGBT の逆漏れ電流は 1.5×10^{-10} A / μ m となり従来の約 2 分の 1 に低減している。実施例 1 の逆阻止 IGBT において、 n^- 型ドリフト領域 1 のライフタイム t_2 および n 型低ライフタイム調整領域 1 b のライフタイム t_1 はそれぞれ $t_2 = 2.0$ μ s、 $t_1 = 0.3$ μ s とした。

【0046】

図 4 は、本発明にかかる逆阻止 IGBT の接合温度 $T = 125$ でのドーピング濃度比と逆漏れ電流との関係を示す特性図である。図 4 に、定格耐圧 1700 V の逆阻止 IGBT の活性領域中の単位セルのエミッタ - コレクタ間逆方向電圧 $V_{CE} = -1700$ V での逆漏れ電流と、 n^- 型ドリフト領域 1 に対する n 型低ライフタイム調整領域 1 b のドーピング濃度比 n_1 / n_2 との関係を示す。接合温度 $T = 125$ 、ゲート電圧 $V_{GE} = 0$ V、実施例 1 の逆阻止 IGBT の n^- 型ドリフト領域 1 のライフタイム t_2 および n 型低ライフタイム調整領域 1 b のライフタイム t_1 は、それぞれ前述の図 3 に示す検証結果と同様に $t_2 = 2.0$ μ s、 $t_1 = 0.3$ μ s である。比較のため、従来の逆阻止 IGBT の逆漏れ電流も示す。従来の逆阻止 IGBT の各データポイント (印) の n^- 型ドリフト領域 1 全体のライフタイム t_3 は、増加方向で $t_3 = 1.0$ μ s、 1.74 μ s、 2.0 μ s、 2.3 μ s となっている。従来の逆阻止 IGBT では、 n^- 型ドリフト領域 1 全体のライフタイム t_3 を 2.3 μ s のような大きい値にした場合でも、逆漏れ電流は 2.8×10^{-11} A / μ m より小さくはならない。

【0047】

一方、実施例 1 の逆阻止 IGBT (印) では、 n^- 型ドリフト領域 1 に対する n 型低ライフタイム調整領域 1 b のドーピング濃度比 n_1 / n_2 が大きいほど逆漏れ電流が小さくなることを示している。例えば、従来の逆阻止 IGBT の n^- 型ドリフト領域 1 全体のライフタイム $t_3 = 1.74$ μ s のときの逆漏れ電流 (3.0×10^{-11} A / μ m) に対して、 n^- 型ドリフト領域 1 に対する n 型低ライフタイム調整領域 1 b のドーピング濃度比 $n_1 / n_2 = 1.0$ のときの実施例 1 の逆阻止 IGBT の逆漏れ電流 (2.0×10^{-11} A / μ m) は約 3 分の 2 に低くなっていることが分かる。しかし、 n^- 型ドリフト領域 1 に対する n 型低ライフタイム調整領域 1 b のドーピング濃度比 n_1 / n_2 が 3.8 より大きくなるとともに、図 5 に示すようにターンオフ損失 (E o f f) が 0.41 (m J / A / p u l s e) よりさらに増大する。従って、本発明の逆阻止 IGBT の n^- 型ドリフト領域 1 に対する n 型低ライフタイム調整領域 1 b のドーピング濃度比 n_1 / n_2 は 4 より小さいことが好ましい。

【0048】

図 5 は、本発明にかかる逆阻止 IGBT のターンオフ損失 E o f f とオン電圧 V o n との関係を示す特性図である。図 5 には、実施例 1 の逆阻止 IGBT および従来の逆阻止 IGBT のターンオフ損失 E o f f とオン電圧 V o n とのトレードオフ関係を示す。図 5 では、実施例 1 の逆阻止 IGBT および従来の逆阻止 IGBT のコレクタ注入条件を一定にしている。図 5 において、従来の逆阻止 IGBT は、 n^- 型ドリフト領域 1 全体のライフ

10

20

30

40

50

タイム t_3 を変動させた。実施例 1 の逆阻止 IGBT は、n 型低ライフタイム調整領域 1 b のライフタイム $t_1 = 0.3 \mu s$ を固定して、n⁻型ドリフト領域 1 のライフタイム t_2 を変動させて得られたものである。具体的には、従来の逆阻止 IGBT の n⁻型ドリフト領域 1 全体のライフタイム t_3 は、曲線の左上から右下へ向かう方向に、各データポイント (印) でそれぞれ $t_3 = 2.3 \mu s$ 、 $2.0 \mu s$ 、 $1.74 \mu s$ の場合である。実施例 1 の逆阻止 IGBT の場合、各データポイント (印) における n⁻型ドリフト領域 1 のライフタイム t_2 は、曲線の左上から右下へ向かう方向にそれぞれ $t_2 = 2.3 \mu s$ 、 $2.0 \mu s$ 、 $1.74 \mu s$ 、 $1.5 \mu s$ となっている。実施例 1 の逆阻止 IGBT においては、n⁻型ドリフト領域 1 のライフタイム $t_2 = 2.0 \mu s$ の場合に、n⁻型ドリフト領域 1 に対する n 型低ライフタイム調整領域 1 b のドーピング濃度比 n_1/n_2 を 1 ~ 3.8 の範囲に変動する場合のターンオフ損失 E_{off} およびオン電圧 V_{on} (以下、 (E_{off}, V_{on}) とする) の軌跡も示す (印)。

【0049】

図 5 に示す結果では、従来の逆阻止 IGBT を $(E_{off}, V_{on}) = (0.275 \text{ mJ/A/pulse}, 3.61 \text{ V})$ で使用する場合、実施例 1 の逆阻止 IGBT は $(E_{off}, V_{on}) = (0.307 \text{ mJ/A/pulse}, 3.49 \text{ V})$ となり、ターンオフ損失 E_{off} とオン電圧 V_{on} とのトレードオフ関係 $(E_{off} - V_{on})$ がやや低下することを示している。しかし、従来の逆阻止 IGBT の逆漏れ電流を例えば 1.5 分の 1 以下に低減させる必要がある場合には、従来の逆阻止 IGBT の (E_{off}, V_{on}) は、図 4 で説明したように、n⁻型ドリフト領域 1 全体のライフタイム t_3 を $2.3 \mu s$ とした場合よりさらに大きくする必要がある。即ち、従来の逆阻止 IGBT において n⁻型ドリフト領域 1 全体のライフタイム $t_3 = 2.3 \mu s$ をさらに大きくすることは、図 5 の $t_3 = 2.3 \mu s$ のデータポイントよりも左上にデータポイントが付されることとなり、元の使用条件から大きく乖離して実用的に使えなくなる。従って、逆漏れ電流と $(E_{off} - V_{on})$ との関係を両立させる観点から、たとえ、前述のように、ターンオフ損失 E_{off} とオン電圧 V_{on} とのトレードオフ関係がやや劣化するとしても、n 型低ライフタイム調整領域 1 b を有する本発明の逆阻止 IGBT の方が従来の逆阻止 IGBT より望ましい。

【0050】

以上説明したターンオフ損失 E_{off} はスイッチング速度 $d(V_{CE})/dt$ を略同じにして得られた値である。図 5 の各データポイントとして対応する dV/dt と V_{on} との関係を図 6 に示す。図 6 は、本発明にかかる逆阻止 IGBT のターンオフ時の dV/dt とオン電圧 V_{on} との関係を示す特性図である。スイッチングオフ試験回路のバス電圧は 850 V とした。寄生インダクタンスは 300 nH とした。従来の逆阻止 IGBT のターンオフゲート抵抗 $R_g = 34 \Omega$ 、実施例 1 の逆阻止 IGBT のターンオフゲート抵抗 $R_g = 18 \Omega$ とした。図 6 に示す結果より、本実施例のデバイスに対して、適切な n_1/n_2 濃度比、ライフタイム比、およびゲート駆動の抵抗値の調整で、従来の逆阻止 IGBT と略同じなスイッチングスピード (dV/dt) にすることができることがわかる。

【0051】

図 5 の各データポイントと対応するコレクタ電圧の跳ね上がりピーク V_{CEpk} (ピーク電圧からバス電圧 850 V を差し引いた電圧) を図 7 に示す。図 7 は、本発明にかかる逆阻止 IGBT のターンオフ時のコレクタ電圧の跳ね上がりピーク V_{CEpk} とオン電圧 V_{on} との関係を示す特性図である。図 7 に示す結果より、実施例 1 の逆阻止 IGBT (印) のターンオフ時のコレクタ電圧の跳ね上がりピーク V_{CEpk} は、従来の逆阻止 IGBT (印) の約半分近くになっていることが分かる。従って、実施例 1 の逆阻止 IGBT においては、従来の逆阻止 IGBT よりも過電圧への耐性が強くなっていることがわかる。

【0052】

次に、例えば実施例 1 における n 型低ライフタイム調整領域 1 b の形成を含む逆阻止 IGBT の製造方法について以下、説明する。図 8 ~ 図 10 は、本発明の実施例 1 にかかる逆阻止 IGBT の製造途中の状態を示す断面図である。まず、図 8 に示すように、従来の

10

20

30

40

50

逆阻止 IGBT と同様の方法で、 n^- 型ドリフト領域 1 となるウエハ (n^- 型半導体基板) に、 p^+ 型分離層 31 を含む分離領域 130 と、活性領域 110 の MOS ゲート (金属 - 酸化膜 - 半導体からなる絶縁ゲート) 構造および耐压構造部 120 を含む基板おもて面側の表面構造と、を形成する。次に、図示しないが、ウエハのおもて面全面にポリイミド膜または窒化膜層をパッシベーション層としてさらに堆積し、アルミワイヤボンディングができるように、パッシベーション層を選択的にエッチングして、エミッタ電極パッド、ゲート電極パッドとなる金属電極表面を露出させてボンディングパッド領域を形成する。

【0053】

逆阻止 IGBT の MOS ゲート構造は、 p 型ベース領域 2、 n^+ 型エミッタ領域 3、ゲート絶縁膜 4、ゲート電極 5 からなる。ポリシリコンからなるゲート電極 5 の表面を、層間絶縁膜 6 を介してエミッタ電極 9 が覆う。エミッタ電極 9 は、 p 型ベース領域 2 の内部に設けられる n^+ 型エミッタ領域 3 と p^+ 型コンタクト領域 2a の表面とにオーミック接触する。隣り合う p 型ベース領域 2 間の n^- 型ドリフト領域 1 の表面層には、 p 型ベース領域 2 よりも深く、かつ n 型低ライフタイム調整領域 1b に達しない深さで n 型高濃度領域 1a が設けられることもオン電圧を低減できるので好ましい。活性領域 110 内の終端部 110a の終端 p ベース領域 2-1 の深さは、終端 p ベース領域 2-1 より内側の p 型ベース領域 2 の深さより深くすることが好ましい。その理由は、このように終端 p ベース領域 2-1 の深さを深くすると、終端 p ベース領域 2-1 の抵抗が小さくなるので、ターンオフ時終端部のホールキャリアが排出しやすくなり、ターンオフ耐量 (RBSOA) を向上できるからである。また、例えば、終端部 110a の終端 p ベース領域 2-1 を耐压構造部 120 内の p 型ガードリング 7 と同じ深さにすることが、同一プロセスで形成することができるので、プロセス効率の観点から好ましい。

【0054】

耐压構造部 120 は、 p 型ガードリング 7 とフィールドプレート 8 とを備えることにより、阻止電圧の印加時の耐压構造部 120 における電界強度を緩和させることができ、耐压信頼性を向上させることができる。 p^+ 型分離層 31 は、 n^- 型半導体基板の一方の主面からの不純物 (ボロンなど) 熱拡散により、例えば n^- 型半導体基板を深さ方向に貫通するように形成される。この p^+ 型分離層 31 は、後の工程で形成される p 型コレクタ領域 10 に接続され、 p^+ 型分離層 31 によって逆方向耐压接合である p 型コレクタ領域 10 と n^- 型ドリフト領域 1 との間の pn 接合面の終端がチップ化の際の切断面となるチップ側端面に露出しない構造となる。また、 p^+ 型分離層 31 によって、 p 型コレクタ領域 10 と n^- 型ドリフト領域 1 との間の pn 接合面は、絶縁膜 14 で保護された耐压構造部 120 の基板表面 (基板おもて面側の表面) に露出される。このため、逆方向耐压の信頼性を高くすることができる。

【0055】

次に、図 9 に示すように、ウエハ厚さに合わせて、プロトン照射のエネルギーを選択し、ウエハの裏面から例えば $5.0 \times 10^{13} \text{ cm}^{-2} \sim 5.0 \times 10^{14} \text{ cm}^{-2}$ の範囲にあるプロトンのドーズ量を注入する。次に、例えば $330 \sim 380$ の温度で、水素雰囲気において例えば 30 分間 ~ 60 分間の熱アニールを行い、 p 型ガードリング 7、終端 p ベース領域 2-1 の底面近傍の n^- 型ドリフト領域 1 の内部に n 型低ライフタイム調整領域 1b を形成する。

【0056】

次に、図 10 に示すように、逆阻止 IGBT の表面構造 (ウエハおもて面側の素子構造) にフォトレジスト 19 を塗布し改質硬化させた後、ウエハ裏面を研磨するため、バックグラインド (BG) テープ 20 を前記フォトレジスト 19 の上に貼る。次に、ウエハの厚さが約 $300 \mu\text{m}$ になるようにウエハ裏面を研磨し、CMP (Chemical and Mechanical Polishing) 研磨装置などを用いたタッチポリッシュにより鏡面にする。次に、BG テープ 20 を剥離し、ウエハを洗浄する。次に、ウエハの裏面側のシリコン面を $5 \mu\text{m} \sim 20 \mu\text{m}$ 程度をウェットエッチングで除去して仕上げ面とする。次に、ウエハ裏面に p 型コレクタ領域 10 を形成するためのイオン注入を行った後

、レーザーアニール等で活性化させることによりp型コレクタ領域10を形成する。次に、ウエハおもて面側のフォトレジスト19を除去する。その後、電極メタルをスパッタし、メタルアニールを実施してコレクタ電極11を形成してウエハプロセスを完了する。これにより、図1に示す逆阻止IGBTが完成する。

【0057】

(実施例2)

次に、実施例2の逆阻止IGBTについて説明する。図2において、従来の逆阻止IGBTとドーピングプロファイルが同じで、ライフタイムプロファイルだけが異なる逆阻止IGBT、即ち、 n^- 型ドリフト領域1に対するn型低ライフタイム調整領域1bのドーピング濃度比 $n_1/n_2 = 1$ の逆阻止IGBTを実施例2とする。比較のための従来の逆阻止IGBTは、ターンオフ損失 E_{off} およびオン電圧 V_{on} を $(E_{off}, V_{on}) = (0.275 \text{ mJ/A/pulse}, 3.61 \text{ V})$ 、 n^- 型ドリフト領域1全体のライフタイムを $t_3 = 1.74 \mu\text{s}$ とする。

【0058】

実施例2の逆阻止IGBTにおいて、 n^- 型ドリフト領域1のライフタイム t_2 およびn型低ライフタイム調整領域1bのライフタイム t_1 をそれぞれ $t_2 = 2.0 \mu\text{s}$ 、 $t_1 = 0.3 \mu\text{s}$ とする場合、図4から、従来の逆阻止IGBTより活性領域110の高温逆漏れ電流の低減は軽微であるが、図3では終端部110aの逆漏れ電流は半減する(従来の逆阻止IGBTの逆漏れ電流である $3.0 \times 10^{-9} \text{ A}/\mu\text{m}$ から $1.5 \times 10^{-9} \text{ A}/\mu\text{m}$ に半減)ことを示している。逆阻止IGBT素子全体の逆漏れ電流の低減は活性領域110とゲートパッド部を含む終端部110aの面積の割合で決まる。実施例2の逆阻止IGBTでは、前述の実施例1の逆阻止IGBT程の低減は見込めないが、逆阻止IGBT素子全体の高温逆漏れは減少する。その時、図5から、実施例2の逆阻止IGBTは、 $(E_{off}, V_{on}) = (0.296 \text{ mJ/A/pulse}, 3.56 \text{ V})$ となる。また、図7からわかるように、従来の逆阻止IGBTの n^- 型ドリフト領域1全体のライフタイム $t_3 = 1.0 \mu\text{s}$ のときのコレクタ電圧の跳ね上がりピーク V_{CEpk} の約310Vに対して、実施例2の逆阻止IGBTの n^- 型ドリフト領域1に対するn型低ライフタイム調整領域1bのドーピング濃度比 $n_1/n_2 = 1.0$ のときのコレクタ電圧の跳ね上がりピーク V_{CEpk} は260Vであり約50V程低減する。

【0059】

次に、例えば実施例2におけるn型低ライフタイム調整領域1bの形成方法を含む逆阻止IGBTの製造方法について、以下、説明する。図11は、本発明の実施例2にかかる逆阻止IGBTの製造途中の状態を示す断面図である。まず、実施例1と同様の方法で、 n^- 型ドリフト領域1となるウエハ(n^- 型半導体基板)に、 p^+ 型分離層31と、活性領域110のMOSゲート構造および耐圧構造を含む表面構造とを形成する。次に、実施例1と同様に、ウエハのおもて面全面に図示しないポリイミド膜または窒化膜層をパッシベーション層として堆積し、アルミワイヤボンディングができるように、パッシベーション層をエッチングして金属電極表面を露出させてボンディングパッド領域(図示せず)を形成する。

【0060】

次に、実施例1の製造方法におけるプロトン照射に代えて、図11に示すように、ウエハのおもて面側からのヘリウム(He)イオン注入を行う。その注入エネルギーは例えば $2 \text{ MeV} \sim 5.5 \text{ MeV}$ の範囲が好ましい。また、ウエハ全域に電子線照射も実施する。その後、例えば380以下程度の温度、水素雰囲気中で熱アニールを例えば60分間程実施して、n型低ライフタイム調整領域1bを形成することにより、図9に示す実施例1の逆阻止IGBTと同様の状態となる。

【0061】

その後、実施例1と同様に、図10のプロセスを経て所望の厚さを有し、かつ鏡面加工された裏面を有するウエハとし、このウエハ裏面にp型コレクタ領域10を形成するためのイオン注入した後、レーザーアニール等で活性化させることによりp型コレクタ領域1

10

20

30

40

50

0を形成する。次に、ウエハおもて面のフォトレジスト19を除去する。その後、ウエハ裏面に電極メタルをスパッタし、メタルアニールを実施してコレクタ電極11を形成しウエハプロセスを完了する。これにより、図1に示す逆阻止IGBTが完成する。

【0062】

以上説明したように、本発明によれば、終端pベース領域の底面よりも基板おもて面から深い部分に、キャリアのライフタイムをn⁻型ドリフト領域よりも低く調整したn型低ライフタイム調整領域を設けることにより、E_{off}-V_{on}のトレードオフ関係を極端に劣化せずに、高温逆漏れ電流およびターンオフ時のコレクタ電圧跳ね上がりピークを低減することができる。これにより、動作温度範囲が広げられる、あるいは逆阻止IGBT搭載機器のヒートシンクの体積低減に繋げることができる。従って、高温動作化あるいは小型化で逆阻止IGBTを搭載するマトリクスコンバータやマルチレベルインバータの応用範囲が広げられ、産業または民生機器のエネルギー変換効率が向上する。

10

【0063】

以上において本発明は、上述した実施の形態および実施例に限らず、本発明の趣旨を逸脱しない範囲で種々変更可能である。

【産業上の利用可能性】

【0064】

以上のように、本発明にかかる半導体装置および半導体装置の製造方法は、コンバータやインバータなどの電力変換装置や種々の産業用機械などの電源装置などに使用されるパワー半導体装置に有用である。

20

【符号の説明】

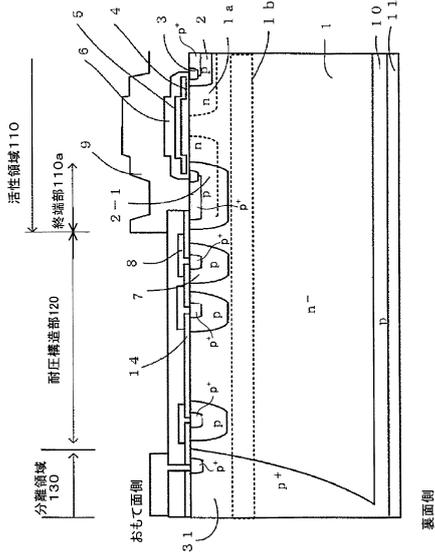
【0065】

- 1 n⁻型ドリフト領域
- 1 a n型高濃度領域
- 1 b n型低ライフタイム調整領域
- 2 p型ベース領域
- 2 a p⁺型コンタクト領域
- 2 - 1 終端pベース領域
- 3 n⁺型エミッタ領域
- 4 ゲート絶縁膜
- 5 ゲート電極
- 6 層間絶縁膜
- 7 p型ガードリング
- 8 フィールドプレート
- 9 エミッタ電極
- 10 p型コレクタ領域
- 11 コレクタ電極
- 12 チップ側端面
- 13 基板表面
- 14 絶縁膜
- 31 p⁺型分離層
- 110 活性領域
- 110 a 活性領域の終端部
- 120 耐圧構造部
- 130 分離領域
- t₁ n型低ライフタイム調整領域のキャリアのライフタイム
- t₂ n⁻型ドリフト領域のキャリアのライフタイム

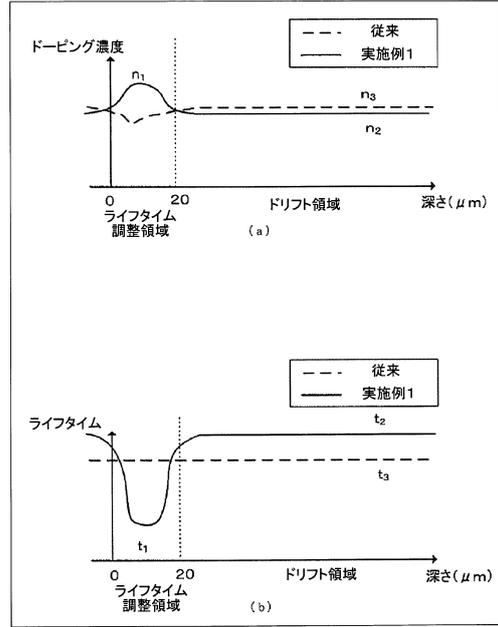
30

40

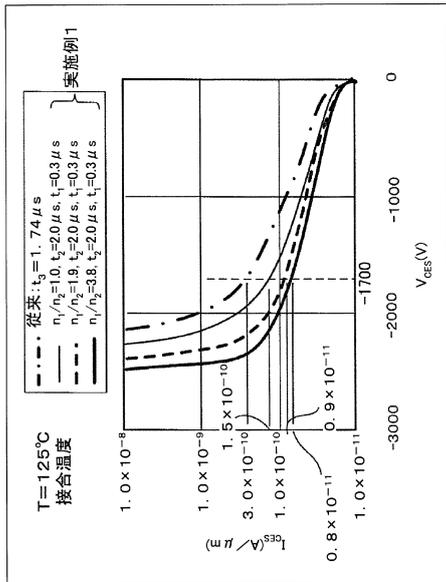
【図1】



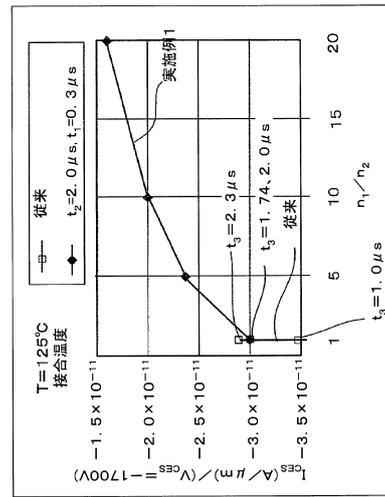
【図2】



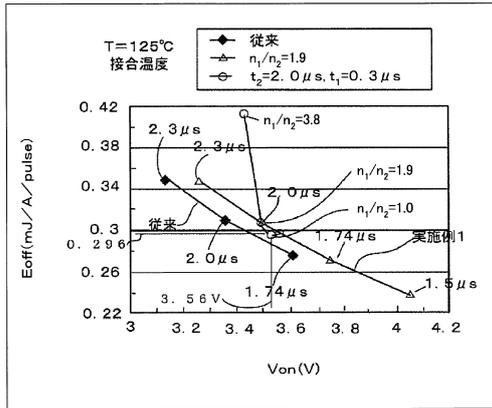
【図3】



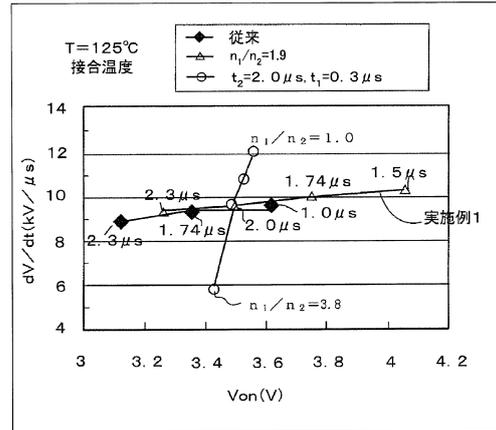
【図4】



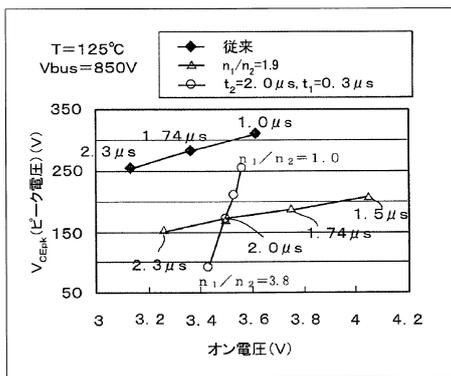
【図5】



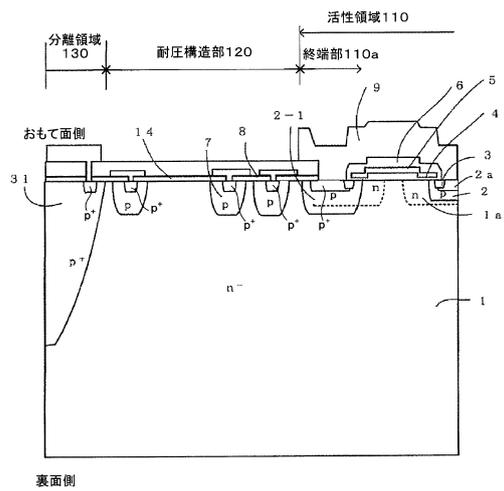
【図6】



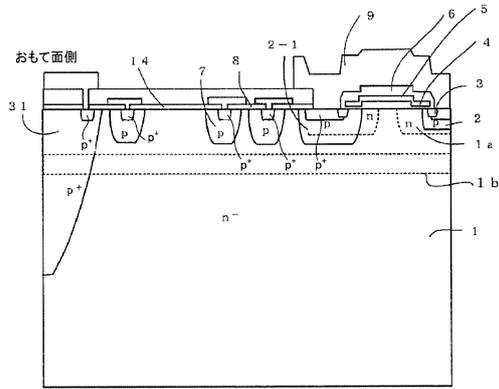
【図7】



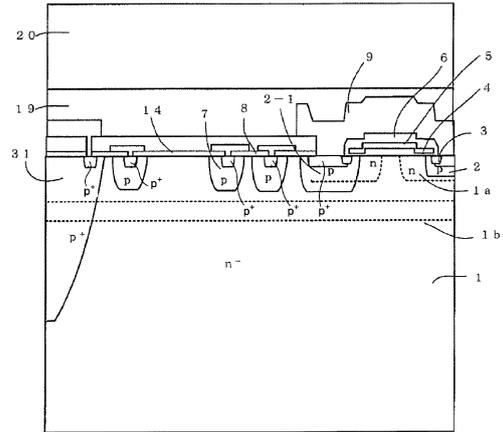
【図8】



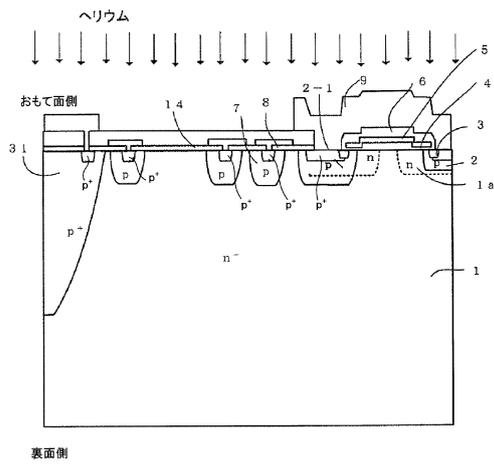
【図9】



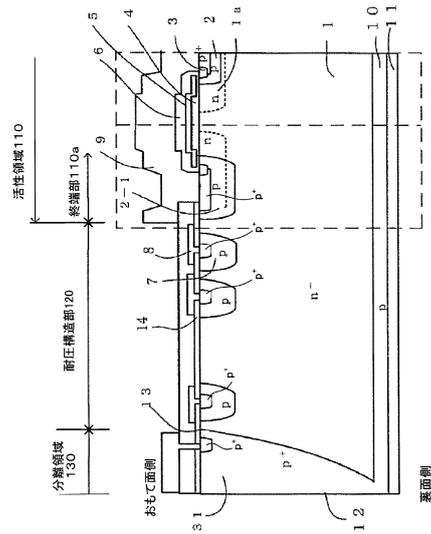
【図10】



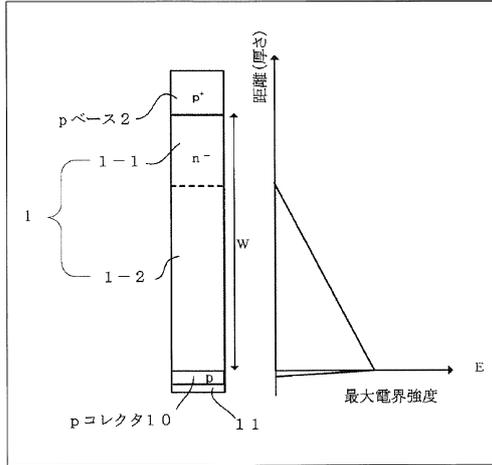
【図11】



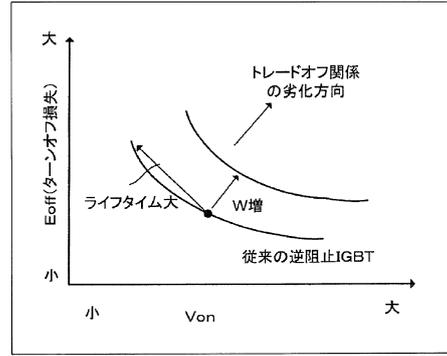
【図12】



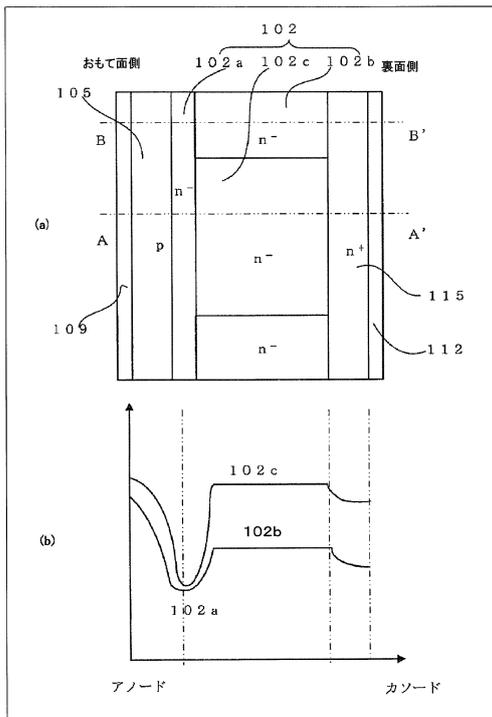
【図13】



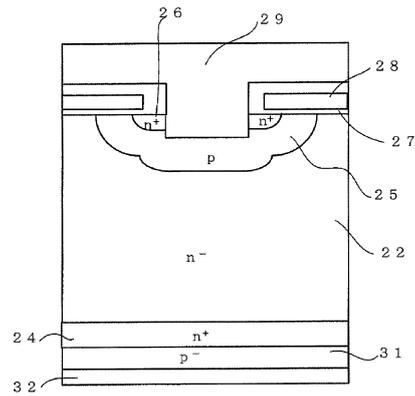
【図14】



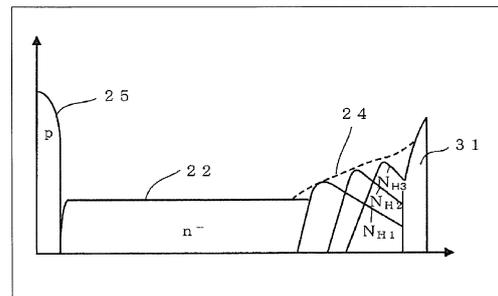
【図15】



【図16】



【図17】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/06 3 0 1 V
H 0 1 L 21/322 L

(56)参考文献 国際公開第2012/056536(WO,A1)
特開昭58-192368(JP,A)
特開2002-076017(JP,A)
特開2004-165619(JP,A)
特開2002-184987(JP,A)

(58)調査した分野(Int.Cl.,DB名)
H 0 1 L 2 9 / 7 3 9
H 0 1 L 2 1 / 3 2 2
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 0 6
H 0 1 L 2 9 / 7 8
H 0 1 L 2 7 / 0 4