



(12)发明专利申请

(10)申请公布号 CN 110211975 A

(43)申请公布日 2019.09.06

(21)申请号 201910569693.9

(22)申请日 2019.06.27

(71)申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号
申请人 北京京东方技术开发有限公司

(72)发明人 先建波 程鸿飞 马永达 许晨
郝学光

(74)专利代理机构 北京中博世达专利商标代理
有限公司 11274

代理人 申健

(51)Int.Cl.

H01L 27/12(2006.01)

H01L 27/32(2006.01)

G06K 9/00(2006.01)

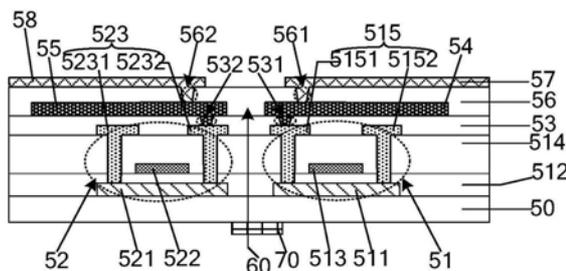
权利要求书2页 说明书13页 附图5页

(54)发明名称

一种阵列基板、显示面板、显示装置

(57)摘要

本发明提供一种阵列基板、显示面板、显示装置,涉及显示技术领域,可提高纹路识别的精确度。具有显示区;阵列基板包括衬底,依次设置于衬底上且位于显示区的像素电路、第一绝缘层、导电遮光层;像素电路包括第一薄膜晶体管和第二薄膜晶体管;导电遮光层包括透光孔;第一薄膜晶体管与第二薄膜晶体管之间的区域在衬底上的正投影,与透光孔在衬底上的正投影具有重叠区域,且二者在衬底上的正投影重叠的部分构成成像孔;还包括设置于像素电路背离第一绝缘层一侧的多个纹路识别单元,纹路识别单元至少与一个成像孔对应;第一薄膜晶体管包括第一源漏图案,第一绝缘层包括第一过孔,导电遮光层通过第一过孔与第一源漏图案电连接。



1. 一种阵列基板,其特征在于,具有显示区;所述阵列基板包括衬底,设置于所述衬底上的像素电路、第一金属层、第一绝缘层、导电遮光层;

所述像素电路包括第一薄膜晶体管和第二薄膜晶体管;

所述导电遮光层包括透光孔;所述第一薄膜晶体管与所述第二薄膜晶体管之间的区域在所述衬底上的正投影,与所述透光孔在所述衬底上的正投影具有重叠区域,且二者在所述衬底上的正投影重叠的部分构成成像孔;

所述第一金属层包括多个图案;所述第一绝缘层包括第一过孔,至少部分所述导电遮光层通过所述第一过孔与所述第一金属层的至少一个图案电连接。

2. 根据权利要求1所述的阵列基板,其特征在于,所述第一薄膜晶体管包括第一源漏图案,所述第一金属层包括第一源漏图案,所述导电遮光层通过所述第一过孔与所述第一源漏图案电连接。

3. 根据权利要求2所述的阵列基板,其特征在于,所述阵列基板还包括依次层叠设置于所述导电遮光层背离所述衬底一侧的第二绝缘层和电极层;

所述第二绝缘层包括第二过孔,所述电极层包括间隔设置的第一导电电极和第二导电电极;所述第一导电电极通过所述第二过孔与所述导电遮光层电连接,所述导电遮光层通过所述第一过孔与所述第一源漏图案电连接;

所述第二薄膜晶体管包括第二源漏图案;所述第一绝缘层还包括第三过孔,所述导电遮光层通过所述第三过孔与所述第二源漏图案电连接;和/或,所述第二绝缘层包括第四过孔,所述第二导电电极通过所述第四过孔与所述导电遮光层电连接。

4. 根据权利要求3所述的阵列基板,其特征在于,所述第三过孔和所述第四过孔与所述成像孔之间的距离为 $0.5\sim 3\mu\text{m}$ 。

5. 根据权利要求1所述的阵列基板,其特征在于,还包括电极层,电极层包括与所述透光孔对应的第二透光孔。

6. 根据权利要求3所述的阵列基板,其特征在于,所述第一过孔在所述衬底上的正投影与所述第二过孔在所述衬底上的正投影无重叠;

和/或,所述第三过孔在所述衬底上的正投影与所述第四过孔在所述衬底上的正投影无重叠。

7. 根据权利要求1所述的阵列基板,其特征在于,所述导电遮光层在所述衬底上的正投影,完全覆盖所述第一薄膜晶体管的沟道区域在所述衬底上的正投影和所述第二薄膜晶体管的沟道区域在所述衬底上的正投影;

或者,所述导电遮光层在所述衬底上的正投影,完全覆盖所述第一薄膜晶体管在所述衬底上的正投影和所述第二薄膜晶体管在所述衬底上的正投影。

8. 根据权利要求3所述的阵列基板,其特征在于,所述第一薄膜晶体管为发光控制晶体管,所述第二薄膜晶体管为重置晶体管;

所述第一源漏图案包括第一源极,所述第二源漏图案包括第二源极;所述第一源极通过所述导电遮光层与所述第二源极电连接。

9. 根据权利要求3所述的阵列基板,其特征在于,所述导电遮光层包括间隔设置的第一遮光单元和第二遮光单元;

所述第一导电电极通过所述第二过孔与所述导电遮光层的所述第一遮光单元电连接,

所述第一遮光单元通过所述第一过孔与所述第一源漏图案电连接；

所述第二导电电极通过所述第四过孔与所述导电遮光层的所述第二遮光单元电连接，所述第二遮光单元通过所述第三过孔与所述第二源漏图案电连接。

10. 根据权利要求9所述的阵列基板，其特征在于，所述第二源漏图案包括第二源极和第二漏极；

所述第二薄膜晶体管为驱动晶体管；所述第二导电电极通过所述第四过孔与所述第二遮光单元电连接，且所述第二遮光单元通过所述第三过孔与所述第二漏极电连接；所述阵列基板还包括多个发光器件，每个所述发光器件包括第一电极，所述第二导电电极为所述第一电极；

或者，第二薄膜晶体管为开关晶体管；所述第二遮光单元通过所述第三过孔与所述第二源极电连接，所述第二遮光单元用于向所述第二源极输入数据电压。

11. 根据权利要求1所述的阵列基板，其特征在于，所述导电遮光层与数据信号线、电源信号线、时钟信号线至少之一电性连接。

12. 根据权利要求1所述的阵列基板，其特征在于，所述阵列基板包括多个子像素，至少部分所述透光孔位于相邻的两个所述子像素之间；或者，至少有两个位于不同子像素区域内的所述透光孔的面积不相等；或者至少有3个所述透光孔不在同一直线上。

13. 根据权利要求1所述的阵列基板，其特征在于，所述阵列基板还包括设置于所述像素电路背离所述第一绝缘层一侧的至少一个纹路识别单元，所述纹路识别单元至少与一个所述成像孔对应。

14. 一种显示面板，其特征在于，包括权利要求1-13任一项所述的阵列基板。

15. 一种显示装置，其特征在于，包括权利要求14所述的显示面板。

一种阵列基板、显示面板、显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种阵列基板、显示面板、显示装置。

背景技术

[0002] 近年来,随着显示技术的快速发展,具有指纹识别功能的终端设备已之间成为生活中的必需品。

[0003] 现有的指纹识别方式包括光学式、超声波式、以及电容式。以光学式指纹识别为例,在显示面板中有纹路识别单元和遮光层。遮光层位于指纹识别单元与纹路接触面之间。

[0004] 其中,光学式指纹识别的原理是:从显示装置出射的显示光照射到手指后,经手指的谷、脊反射的显示光通过小孔照射到纹路识别单元上。由于谷、脊反射的显示光的强度存在差异,纹路识别单元接收到谷、脊反射的反射光后,将光信号转换为电信号,纹路识别电路根据电信号形成纹路图像,并与预先存储的纹路信息进行比较,以完成指纹识别。

发明内容

[0005] 本发明的实施例提供一种阵列基板、显示面板、显示装置,可提高纹路识别的精确度。

[0006] 为达到上述目的,本发明的实施例采用如下技术方案:

[0007] 第一方面,提供一种阵列基板,具有显示区;

[0008] 所述阵列基板包括衬底,设置于所述衬底上的像素电路、第一金属层、第一绝缘层、导电遮光层;

[0009] 所述像素电路包括第一薄膜晶体管和第二薄膜晶体管;

[0010] 所述导电遮光层包括透光孔;所述第一薄膜晶体管与所述第二薄膜晶体管之间的区域在所述衬底上的正投影,与所述透光孔在所述衬底上的正投影具有重叠区域,且二者在所述衬底上的正投影重叠的部分构成成像孔;

[0011] 所述第一金属层包括多个图案;所述第一绝缘层包括第一过孔,至少部分所述导电遮光层通过所述第一过孔与所述第一金属层的至少一个图案电连接。

[0012] 可选的,所述第一薄膜晶体管包括第一源漏图案,所述第一金属层包括第一源漏图案,所述导电遮光层通过所述第一过孔与所述第一源漏图案电连接。

[0013] 可选的,所述阵列基板还包括依次层叠设置于所述导电遮光层背离所述衬底一侧的第二绝缘层和电极层;

[0014] 可选的,所述第二绝缘层包括第二过孔,所述电极层包括间隔设置的第一导电电极和第二导电电极;所述第一导电电极通过所述第二过孔与所述导电遮光层电连接,所述导电遮光层通过所述第一过孔与所述第一源漏图案电连接;

[0015] 所述第二薄膜晶体管包括第二源漏图案;所述第一绝缘层还包括第三过孔,所述导电遮光层通过所述第三过孔与所述第二源漏图案电连接;和/或,所述第二绝缘层包括第四过孔,所述第二导电电极通过所述第四过孔与所述导电遮光层电连接。

[0016] 可选的,还包括电极层,电极层包括与所述透光孔对应的第二透光孔。

[0017] 可选的,所述第三过孔和所述第四过孔与所述成像孔之间的距离为 $0.5\sim 3\mu\text{m}$ 。

[0018] 可选的,所述第一过孔在所述衬底上的正投影与所述第二过孔在所述衬底上的正投影无重叠;

[0019] 和/或,所述第三过孔在所述衬底上的正投影与所述第四过孔在所述衬底上的正投影无重叠。

[0020] 可选的,所述导电遮光层在所述衬底上的正投影,完全覆盖所述第一薄膜晶体管的沟道区域在所述衬底上的正投影和所述第二薄膜晶体管的沟道区域在所述衬底上的正投影;

[0021] 或者,所述导电遮光层在所述衬底上的正投影,完全覆盖所述第一薄膜晶体管在所述衬底上的正投影和所述第二薄膜晶体管在所述衬底上的正投影。

[0022] 可选的,所述第一薄膜晶体管为发光控制晶体管,所述第二薄膜晶体管为重置晶体管;所述第一源漏图案包括第一源极,所述第二源漏图案包括第二源极;所述第一源极通过所述导电遮光层与所述第二源极电连接。

[0023] 可选的,所述导电遮光层包括间隔设置的第一遮光单元和第二遮光单元;

[0024] 所述第一导电电极通过所述第二过孔与所述导电遮光层的所述第一遮光单元电连接,所述第一遮光单元通过所述第一过孔与所述第一源漏图案电连接;

[0025] 所述第二导电电极通过所述第四过孔与所述导电遮光层的所述第二遮光单元电连接,所述第二遮光单元通过所述第三过孔与所述第二源漏图案电连接。

[0026] 可选的,所述第二源漏图案包括第二源极和第二漏极;

[0027] 所述第二薄膜晶体管为驱动晶体管;所述第二导电电极通过所述第四过孔与所述第二遮光单元电连接,且所述第二遮光单元通过所述第三过孔与所述第二漏极电连接;所述阵列基板还包括多个发光器件,每个所述发光器件包括第一电极,所述第二导电电极为所述第一电极;

[0028] 或者,第二薄膜晶体管为开关晶体管;所述第二遮光单元通过所述第三过孔与所述第二源极电连接,所述第二遮光单元用于向所述第二源极输入数据电压。

[0029] 可选的,所述导电遮光层与数据信号线、电源信号线、时钟信号线至少之一电性连接。

[0030] 可选的,所述阵列基板包括多个子像素,至少部分所述透光孔位于相邻的两个所述子像素之间;或者,至少有两个位于不同子像素区域内的所述透光孔的面积不相等;或者至少有3个所述透光孔不在同一直线上。

[0031] 可选的,所述阵列基板还包括设置于所述像素电路背离所述第一绝缘层一侧的至少一个纹路识别单元,所述纹路识别单元至少与一个所述成像孔对应。

[0032] 第二方面,提供一种显示面板,包括第一方面所述的阵列基板。

[0033] 第三方面,提供一种显示装置,包括第二方面所述的显示面板。

[0034] 本发明实施例提供一种阵列基板、显示面板、显示装置,该阵列基板包括第一薄膜晶体管、第二薄膜晶体管和导电遮光层,且导电遮光层包括透光孔。其中,第一薄膜晶体管与第二薄膜晶体管之间的区域在衬底上的正投影,与透光孔在衬底上的正投影具有重叠区域,且二者在衬底上的正投影重叠的部分构成成像孔。这样一来,一方面,导电遮光层可以

用于构成纹路识别所需的成像孔；另一方面，导电遮光层还可以用于传输信号，例如与第一薄膜晶体管的第一源漏图案电连接，以与第一薄膜晶体管之间传输信号。与现有技术中相比，可减小阵列基板的厚度，当所述阵列基板应用于显示装置时，有利于显示装置的薄型化设计。

附图说明

[0035] 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0036] 图1为本发明实施例提供的一种显示装置的结构示意图；

[0037] 图2为本发明实施例提供的一种阵列基板的俯视示意图；

[0038] 图3为本发明实施例提供的一种阵列基板的结构示意图；

[0039] 图4a为本发明实施例提供的一种导电遮光层的俯视示意图；

[0040] 图4b为本发明实施例提供的一种导电遮光层的俯视示意图；

[0041] 图4c为本发明实施例提供的一种导电遮光层的俯视示意图；

[0042] 图4d为本发明实施例提供的一种导电遮光层的俯视示意图；

[0043] 图5为现有技术提供的一种阵列基板的结构示意图；

[0044] 图6为本发明实施例提供的一种阵列基板的结构示意图；

[0045] 图7为本发明实施例提供的一种阵列基板的结构示意图；

[0046] 图8为本发明实施例提供的一种阵列基板的结构示意图；

[0047] 图9为本发明实施例提供的一种像素电路的等效示意图。

[0048] 附图标记：

[0049] 1-框架；2-显示面板；201-显示区；2011-透光区；2012-非透光区；21-阵列基板；22-对置基板；3-电路板；4-盖板；50-衬底；51-第一薄膜晶体管；511-有源图案；512-栅绝缘层；513-栅极；514-层间绝缘层；515-第一源漏图案；5151-第一漏极；5152-第一源极；52-第二薄膜晶体管；521-有源图案；522-第一栅极；523-第二源漏图案；5231-第二源极；5232-第二漏极；524-第二栅极；53-第一绝缘层；531-第一过孔；532-第三过孔；54-第一遮光单元；55-第二遮光单元；551-辅助线；56-第二绝缘层；561-第二过孔；562-第四过孔；57-第一导电电极；58-第二导电电极；60-透光孔；70-纹路识别单元；91-第一源漏金属层；92-第二源漏金属层；100-导电遮光层；200-成像孔。

具体实施方式

[0050] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0051] 显示装置可以用作手机、平板电脑、个人数字助理(personal digital assistant, PDA)、车载电脑等，本发明实施例对显示装置的具体用途不做特殊限制。

[0052] 如图1所示,该显示装置例如可以包括框架1、显示面板2、电路板3、盖板4、以及包括摄像头等的其他电子配件。

[0053] 以上述显示面板2的出光方向为顶发光为例,框架1可以是U形框架,显示面板2和电路板3设置于框架1中。盖板4设置于显示面板2的出光侧,电路板3设置于显示面板2背离盖板4一侧。

[0054] 上述显示面板2可以是有机电致(organic light emitting diode,简称OLED)显示面板,或发光二极管(light emitting diode,简称LED)显示面板,或量子点电致(Quantum Dot Light Emitting Diodes,简称QLED)显示面板。

[0055] 如图2所示,显示面板2包括多个子像素区域,多个子像素区域包括红色子像素区域、绿色子像素区域、蓝色子像素区域。或者,多个子像素区域包括品红色子像素区域、黄色子像素区域、青色子像素区域。

[0056] 在上述基础上,上述多个子像素区域还可以包括白色子像素区域。

[0057] 上述显示面板2均包括阵列基板21和对置基板22。

[0058] 本发明实施例提供一种阵列基板,该阵列基板可以用作上述显示面板2中的阵列基板21。当然,该阵列基板21还可以用作其他显示面板2中的阵列基板21,本发明实施例不作特殊限定。

[0059] 如图2所示,该阵列基板21具有显示区201;如图2和图3所示,该阵列基板21包括衬底50,依次设置于衬底50上且位于显示区201的像素电路、第一金属层、第一绝缘层53、导电遮光层100;像素电路包括相邻且间隔设置的第一薄膜晶体管51和第二薄膜晶体管52;如图3所示,导电遮光层100包括透光孔60;第一薄膜晶体管51与第二薄膜晶体管52之间的区域在衬底50上的正投影,与透光孔60在衬底50上的正投影具有重叠区域,且二者在衬底50上的正投影重叠的部分构成成像孔200,成像孔200用于纹路识别;第一金属层包括多个图案,例如第一金属层包括第一源漏图案515;第一绝缘层53包括第一过孔531,至少部分所述导电遮光层100通过所述第一过孔531与所述第一金属层的至少一个图案电连接。

[0060] 第一金属层可以包括多个图案,例如:第一金属层包括第一薄膜晶体管51的第一源漏图案515,和/或第二薄膜晶体管52的第二源漏图案523。第一金属层还可以包括其他信号走线图案,例如:数据信号线、电源信号线、始终信号线、参考电压线至少之一。

[0061] 至少部分所述导电遮光层100通过所述第一过孔531与所述第一金属层的至少一个图案电连接,可以充分利用阵列基板的金属走线或薄膜晶体管结构,使得布局更为合理紧凑等。示例性的,第一薄膜晶体管51包括第一源漏图案515,第一绝缘层53包括第一过孔531,导电遮光层100通过第一过孔531与第一源漏图案515电连接。

[0062] 阵列基板21还包括设置于像素电路背离第一绝缘层53一侧的至少一个纹路识别单元70,纹路识别单元70至少与一个成像孔200对应;纹路识别单元70在衬底50上的正投影完全覆盖与其对应的成像孔200在衬底50上的正投影。

[0063] 其中,一个纹路识别单元70可以与一个成像孔200对应;或者,一个纹路识别单元70也可以与多个成像孔200对应。

[0064] 当然,也不局限于上述方式。例如:在衬底50上,以下往上,依次设置导电遮光层100,第一绝缘层53、像素电路,像素电路包括相邻且间隔设置的第一薄膜晶体管51和第二薄膜晶体管52,导电遮光层100包括透光孔60;第一薄膜晶体管51与第二薄膜晶体管52之间

的区域在衬底50上的正投影,与透光孔60在衬底50上的正投影具有重叠区域,且二者在衬底50上的正投影重叠的部分构成成像孔200;第一薄膜晶体管51包括第一源漏图案515,第一绝缘层53包括第一过孔531,导电遮光层100通过第一过孔531与第一源漏图案515电连接。

[0065] 可以理解的是,本发明实施例中的“第一”和“第二”仅是为了便于名称上的区分,不作为限定。本发明实施例中的像素电路指的可以是阵列基板显示区的整体驱动电路,也可以指显示区单个或多个或多个子像素的驱动电路。

[0066] 在一些实施例中,纹路包括手指的指纹、手掌的掌纹等。在一些实施例中,当所述阵列基板应用于显示面板2时,显示面板2还包括发光器件和位于相邻发光器件之间的像素界定层,发光器件设置于导电遮光层100背离衬底10一侧。

[0067] 若显示面板2为OLED显示面板,则发光器件为OLED器件,OLED器件包括依次层叠设置的第一电极、有机发光功能层、以及第二电极。第一电极为阳极,第二电极为阴极;或者,第一电极为阴极,第二电极为阳极。

[0068] 其中,为了避免从OLED器件发出的显示光照射到纹路识别单元70上,影响纹路识别单元70的纹路识别效果,OLED器件为顶发光。

[0069] 在此基础上,OLED器件还包括设置于阳极与有机发光功能层之间的空穴注入层、空穴传输层、电子阻挡层,以及设置于阴极与有机发光层之间的电子注入层、电子传输层、空穴阻挡层。

[0070] 其中,空穴注入层、空穴传输层、电子阻挡层依次设置于阳极上,电子注入层、电子传输层、空穴阻挡层依次设置于阴极上。

[0071] 若显示面板2为QLED显示面板,则发光器件为QLED发光器件,OLED器件包括依次层叠设置的第一电极、量子点发光层、以及第二电极。第一电极为阳极,第二电极为阴极;或者,第一电极为阴极,第二电极为阳极。

[0072] 其中,为了避免从QLED器件发出的显示光照射到纹路识别单元70上,影响纹路识别单元70的纹路识别效果,QLED器件为顶发光。

[0073] 若显示面板2为LED显示面板,则发光器件为LED发光单元。

[0074] 在一些实施例中,显示区201包括多个透光区2011和相邻透光区2011之间的非透光区2012。如图2所示,成像孔200可以位于透光区2011,也可以位于非透光区2012,也可以位于透光区2011和非透光区2012。此处,示例性的,发光器件中与薄膜晶体管等遮光结构在衬底50上的正投影重叠的区域为非透光区2012。

[0075] 其中,当成像孔200位于透光区2011时,考虑到从发光器件发出的显示光的出射方向为衬底50指向第一绝缘层53的方向,因此,导电遮光层100不会遮挡从发光器件发出的显示光,进而也不会影响显示面板2的正常显示。

[0076] 当成像孔200位于非透光区时,像素界定层在衬底50上的正投影完全覆盖成像孔200在衬底50上的正投影,像素界定层的材料可以是氮化硅、二氧化硅、氮氧化硅等透明绝缘材料。这样一来,经手指反射的反射光可以通过像素界定层,之后,再经过成像孔200照射到纹路识别单元70上。

[0077] 在一些实施例中,不对成像孔200在衬底50上的正投影的形状进行限定,如图2所示,成像孔200在衬底50上的正投影的形状可以是圆形、椭圆形、矩形等等。

[0078] 本发明实施例的阵列基板包括多个子像素,至少部分所述透光孔位于相邻的两个所述子像素之间;或者,至少有两个位于不同子像素区域内的所述透光孔的面积不相等;或者至少有3个所述透光孔不在同一直线上(例如:至少有3个所述透光孔的连线不在同一直线上,其与阵列基板的栅线延伸方向不平行)。

[0079] 示例性的,透光孔或成像孔可以位于同一子像素内,例如:在蓝色子像素(B)中;透光孔或成像孔也可以位于不同的子像素,例如位于红色子像素(R)和绿色子像素(G)之间。

[0080] 在一些实施例中,多个透光孔60或成像孔200可以沿直线排布,也可以无规则排布。例如:在蓝色子像素(B)和绿色子像素(G)中,成像孔200在同一直线上;或者,在蓝色子像素(B)、绿色子像素(G)中、红色子像素(R)的3个子像素中至少有2个成像孔200不在同一直线上。

[0081] 可选的,位于透光区2011的多个成像孔200可无规则排布,在相邻的两个透光区2011之间的非透光区2012,成像孔200呈直线排布。

[0082] 在一些实施例中,不同颜色的子像素区域的面积可能不同,位于不同颜色的子像素区域的成像孔200的面积,可以和与其所在的子像素区域的面积成正比。例如:蓝色子像素的成像孔200面积大于红色子像素的成像孔200面积。

[0083] 在一些实施例中,如图3所示,纹路识别单元70可以设置在衬底50背离第一绝缘层53一侧;或者,纹路识别单元70也可以设置在衬底50靠近第一绝缘层53一侧。

[0084] 此外,纹路识别单元70也可以设置在独立的电路板上;例如:纹路识别单元70设置在独立的电路板上,然后该电路板集成于阵列基板。

[0085] 当然,纹路识别单元70也可以形成在阵列基板上,例如:利用像素电路的构图工艺进行制作;示例性的,纹路识别单元70可以同像素电路的薄膜晶体管采用相同工艺制作。例如:可以在靠近导电遮光层的基板一侧或者背离导电遮光层的基板一侧设置纹路识别单元70。

[0086] 在一些实施例中,纹路识别单元70可以是光电二极管或光敏二极管等可以将光信号转换为电信号的器件。

[0087] 在一些实施例中,纹路识别单元70为可以进行纹路识别的最小单元。

[0088] 一个纹路识别单元70中可以包括多个光电传感器或多个光敏传感器。

[0089] 在一些实施例中,不对透光孔60在衬底50上的正投影的形状进行限定。

[0090] 示例的,透光孔60在衬底50上的正投影的形状可以是圆形(图4b)、椭圆形(图4a)、矩形(图4c)等等。

[0091] 在一些实施例中,不对导电遮光层100的材料进行限定。

[0092] 示例性的,导电遮光层100的材料为金属或合金材料或其他导电材料。例如:导电遮光层100的材料包括金属钛、铝、钼等,或合金Ti/Al,Mo/Al等,或者石墨烯,导电氧化物(例如:ITO,IGZO),或者导电高分子材料等。

[0093] 在一些实施例中,如图3所示,第一源漏图案515包括第一源极5152和第一漏极5151。

[0094] 本领域的技术人员都知道,可选的,对于任意薄膜晶体管,为不影响自身功能,其源极和漏极可以不电连接。

[0095] 导电遮光层100与第一源漏图案515电连接,实际为:如图3所示,导电遮光层100与

第一漏极5151电连接;或者,导电遮光层100与第一源极5152电连接。

[0096] 此处,在导电遮光层100与第一漏极5151电连接的情况下,第一薄膜晶体管51例如可以是驱动晶体管,驱动晶体管通过导电遮光层100与发光器件电连接。

[0097] 可选的,在导电遮光层100与第一源极5152电连接的情况下,第一薄膜晶体管51例如可以是开关晶体管,导电遮光层100可向开关晶体管输入数据电压。

[0098] 可以理解的是,本发明实施例提及的元件之间的“电连接”,可以是元件直接或间接的连接。

[0099] 在一些实施例中,第一薄膜晶体管51与第二薄膜晶体管52之间的区域在衬底50上的正投影与透光孔60在衬底50上的正投影具有重叠区域,包括:

[0100] 第一薄膜晶体管51与第二薄膜晶体管52之间的区域在衬底50上的正投影与透光孔60在衬底50上的正投影恰好完全重叠。

[0101] 或者,第一薄膜晶体管51与第二薄膜晶体管52之间的区域在衬底50上的正投影的面积大于透光孔60在衬底50上的正投影的面积,且第一薄膜晶体管51与第二薄膜晶体管52之间的区域在衬底50上的正投影完全覆盖透光孔60在衬底50上的正投影。

[0102] 或者,透光孔60在衬底50上的正投影的面积大于第一薄膜晶体管51与第二薄膜晶体管52之间的区域在衬底50上的正投影的面积,且透光孔60在衬底50上的正投影完全覆盖第一薄膜晶体管51与第二薄膜晶体管52之间的区域在衬底50上的正投影。

[0103] 或者,透光孔60在衬底50上的正投影中的一部分与第一薄膜晶体管51与第二薄膜晶体管52之间的区域在衬底50上的正投影中的一部分重叠。

[0104] 在一些实施例中,第一薄膜晶体管51和第二薄膜晶体管52可以是底栅型薄膜晶体管、顶栅型薄膜晶体管、双栅型薄膜晶体管中的任意一种,本发明实施例对此不作特殊限定。

[0105] 以第一薄膜晶体管51和第二薄膜晶体管52均为顶栅型薄膜晶体管为例。

[0106] 如图3所示,第一薄膜晶体管51包括依次设置在衬底50上的有源图案511、栅绝缘层512、栅极513、层间绝缘层514、以及第一源漏图案515。

[0107] 如图6所示,第二薄膜晶体管52包括依次设置在衬底50上的有源图案521、栅绝缘层512、栅极、层间绝缘层514、以及第二源漏图案523。

[0108] 其中,第一薄膜晶体管51的栅绝缘层512可复用作第二薄膜晶体管52的栅绝缘层512。第一薄膜晶体管51的层间绝缘层514可复用作第二薄膜晶体管52的层间绝缘层514。

[0109] 有源图案511和有源图案521的材料可以包括氧化物、低温多晶硅(LTPS)、a-Si、低温多晶氧化物(Low Temperature Polycrystalline Oxide,LTPO)其中之一或其组合等。

[0110] 其中,在制备有源图案的过程中,可以将a-Si晶化为p-Si。

[0111] 氧化物有源图案的材料例如可以是铟镓锌氧化物(indium gallium zinc oxide,简称IGZO)或氧化铟锌(IZO)等之一。其可以是非晶态、准晶态、晶态中的至少一种。

[0112] 例如:第一薄膜晶体管51为顶栅型薄膜晶体管,有源图案511中与第一源极5152和第一漏极5151接触的部分应进行导体化处理,以保证有源图案511与第一源极5152和第一漏极5151实现欧姆接触。

[0113] 例如:第二薄膜晶体管52为顶栅型薄膜晶体管,有源图案521中与第二源极5231和第二漏极5232接触的部分应进行导体化处理,以保证有源图案521与第二源极5231和第二

漏极5232实现欧姆接触。

[0114] 当然,像素电路之间的薄膜晶体管连接也可以采用导体化处理。例如:第一薄膜晶体管51和第二薄膜晶体管52的之间的通过导体化的有源层图案电性连接。

[0115] 此处,可以通过掺杂(doping)、等离子体处理(plasma)、气氛退火等方式,增加载流子浓度,以实现对有源图案511和有源图案521进行导体化处理。

[0116] 本发明实施例不对栅绝缘层512的材料和厚度进行限定。栅绝缘层512的材料例如可以是二氧化硅或氮化硅,或者二者的叠层。二氧化硅层和氮化硅层的厚度可以为50~150nm。

[0117] 本发明实施例不对栅极513的材料和厚度进行限定。栅极513的材料可以是金属或透明导电氧化物电材料。栅极513的厚度可以为200~400nm。

[0118] 不对第一源漏图案515和第二源漏图案523的材料和厚度进行限定。第一源漏图案515和第二源漏图案523的材料可以是透明氧化物导电材料,或铜、钼、铝等金属或合金。第一源漏图案515和第二源漏图案523的厚度可以是200~400nm。

[0119] 在一些实施例中,第一薄膜晶体管51的栅极513与第二薄膜晶体管52的栅极通过同一栅极信号控制;或者,第一薄膜晶体管51的栅极513早于或晚于第二薄膜晶体管52的栅极开启。

[0120] 其中,在第一薄膜晶体管51的栅极513早于或晚于第二薄膜晶体管52的栅极开启的情况下,第一薄膜晶体管51和第二薄膜晶体管52可控制同一发光器件发光,也可以控制不同行发光器件发光。

[0121] 在一些实施例中,衬底50可以是刚性衬底,其材料例如可以是玻璃。

[0122] 或者,衬底50也可以是柔性衬底,其材料例如可以是聚酰亚胺(Polyimide,简称PI);在此基础上,柔性衬底可以是一层,也可以是多层。

[0123] 若柔性衬底为一层,则该层的材料包括PI;若柔性衬底为多层,则柔性衬底可以包括多个交替且层叠设置的柔性薄膜和间隔层,其中,柔性薄膜的材料包括PI。

[0124] 在一些实施例中,不对第一绝缘层53和第二绝缘层56的材料和厚度进行限定。第一绝缘层53和第二绝缘层56的材料可以是有机树脂,有机树脂的厚度可以是50~150nm。当然,在有机树脂与第一源漏图案515和第二源漏图案523之间还可以设置无机绝缘材料。

[0125] 在一些实施例中,沿第一薄膜晶体管51与第二薄膜晶体管52的距离方向,第一导电电极57与第二导电电极58之间的间距可以大于成像孔200的尺寸。并且,第一导电电极57在衬底50上的正投影完全覆盖第一薄膜晶体管51在衬底50上的正投影,第二导电电极58在衬底50上的正投影完全覆盖第二薄膜晶体管52在衬底50上的正投影。

[0126] 此处,沿第一薄膜晶体管51与第二薄膜晶体管52的距离方向,第一导电电极57与第二导电电极58之间的间距可以为6~20 μm 。

[0127] 本发明实施例提供一种阵列基板,该阵列基板包括第一薄膜晶体管51、第二薄膜晶体管52和导电遮光层100,且导电遮光层100包括透光孔60。其中,第一薄膜晶体管51与第二薄膜晶体管52之间的区域在衬底50上的正投影,与透光孔60在衬底50上的正投影具有重叠区域,且二者在衬底50上的正投影重叠的部分构成成像孔200。这样一来,一方面,导电遮光层100可以用于构成纹路识别所需的成像孔200;另一方面,导电遮光层100还可以与第一薄膜晶体管51的第一源漏图案515电连接,以与第一薄膜晶体管51之间传输信号。与现有技术

术中相比,更充分利用薄膜晶体管位置或金属层结构,可减小阵列基板的厚度或工艺次数,当所述阵列基板应用于显示装置时,有利于显示装置的薄型化设计。

[0128] 可选的,如6和图7所示,阵列基板还包括依次层叠设置于导电遮光层100背离衬底50一侧的第二绝缘层56和电极层;第二绝缘层56包括第二过孔561,电极层包括间隔设置的第一导电电极57和第二导电电极58,第一导电电极57通过第二过孔561与导电遮光层100电连接,导电遮光层100通过第一过孔531与第一源漏图案515电连接。一方面,导电遮光层100可以用于构成纹路识别所需的成像孔200;另一方面,导电遮光层100还可以与第一薄膜晶体管51的第一源漏图案515电连接,以与第一薄膜晶体管51之间传输信号。本发明实施例,更充分利用薄膜晶体管位置或金属层结构,可减小阵列基板的厚度或工艺次数。

[0129] 可选的,第一导电电极57和第二导电电极58之间的间距可以形成第二透光孔,在识别单元700到导电遮光层的延伸方向上(例如:垂直于阵列基板)形成的第二透光孔,用于配合第一遮光单元54和第二遮光单元55的透光孔,共同提高识别精度。

[0130] 可选的,如图6-图8所示,阵列基板还包括依次层叠设置于导电遮光层100背离衬底50一侧的第二绝缘层56和电极层;第二绝缘层56包括第二过孔561,电极层包括间隔设置的第一导电电极57和第二导电电极58;第一导电电极57通过第二过孔561与导电遮光层100电连接,导电遮光层100通过第一过孔531与第一源漏图案515电连接;第二薄膜晶体管52包括第二源漏图案523;第一绝缘层53还包括第三过孔532,导电遮光层100通过第三过孔532与第二源漏图案523电连接;和/或,第二绝缘层56包括第四过孔562,第二导电电极58通过第四过孔562与导电遮光层100电连接。

[0131] 在一些实施例中,参考图4d所示,导电遮光层100中与第一源漏图案515电连接的部分和与第二源漏图案523电连接的部分,可以是一个连接在一起的整体;或者,参考图4a-图4c所示,导电遮光层100也可以包括两个未电连接的独立结构,例如,第一遮光单元54和第二遮光单元55。

[0132] 在一些实施例中,如图6所示,第二源漏图案523包括第二源极5231和第二漏极5232。

[0133] 本领域的技术人员都知道,可选的,对于任意薄膜晶体管,为不影响自身功能,其源极和漏极可以不用电连接。

[0134] 导电遮光层100与第二源漏图案523电连接,实际为:如图6所示,导电遮光层100与第二漏极5232电连接;或者,如图7所示,导电遮光层100与第一源极5231电连接。

[0135] 在一些实施例中,若导电遮光层100中与第一源漏图案515电连接的部分为第一遮光单元54、与第二源漏图案523电连接的部分为第二遮光单元55,且第一遮光单元54与第二遮光单元55为两个独立结构。则如图4a所示,透光孔60可以位于第二遮光单元55中;或者,如图4b所示,透光孔60也可以位于第一遮光单元54中;或者,透光孔60也可以位于第一遮光单元54和第二遮光单元55中。

[0136] 当然,如图4d所示,导电遮光层100中与第一源漏图案515和第二源漏图案523电连接的部分也可以为一个整体,透光孔位于该导电遮光层11上。

[0137] 如图5所示,阵列基板包括第一源漏金属层91(例如:第一金属层)和第二源漏金属层92(例如:导电遮光层),可将第二源漏金属层92复用作包括透光孔的遮光层,进而由透光孔与相邻薄膜晶体管之间的区域重叠的部分构成成像孔200。

[0138] 示例性的,如图5所示,第一薄膜晶体管51的第一源漏图案515通过导电遮光层100(即第二源漏金属层92)连接到像素电极,第二薄膜晶体管52的第二源漏图案523连接到工作电压VDD或VSS,或者参考电压Vref,或者数据电压Vdata。

[0139] 当然可以理解的是,如图7所示,第二源漏图案523除了包括形成透光孔的遮光层图案外,还可形成其他功能信号走线层,与其他信号电性连接,例如:辅助线551。

[0140] 可选的,辅助线551可以与部分遮光导电层连接,也可以与其他信号线连接。示例性:辅助线551与数据信号data、电压信号(VDD)、时钟信号(CK)至少之一电性连接。

[0141] 然而,发明人进一步发现若位于成像孔200的一侧设有过孔、另一侧未设过孔,则设有过孔的一侧,金属层等容易出现下塌、变形、倾斜等可能的情况,从而导致成像孔200中靠近过孔一侧与成像孔200的其他侧不在同一水平面上,进而影响纹路识别的精确度。

[0142] 基于此,本发明实施例中,在位于成像孔200的一侧,第一导电电极57通过第二过孔561与第一遮光单元54电连接,第一遮光单元54投影第一源漏图案515电连接的情况下,还可在与上述成像孔200相对的一侧设置第三过孔532,以使得第二遮光单元55通过第三过孔532与第二源漏图案523电连接;和/或,在与上述成像孔200相对的一侧设置第四过孔562,以使得第二导电电极55通过第四过孔562与第二遮光单元55电连接。其中,第三过孔532与第一过孔531均位于第一绝缘层53中,第四过孔562与第二过孔561均位于第二绝缘层56中。这样一来,可以改善导电遮光层和电极层中位于成像孔200一侧的部分塌下、倾斜、变形等问题,从而改善成像孔200相对的两侧不在同一水平面上的问题,进而可以提高纹路识别的精确度。

[0143] 可选的,第三过孔532和第四过孔562与成像孔200之间的距离为 $0.5\sim 3\mu\text{m}$ 。

[0144] 本发明实施例中,相较于第三过孔532和第四过孔562与成像孔200之间的距离大于 $3\mu\text{m}$,通过将第三过孔532和第四过孔562与成像孔200之间的距离设定在 $0.5\sim 3\mu\text{m}$ 范围内,可进一步改善成像孔200相对的两侧不在同一水平面上的问题。

[0145] 可选的,位于成像孔200两侧的第三过孔532与第一过孔531关于该成像孔200对称;和/或,位于成像孔200两侧的第四过孔562与第二过孔561关于该成像孔200对称。

[0146] 本发明实施例中,相较于第三过孔532不与第一过孔531关于二者之间的成像孔200对称、第四过孔562不与第二过孔561关于二者之间的成像孔200对称,本发明实施例通过使位于成像孔200两侧的第三过孔532与第一过孔531关于该成像孔200对称;和/或,位于成像孔200两侧的第四过孔562与第二过孔561关于该成像孔200对称,可进一步改善成像孔200相对的两侧不在同一水平面上的问题。

[0147] 可选的,第三过孔532的形状和孔径与第一过孔531的形状和孔径相同;和/或,第四过孔562的形状和孔径与第二过孔532的形状和孔径相同。

[0148] 本发明实施例中,相较于第三过孔532的形状和孔径与第一过孔531的形状和孔径不相同,第四过孔562的形状和孔径与第二过孔532的形状和孔径不相同,本发明实施例通过使第三过孔532的形状和孔径与第一过孔531的形状和孔径相同;和/或,第四过孔562的形状和孔径与第二过孔532的形状和孔径相同,可进一步改善成像孔200相对的两侧不在同一水平面上的问题。

[0149] 可选的,如图6所示,第一过孔531在衬底50上的正投影与第二过孔561在衬底50上的正投影无重叠。和/或,第三过孔532在衬底50上的正投影与第四过孔562在衬底50上的正

投影无重叠。

[0150] 在一些实施例中,第一过孔531与第三过孔532可以关于位于二者之间的成像孔200对称或不对称。第二过孔561与第四过孔562可以关于位于二者之间的成像孔200对称或不对称。

[0151] 本发明实施例中,通过使第一过孔531在衬底50上的正投影与第二过孔561在衬底50上的正投影无重叠。和/或,第三过孔532在衬底50上的正投影与第四过孔562在衬底50上的正投影无重叠。这样一来,可以避免因过刻问题的存在,而导致第一导电电极57与第一源漏图案515不能正常电连接,第二导电电极58与第二源漏图案523不能正常电连接。

[0152] 可选的,导电遮光层在衬底50上的正投影,完全覆盖第一薄膜晶体管51的沟道区域在衬底50上的正投影和第二薄膜晶体管52的沟道区域在衬底50上的正投影。

[0153] 此处,第一薄膜晶体管51的第一源漏图案515包括第一源极5152和第一漏极5151。第二薄膜晶体管52包括第二源极5231和第二漏极5232。

[0154] 其中,第一薄膜晶体管51的沟道区域即为第一源极5152与第一漏极5151之间的区域。第二薄膜晶体管52的沟道区域即为第二源极5231与第二漏极5232之间的区域。

[0155] 本发明实施中,通过使导电遮光层在衬底50上的正投影,完全覆盖第一薄膜晶体管51的沟道区域在衬底50上的正投影和第二薄膜晶体管52的沟道区域在衬底50上的正投影,可防止光线照射到第一薄膜晶体管51的沟道区域和第二薄膜晶体管52的沟道区域,从而影响第一薄膜晶体管51和第二薄膜晶体管52的特性。

[0156] 或者,导电遮光层在衬底50上的正投影,完全覆盖第一薄膜晶体管51在衬底50上的正投影和第二薄膜晶体管52在衬底50上的正投影。

[0157] 本发明实施中,通过使导电遮光层在衬底50上的正投影,完全覆盖第一薄膜晶体管51在衬底50上的正投影和第二薄膜晶体管52在衬底50上的正投影,一方面,可避免电极层与第一薄膜晶体管51中的导电结构(例如第一源漏图案)和薄膜晶体管52中的导电结构(例如第二源漏图案)之间产生寄生电容;另一方面,可防止光线通过第一薄膜晶体管51和第二薄膜晶体管52中的透光区域照射到纹路识别单元70,从而影响纹路识别的精确度。

[0158] 可选的,导电遮光层包括间隔设置的第一遮光单元54和第二遮光单元55;第一导电电极57通过第二过孔561与导电遮光层的第一遮光单元54电连接,第一遮光单元54通过第一过孔531与第一源漏图案515电连接;第二导电电极58通过第四过孔562与导电遮光层的第二遮光单元55电连接,第二遮光单元55通过第三过孔532与第二源漏图案523电连接。

[0159] 本发明实施例中,通过使导电遮光层中与第一源漏图案515电连接的第一遮光单元54,和与第二源漏图案523电连接的第二遮光单元55分为独立的两部分,从而实现其功能。

[0160] 可选的,第一薄膜晶体管51为驱动晶体管;第一源漏图案515包括第一源极5152和第一漏极5151。

[0161] 如图6所示,第一导电电极57为发光器件的第一电极;每个第一遮光单元54通过第一过孔531与第一漏极5151电连接。

[0162] 此处,第一薄膜晶体管51可以控制驱动发光器件发光或不发光。

[0163] 或者,如图7所示,第一遮光单元54通过第一过孔531与第一源极5152电连接,第一导电电极57或第一遮光单元54用于向第一薄膜晶体管51输入信号电压,例如:工作电压VDD

或VSS,或者参考电压Vref,或者数据电压Vdata。

[0164] 例如,第一遮光单元54和/或第一导电电极57作为辅助电极,与外部电路电连接,并向第一薄膜晶体管51输入工作电压VDD。

[0165] 本发明实施例中,第一薄膜晶体管51可以作为驱动晶体管,当第一薄膜晶体管51作为驱动晶体管时,第一导电电极57可以通过第一遮光单元54与第一源极5152或第一漏极5151电连接,以实现不同的功能,例如:第一导电电极57是发光器件的阳极(或像素电极)。

[0166] 可选的,如图6所示,第二源漏图案523包括第二源极5231和第二漏极5232;第二薄膜晶体管52为驱动晶体管;第二导电电极58通过第四过孔562与第二遮光单元55电连接,且第二遮光单元22通过第三过孔532与第二漏极5232电连接;第二导电电极58为所述第一电极。

[0167] 此处,第二薄膜晶体管52可以驱动发光器件发光或不发光。

[0168] 或者,如图7所示,第二薄膜晶体管52为开关晶体管;第二遮光单元55通过第三过孔532与第二源极5231电连接,第二遮光单元55用于向第二源极5231输入数据电压Vdata。

[0169] 在此基础上,如图7所示,当第二薄膜晶体管52为开关晶体管时,第一薄膜晶体管包括依次层叠、且间隔设置的第一栅极522和第二栅极524。第一栅极522在衬底50上的正投影与第二栅极524在衬底50上的正投影具有重叠区域。

[0170] 栅极绝缘层512包括设置于有源图案521与第一栅极522之间的第一栅极绝缘层5121,以及设置于第一栅极522与第二栅极524之间的第二栅极绝缘层5122。

[0171] 这样一来,第一栅极522与第二栅极524还可作为与开关晶体管电连接的存储电容。其中,存储电容可以用于存储数据信号或者工作电压等。例如:第二遮光单元55向第一薄膜晶体管51输入的数据电压Vdata。

[0172] 可选的,在第二遮光单元55通过第三过孔532与第二源极5231电连接的情况下,沿第一薄膜晶体管51与第二薄膜晶体管52的距离方向,第三过孔532在第二源极5231上的正投影位于第二源极5231的中间位置。

[0173] 在第二导电电极58通过第四过孔562与第二遮光单元55电连接,第二遮光单元55通过第三过孔532与第二漏极5232电连接的情况下,沿第一薄膜晶体管51与第二薄膜晶体管52的距离方向,第四过孔562在第一遮光单元55上的正投影位于第二遮光单元55的中间位置,第三过孔532在第二漏极5232上的正投影位于第二漏极5232的中间位置。

[0174] 此外,在第一遮光单元54通过第一过孔531与第一源极5152电连接的情况下,沿第一薄膜晶体管51与第二薄膜晶体管52的距离方向,第一过孔531在第一源极5152上的正投影位于第一源极5152的中间位置。

[0175] 在第一遮光单元54通过第一过孔531与第一漏极5151电连接的情况下,沿第一薄膜晶体管51与第二薄膜晶体管52的距离方向,第一过孔531在第一漏极5151上的正投影位于第一源极5152的中间位置。

[0176] 在第一导电电极57通过第二过孔561与第一遮光单元54电连接的情况下,沿第一薄膜晶体管51与第二薄膜晶体管52的距离方向,第二过孔561在第一遮光单元54上的正投影位于第一遮光单元54的中间位置。

[0177] 本发明实施例中,在第二遮光单元55与第二源极5231电连接时,使第三过孔532在第二源极5231上的正投影位于第二源极5231的中间位置,这样一来,第二遮光单元55中与

第二源极5231直接接触的部分也位于第二源极的中间位置,从而可确保第二遮光单元55与第二源极5231正常电连接。同理,在第二遮光单元55与第二漏极5232电连接时,使第三过孔532在第二漏极5232上的正投影位于第二漏极5232的中间位置,可确保第二遮光单元55与第二漏极5232正常电连接。在第二导电电极58与第二遮光单元55电连接时,使第四过孔562在第二遮光单元55上的正投影位于第二遮光单元55的中间位置,可确保第二导电电极58与第二遮光单元55正常电连接。

[0178] 可选的,沿第一薄膜晶体管51与第二薄膜晶体管52的宽度方向,第一遮光单元54与第二遮光单元55的宽度相同。

[0179] 示例的,沿第一薄膜晶体管51与第二薄膜晶体管52的宽度方向,第一遮光单元54的宽度和第二遮光单元55的宽度为5~20 μm 。

[0180] 可以理解的,如图6所示,第一导电电极57和第二导电电极58之间的间距可以形成第二透光孔,在识别单元700到导电遮光层的延伸方向上(例如:垂直于阵列基板)形成的第二透光孔,用于配合第一遮光单元54和第二遮光单元55的透光孔,共同提高识别精度。例如:第一导电电极57和第二导电电极58之间的第二透光孔间距(或者面积),大于第一遮光单元54和第二遮光单元55的透光孔间距(或者面积),以便更多的光供第一遮光单元54和第二遮光单元55进行选择。

[0181] 当然,第一导电电极57和第二导电电极58之间的第二透光孔间距(或者面积)小于或等于第一遮光单元54和第二遮光单元55的透光孔间距(或者面积)。

[0182] 可以理解的是,第一导电电极57和第二导电电极58可以是相互独立或者一个整体。

[0183] 示例性的,第一导电电极57和第二导电电极58与第一遮光单元54和第二遮光单元55可以没有第二绝缘层。本发明实施例中,通过使第一遮光单元54与第二遮光单元55的宽度相同,可尽量使得第二遮光单元55在第三过孔532处的下塌高度,与第一遮光单元54在第一过孔531处的下塌、倾斜高度相同。

[0184] 可选的,如图9所示,第一晶体管51为Me2,例如:发光控制晶体管Me2,第二薄膜晶体管52为M3;例如重置晶体管M3;第一源漏图案515包括第一源极5152,第二薄膜晶体管52包括第二源极5231;第一源极5152通过导电遮光层100与第二源极5231电连接。

[0185] 可以理解的,图9仅是示意性的,M1、M2、M3、M4,Me1、Me2,DTFT薄膜晶体的控制信号或时序可以根据需要进行设定。例如:EM1和EM2的信号可以是同步信号或同一信号。

[0186] 当然,图9仅是一种示例性的电路图及其示例性的可实现方案,还可以是其他电路和可实现方案。例如:第一晶体管51和第二薄膜晶体管52位于同一像素单元的像素电路内,第一晶体管51为发光控制晶体管Me1,第二薄膜晶体管52为发光控制晶体管Me2;或者,第一晶体管51为发光控制晶体管Me2,第二晶体管52为M2。

[0187] 或者第一晶体管51和第二薄膜晶体管52位于不同的像素单元的像素电路内,第一晶体管51为其中之一像素单元的发光控制晶体管Me1,第二晶体管51为另一像素单元的发光控制晶体管Me2。

[0188] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

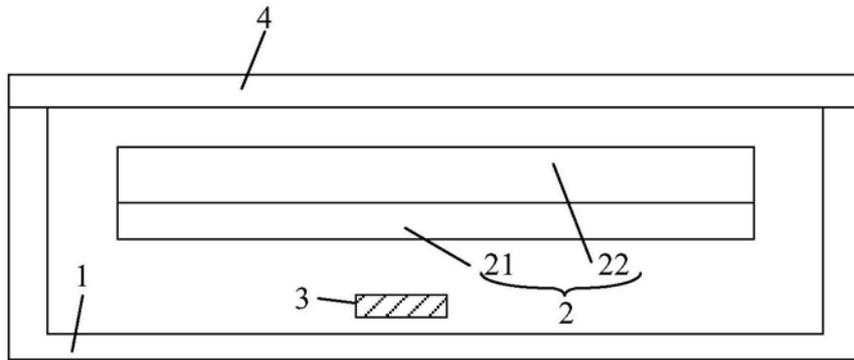


图1

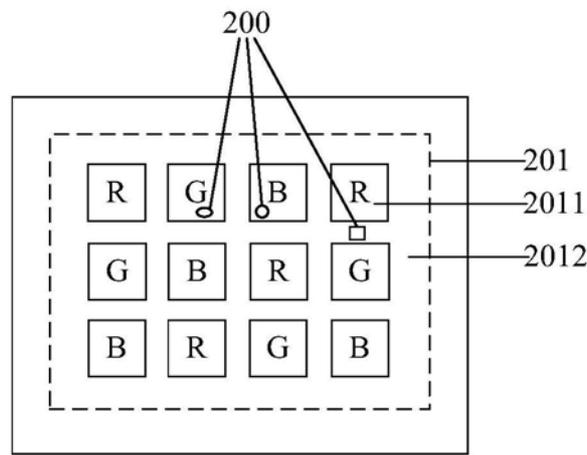


图2

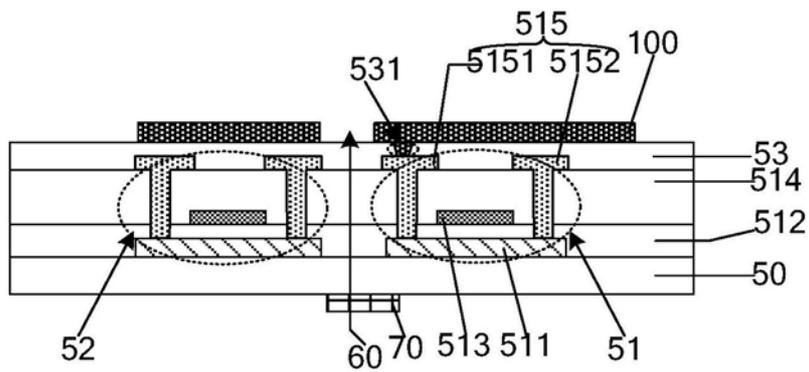


图3

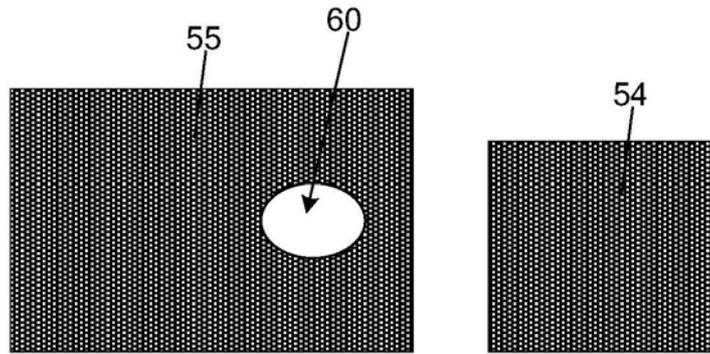


图4a

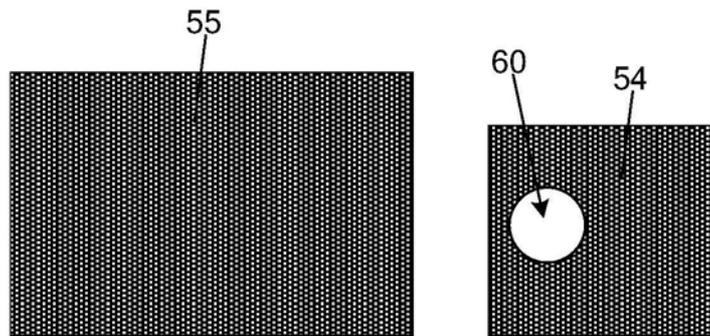


图4b

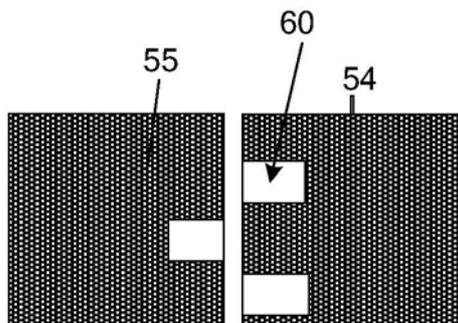


图4c

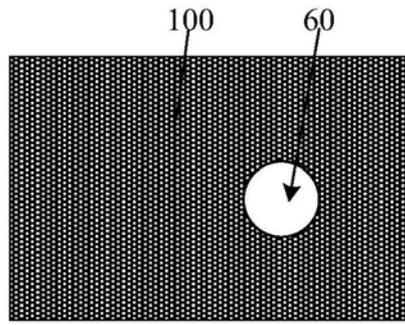


图4d

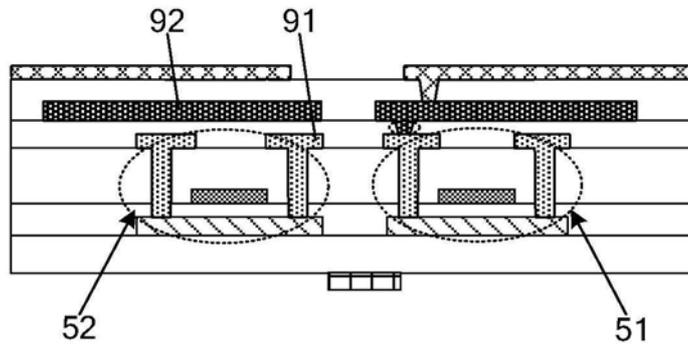


图5

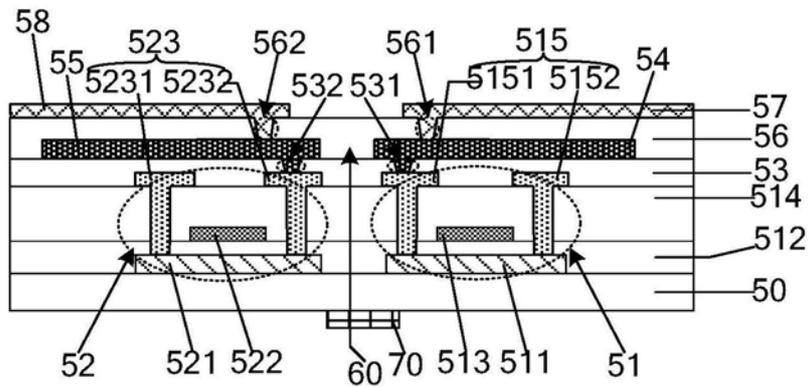


图6

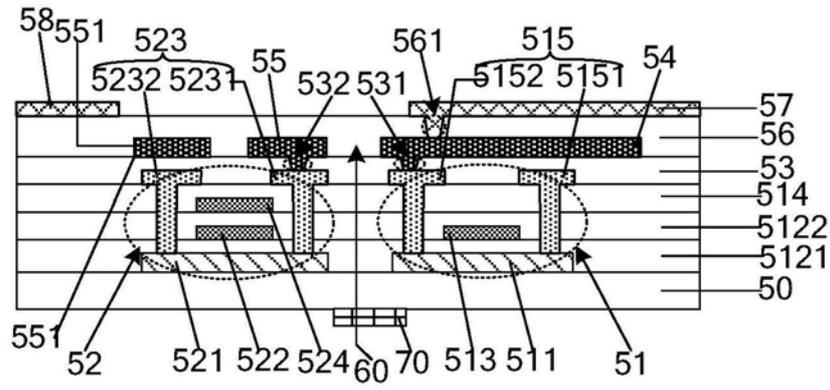


图7

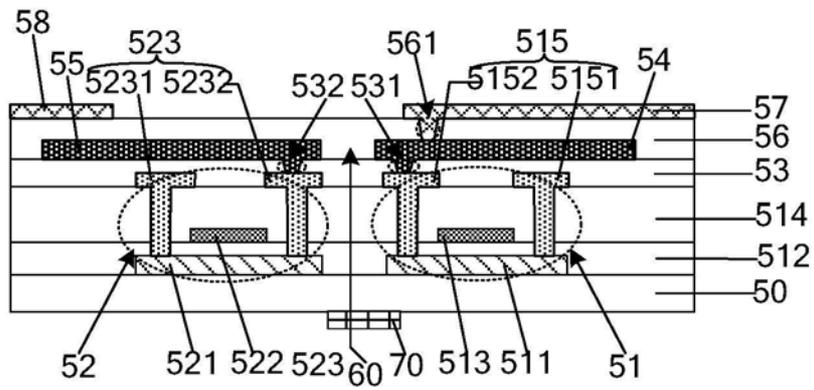


图8

