



(12) 发明专利申请

(10) 申请公布号 CN 10429995 A

(43) 申请公布日 2015. 01. 21

(21) 申请号 201410067944. 0

H01L 29/739 (2006. 01)

(22) 申请日 2014. 02. 27

(30) 优先权数据

2013-147992 2013. 07. 16 JP

2014-022294 2014. 02. 07 JP

(71) 申请人 株式会社东芝

地址 日本东京都

(72) 发明人 北川光彦

(74) 专利代理机构 永新专利商标代理有限公司

72002

代理人 戚宏梅 杨谦

(51) Int. Cl.

H01L 29/78 (2006. 01)

H01L 29/423 (2006. 01)

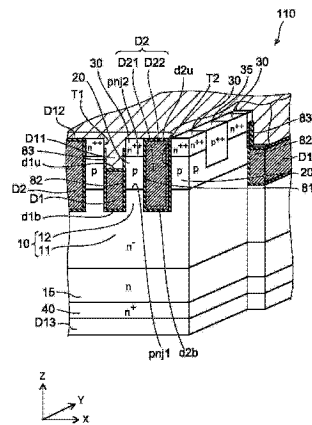
权利要求书4页 说明书24页 附图39页

(54) 发明名称

半导体装置

(57) 摘要

根据一个实施方式, 半导体装置具有第一导电型的第一半导体区域、第一控制电极、第一电极、第二控制电极、第二导电型的第二半导体区域、第一导电型的第三半导体区域、第一绝缘膜、第二电极、第三电极。第一控制电极设置在第一半导体区域之上。第一电极设置在第一控制电极之上。第二控制电极设置在第一半导体区域之上。第二控制电极具有第一部分、第二部分。第一部分与第一控制电极并列。第二部分设置在第一部分之上。第二半导体区域设置在第一半导体区域之上。第三半导体区域设置在第二半导体区域之上。第一绝缘膜设置在第二半导体区域与第二部分之间。第二电极与第三半导体区域、第一电极导通。第三电极与第一半导体区域导通。



1. 一种半导体装置,其中,
具备:
第一导电型的第一半导体区域;
第一控制电极,设置在所述第一半导体区域之上;
第一电极,设置在所述第一控制电极之上;
第二控制电极,设置在所述第一半导体区域之上,具有与所述第一控制电极并列的第一部分和设置在所述第一部分之上且与所述第一电极并列的第二部分;
第二导电型的第二半导体区域,设置在所述第一半导体区域之上,所述第一半导体区域与所述第二半导体区域的边界的位置比所述第一电极的下端靠上;
第一导电型的第三半导体区域,设置在所述第二半导体区域之上;
第一绝缘膜,设置在所述第二半导体区域与所述第二部分之间;
第二绝缘膜,设置在所述第二半导体区域与所述第一控制电极之间;
第二电极,与所述第三半导体区域、所述第一电极导通;
第三电极,与所述第一半导体区域导通;以及
第二导电型的接触区域,设置在所述第二半导体区域与所述第二电极之间,与所述第二电极导通。

2. 一种半导体装置,其中,
具备:
第一导电型的第一半导体区域;
第一控制电极,设置在所述第一半导体区域之上;
第一电极,设置在所述第一控制电极之上;
第二控制电极,设置在所述第一半导体区域之上,具有与所述第一控制电极并列的第一部分和设置在所述第一部分之上且与所述第一电极并列的第二部分;
第二导电型的第二半导体区域,设置在所述第一半导体区域之上;
第一导电型的第三半导体区域,设置在所述第二半导体区域之上;
第一绝缘膜,设置在所述第二半导体区域与所述第二部分之间;
第二电极,与所述第三半导体区域、所述第一电极导通;以及
第三电极,与所述第一半导体区域导通。

3. 如权利要求 2 所述的半导体装置,其中,
所述第一半导体区域与所述第二半导体区域的边界的位置比所述第一控制电极的上端靠上。

4. 如权利要求 2 所述的半导体装置,其中,
所述第一半导体区域与所述第二半导体区域的边界的位置比所述第一控制电极的上端靠下。

5. 如权利要求 2 所述的半导体装置,其中,
还具备:
第二绝缘膜,设置在所述第二半导体区域与所述第一控制电极之间。

6. 如权利要求 3 所述的半导体装置,其中,
还具备:

第二绝缘膜,设置在所述第二半导体区域与所述第一控制电极之间。

7. 如权利要求 4 所述的半导体装置,其中,

还具备:

第二绝缘膜,设置在所述第二半导体区域与所述第一控制电极之间。

8. 如权利要求 2 所述的半导体装置,其中,

还具备:

第二导电型的接触区域,设置在所述第二半导体区域与所述第二电极之间,与所述第二电极导通。

9. 如权利要求 3 所述的半导体装置,其中,

还具备:

第二导电型的接触区域,设置在所述第二半导体区域与所述第二电极之间,与所述第二电极导通。

10. 如权利要求 4 所述的半导体装置,其中,

还具备:

第二导电型的接触区域,设置在所述第二半导体区域与所述第二电极之间,与所述第二电极导通。

11. 如权利要求 8 所述的半导体装置,其中,

所述接触区域具有与所述第二半导体区域接触的下区域和与所述第三半导体区域接触的上区域;

所述上区域的沿与将所述第三电极和所述第一半导体区域连结的第一方向正交的第二方向的长度比所述下区域的沿所述第二方向的长度长。

12. 如权利要求 2 所述的半导体装置,其中,

还具备:

第二导电型的第四半导体区域,设置在所述第一半导体区域与所述第三电极之间。

13. 如权利要求 3 所述的半导体装置,其中,

还具备:

第二导电型的第四半导体区域,设置在所述第一半导体区域与所述第三电极之间。

14. 如权利要求 4 所述的半导体装置,其中,

还具备:

第二导电型的第四半导体区域,设置在所述第一半导体区域与所述第三电极之间。

15. 一种半导体装置,其中,具备:

第一半导体区域;

控制电极,设置在所述第一半导体区域之上;

第二导电型的第二半导体区域,设置在所述第一半导体区域之上;

第一导电型的第三半导体区域,设置在所述第二半导体区域之上;

绝缘膜,设置在所述第二半导体区域与所述控制电极之间;

第二电极,与所述第三半导体区域导通;

第三电极,与所述第一半导体区域导通;以及

第四半导体区域,设置在所述第三电极与所述第一半导体区域之间,在与将所述第三

电极和所述第一半导体区域连结的第一方向正交的第二方向上,并列配置有第一导电型的第一半导体部分与第二导电型的第二半导体部分。

16. 如权利要求 15 所述的半导体装置,其中,

所述第一半导体部分设置有多个,

所述第二半导体部分设置有多个,

所述多个第一半导体部分的每个与所述多个第二半导体部分的每个在所述第二方向上交错地配置。

17. 如权利要求 15 所述的半导体装置,其中,

所述第一半导体部分具有在所述第二方向上具有第一宽度的部分和在所述第二方向上具有比所述第一宽度窄的第二宽度的部分。

18. 如权利要求 15 所述的半导体装置,其中,

所述第一半导体区域具有:

第一导电型的第一区域,设置在所述第一半导体部分与所述第二半导体区域之间;以及

第二导电型的第二区域,设置在所述第二半导体部分与所述第二半导体区域之间。

19. 如权利要求 18 所述的半导体装置,其中,

所述第一半导体部分设置有多个,

所述第二半导体部分设置有多个,

所述多个第一半导体部分的每个与所述多个第二半导体部分的每个在所述第二方向上交错地配置,

所述第一区域设置有多个,

所述第二区域设置有多个,

所述多个第一区域的每个设置在所述多个第一半导体部分的每个与所述第二半导体区域之间,

所述多个第二区域的每个设置在所述多个第二半导体部分的每个与所述第二半导体区域之间。

20. 如权利要求 19 所述的半导体装置,其中,

所述多个第一半导体部分的每个具有在所述第二方向上具有第一宽度的部分和在所述第二方向上具有比所述第一宽度窄的第二宽度的部分。

21. 一种半导体装置,其中,具备:

第一导电型的第一半导体区域;

第一控制电极,设置在所述第一半导体区域之上;

第一电极,设置在所述第一控制电极之上;

第二控制电极,设置在所述第一半导体区域之上,具有与所述第一控制电极并列的第一部分和设置在所述第一部分之上且与所述第一电极并列的第二部分;

第二导电型的第二半导体区域,设置在所述第一半导体区域之上;

第一导电型的第三半导体区域,设置在所述第二半导体区域之上;

第一绝缘膜,设置在所述第二半导体区域与所述第二部分之间;

第二电极,与所述第三半导体区域、所述第一电极导通;

第三电极,与所述第一半导体区域导通;以及

第四半导体区域,设置在所述第三电极与所述第一半导体区域之间,在与将所述第三电极和所述第一半导体区域连结的第一方向正交的第二方向上,并列配置有第一导电型的第一半导体部分与第二导电型的第二半导体部分。

22. 如权利要求 21 所述的半导体装置,其中,

所述第一半导体区域与所述第二半导体区域的边界的位置比所述第一控制电极的上端靠上。

23. 如权利要求 21 所述的半导体装置,其中,

所述第一半导体区域与所述第二半导体区域的边界的位置比所述第一控制电极的上端靠下。

24. 如权利要求 21 ~ 23 中任一项所述的半导体装置,其中,

所述第一半导体部分设置有多个,

所述第二半导体部分设置有多个,

所述多个第一半导体部分的每个与所述多个第二半导体部分的每个在所述第二方向上交错地配置。

25. 如权利要求 21 ~ 23 中任一项所述的半导体装置,其中,

所述第一半导体区域具有:

第一导电型的第一区域,设置在所述第一半导体部分与所述第二半导体区域之间;以及

第二导电型的第二区域,设置在所述第二半导体部分与所述第二半导体区域之间。

26. 如权利要求 25 所述的半导体装置,其中,

所述第一半导体部分设置有多个,

所述第二半导体部分设置有多个,

所述多个第一半导体部分的每个与所述多个第二半导体部分的每个在所述第二方向上交错地配置,

所述第一区域设置有多个,

所述第二区域设置有多个,

所述多个第一区域的每个设置在所述多个第一半导体部分的每个与所述第二半导体区域之间,

所述多个第二区域的每个设置在所述多个第二半导体部分的每个与所述第二半导体区域之间。

半导体装置

[0001] 相关申请的引用：本申请以 2013 年 7 月 16 日申请的在先日本专利申请 2013-147992 号、2014 年 2 月 7 日申请的在先日本专利申请 2014-022294 号的优先权利益为基础，并且要求该利益，在先申请的内容整体通过引用而被包含在本申请中。

技术领域

[0002] 在此说明的实施方式整体上涉及半导体装置。

背景技术

[0003] 作为实现半导体装置的微小化的一个例子，采用了在沟槽内形成了栅电极的沟槽栅极构造。将沟槽栅极的间隔设得越微小则每单位面积的栅极密度越增加，从而使导通电阻减少的效果也越大。另一方面，若沟槽栅极的间隔狭窄，则很难进行半导体装置的阈值的控制及短路耐量的确保。在半导体装置中，在确保基于栅极的控制性及耐量的同时一并实现微小化和特性提高是很重要的。

[0004] 例如，双极型功率器件（闸流晶体管、pn 二极管、IGBT、IEGT、双极型晶体管等）通过高电阻半导体层的传导率调制，来实现元件的低导通电阻化，从而保证大的通电能力。但是，在该器件中，作为传导率调制的代价，在漏极电压 (V_d) 为内建电势 (V_{bi}) 以下时，电流不易流动。双极型功率器件在 $V_d > V_{bi}$ 时良好地动作。

[0005] 与此相对，单极型功率器件（MOSFET 等）不受内建电势的制约，与漏极电压成正比而线性地流动有电流。但是，在漏极电压为内建电势以上时，不能利用传导率调制的效应，不具有大的通电能力。单极型功率器件在 $V_d < V_{bi}$ 时优越地动作。

[0006] 期待着能够实现双极型功率器件和单极型功率器件各自的特性、即 $V_d > V_{bi}$ 时维持双极型功率器件的良好的通电特性、 $V_{bi} > V_d > 0V$ 时与通常的 MOSFET 相比为低导通特性的器件。

发明内容

[0007] 本发明的实施方式提供一种能够在确保基于栅极的控制性及耐量的同时一并实现微小化和特性提高的半导体装置。

[0008] 根据一个实施方式，半导体装置包含第一半导体区域、第一控制电极、第一电极、第二控制电极、第二半导体区域、第三半导体区域、第一绝缘膜、第二电极、第三电极。

[0009] 所述第一半导体区域为第一导电型的半导体区域。

[0010] 所述第一控制电极设置在所述第一半导体区域之上。

[0011] 所述第一电极设置在所述第一控制电极之上。

[0012] 所述第二控制电极设置在所述第一半导体区域之上。所述第二控制电极具有第一部分、第二部分。所述第一部分与所述第一控制电极并列。所述第二部分设置在所述第一部分之上且与所述第一电极并列。

[0013] 所述第二半导体区域设置在所述第一半导体区域之上。所述第二半导体区域为第

二导电型的半导体区域。

[0014] 所述第三半导体区域设置在所述第二半导体区域之上。所述第三半导体区域为第一导电型的半导体区域。

[0015] 所述第一绝缘膜设置在所述第二半导体区域与所述第二部分之间。

[0016] 所述第二电极与所述第三半导体区域、所述第一电极导通。

[0017] 所述第三电极与所述第一半导体区域导通。

[0018] 发明效果

[0019] 本发明的实施方式能够提供一种能够在确保基于栅极的控制性及耐量的同时一并实现微小化和特性提高的半导体装置。

附图说明

[0020] 图 1 是示例第一实施方式所涉及的半导体装置的示意立体图。

[0021] 图 2 (a) ~ (c) 是示例第一实施方式所涉及的半导体装置的示意剖视图。

[0022] 图 3 (a) 及 (b) 是示例半导体装置的动作的示意剖视图。

[0023] 图 4 (a) ~ (c) 是示例参考例所涉及的半导体装置的示意剖视图。

[0024] 图 5 (a) 及 (b) 是示例短路耐量的图。

[0025] 图 6 (a) ~ (c) 是示例第一实施方式的变形例所涉及的半导体装置的示意剖视图。

[0026] 图 7 (a) ~ (c) 是示例第一实施方式的变形例所涉及的半导体装置的示意剖视图。

[0027] 图 8 (a) ~ (c) 是示例第一实施方式的变形例所涉及的半导体装置的示意剖视图。

[0028] 图 9 (a) ~ (c) 是示例第一实施方式的变形例所涉及的半导体装置的示意剖视图。

[0029] 图 10 (a) ~ (c) 是示例第一实施方式的变形例所涉及的半导体装置的示意剖视图。

[0030] 图 11 (a) ~ (c) 是示例第一实施方式的变形例所涉及的半导体装置的示意剖视图。

[0031] 图 12 是示例漏极电压与漏极电流的关系的图。

[0032] 图 13 (a) ~ (c) 是示例第二实施方式所涉及的半导体装置的示意图。

[0033] 图 14 (a) 及 (b) 是示例第二实施方式的变形例所涉及的半导体装置的示意图。

[0034] 图 15 是示例漏极电压与漏极电流的关系的图。

[0035] 图 16 是示例第三实施方式所涉及的半导体装置的示意立体图。

[0036] 图 17 是示例第三实施方式的变形例所涉及的半导体装置的示意立体图。

[0037] 图 18 是示例第四实施方式所涉及的半导体装置的示意立体图。

[0038] 图 19 (a) ~ (c) 是示例第四实施方式所涉及的半导体装置的示意剖视图。

[0039] 图 20 是示例第五实施方式所涉及的半导体装置的示意立体图。

[0040] 图 21 是示例第六实施方式所涉及的半导体装置的示意立体图。

[0041] 图 22 是示例第七实施方式所涉及的半导体装置的示意立体图。

[0042] 图 23 是示例第八实施方式所涉及的半导体装置的示意立体图。

[0043] 图 24 (a) ~ (c) 是示例第八实施方式所涉及的半导体装置的示意剖视图。

[0044] 图 25 是示例第九实施方式所涉及的半导体装置的示意立体图。

[0045] 图 26 是示例半导体装置的特性的图。

- [0046] 图 27 是示例第十实施方式所涉及的半导体装置的示意立体图。
- [0047] 图 28 是示例第十一实施方式所涉及的半导体装置的示意立体图。
- [0048] 图 29 是示例第十二实施方式所涉及的半导体装置的示意立体图。
- [0049] 图 30 是示例半导体装置的动作的示意剖视图。
- [0050] 图 31 (a)是示例第十二实施方式的变形例所涉及的半导体装置的示意立体图,图 31 (b)是示例其漏极侧构造的示意剖视图,图 31 (c)是表示图 31 (a)的 $\alpha - \alpha'$ 截面上的 $V_d < V_{bi}$ 条件下的空穴的浓度分布的图。
- [0051] 图 32 是示例第十三实施方式所涉及的半导体装置的示意立体图。
- [0052] 图 33 (a)及图 33 (b)是示例漏极电压与漏极电流的关系的图。
- [0053] 图 34 (a)是示例第十四实施方式的第一例所涉及的半导体装置,图 34 (b)是示例第十四实施方式的第二例所涉及的半导体装置,图 34 (c)是示例第十四实施方式的第三例所涉及的半导体装置的示意立体图。
- [0054] 图 35 是示例漏极电压与漏极电流的关系的图。
- [0055] 图 36 是示例第十五实施方式所涉及的半导体装置的示意立体图。
- [0056] 图 37 是示例第十六实施方式所涉及的半导体装置的示意立体图。
- [0057] 图 38 (a)及图 38 (b)是表示第十六实施方式所涉及的半导体装置的动作的示意立体图。
- [0058] 图 39 是表示第十六实施方式所涉及的半导体装置的动作的坐标图。

具体实施方式

[0059] 以下,参照附图对一实施方式进行说明。在附图中,相同的附图标记表示相同或者类似的部分。对附图中的相同部分赋予相同编号并适当地省略其详细说明,对不同部分进行说明。在以下的说明中, n^+ 、 n 、 n^- 及 p^+ 、 p 、 p^- 的表达方式表示各导电型中杂质浓度的相对高低。即, n^+ 与 n 相比 n 型的杂质浓度相对高、 n^- 与 n 相比 n 型的杂质浓度相对低。 p^+ 与 p 相比 p 型的杂质浓度相对高, p^- 与 p 相比 p 型的杂质浓度相对低。+ 的个数越多则表示杂质浓度越高。- 的个数越多则表示杂质浓度越低。在以下的说明中,作为一个例子,列举将第一导电型设为 n 型、第二导电型设为 p 型的具体例。

[0060] (第一实施方式)

[0061] 图 1 是示例第一实施方式所涉及的半导体装置的示意立体图。

[0062] 图 1 中示出了将第一实施方式所涉及的半导体装置 110 的一部分截断了的示意立体图。

[0063] 图 2 (a)~(c)是示例第一实施方式所涉及的半导体装置的示意剖视图。

[0064] 图 2 (a)中示出了沿 X 方向观察半导体装置 110 时的局部剖视图。图 2 (b)中示出了图 2 (a)所示的 A1 - A1 截面。图 2 (c)中示出了图 2 (a)所示的 B1 - B1 截面。

[0065] 如图 1 所示,本实施方式所涉及的半导体装置 110 具备 n^- 型的漂移区域 10、第一栅电极 D1、第一电极部 D11、第二栅电极 D2、 p 型的基极区域 20、 n^{++} 型的源极区域 30、栅极绝缘膜 81、源电极 D12、漏电极 D13。

[0066] 漂移区域 10 为第一半导体区域。第一栅电极 D1 为第一控制电极。第一电极部 D11 为第一电极。第二栅电极 D2 为第二控制电极。基极区域 20 为第二半导体区域。源极区

域 30 为第三半导体区域。栅极绝缘膜 81 为第一绝缘膜。源电极 D12 为第二电极。漏电极 D13 为第三电极。半导体装置 110 例如为 MOSFET (metal oxide semiconductor field effect transistor)。半导体装置 110 也可以为 IGBT (Insulated Gate Bipolar Transistor) 或 IEGT (Injection Enhanced Gate Transistor)。在第一实施方式中, 只要没有特别示出, 就以半导体装置 110 为 MOSFET 的情况为例来进行说明。

[0067] 也可以是, 在漂移区域 10 与漏电极 D13 之间设置有 n 型的半导体区域 15 (第五半导体区域) 及 n⁺型的第四半导体区域 40。另外, 在半导体装置 110 为 IGBT 或者 IEGT 的情况下, 第四半导体区域 40 为 p⁺型的半导体区域。半导体区域 15 设置在第四半导体区域 40 与漂移区域 10 之间。第四半导体区域 40 设置在漏电极 D13 与半导体区域 15 之间。第四半导体区域 40 与漏电极 D13 接触。

[0068] 在本实施方式中, 为了便于说明, 将半导体区域 15 设为包含于漂移区域 10。此外, 在本实施方式中, 将连结漏电极 D13 和漂移区域 10 的方向设为 Z 方向 (第一方向), 将与 Z 方向正交的方向之一设为 X 方向 (第二方向或者第三方向), 将与 Z 方向及 X 方向正交的方向设为 Y 方向 (第三方向或者第二方向)。此外, 将在 Z 方向上从漏电极 D13 朝向漂移区域 10 的方向设为上 (上侧), 将其相反方向设为下 (下侧)。

[0069] 漂移区域 10 具有下部 11 和上部 12。下部 11 设置在半导体区域 15 之上。上部 12 设置在下部 11 之上。上部 12 是从下部 11 之上向上侧突出的部分。在本实施方式中, 在下部 11 之上设置有多个上部 12。多个上部 12 分别在 Y 方向上延伸地设置。漂移区域 10 的杂质浓度例如为 $1 \times 10^{13} \text{cm}^{-3}$ 以上 $1 \times 10^{15} \text{cm}^{-3}$ 以下程度。

[0070] 基极区域 20 在上部 12 之上, 与上部 12 接触地设置。基极区域 20 与上部 12 一起在 Y 方向上延伸地设置。在设置有多个上部 12 的情况下, 基极区域 20 设置在各个上部 12 之上。

[0071] 源极区域 30 设置在基极区域 20 之上。源极区域 30 与基极区域 20 的至少一部分接触。源极区域 30 的杂质浓度比漂移区域 10 的杂质浓度高。源极区域 30 的杂质浓度例如为 $1 \times 10^{18} \text{cm}^{-3}$ 以上 $1 \times 10^{21} \text{cm}^{-3}$ 以下程度。

[0072] 第一栅电极 D1 设置在漂移区域 10 之上。第一栅电极 D1 在 X 方向上与上部 12 及基极区域 20 并列。第一栅电极 D1 在 Z 方向及 Y 方向上延伸。第一栅电极 D1 的下端 d1b 比上部 12 与基极区域 20 的边界 pnj1 靠下。第一栅电极 D1 的上端 d1u 比边界 pnj1 靠上且比基极区域 20 与源极区域 30 的边界 pnj2 靠下。即, 边界 pnj1 比第一栅电极 D1 的上端 d1u 靠上。

[0073] 第一栅电极 D1 例如使用添加有杂质的半导体材料 (例如, 多晶硅)。作为第一栅电极 D1, 也可以是使用金属。

[0074] 在第一栅电极 D1 与上部 12 之间、以及第一栅电极 D1 与基极区域 20 之间, 设置有栅极绝缘膜 82。栅极绝缘膜 82 为第二绝缘膜。栅极绝缘膜 82 例如使用氧化硅或氮化硅。半导体装置 110 中, 沿着与第一栅电极 D1 对置的基极区域 20 的面沿 Z 方向形成有沟道区域。

[0075] 第一栅电极 D1 为沟槽栅极。第一栅电极 D1 设置于沿 Z 方向在源极区域 30、基极区域 20 及漂移区域 10 形成的第一沟槽 T1 内。第一栅电极 D1 经由栅极绝缘膜 82 被埋入第一沟槽 T1 内。

[0076] 第一电极部 D11 设置在第一栅电极 D1 之上。在第一电极部 D11 与第一栅电极 D1 之间设置有绝缘膜 83。

[0077] 第二栅电极 D2 设置在漂移区域 10 之上。第二栅电极 D2 在 X 方向上与上部 12 及基极区域 20 并列。第二栅电极 D2 具有第一部分 D21、第二部分 D22。第一部分 D21 在 X 方向上与第一栅电极 D1 并列。第二部分 D22 设置在第一部分 D21 之上。第二部分 D22 在 X 方向上不与第一栅电极 D1 并列。

[0078] 第一栅电极 D1 在 Z 方向及 Y 方向上延伸。第二栅电极 D2 的下端 d2b 比边界 pnj1 靠下。下端 d2b 的沿 Z 方向的位置与下端 d1b 的沿 Z 方向的位置大致相等。第二栅电极 D2 的上端 d2u 比第一栅电极 D1 的上端 d1u 靠上。第二栅电极 D2 的沿 Z 方向的长度比第一栅电极 D1 的沿 Z 方向的长度长。

[0079] 在第二栅电极 D2 与上部 12 之间、以及第二栅电极 D2 与基极区域 20 之间, 设置有栅极绝缘膜 81。栅极绝缘膜 81 为第一绝缘膜。栅极绝缘膜 81 例如使用氧化硅或氮化硅。半导体装置 110 中, 沿着与第二栅电极 D2 对置的基极区域 20 的面, 沿 Z 方向形成有沟道区域。通常, 栅极绝缘膜 81 的厚度对应于其元件的栅极驱动电压。栅极绝缘膜 81 的厚度例如为 100 埃(Å) 以上 0.2 μm 以下程度。

[0080] 第二栅电极 D2 为沟槽栅极。第二栅电极 D2 设置于沿 Z 方向形成在源极区域 30、基极区域 20 及漂移区域 10 中的第二沟槽 T2 内。第二栅电极 D2 经由栅极绝缘膜 81 被埋入第二沟槽 T2 内。

[0081] 在半导体装置 110 中, 具备多个第一栅电极 D1、多个第二栅电极 D2。多个第一栅电极 D1 的每个与多个第二栅电极 D2 的每个在 X 方向上交错地配置。第一栅电极 D1 与第二栅电极 D2 的沿 X 方向的间隔(间距) 例如为 200 纳米(nm) 以下。

[0082] 另外, 第一栅电极 D1 与第二栅电极 D2 的沿 X 方向的间隔(间距) 即便是以往的沟槽元件的沟槽栅极的间隔(间距) 即 1 μm 程度也没有什么问题, 但是在本实施方式中, 特别有效的是使相面对的沟槽栅极的沟道层(栅极电压施加时产生的反转或者积蓄沟道层。以下同样) 相互产生影响时的间隔、即例如 300nm 以下。进而是使相面对的沟槽栅极的沟道层越相互影响越靠近的间隔、即例如 40nm 以上 100nm 以下。进而, 如果是相面对的沟槽栅极的沟道层相互重叠的间隔(例如, 40nm ~ 20nm)、完全重叠的间隔(例如, 20nm 以下), 那么本实施方式的效果会更显著。

[0083] 在半导体装置 110 中, 漂移区域 10 的上部 12 设置在第一栅电极 D1 与第二栅电极 D2 的第一部分 D21 之间。此外, 基极区域 20 的一部分(下侧的一部分) 设置在第一栅电极 D1 与第二栅电极 D2 的第一部分 D21 之间。基极区域 20 的其他部分(上侧的一部分) 与第二栅电极 D2 的第二部分 D22 相对。基极区域 20 的其他部分不与第一栅电极 D1 相对。

[0084] 这样的半导体装置 110 具有将第一 MOS 构造和第二 MOS 构造沿 Z 方向串联配置的构成。第一 MOS 构造为由 2 个栅电极将半导体区域夹着的构造。第一 MOS 构造包含第一栅电极 D1 和第二栅电极 D2 的第一部分 D21。第二 MOS 构造是在半导体区域的单侧具有 1 个栅电极的构造。第二 MOS 构造包含第二栅电极 D2 的第二部分 D22。

[0085] 在半导体装置 110 中, 在基极区域 20 之上设置有 p⁺ 型的接触区域 35。接触区域 35 例如设置有多。源极区域 30 例如设置有多。多个源极区域 30 的每个与多个接触区域 35 的每个在 Y 方向上交错地配置。

[0086] 如图 2 (a) 所示,接触区域 35 的沿 Z 方向的长度 d_{35} 比源极区域 30 的沿 Z 方向的长度 d_{30} 长。

[0087] 如图 2 (b) 及(c)所示,源电极 D12 与源极区域 30 及第一电极部 D11 导通。第一电极部 D11 沿 Z 方向从源电极 D12 延伸到第一栅电极 D1 之上。

[0088] 第一电极部 D11 在 X 方向上与第二栅电极 D2 的第二部分 D22 并列。第一电极部 D11 与源电极 D12 一体地设置。源电极 D12 与源极区域 30 及接触区域 35 欧姆接触。

[0089] 在第一电极部 D11 与基极区域 20 之间、第一电极部 D11 与源极区域 30 的一部分之间、以及第一电极部 D11 与接触区域 35 的一部分之间,设置有绝缘膜 83。

[0090] 在半导体装置 110 中,第一沟槽 T1 与第二沟槽 T2 之间的间隔 w_1 例如为 100nm 以下。若作为间隔 w_1 ,例如设为 20nm 以上 40nm 以下,则能够获得本实施方式所涉及的较大效果。间隔 w_1 相当于基极区域 20 的沿 X 方向的长度(宽度)。

[0091] 在半导体装置 110 中,通过采用第一 MOS 构造及第二 MOS 构造,即使基极区域 20 的宽度狭窄的情况下,也能够实现导通电阻的减少、高的短路耐量及雪崩耐量的提高。通过在短路耐量低的第一 MOS 构造之上串联地形成短路耐量高的第二 MOS 构造,确保了半导体装置 110 整体的高的短路耐量。另外,第一 MOS 构造也可以是相向的沟槽沟道重叠而成为高浓度的发射极层那样。另一方面,第二 MOS 构造优选为具有相对于栅极驱动电压程度的电压的短路耐量的构造。

[0092] 接下来,对本实施方式所涉及的半导体装置 110 的动作进行说明。

[0093] 图 3 (a) 及(b) 是示例半导体装置的动作的示意剖视图。

[0094] 图 3 (a) 中示出了与图 2 (b) 对应的示意剖视图。图 3 (b) 中示出了与图 2 (c) 对应的示意剖视图。

[0095] 如图 3 (a) 所示,在对漏电极 D13 施加了高电位、对源电极 D12 施加了比漏电极 D13 的电位低的电位的状态下,若对第一栅电极 D1 及第二栅电极 D2 施加阈值以上的栅极电气,则在基极区域 20 中的与栅极绝缘膜 81 及 82 之间的界面附近形成有反转层(沟道)。

[0096] 例如,对源电极 D12 施加接地电位或者负电位,对第一栅电极 D1 及第二栅电极 D2 施加正电位。对漏电极 D13 施加比第一栅电极 D1 及第二栅电极 D2 高的正电位。由此,电子被从源极区域 30 经由沟道注入到基极区域 20 及漂移区域 10。由此,半导体装置 110 成为导通状态。

[0097] 此时,在基极区域 20 当中的位于第一栅电极 D1 与第二栅电极 D2 的第一部分 D21 之间的下侧部分 21,成为相面对的反转层相互合并的状态。在该部分,电子以高浓度被积蓄。因此,在半导体装置 110 为 MOSFET 的情况下,实现了低的沟道电阻。此外,在半导体装置 110 为 IGBT 或者 IEGT 的情况下,获得了高的电子注入效率(与以往的 IGBT 相比,电子注入效率: γ_e 极其接近 1)。

[0098] 另一方面,在基极区域 20 当中的与第二栅电极 D2 的第二部分 D22 相面对的部分即上侧部分 22,仅在第二栅电极 D2 侧形成有反转层。上侧部分 22 的电子的浓度比下侧部分 21 的电子的浓度低。因此,在上侧部分 22 确保了栅极电压对电流的控制性。

[0099] 接下来,若对第一栅电极 D1 及第二栅电极 D2 施加比阈值低的电位,则在基极区域 20 中的位于栅极绝缘膜 81 及 82 的界面附近不形成沟道,成为截止状态。若半导体装置 110 从导通状态切换到截止状态,则有时会在漂移区域 10 与基极区域 20 的界面部分所形成的

耗尽层内产生电子-空穴对。

[0100] 如图 3 (b) 所示,在半导体装置 110 中,基极区域 20 所产生的空穴经由设置在基极区域 20 之上的接触区域 35 被向源电极 D12 高效地排出。因此,半导体装置 110 的雪崩耐量提高。

[0101] 如图 2 (a)所示,半导体装置 110 中,与源极区域 30 的长度 d_{30} 相比,接触区域 35 的长度 d_{35} 更长。因而,相比于长度 d_{35} 与长度 d_{30} 相同的情况,接触区域 35 与基极区域 20 之间的接触面积变大。因此,基极区域 20 所产生的空穴被高效地向接触区域 35 送出,被从源电极 D12 排出。

[0102] 此外,在半导体装置 110 中,通过设置有第一电极部 D11 及绝缘膜 83,而抑制了基极区域 20 的上侧部分 22 中的反转层的扩增,雪崩耐量提高。

[0103] 在此,对参考例进行说明。

[0104] 图 4 (a) ~ (c) 是示例参考例所涉及的半导体装置的示意剖视图。

[0105] 图 4 (a) 中示出了沿 X 方向观察参考例所涉及的半导体装置 190 时的局部剖视图。图 4 (b) 中示出了图 4 (a) 所示的 A2 - A2 截面。图 4 (c) 中示出了图 4 (a) 所示的 B2 - B2 截面。

[0106] 如图 4 (a)所示,在半导体装置 190 中,在基极区域 20 之上设置有源极区域 30 及接触区域 35。接触区域 35 的沿 Z 方向的长度与源极区域 30 的沿 Z 方向的长度相等。如图 4 (b) 及 (c) 所示,在半导体装置 190 中设置有栅电极 D10。栅电极 D10 设有多个。多个栅电极 D10 在 X 方向上以规定的间隔配置。

[0107] 在半导体装置 190 中,在相邻的 2 个栅电极 D10 之间,配置有基极区域 20 的沿 Z 方向的整体。因此,在半导体装置 190 的导通状态下,在基极区域 20 的沿 Z 方向的整体形成有反转层。即,在基极区域 20 的整体,成为相面对的反转层相互合并的状态。因而,难以实现阈值的控制及雪崩耐量的确保。

[0108] 图 5 (a) 及 (b) 是示例短路耐量的图。

[0109] 图 5 (a) 及 (b) 的横轴表示漏极电压 V_d ,纵轴表示元件为导通状态下的漏极电流 I_d 。图 5 (b) 是对图 5 (a) 是使的 S1 部分进行了放大的图。

[0110] 图 5 (a) 及 (b) 中示出了本实施方式所涉及的半导体装置 110 的特性 F1、参考例所涉及的半导体装置 190 的特性 F9。特性 F1 及 F9 都是将半导体装置 110 及 190 设为导通状态、对提高了漏极电压 V_d 时的漏极电流 I_d 的变化进行了模拟计算而得到的结果。

[0111] 如图 5 (a) 及 (b) 所示,在参考例所涉及的半导体装置 190 的特性 F9 中,漏极电压 V_{dt} 下在漏极侧产生了动态雪崩。另一方面,在本实施方式所涉及的半导体装置 110 的特性 F1 中,漏极电压 V_{dt} 下也不产生动态雪崩。这样可知,半导体装置 110 与半导体装置 190 相比短路耐量更高。

[0112] 接下来,对第一实施方式所涉及的半导体装置的变形例进行说明。

[0113] 图 6 (a) ~ 图 11 (c) 是示例第一实施方式的变形例所涉及的半导体装置的示意剖视图。

[0114] 图 6 (a) ~ (c) 示例了第一变形例所涉及的半导体装置 111。

[0115] 图 6 (a) 中示出了沿 X 方向观察半导体装置 111 时的局部剖视图。图 6 (b) 示出了图 6 (a) 所示的 A3 - A3 截面。图 6 (c) 示出了图 6 (a) 所示的 B3 - B3 截面。

[0116] 如图 6 (a) 所示,在半导体装置 111 中,接触区域 35 的长度及宽度与第一实施方式所涉及的半导体装置 110 不同。在半导体装置 111 中,接触区域 35 的沿 Z 方向的长度与源极区域 30 的沿 Z 方向的长度相等。在半导体装置 111 中,接触区域 35 的沿 Y 方向的长度 L2 比源极区域 30 的沿 Y 方向的长度 L1 长。

[0117] 此外,在半导体装置 111 中,第一栅电极 D1 的上端 d1u 比漂移区域 10 的上部 12 与基极区域 20 的边界 pnj1 靠下。

[0118] 根据这样的半导体装置 111,除了与半导体装置 110 同样的作用效果之外,还能够实现更高的短路耐量及雪崩耐量。

[0119] 图 7 (a) ~ (c) 示例了第二变形例所涉及的半导体装置 112。

[0120] 图 7 (a) 示出了沿 X 方向观察半导体装置 112 时的局部剖视图。图 7 (b) 示出了图 7 (a) 所示的 A4 - A4 截面。图 7 (c) 示出了图 7 (a) 所示的 B4 - B4 截面。

[0121] 如图 7 (a) 所示,在半导体装置 112 中,接触区域 35 设置在基极区域 20 与源极区域 30 之间。如图 7 (a) 及 (c) 所示,源极区域 30 在设置于源极区域 30 的上端及源极区域 30 的侧面的接触部 CP 处,与源电极 D12 导通。此外,如图 7 (a) 及 (b) 所示,基极区域 20 的上端与源电极 D12 接触。

[0122] 根据这样的半导体装置 112,除了与半导体装置 110 同样的作用效果之外,还能够实现更高的短路耐量及雪崩耐量。

[0123] 图 8 (a) ~ (c) 示例了第三变形例所涉及的半导体装置 113。

[0124] 图 8 (a) 是示出了沿 X 方向观察半导体装置 113 时的局部剖视图。图 8 (b) 示出了图 8 (a) 所示的 A5 - A5 截面。图 8 (c) 示出了图 8 (a) 所示的 B5 - B5 截面。

[0125] 如图 8 (a) ~ (c) 所示,半导体装置 113 除了半导体装置 110 的构成之外,还具备沟槽内电极 D5 及 D6。沟槽内电极 D5 在第一沟槽 T1 内,设置在第一栅电极 D1 与漂移区域 10 的第一部分 11 之间。沟槽内电极 D5 与第一栅电极 D1 及漂移区域 10 分别分离地设置。

[0126] 沟槽内电极 D6 在第二沟槽 T2 内,设置在第二栅电极 D2 与漂移区域 10 的第一部分 11 之间。沟槽内电极 D6 与第二栅电极 D2 及漂移区域 10 分别分离地设置。沟槽内电极 D5 及 D6 各自的电位与源电极 D12 的电位相等。

[0127] 根据这样的半导体装置 113,除了与半导体装置 110 同样的作用效果之外,沟槽内电极 D5 及 D6 还能够作为场板电极发挥功能。由此,在半导体装置 113 中,即使在截止状态对源电极 D12 与漏电极 D13 之间施加了高电压的状态下,也能够缓和第一栅电极 D1 的端部及第二栅电极 D2 的端部处的电场集中。因此,半导体装置 113 高耐压化。

[0128] 此外,若将沟槽内电极 D5 及 D6 的电位设为与源电极 D12 的电位相同,则沟槽内电极 D5 及 D6 发挥减少栅极的静电电容的功能。由此,开关时的动作稳定化。该情况下,也可以是,为了防止在沟槽内电极 D5 及 D6 的电位的影响下导致沟槽内电极 D5 及 D6 之间的 n⁻型的上部 12 耗尽化、导通电阻增加,而在上部 12 设置比 n⁻型的下部 11 高浓度的 n 型的区域。

[0129] 图 9 (a) ~ (c) 示例了第四变形例所涉及的半导体装置 114。

[0130] 图 9 (a) 示出了沿 X 方向观察半导体装置 114 时的局部剖视图。图 9 (b) 示出了图 9 (a) 所示的 A6 - A6 截面。图 9 (c) 示出了图 9 (a) 所示的 B6 - B6 截面。

[0131] 如图 9(a) 所示,在半导体装置 114 中,源极区域 30 在 Y 方向上延伸。接触区域 35

在基极区域 20 的一部分之上,设置在接触区域 35 与源极区域 30 之间。如图 9 (a) 及(c) 所示,源极区域 30 在设置于源极区域 30 的上端及源极区域 30 的侧面的接触部 CP 处,与源电极 D12 导通。接触区域 35 在设置于接触区域 35 的侧面的接触部 CP 处,与源电极 D12 导通。

[0132] 根据这样的半导体装置 114,除了与半导体装置 110 同样的作用效果之外,还能够实现更高的短路耐量及雪崩耐量。

[0133] 图 10 (a) ~ (c) 示例了第五变形例所涉及的半导体装置 115。

[0134] 图 10 (a) 示出了沿 X 方向观察半导体装置 115 时的局部剖视图。图 10 (b) 示出了图 10 (a) 所示的 A7 - A7 截面。图 10 (c) 示出了图 10 (a) 所示的 B7 - B7 截面。

[0135] 在半导体装置 115 中,未设有在半导体装置 110 设置的接触区域 35。如图 10 (a) 所示,在半导体装置 115 中,源极区域 30 设置在基极区域 20 的一部分之上。半导体装置 115 中的源极区域 30 的沿 Z 方向的长度 d_{30a} ,比图 2 (a) 所示的半导体装置 110 中的源极区域 30 的沿 Z 方向的长度 d_{30} 长。长度 d_{30a} 为基极区域 20 的沿 Z 方向的长度 d_{20} 的例如 $1/2$ 以上。

[0136] 在半导体装置 115 中,源电极 D12 与第一电极部 D11 及第二电极部 D33 导通。第二电极部 D33 在 Z 方向上从源电极 D12 延伸到第二栅电极 D2 之上。

[0137] 如图 10 (b) 所示,源电极 D12 设置成包围基极区域 20 的上侧部分。源电极 D12 与基极区域 20 的侧面的一部分及上表面接触。如图 10 (c) 所示,源电极 D12 设置成包围源极区域 30 的上侧部分。源电极 D12 与源极区域 30 的侧面的一部分及上表面接触。

[0138] 根据这样的半导体装置 115,除了与半导体装置 110 同样的作用效果之外,还能够实现更高的短路耐量及雪崩耐量。

[0139] 图 11 (a) ~ (c) 示例了第六变形例所涉及的半导体装置 116。

[0140] 图 11 (a) 示出了沿 X 方向观察半导体装置 116 时的局部剖视图。图 11 (b) 示出了图 11 (a) 所示的 A8 - A8 截面。图 11 (c) 示出了图 11 (a) 所示的 B8 - B8 截面。

[0141] 如图 11(a) 所示,半导体装置 116 中的源极区域 30 的沿 Y 方向的长度 L_{30} 因 Z 方向的位置而不同。即,源极区域 30 的沿 Y 方向的长度 L_{30} 不是恒定的。在半导体装置 116 中,源极区域 30 以外的构成与图 10 (a) ~ (c) 所示的半导体装置 115 同样。

[0142] 在半导体装置 116 中,源极区域 30 的长度 L_{30} 随着接近源电极 D12 而变短,随着接近漂移区域 10 而变长。例如,长度 L_{30} 从源电极 D12 侧朝向漂移区域 10 侧缓缓地增大。也可以是,长度 L_{30} 从源电极 D12 侧朝向漂移区域 10 侧阶梯性地增大。

[0143] 根据这样的半导体装置 116,除了与半导体装置 110 同样的作用效果之外,还能够实现更高的短路耐量及雪崩耐量。

[0144] 图 12 示例了漏极电压与漏极电流的关系的图。

[0145] 图 12 所示的横轴表示漏极电压 V_d ,纵轴表示漏极电流 I_d 。图 12 示出了半导体装置 115 的特性 F5 及半导体装置 116 的特性 F6。特性 F5 及 F6 都是对提高了漏极电压 V_d 时的漏极电流 I_d 的变化进行了模拟计算而得到的结果。在模拟计算中,将栅极电压设为 15V、将基极区域 20 的宽度设为 20nm 来进行了计算。

[0146] 如图 12 所示,半导体装置 116 的特性 F6 与半导体装置 115 的特性 F5 相比,饱和电流更大。

[0147] 这样,根据第一实施方式及其变形例所涉及的半导体装置 110、111、112、113、114、115 及 116,即使相邻的栅电极间(基极区域 20 的宽度)变窄也能够实现导通电阻的减少及雪崩耐量的提高。因此,即使在栅电极间微小化增进的情况下,也能够使特性提高。

[0148] 另外,在第一实施方式及其变形例所涉及的半导体装置 111、112、113、114、115 及 116 中,以 MOSFET 为例进行了说明,但是半导体装置 110、111、112、113、114、115 及 116 是 IGBT 或 IEGT 也能够适用。

[0149] IGBT 或 IEGT 的元件的导通状态在 n^- 型的漂移区域 10 中产生传导率调制(双极型动作)这一点,不同于 MOSFET (单极型元件)。根据本实施方式,与 MOSFET 同样,在 IGBT、IEGT 中也是,能够在保障了短路耐量及雪崩耐量的基础上显著地提高元件的导通特性。另外,在 IGBT 及 IEGT 中,半导体装置 111、112、113、114、115 及 116 的第四半导体区域 40 的导电型为 p^+ 型。

[0150] (第二实施方式)

[0151] 接下来,对第二实施方式进行说明。

[0152] 图 13 (a) ~ (c) 是示例第二实施方式所涉及的半导体装置的示意图。

[0153] 图 13 (a) 中示出了将第二实施方式所涉及的半导体装置 120 的一部分截断的示意立体图。图 13 (b) 中示出了沿 X 方向观察半导体装置 120 时的示意剖视图。图 13 (c) 中示出了元件的导通状态的过剩载流子分布(Excess carrier density)。

[0154] 如图 13 (a) 所示,本实施方式所涉及的半导体装置 120 具备 n^- 型的漂移区域 10、栅电极 D20、p 型的基极区域 20、 n^+ 型的源极区域 30、栅极绝缘膜 85、源电极 D12、漏电极 D13、第四半导体区域 40。漂移区域 10 为第一半导体区域。栅电极 D20 为控制电极。基极区域 20 为第二半导体区域。源极区域 30 为第三半导体区域。栅极绝缘膜 85 为绝缘膜。源电极 D12 为第二电极。漏电极 D13 为第三电极。

[0155] 栅电极 D20 设置在漂移区域 10 之上。栅极绝缘膜 85 设置在基极区域 20 与栅电极 D20 之间。

[0156] 第四半导体区域 40 具有 n 型的第一半导体部分 41、p 型的第二半导体部分 42。第一半导体部分 41 在 Y 方向上与第二半导体部分 42 并列配置。在本实施方式中,设置有多个第一半导体部分 41、多个第二半导体部分 42。多个第一半导体部分 41 的每个与多个第二半导体部分 42 的每个在 Y 方向上交错地配置。

[0157] 半导体装置 120 包含 IGBT 和 MOSFET 这两方的元件构造。如果将半导体装置 120 视为 IGBT,则由于第一半导体部分 41 的存在而可以认为是阳极短路型的 IGBT 的构造。如果是通常的阳极短路型的 IGBT,那么需要有双极型动作(来自第二半导体部分 42 的空穴的注入)所需的 0.7V 程度的阈值。此外,若由于第一半导体部分 41 的存在而阻碍了双极型动作(来自第二半导体部分 42 的空穴的注入),则虽然没有阈值,但是漂移区域 10 中的传导率调制也不产生。

[0158] 在本实施方式中,将沟槽 MOS 的沟道越相互接触则越微小的埋入沟槽栅极(因而,导通状态下的从漂移区域 10 向基极区域 20 侧的空穴的排出实质上为零)与由于低注入效率的第四半导体区域 40 或者第一半导体部分 41 而短路的第二半导体部分 42 组合,能够实现阈值低的 IGBT (参照图 15) 或者导通电阻低的 MOSFET (在漂移区域 10 的栅电极 D20 侧局部地传导率调制、换句话说低电阻化)。

[0159] 在以往的 IGBT (IEGT) 中, 阈值 ($\sim 0.7V$) 以上的漏极电压 (V_d) 下导通电阻变低, 但是比阈值 ($\sim 0.7V$) 低的漏极电压 (V_d) 下不流动电流。此外, 在以往的 MOSFET 中, 通过 $0V$ 以上的漏极电压 (V_d) 而无阈值地流动电流, 但是由于是单极型, 所以与进行传导率调制的 IGBT 相比, 导通电阻较高。

[0160] 根据本实施方式, 能够实现具有无阈值的 (或者比以往的阈值低的阈值的) 导通状态的电流·电压特性的 IGBT (IEGT)、或者利用局部的传导率调制效应来明显地改善了导通电阻的 MOSFET。

[0161] 如图 13 (b) 所示, 在第四半导体区域 40 中, 将第一半导体部分 41 的漂移区域 10 侧的沿 Y 方向的长度设为 L_{41a} 、将第二半导体部分 42 的漂移区域 10 侧的沿 Y 方向的长度设为 L_{42a} 的情况下, 长度 L_{41a} 与长度 L_{42a} 实质相等。

[0162] 若将第二半导体部分 42 或者第一半导体部分 41 的深度设为 T 、将长度 L_{41a} 及 L_{42a} 中的一方设为 W , 则 T 与 W 的关系优选满足 $T/W > 2$ 。此外, 在长度 L_{41a} 及 L_{42a} 的至少一方以微小尺寸来形成的情况下, W 为 $10\mu m$ 以下, 优选为 $10nm$ 以上 $100nm$ 以下程度。

[0163] 此外, 在第四半导体区域 40 中, 将第一半导体部分 41 的漏电极 D13 侧的沿 Y 方向的长度设为 L_{41b} 、将第二半导体部分 42 的漏电极 D13 侧的沿 Y 方向的长度设为 L_{42b} 的情况下, 长度 L_{41b} 比长度 L_{42b} 短。

[0164] 通过这样的长度的不同, 使得第一半导体部分 41 具有 Y 方向的长度长的部分 $41w$ 和 Y 方向的长度短的部分 $41n$ 。此外, 第二半导体部分 42 具有 Y 方向的长度短的部分 $42n$ 和 Y 方向的长度长的部分 $42w$ 。

[0165] 第四半导体区域 40 具有第一列区域 401、第二列区域 402。第一列区域 401 是第一半导体部分 41 的短的部分 $41n$ 和第二半导体部分 42 的长的部分 $42w$ 在 Y 方向上排列的区域。第二列区域 402 是第一半导体部分 41 的长的部分 $41w$ 和第二半导体部分 42 的短的部分 $42n$ 在 Y 方向上排列的区域。

[0166] 在半导体装置 120 中, 通过设定第一列区域 401 的电势 ϕ_1 与第二列区域 402 的电势 ϕ_2 之差、电势 ϕ_2 与半导体区域 15 的电势 ϕ_3 之差、电势 ϕ_3 与漂移区域 10 的电势 ϕ_4 之差, 能够实现实质的阈值的减少。

[0167] 在半导体装置 120 为导通状态的情况下, 从源电极 D12 注入的电子向源极区域 30、基极区域 20、漂移区域 10 及半导体区域 15 流入。进而, 电子经由第四半导体区域 40 的第一半导体部分 41 向漏电极 D13 流入。此时, 电子在第四半导体区域 40 中越过低于内建电势的模拟电势而流动 (例如, 参照专利文献 3)。因此, 半导体装置 120 的阈值低于与通常的 pn 接合产生的内建电势相应的阈值。

[0168] 另外, 与阈值低相应地, 从第二半导体部分 42 向高电阻的漂移区域 10 的空穴的注入效率变低, 但是, 通过源电极 D12 侧的沟槽栅极的微小间隔的效应, 产生在漂移区域 10 侧的栅电极 D20 侧蓄积空穴的传导率调制。作为其结果, 与完全没有传导率调制的元件 (完全的 MOSFET) 相比, 基极电阻下降。即, 提供了导通电阻低的元件。进而, 栅电极 D20 侧的空穴的积蓄从开关特性的观点来看是优选的。

[0169] 在半导体装置 120 被施加逆向的电压 (相对于漏电极 D13 的电位, 源电极 D12 的电位为正) 的情况下, 在第一半导体部分 41 的短的部分 $41n$, 耗尽层夹断 (pinch-off)。由此, 在第四半导体区域 40 构成了虚拟的 pn 接合。

[0170] 在半导体装置 120 中,通过第一列区域 401 的杂质浓度、第二列区域 402 的杂质浓度、长度 L41a、L41b、L42a 及 L42b 等,设定了电势 $\phi 1$ 及 $\phi 2$ 。此外,在半导体装置 120 中,通过半导体区域 15 的杂质浓度等而设定了电势 $\phi 3$,通过漂移区域 10 的杂质浓度等而设定了电势 $\phi 4$ 。通过这些电势 $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ 及 $\phi 4$,设定了半导体装置 120 的模拟阈值。

[0171] 图 14 (a) 及 (b) 是示例第二实施方式的变形例所涉及的半导体装置的示意图。

[0172] 图 14 (a) 中示出了将第二实施方式的变形例所涉及的半导体装置 121 的一部分截断的示意立体图。图 14 (b) 中示出了沿 X 方向观察半导体装置 121 时的示意剖视图。

[0173] 如图 14 (a) 所示,在半导体装置 121 中,漂移区域 10B 的构成与半导体装置 120 的漂移区域 10 的构成不同。半导体装置 121 的漂移区域 10B 以外的构成与半导体装置 120 同样。

[0174] 半导体装置 121 的漂移区域 10B 具有 n 型的第一区域 101、p 型的第二区域 102。第一区域 101 与第二区域 102 在 Y 方向上并列配置。在本实施方式中,设置有多个第一区域 101、多个第二区域 102。多个第一区域 101 的每个与多个第二区域 102 的每个在 Y 方向上交错地配置。半导体装置 121 中,漂移区域 10B 具有超结(super junction)构造。

[0175] 在超结构构造中,通过设为第一区域 101 所包含的杂质的量与第二区域 102 所包含的杂质的量相等,能够在漂移区域 10B 中构成虚拟的无掺杂层。由此,半导体装置 121 的耐压提高。此外,提高漂移区域 10B 的杂质浓度,实现了导通电阻的减少。

[0176] 第一区域 101 配置在与第一半导体部分 41 在 Z 方向上重叠的位置。第二区域 102 配置在与第二半导体部分 42 在 Z 方向上重叠的位置。如图 14 (b) 所示,第一区域 101 的沿 Y 方向的长度 L101 与第二区域 102 的沿 Y 方向的长度 L102 实质相等。长度 L101 与长度 L41a 实质相等。长度 L102 与长度 L42a 实质相等。

[0177] 在这样的半导体装置 121 中,基于超结构构造实现了耐压的提高、低导通电阻化,并且通过第四半导体区域 40 的第一半导体部分 41 及第二半导体部分 42 实现了阈值的减少。

[0178] 图 15 是示例漏极电压与漏极电流的关系的图。

[0179] 图 15 所示的横轴表示漏极电压 V_d ,纵轴表示漏极电流 I_d 。图 15 示出了半导体装置 121 的特性 F2 及比较例所涉及的半导体装置的特性 F19。特性 F2 及 F19 都是对提高了漏极电压 V_d 时的漏极电流 I_d 的变化进行模拟计算而得到的结果。在此,比较例所涉及的半导体装置为设置有与半导体装置 121 的第四半导体区域 40 一样的 n 型的区域的构造。

[0180] 如图 15 所示,在比较例所涉及的半导体装置的特性 F19 中,伴随着漏极电压 V_d 的增加,漏极电流 I_d 缓缓地增加。另一方面,在半导体装置 121 的特性 F2 中,即使是低的漏极电压 V_d ,也流动有大的漏极电流 I_d 。即可知在半导体装置 121 中,漏极电流 I_d 开始流动的阈值是非常低的。

[0181] 例如,在作为半导体材料而使用了硅(Si)的情况下,pn 接合的内建电势约为 0.8V。因此,不使用半导体装置 120 及 121 的第四半导体区域 40 的构造的比较例所涉及的半导体装置的阈值,无法比内建电势(约 0.8V)低。在半导体装置 120 及 121 中,通过电势 $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ 及 $\phi 4$,设定了半导体装置 120 及 121 的阈值。因此,在半导体装置 120 及 121 中,能够将阈值虚拟地设为 0.2V 以下。

[0182] 另外,在上述说明的半导体装置 120 及 121 中,作为栅电极 D10 使用了沟槽栅极构造,但是也可以是平面栅极构造。

[0183] (第三实施方式)

[0184] 接下来,对第三实施方式进行说明。

[0185] 图 16 是示例第三实施方式所涉及的半导体装置的示意立体图。

[0186] 图 16 中示出了将第三实施方式所涉及的半导体装置 130 的一部分截断的示意立体图。

[0187] 如图 16 所示,本实施方式所涉及的半导体装置 130 是将第一实施方式所涉及的半导体装置 110 的第四半导体区域 40 的构成设为第二实施方式所涉及的半导体装置 120 的第四半导体区域 40 的构成的方式。在半导体装置 130 中,包含作为与半导体装置 110 同样的沟槽栅极构造的、第一栅电极 D1 及第二栅电极 D2。进而,在半导体装置 130 中还具备作为与半导体装置 120 同样的第四半导体区域 40 的构造的、第一半导体部分 41 和第二半导体部分 42。

[0188] 这样的半导体装置 130 兼具半导体装置 110 的作用效果及半导体装置 120 的作用效果。即,半导体装置 130 中,实现了高的短路耐量及雪崩耐量、低的导通电阻及低的阈值。

[0189] 图 17 是示例第三实施方式的变形例所涉及的半导体装置的示意立体图。

[0190] 图 17 中示出了将第三实施方式的变形例所涉及的半导体装置 131 的一部分截断的示意立体图。

[0191] 如图 17 所示,本实施方式所涉及的半导体装置 131 是将第一实施方式所涉及的半导体装置 110 的漂移区域 10 及第四半导体区域 40 的构成设为第二实施方式所涉及的半导体装置 121 的漂移区域 10B 及第四半导体区域 40 的构成的方式。在半导体装置 131 中,包含作为与半导体装置 110 同样的沟槽栅极构造的、第一栅电极 D1 及第二栅电极 D2。进而,在半导体装置 131 中,还包含作为与半导体装置 121 同样的漂移区域 10B 的构造的、第一区域 101 和第二区域 102。进而此外,在半导体装置 131 中,还具备作为与半导体装置 121 同样的第四半导体区域 40 的构造的、第一半导体部分 41 和第二半导体部分 42。

[0192] 这样的半导体装置 131 兼具半导体装置 110 的作用效果及半导体装置 121 的作用效果。即,在半导体装置 131 中实现了高的雪崩耐量、低的导通电阻及低的阈值。

[0193] (第四实施方式)

[0194] 接下来,对第四实施方式进行说明。

[0195] 图 18 是示例第四实施方式所涉及的半导体装置的示意立体图。

[0196] 图 19 (a) ~ (c) 是示例第四实施方式所涉及的半导体装置的示意剖视图。

[0197] 图 19 (a) 示出了沿 X 方向观察半导体装置 140 时的局部剖视图。图 19 (b) 示出了图 19 (a) 所示的 A9 - A9 截面。图 19 (c) 示出了图 19 (a) 所示的 B9 - B9 截面。

[0198] 如图 18、图 19 (a) ~ (c) 所示,半导体装置 140 例如为 MOSFET。半导体装置 140 就第一栅电极 D1 的沿 Z 方向的长度及边界 pnj1 的位置而言,与半导体装置 110 不同。在半导体装置 140 中,第一栅电极 D1 的上端 d1u 比边界 pnj1 靠下。即,边界 pnj1 比第一栅电极 D1 的上端 d1u 靠下。在半导体装置 110 中,边界 pnj1 位于第二栅电极 D2 当中的第一部分 D21 侧,但是在半导体装置 140 中,边界 pnj1 位于第二栅电极 D2 当中的第二部分 D22 侧。

[0199] 根据这样的半导体装置 140,除了与半导体装置 110 同样的作用效果之外,元件短路时的第二 MOS 构造的耐量与导通电阻之间的折衷(trade off)显著提高。

[0200] (第五实施方式)

[0201] 接下来,对第五实施方式进行说明。

[0202] 图 20 是示例第五实施方式所涉及的半导体装置的示意立体图。

[0203] 如图 20 所示,半导体装置 150 例如为 IGBT 或者 IEGT。半导体装置 150 的第四半导体区域 40 的导电型为 p⁺型。其他构成与半导体装置 140 同样。

[0204] 根据这样的半导体装置 150,除了与半导体装置 110 同样的作用效果之外,元件短路时的第二 MOS 构造的耐量与导通电阻之间的折衷显著提高。此外,不需要第四半导体区域 40 的复杂加工,因此制造上的优点很大。

[0205] (第六实施方式)

[0206] 接下来,对第六实施方式进行说明。

[0207] 图 21 是示例第六实施方式所涉及的半导体装置的示意立体图。

[0208] 如图 21 所示,在半导体装置 160 中,与半导体装置 140 相比第四半导体区域 40 的构成不同。其他构成与半导体装置 140 同样。半导体装置 160 的第四半导体区域 40 具有 n⁺型的第一半导体部分 43、p⁺型的第二半导体部分 44、p 型的第三半导体部分 45。

[0209] 第一半导体部分 43 与第二半导体部分 44 在 X 方向上并列配置。在本实施方式中,设置有多个第一半导体部分 43、多个第二半导体部分 44。多个第一半导体部分 43 的每个与多个第二半导体部分 44 的每个在 X 方向上交错地配置。

[0210] 第三半导体部分 45 设置在第一半导体部分 43 及第二半导体部分 44 与半导体区域 15 之间。

[0211] 根据这样的半导体装置 160,除了与半导体装置 110 同样的作用效果之外,通过采用在第四半导体区域 40 之中形成微小的 pn 图案来降低了空穴的注入效率的构造,实现了进一步的特性改善。

[0212] (第七实施方式)

[0213] 接下来,对第七实施方式进行说明。

[0214] 图 22 是示例第七实施方式所涉及的半导体装置的示意立体图。

[0215] 如图 22 所示,在半导体装置 170 中,与半导体装置 140 相比第一电极部 D11 的构成不同。其他构成与半导体装置 140 同样。在半导体装置 170 中,第一电极部 D11 与源电极 D12 分体地设置。半导体装置 170 的第一电极部 D11 使用与源电极 D12 的材料不同的材料。在半导体装置 170 中,第一电极 D1 的材料例如为多晶硅及钨(W)当中的至少某个。

[0216] 第一电极部 D11 也可以是通过与源电极 D12 不同的工序形成的电极。即,也可以是,在沟槽 T1 内的第一控制电极 D1 之上埋入了第一电极部 D11 之后,在第一电极部 D11 之上形成源电极 D12。

[0217] 根据这样的半导体装置 170,除了与半导体装置 110 同样的作用效果之外,通过将边界 pnj1 的位置形成为比第一栅电极 D1 靠上,还能够进一步提高第二 MOS 构造的耐量。

[0218] (第八实施方式)

[0219] 接下来,对第八实施方式进行说明。

[0220] 图 23 是示例第八实施方式所涉及的半导体装置的示意立体图。

[0221] 图 24 (a)~(c) 是示例第八实施方式所涉及的半导体装置的示意剖视图。

[0222] 图 24 (a) 示出了沿 X 方向观察半导体装置 180 时的局部剖视图。图 24 (b) 示出

了图 24 (a)所示的 A10 — A10 截面。图 24 (c)示出了图 24 (a)所示的 B10 — B10 截面。

[0223] 如图 23、图 24 (a)~(c)所示,在半导体装置 180 中,与半导体装置 140 相比接触区域 35 的构成不同。其他构成与半导体装置 140 同样。

[0224] 如图 24 (a)所示,半导体装置 180 的接触区域 35 具有与基极区域 20 接触的下区域 351 和与源极区域 30 接触的上区域 352。上区域 352 的沿 Y 方向的长度 $W_{p^{++}1}$ 比下区域 351 的沿 Y 方向的长度 $W_{p^{++}2}$ 长。例如,半导体装置 180 的接触区域 35 的沿 Y 方向的长度从源极区域 30 朝向基极区域 20 变小。

[0225] 根据这样的接触区域 35 的形状,在元件短路时,从 n^{++} 型的源极区域 30 向高电阻半导体层(漂移区域 10)的电子的注入被阻碍,短路耐量大幅度提高。

[0226] 根据这样的半导体装置 180,除了与半导体装置 110 同样的作用效果之外,通过将边界 pnj1 的位置形成为比第一栅电极 D1 靠上、使接触区域 35 的形状在深度方向上变化,还能够进一步提高第二 MOS 构造的耐量。

[0227] (第九实施方式)

[0228] 接下来,对第九实施方式进行说明。

[0229] 图 25 是示例第九实施方式所涉及的半导体装置的示意立体图。

[0230] 如图 25 所示,在半导体装置 210 中,与半导体装置 180 相比第四半导体区域 40 的构成不同。其他构成与半导体装置 180 同样。半导体装置 210 的第四半导体区域 40 与半导体装置 160 的第四半导体区域 40 同样。即,第四半导体区域 40 具有第一半导体部分 43、第二半导体部分 44、第三半导体部分 45。在本实施方式中,设置有多个第一半导体部分 43、多个第二半导体部分 44。多个第一半导体部分 43 的每个与多个第二半导体部分 44 的每个在 X 方向上交错地配置。第三半导体部分 45 设置在第一半导体部分 43 及第二半导体部分 44 与半导体区域 15 之间。

[0231] 图 26 是示例半导体装置的特性的图。

[0232] 图 26 示出了半导体装置 210 的漏极电压—漏极电流特性 F21。图 26 的横轴表示漏极电压 V_d ,横轴表示元件导通状态下的漏极电流 I_d 。图 26 中示出了对耐压 300V 的设计的半导体装置 210 的特性进行了模拟计算而得到的结果。栅极电压 V_g 为 15V。

[0233] 根据这样的半导体装置 210,除了与半导体装置 160 同样的作用效果之外,通过使接触区域 35 的形状在深度方向上变化,还能够进一步提高第二 MOS 构造的耐量。

[0234] (第十实施方式)

[0235] 接下来,对第十实施方式进行说明。

[0236] 图 27 是示例第十实施方式所涉及的半导体装置的示意立体图。

[0237] 如图 27 所示,在半导体装置 220 中,与半导体装置 140 相比,第四半导体区域 40 的构成及接触区域 35 的构成不同。其他构成与半导体装置 140 同样。半导体装置 220 的第四半导体区域 40 与半导体装置 120 的第四半导体区域 40 同样。半导体装置 220 的接触区域 35 与半导体区域 180 的接触区域 35 同样。

[0238] 根据这样的半导体装置 220,除了与半导体装置 130 同样的作用效果之外,通过使接触区域 35 的形状在深度方向上变化,还能够进一步提高第二 MOS 构造的耐量。

[0239] (第十一实施方式)

[0240] 接下来,对第十一实施方式进行说明。

[0241] 图 28 是示例第十一实施方式所涉及的半导体装置的示意立体图。

[0242] 如图 28 所示, 半导体装置 230 中, 与半导体装置 220 相比漂移区域 10B 的构成不同。其他构成与半导体装置 220 同样。半导体装置 230 的漂移区域 10B 与半导体装置 122 的漂移区域 10B 同样。即, 在半导体装置 230 中, 漂移区域 10B 具有超结构构造。

[0243] 根据这样的半导体装置 230, 除了与半导体装置 131 同样的作用效果之外, 通过使接触区域 35 的形状在深度方向上变化, 还能够进一步提高第二 MOS 构造的耐量。

[0244] (第十二实施方式)

[0245] 接下来, 对第十二实施方式进行说明。

[0246] 图 29 是示例第十二实施方式所涉及的半导体装置的示意立体图。

[0247] 如图 29 所示, 在半导体装置 240 中, 与半导体装置 210 相比第一电极部 D11 的构成不同。其他构成与半导体装置 210 同样。半导体装置 240 的第一电极部 D11 的上端 d11u 在 Z 方向上比边界 pnj2 靠下且比边界 pnj1 靠上。第一电极部 D11 在比第一栅电极 D1 靠上侧处与基极区域 20 接触。

[0248] 图 30 是示例半导体装置的动作的示意剖视图。

[0249] 图 30 的左侧示出了半导体装置 240 的截面, 其右侧示出了 $\alpha - \alpha'$ 截面上的元件导通状态 ($V_d < V_{bi}$) 下的空穴分布。

[0250] 在元件导通状态 ($V_d < V_{bi}$) 下, 在栅极附近由于碰撞离子化 (impact ionization) 而产生的空穴向高电阻半导体层 (漂移区域 10) 的栅极侧积蓄, 作为其结果, 与没有空穴的积蓄的以往的 MODFET 相比, 高电阻半导体层 (漂移区域 10) 的电阻大幅度地减少。与具有相同的高电阻半导体层 (即相同的电压额定) 的以往的 MOSFET 比较, 使 $V_d < V_{bi}$ 下的元件的通电能力成为可能。

[0251] 在栅电极相邻的构造中, 在 X 方向上, 相互相对的第一栅电极 D1 与第二栅电极 D2 之间的间隔越狭窄, 则在导通状态下, 由于栅极电压施加而产生的反转层 (或者载流子积蓄层) 越相互影响而越接近。

[0252] 具体地说, 若相面对的栅电极的间隔成为 300nm 以下, 则相互的反转层 (载流子积蓄层) 的影响开始呈现。其间隔为 40nm 以上 100nm 以下时, 相面对的沟槽栅极的沟道层更强地相互影响。其间隔为 40nm ~ 20nm、以及完全重叠的 20nm 以下时, 沟道层重叠, 本实施方式的效果更显著。

[0253] 在半导体装置 240 中, 在 n^+ 型的源极区域 30 与漂移区域 10 (高电阻半导体层) 之间, 与埋入栅极对置地设置有 p 型的基极区域 20、 p^+ 型的接触区域 35、作为场板层的第一电极部 D11。

[0254] 根据这样的构造, 当元件短路时, 确保了源极区域 30 与漂移区域 10 之间的耐压。

[0255] 作为 n 型缓冲层的半导体区域 15 不仅是防止击穿 (punch through) 的区域, 在导通状态 ($V_d < V_{bi}$) 下还起到以下所示的效果。在此, V_d 为漏极 (集电极) 施加电压, V_{bi} 为内建电压。

[0256] 即, 由于碰撞离子化而在沟槽栅极间产生的空穴被半导体区域 15 阻碍了从源极 (发射极) 侧向集电极侧进行扩散, 有利于漂移区域 10 中的沟槽栅极侧的空穴积蓄。

[0257] 因此, 在 $V_d < V_{bi}$ 的条件下, 即, 作为 MOSFET 发挥功能时, 也在沟槽栅极侧的漂移区域 10 中产生空穴的积蓄。产生空穴的积蓄的本构造与不产生 (或者可忽略的程度的) 空

穴的积蓄的埋入栅极间隔的元件比较, 漂移区域 10 的电阻变低。

[0258] 此外, 在半导体装置 240 中, 在集电极(漏极)侧, 在 $V_d > V_{bi}$ 的条件下, 具有用于注入空穴的 p^+ 型的第二半导体部分 44。在此, 在漏极(集电极)侧仅为 n 型层的构造(例如, 图 1)中, 元件短路时, 相对于由于载流子积蓄而被低电阻化了的沟槽栅极侧的漂移区域 10, 漏极(集电极)侧的漂移区域 10 的电场上升, 有时会达到破坏。

[0259] 在半导体装置 240 中, 短路时, 从漏极(集电极)侧注入充分的空穴, 提高漏极(集电极)侧的漂移区域 10 的载流子的积蓄, 缓和漏极(集电极)侧的电场的上升。由此, 半导体装置 240 具有高的短路耐量。

[0260] 图 31 (a) 是示例第十二实施方式的变形例所涉及的半导体装置的示意立体图, 图 31 (b) 是该漏极侧构造的示意剖视图, 图 31 (c) 是表示图 31 (a) 的 $\alpha - \alpha'$ 截面上的 $V_d < V_{bi}$ 条件下的空穴的浓度分布的图。

[0261] 半导体装置 240 中的集电极(漏极)侧也可以是图 31 (a)、(b) 所示的构造。

[0262] 这样, 半导体装置 240 除了与半导体装置 210 同样的作用效果之外, 还能够进一步提高第二 MOS 构造的耐量。

[0263] (第十三实施方式)

[0264] 图 32 是示例第十三实施方式所涉及的半导体装置的示意立体图。

[0265] 在图 32 所示的半导体装置 250 中, 在漂移区域 10 与源电极 D12 之间, 设置有接触区域 35。接触区域 35 与源电极 D12 导通。接触区域 35 具有与漂移区域 10 接触的下区域 35d、与基极区域 20 接触的中区域 35m、与源极区域 30 接触的上区域 35u。Y 方向上的上区域 35u 的长度、中区域 35m 的长度及下区域 35d 的长度依次变短。

[0266] 此外, 在半导体装置 250 中, 在漂移区域 10 与第四半导体区域 40 之间, 设置有半导体区域 15。半导体区域 15 的杂质浓度比漂移区域 10 的杂质浓度高。进而, 在半导体装置 250 中, 在半导体区域 15 与第四半导体区域 40 之间, 设置有 n^- 型的半导体区域 15b (第六半导体区域)。半导体区域 15b 的杂质浓度比半导体区域 15 的杂质浓度低。

[0267] 第二半导体部分 42 与半导体区域 15b 的接合部 15b1 比第一半导体部分 41 与半导体区域 15b 的接合部 15b2 靠上侧。

[0268] 图 33 (a) 及图 33 (b) 是示例漏极电压与漏极电流的关系的图。

[0269] 在此, 图 33 (b) 示出了将图 33 (a) 的 V_d ($0 \sim 1V$) 的范围放大的 $I_d - V_d$ 曲线。如图 33 (b) 所示可知, 在半导体装置 250 (曲线 A) 中, 与不具有传导调制的通常的 MOSFET (曲线 B) 相比, 即使漏极电压 (V_d) 为相同的值, I_d 也变得更高。另外, 图 33 (a) 所示的饱和电流成为 2 阶是因为半导体装置 250 在 Z 方向上具有长度不同的第一栅电极 D1 和第二栅电极 D2, 但是例如在半导体装置 240 (图 29) 那样的构成中, 如适当地设计与 p 型的基极区域 20 接触的接触层那样等、将源极侧的构造在本发明的宗旨的范围内最优化, 也能够将饱和电流设为 1 阶。

[0270] 根据半导体装置 250, 除了与半导体装置 220 同样的作用效果, 还获得下述的作用效果。

[0271] 例如, 在半导体装置 250 中, 在 n 型的半导体区域 15 与 n 型的第一半导体部分 41 之间介有 n^- 型的半导体区域 15b。对于电子而言, 该半导体区域 15b 与半导体区域 15 及第一半导体部分 41 相比, 为高电阻的区域。由此, 在半导体装置 250 中, 导通时, 进一步抑制

了从半导体区域 15 朝向漏电极 D13 的电子的流动。与此相应地,从漏电极 D13 容易注入空穴。由此,导通电阻进一步降低。

[0272] 此外,与第二半导体区域 42 的上部 42u 向半导体区域 15b 侧突出相应地,容易从漏电极 D13 注入空穴。与容易从漏电极 D13 注入空穴相应地,当导通时,漏极侧的电场强度(例如,半导体区域 15b 与第二半导体部分 42 的界面附近的电场)被抑制,短路耐量更增加。

[0273] 此外,在半导体装置 250 中, p^+ 型的接触区域 35 的下端达到漂移区域 10。由此,基极区域 20 与接触区域 35 之间的接触面积进一步增加。由此,基极区域 20 中产生的空穴经由接触区域 35 被向源电极 D12 更高效地排出。因此,半导体装置 250 的雪崩耐量进一步提高。

[0274] (第十四实施方式)

[0275] 图 34 (a) 是示例第十四实施方式的第一例所涉及的半导体装置、图 34 (b) 是示例第十四实施方式的第二例所涉及的半导体装置,图 34 (c) 是示例第十四实施方式的第三例所涉及的半导体装置的示意立体图。

[0276] 第十四实施方式所涉及的半导体装置 260A ~ 260Cw IGBT,进而具备超结构造。

[0277] 例如,在图 34 (a) 所示的半导体装置 260A 中,漂移区域 10B 具有 n 型的第一区域 101 和 p 型的第二区域 102。漂移区域 10B 具有第一区域 101 与第二区域 102 例如在 Y 方向上交错地排列的超结构造。

[0278] 在漂移区域 10B 之上设置有多个基极区域 20。多个基极区域 20 的每个与第一区域 101、第二区域 102 接触。

[0279] 多个基极区域 20 的每个之上,设置有源极区域 30 及接触区域 35。源极区域 30 的杂质浓度比第一区域 101 的杂质浓度高。接触区域 35 的杂质浓度比基极区域 20 的杂质浓度高。

[0280] 此外,栅电极 D1 经由栅极绝缘膜 82 与漂移区域 10b、多个基极区域 20 的每个及源极区域 30 接触。源电极 D12 与源极区域 30 及接触区域 35 导通。漏电极 D13 与漂移区域 10B 导通。并且,在半导体装置 260A 中,在与多个基极区域 20 的至少 1 个接触的接触区域 35 与源电极 D12 之间,设置有绝缘层 84。

[0281] 此外,在漏电极 D13 与漂移区域 10B 之间,设置有半导体区域 15。在漏电极 D13 与半导体区域 15 之间,设置有 p 型的第三半导体部分 45。另外,在实施方式中,有时将第三半导体部分 45 称作第四半导体区域。

[0282] 此外,在图 34 (b)、(c) 所示的半导体装置 260B、260C 中,在漏电极 D13 与漂移区域 10B 之间,设置有半导体区域 46 (第七半导体区域)。例如,在半导体装置 260B 中,半导体区域 46 与第三半导体部分 45 接触,在半导体装置 260C 中,半导体区域 46 与半导体区域 15 接触。

[0283] 在半导体区域 46 中,例如在 Y 方向上, n^+ 型的第一半导体部分 43 与 p^+ 型的第二半导体部分 44 并列配置。

[0284] 图 35 是示例漏极电压与漏极电流的关系的图。

[0285] 图 35 所示的横轴表示漏极电压 V_d ,纵轴表示漏极电流 I_d 。图 35 示出了半导体装置 260A ~ 260C 的特性 F2 及参考例所涉及的半导体装置的特性 F19。特性 F2 及 F19 是对提高了漏极电压 V_d 时的漏极电流 I_d 的变化进行模拟计算而得到的结果。在此,参考例所

涉及的半导体装置也可以是设置有与上述的半导体装置 121 的半导体区域 40 一样的 n 型的区域的构造。

[0286] 如图 35 所示,在参考例所涉及的半导体装置的特性 F19 中,伴随着漏极电压 V_d 的增加,漏极电流 I_d 缓缓地增加。另一方面,在半导体装置 260A ~ 260C 的特性 F2 中,即使是低的漏极电压 V_d ,也会流动大的漏极电流 I_d 。即可知,在半导体装置 260A ~ 260C 中,漏极电流 I_d 开始流动的阈值低。

[0287] 根据半导体装置 260A、260B、260C,在与一部分基极区域 20 接触的接触区域 35 与源电极 D12 之间,设置有绝缘层 84。该绝缘层 84 对于空穴而言是势垒,当导通时,空穴很难向绝缘层 84 的下侧的基极区域 30 流入。在实施方式中将这样的抑制空穴的流动的构造称作剔除(間引き)构造。

[0288] 因此,根据半导体装置 260A、260B、260C,从源电极 D12 注入的电子注入量相对增加。由此,在半导体装置 260A、260B、260C 中,导通电阻变低。

[0289] 此外,半导体装置 260A、260B、260C 具有超结构构造。因而,漂移区域 10B 的导通电阻降低。

[0290] 进而,根据半导体装置 260B、260C,在半导体区域 46 之中形成有微小的 pn 图案,能够调整来自漏极侧的空穴的注入效率。例如,通过调整 Y 方向上的第二半导体部分 44 的宽度,能够较低地设定来自漏极侧的空穴的注入量。由此,实现了进一步的特性改善。

[0291] 进而,根据半导体装置 260C,与第二半导体部分 44 的上部 44u 向漂移区域 10B 侧突出相应地,变得容易从漏电极 D13 注入空穴。与变得容易从漏电极 D13 注入空穴相应地,当导通时,漏极侧的电场强度被抑制,短路耐量进一步增加。

[0292] 此外,根据半导体装置 260A ~ 260C,通过剔除构造,使元件整体中的源极/漏极间的电流减少。由此,饱和电流减少。由此,短路电流减少,短路耐量增加。

[0293] (第十五实施方式)

[0294] 图 36 是示例第十五实施方式所涉及的半导体装置的示意立体图。

[0295] 在图 36 所示的半导体装置 270 中,由第一栅电极 D1 和第二栅电极 D2 的第一部分 D21 夹着的漂移区域 10 的上部 12 的宽度,比由第一电极部 D11 和第二栅电极 D2 的第二部分 D21 夹着的基极区域 20 的宽度窄。

[0296] 作为由第一栅电极 D1 和第二栅电极 D2 的第一部分 D21 夹着的漂移区域 10 的宽度变窄的结果,当导通时,空穴难以向基极区域 30 流入。

[0297] 因此,根据半导体装置 270,从源电极 D12 注入的电子注入量相对增加。由此,在半导体装置 270 中,导通电阻变低。

[0298] (第十六实施方式)

[0299] 图 37 是示例第十六实施方式所涉及的半导体装置的示意立体图。

[0300] 在图 37 所示的半导体装置 280 中,具备与半导体装置 250 相同的部位,进而,第一栅电极 D1 的上端 d1u 比边界 pnj1 靠下。

[0301] 在半导体装置 280 中安装有控制器 90。也可以是,包含半导体装置 280 和控制器 90 来构成半导体装置 280。

[0302] 在半导体装置 280 中,第一栅电极 D1 的电位、第二栅电极 D2 的电位、源电极 D12 的电位、漏电极 D13 的电位由控制器 90 控制。

[0303] 图 38 (a)及图 38 (b)是表示第十六实施方式所涉及的半导体装置的动作的示意立体图。

[0304] 例如,如图 38 (a)所示,在对第一栅电极 D1 施加了例如 -15V 、对第二栅电极 D2 施加了例如 -15V 的情况下,沿着第一栅电极 D1,在漂移区域 10 产生正电荷,沿着第二栅电极 D2,在漂移区域 10 产生正电荷。

[0305] 另一方面,如图 38 (b)所示,在对第一栅电极 D1 施加了例如 -15V 、对第二栅电极 D2 施加了例如 $+15\text{V}$ 的情况下,沿着第一栅电极 D1,在漂移区域 10 产生正电荷,沿着第二栅电极 D2,在漂移区域 10 及基极区域 20 产生负电荷。

[0306] 图 39 是表示第十六实施方式所涉及的半导体装置的动作的坐标图。

[0307] 图 39 的横轴表示时间(sec),纵轴表示电流(A)、电压(V)。图 39 示出了相对于使半导体装置 280 作为二极管进行了动作时的稳定导通电流而言的、开关电流及开关电压的时间经过变化。横轴的时间分成稳定导通电流的期间 A 和之后的期间 B、C。

[0308] 在期间 A,对第一栅电极 D1 施加有例如 -15V ,对第二栅电极 D2 施加有例如 -15V 。在期间 B、C,对第一栅电极 D1 施加有例如 -15V ,对第二栅电极 D2 施加有例如 $+15\text{V}$ 。

[0309] 此外,图 39 中除了半导体装置 280 的动作之外,还示出了参考例所涉及的半导体装置的该时间经过变化。在参考例中,在动作中不对栅电极施加电压。例如,将栅电极的电位在期间 A ~ C 设为 0 (V) 。

[0310] 在期间 A,与参考例相比,半导体装置 280 的电流更大。这是因为,在期间 A,对第一栅电极 D1 施加有 -15V ,对第二栅电极 D2 施加有 -15V ,在漂移区域 10 的上部 12 产生了正电荷。此时,在半导体装置 280 中,表观上,漂移区域 10 的上部 12 反转成为浓度高的 P^+ 层。换句话说,在期间 A,在对 P^+/N 型二极管施加了顺向偏压的状态下,半导体装置 280 在进行动作。

[0311] 但是,若维持对第一栅电极 D1 施加有 -15V 、对第二栅电极 D2 施加有 -15V 的状态,将半导体装置 280 关断,则二极管的复原(recovery)期间及拖尾(tail)期间会变长。这是因为,从 P^+/N 型二极管的 P^+ 层向二极管内注入的大量的空穴在刚关断之后仍然继续残存在二极管内。

[0312] 于是,在半导体装置 280 中,在关断之前的期间 B,对第一栅电极 D1 施加例如 -15V ,对第二栅电极 D2 施加例如 $+15\text{V}$ 。由此,反转成了 P^+ 层的漂移区域 10 的上部 12 已经不再是 P^+ 层,例如,二极管成为 P/N 型二极管。因此,在期间 B,与期间 A 相比更抑制了来自阳极侧的空穴注入。

[0313] 接下来,在期间 C,使半导体装置 280 关断。此时,在期间 B,抑制了向半导体装置 280 内的空穴注入,因此,与参考例相比,二极管的复原期间及拖尾期间较短。

[0314] 这样,就稳定导通电流而言,半导体装置 280 的电流比参考例的电流更高。此外,半导体装置 280 的复原期间 R 及拖尾期间 T 相对于参考例的复原期间 R' 及拖尾期间 T' 也更短。

[0315] 另外,半导体装置 280 中的开关电压 V 与参考例所涉及的半导体装置的情况下的开关电压 V' 比较,虽然减少但是很快,达到恒定值也很迅速。

[0316] 如以上说明那样,根据实施方式所涉及的半导体装置,能够确保基于栅极的控制性及耐量的同时实现微小化和特性提高。

[0317] 如下述那样总结上述的各实施方式。

[0318] (1)在本实施方式中,提供一种微小间隔的埋入栅极构造的半导体装置。由此产生超 IE 效应。在此,所谓 IE 效应是指,限制空穴(电子)的排出来加速电子(空穴)的注入效率的效应(Injection Enhanced effect)。

[0319] (2)在本实施方式中,通过微小间隔的埋入栅极构造,实现了高电阻半导体层(漂移区域 10)的低电阻化。其理由为例如,产生了在微小间隔的埋入栅极微小间由于碰撞离子化而产生的空穴向高电阻半导体层及埋入栅极间的积蓄,或者,产生了从集电极(漏极)侧向($V_d < V_{bi}$ 条件下的)高电阻半导体层注入的空穴的积蓄(基于超 IE 效应)。

[0320] (3)在本实施方式中,实现将从发射极(源极)侧注入的空穴(由于碰撞离子化而产生)或者从集电极(漏极)侧注入的空穴有效地蓄积到高电阻半导体层的构造。即,通过缓冲层(半导体区域 15)和微小间隔的埋入栅极构造(超 IE 效应),实现了该构造。

[0321] 在此,在功率 MOSFET 的栅极沟道附近也产生少量的因碰撞离子化引起的空穴。以往,由于碰撞离子化而产生的空穴被从 p 形的基极层迅速地排出,来避免对元件特性产生负面影响。

[0322] 但是,在微小间隔的埋入栅极构造的间产生的、因碰撞离子化引起的空穴被有效地蓄积在微小间隔的埋入栅极构造之间,通过从微小间隔的埋入栅极构造之间的扩散,被向高电阻半导体层注入。

[0323] 该 $V_d < V_{bi}$ 条件下的从微小间隔的埋入栅极构造向高电阻半导体层的空穴的扩散能够有助于高电阻半导体层的低电阻化。即为 $V_d < V_{bi}$ 条件下的元件的低导通电阻化。

[0324] 此外,在微小间隔的埋入栅极构造中还具有如下功能:有效地阻止从集电极(漏极)侧向高电阻半导体层注入的空穴(来自低阈值 p 型发射极构造等的($V_d < V_{bi}$ 区域中的)微量空穴注入等)被向源极(发射极)侧排出(即该情况也是,空穴蓄积在高电阻半导体层中,从而实现低电阻化)。

[0325] (4)在本实施方式中,实现了保证短路耐量的集电极(漏极)构造。即能够提供如下的集电极(漏极)侧构造:当短路时,从漏极(集电极)侧注入充分的空穴,提高高电阻半导体层的漏极(集电极)侧的载流子的积蓄,缓和漏极(集电极)侧的电场的上升,能够确保短路耐量。

[0326] (5)在本实施方式中,实现了保证短路耐量的发射极(源极)侧构造。即,在 n 型源极与高电阻半导体层之间,与埋入栅极对置地形成有:p 型基极、场板层(图 1 等)、场板层与表面降场(RESURF)层(图 24(a)的接触区域 35、图 32 的接触区域 35 等)的组合(图 32 等)、 p^+ 型接触区域与场板层(图 29,半导体装置 240 的构造,等等)或者 p^+ 型接触区域与表面降场层(图 29、接触区域 35)与场板层的组合(图 29,半导体装置 240 的构造,等等)。当元件短路时,能够有效地限制向 n 型源极层的空穴注入,能够控制元件短路状态下的来自 n^{++} 型源极区域 30 的电子注入。

[0327] (6)在本实施方式中,在 $V_d < V_{bi}$ 条件下,通过向高电阻半导体层的空穴的积蓄(传导率调制)效应,与具有相同的高电阻半导体层厚的单极型的 MOSFET 相比,能够实现极低的导通电阻,并且,在 $V_d > V_{bi}$ 条件下,实现了平滑的 IV 特性,该 IV 特性示出了由基于来自集电极(漏极)侧的充分的空穴注入而进行的 IGBT(双极型)动作(深度的传导率调制)产生的低导通电阻。进而还能够保证短路耐量。

[0328] 这样,在本实施方式中,实现了将双极型元件和单极型元件融合起来的动作模式的器件。

[0329] 另外,上述说明了本实施方式及其变形例,但是本发明不限于这些例子。例如,关于本领域技术人员对所述的各实施方式及其变形例适当地进行构成要素的追加、删除、设计变更后的方式、适当地组合了各实施方式的特征后的方式,只要具备本发明的宗旨,那么就包含在本发明的范围内。

[0330] 例如,在所述的各实施方式及各变形例中,以第一导电型为 n 型、第二导电型为 p 型进行了说明,但是也可以将第一导电型设为 p 型、将第二导电型设为 n 型。

[0331] 此外,在所述的各实施方式及各变形例中,说明了作为半导体材料使用 Si 的例子,但是作为半导体材料,例如也可以使用碳化硅(SiC)或氮化镓(GaN)等化合物半导体,或者金刚石等宽带隙半导体。

[0332] 以上,说明了本发明的几个实施方式,但是这些实施方式指示作为例子而提示,并不意欲限定发明的范围。这些新的实施方式能够以其他方式来实施,在不脱离发明的宗旨的范围内能够进行各种省略、置换及变更。这些实施方式及其变形包含在发明的范围及宗旨内,并且包含在权利要求书所记载的发明及其等同的范围内。

[0333] (附注 1)、一种半导体装置,其中,具备:

[0334] 第一导电型的第一半导体区域;

[0335] 第一控制电极,设置在所述第一半导体区域之上;

[0336] 第一电极,设置在所述第一控制电极之上;

[0337] 第二控制电极,设置在所述第一半导体区域之上,具有与所述第一控制电极并列的第一部分和设置在所述第一部分之上且与所述第一电极并列的第二部分;

[0338] 第二导电型的第二半导体区域,设置在所述第一半导体区域之上;

[0339] 第一导电型的第三半导体区域,设置在所述第二半导体区域之上;

[0340] 第一绝缘膜,设置在所述第二半导体区域与所述第二部分之间;

[0341] 第二电极,与所述第三半导体区域、所述第一电极导通;

[0342] 第三电极,与所述第一半导体区域导通;以及

[0343] 第四半导体区域,设置在所述第三电极与所述第一半导体区域之间,在与将所述第三电极和所述第一半导体区域连结的第一方向正交的第二方向上,并列配置有第一导电型的第一半导体部分和第二导电型的第二半导体部分。

[0344] (附注 2) 如附注 1 所述的半导体装置,其中,

[0345] 所述第一半导体区域具有:

[0346] 第一导电型的第一区域,设置在所述第一半导体部分与所述第二半导体区域之间;以及

[0347] 第二导电型的第二区域,设置在所述第二半导体部分与所述第二半导体区域之间。

[0348] (附注 3) 如附注 1 所述的半导体装置,其中,

[0349] 所述第一半导体部分设置有多个,

[0350] 所述第二半导体部分设置有多个,

[0351] 所述多个第一半导体部分的每个与所述多个第二半导体部分的每个在所述第二

方向上交错地配置，

[0352] 所述第一区域设置有多个，

[0353] 所述第二区域设置有多个，

[0354] 所述多个第一区域的每个设置在所述多个第一半导体部分的每个与所述第二半导体区域之间，

[0355] 所述多个第二区域的每个设置在所述多个第二半导体部分的每个与所述第二半导体区域之间。

[0356] (附注 4) 如附注 3 所述的半导体装置，其中，

[0357] 所述多个第一半导体部分的每个具有在所述第二方向上具有第一宽度的部分和在所述第二方向上具有比所述第一宽度窄的第二宽度的部分。

[0358] (附注 5) 如附注 3 或 4 所述的半导体装置，其中，

[0359] 还具备：

[0360] 第二导电型的接触区域，设置在所述第二半导体区域与所述第二电极之间，与所述第二电极导通。

[0361] (附注 6) 如附注 5 所述的半导体装置，其中，

[0362] 所述接触区域具有与所述第二半导体区域接触的下区域和与所述第三半导体区域接触的上区域，

[0363] 所述上区域的沿与将所述第三电极和所述第一半导体区域连结的第一方向正交的第二方向的长度比所述下区域的沿所述第二方向的长度长。

[0364] (附注 7) 如附注 3 或 4 所述的半导体装置，其中，

[0365] 还具备：

[0366] 第二导电型的接触区域，设置在所述第一半导体区域与所述第二电极之间，与所述第二电极导通；

[0367] 所述接触区域具有与所述第一半导体区域接触的下区域、与所述第二半导体区域接触的中区域和与所述第三半导体区域接触的上区域，

[0368] 在与将所述第三电极和所述第一半导体区域连结的第一方向正交的第二方向上，

[0369] 所述上区域的长度、所述中区域的长度及所述下区域的长度依次变短。

[0370] (附注 8) 一种半导体装置，其中，具备：

[0371] 第一导电型的第一半导体区域；

[0372] 第一控制电极，设置在所述第一半导体区域之上；

[0373] 第一电极，设置在所述第一控制电极之上；

[0374] 第二控制电极，设置在所述第一半导体区域之上，具有与所述第一控制电极并列的第一部分和设置在所述第一部分之上且与所述第一电极并列的第二部分；

[0375] 第二导电型的第二半导体区域，设置在所述第一半导体区域之上；

[0376] 第一导电型的第三半导体区域，设置在所述第二半导体区域之上；

[0377] 第一绝缘膜，设置在所述第二半导体区域与所述第二部分之间；

[0378] 第二电极，与所述第三半导体区域、所述第一电极导通；

[0379] 第三电极，与所述第一半导体区域导通；

[0380] 第四半导体区域，设置在所述第三电极与所述第一半导体区域之间，在与将所述

第三电极和所述第一半导体区域连结的第一方向正交的第二方向上,并列配置有第一导电型的第一半导体部分和第二导电型的第二半导体部分。

[0381] (附注 9) 如附注 1 ~ 7 中任一项所述的半导体装置,其中,

[0382] 还具备:

[0383] 第一导电型的第五半导体区域,设置在所述第一半导体区域与所述第四半导体区域之间,与所述第一半导体区域相比杂质浓度更高;以及

[0384] 第一导电型的第六半导体区域,设置在所述第五半导体区域与所述第四半导体区域之间,与所述第五半导体区域相比杂质浓度更低,

[0385] 所述第二半导体部分与所述第六半导体区域的接合部比所述第一半导体部分与所述第六半导体区域的接合部更靠上侧。

[0386] (附注 10) 如附注 1 ~ 9 中任一项所述的半导体装置,其中,

[0387] 由所述第一控制电极和所述第二控制电极的所述第一部分夹着的所述第一半导体区域的宽度比由所述第一电极和所述第二控制电极的第二部分夹着的所述第二半导体区域的宽度窄。

[0388] (附注 11) 一种半导体装置,其中,具备:

[0389] 第一半导体区域,具有第一导电型的第一区域和第二导电型的第二区域,所述第一区域与所述第二区域交错地排列;

[0390] 第二导电型的多个第二半导体区域,设置在所述第一半导体区域之上,分别与所述第一区域、所述第二区域接触;

[0391] 第二导电型的接触区域,是设置所述多个第二半导体区域的每个之上的第三半导体区域及接触区域,与杂质浓度比所述第一区域高的第一导电型的第三半导体区域及所述第二半导体区域相比,杂质浓度更高;

[0392] 控制电极,经由绝缘膜,与所述第一半导体区域、所述多个第二半导体区域的每个及所述第三半导体区域接触;

[0393] 第二电极,与所述第三半导体区域及所述接触区域导通;

[0394] 第三电极,与所述第一半导体区域导通;以及

[0395] 绝缘层,设置在与所述多个第二半导体区域的至少 1 个接触的所述接触区域与所述第二电极之间。

[0396] (附注 12) 如附注 11 所述的半导体装置,其中,

[0397] 还具备:

[0398] 第二导电型的第四半导体区域,设置在所述第三电极与所述第一半导体区域之间。

[0399] (附注 13) 如附注 12 所述的半导体装置,其中,

[0400] 还具备:

[0401] 第七半导体区域,设置在所述第三电极与所述第一半导体区域之间,

[0402] 所述第七半导体区域在与将所述第三电极和所述第一半导体区域连结的第一方向正交的第二方向上,并列配置有第一导电型的第一半导体部分和第二导电型的第二半导体部分。

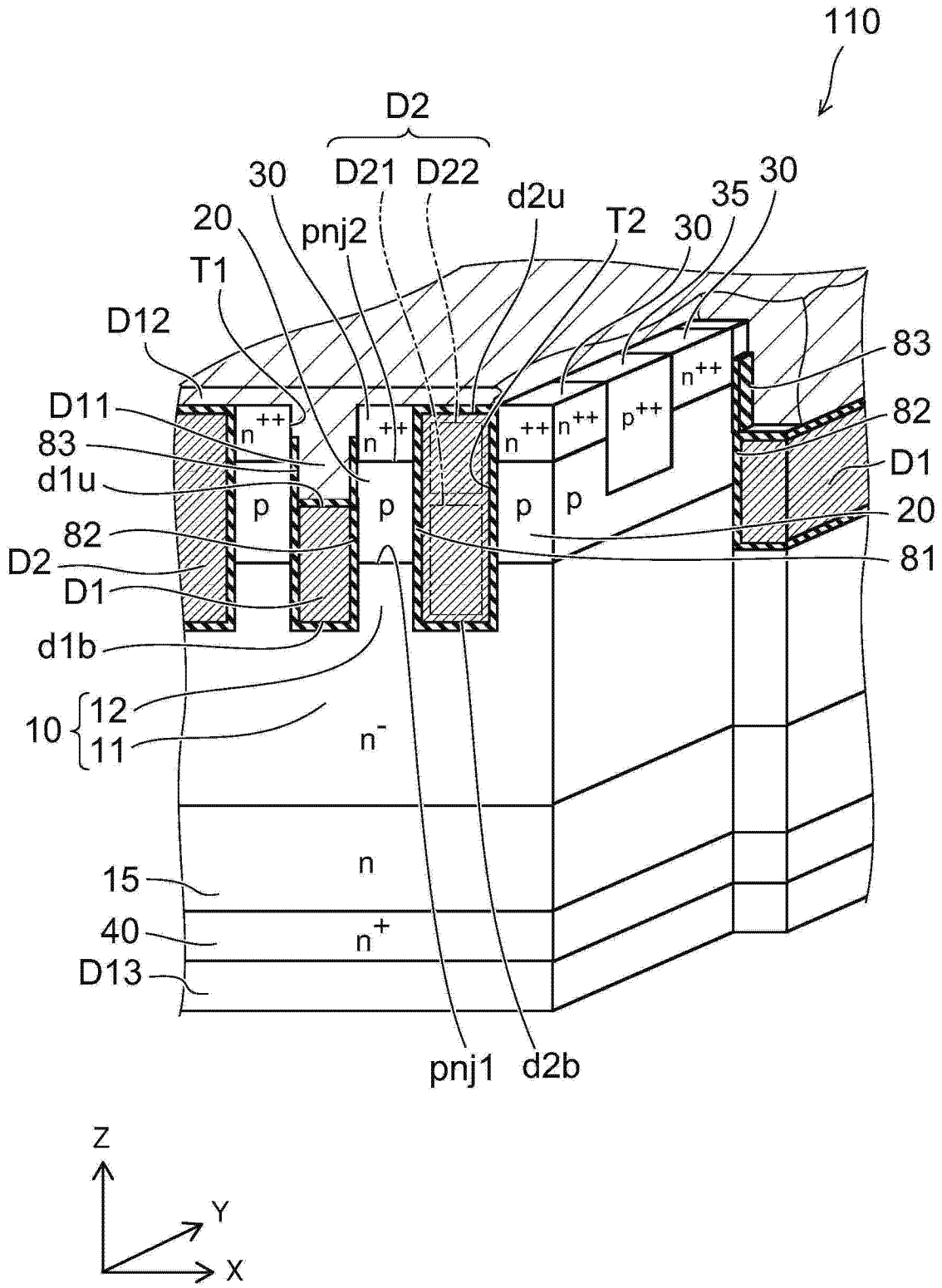


图 1

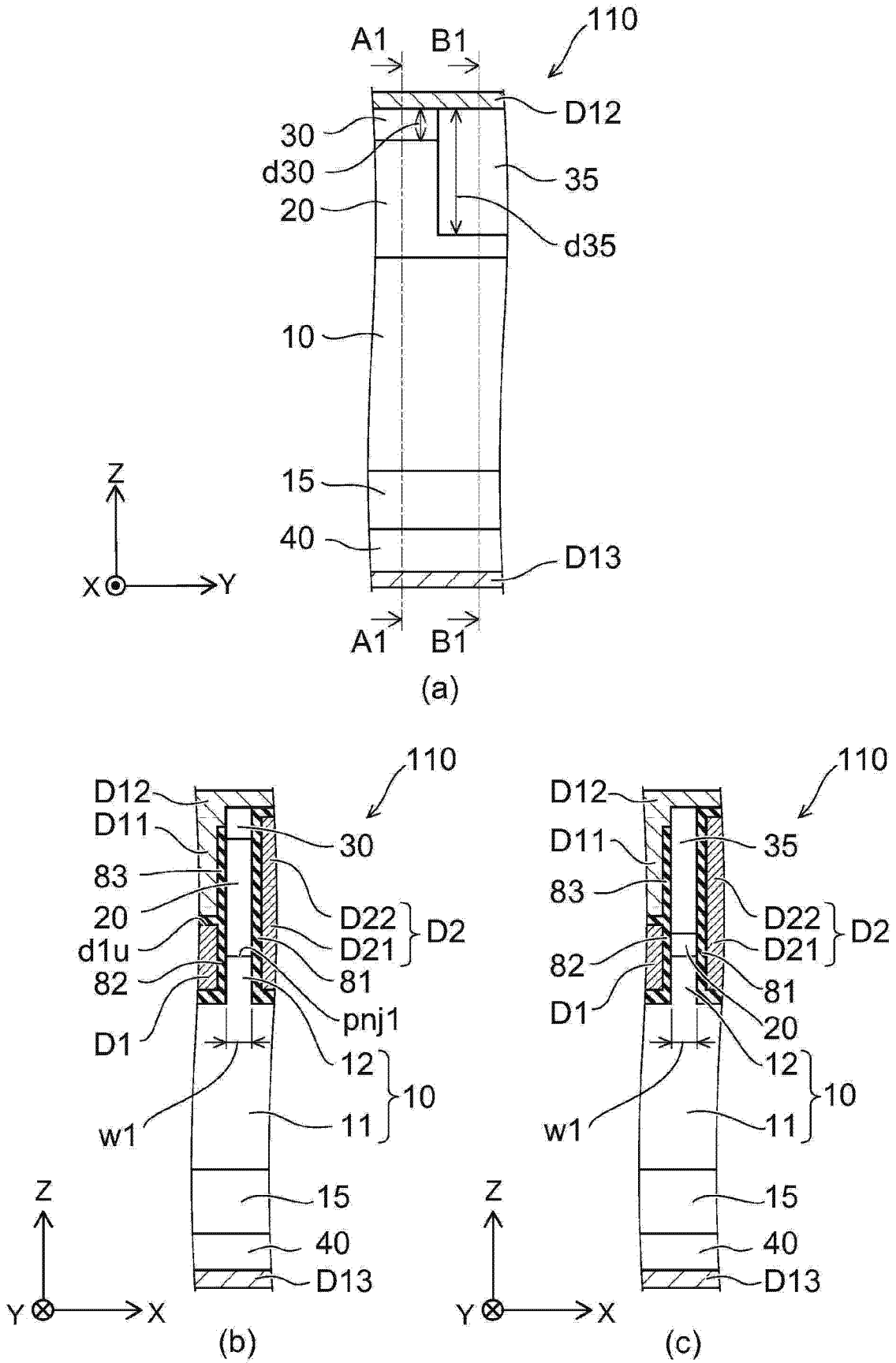


图 2

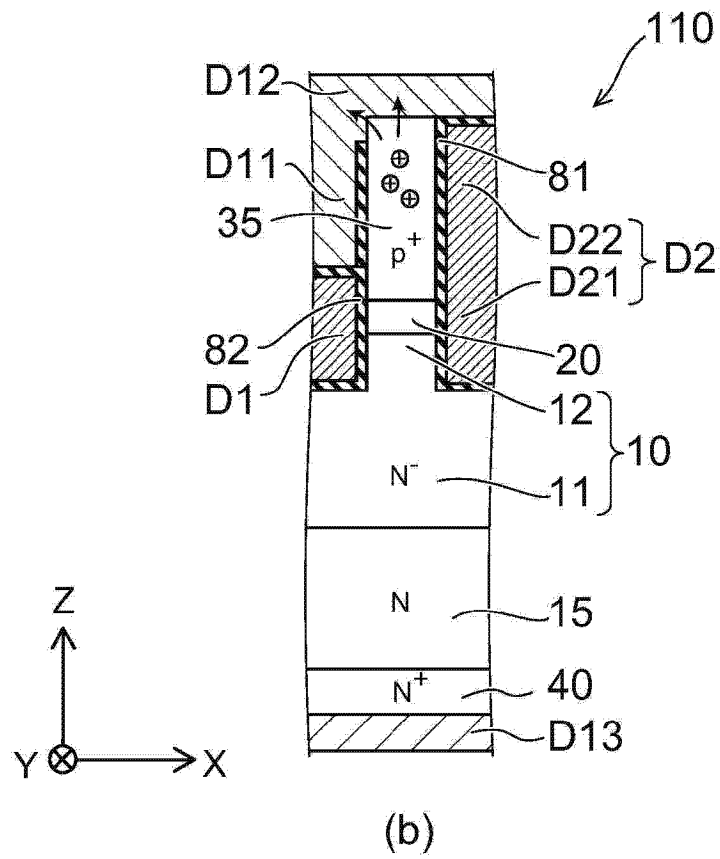
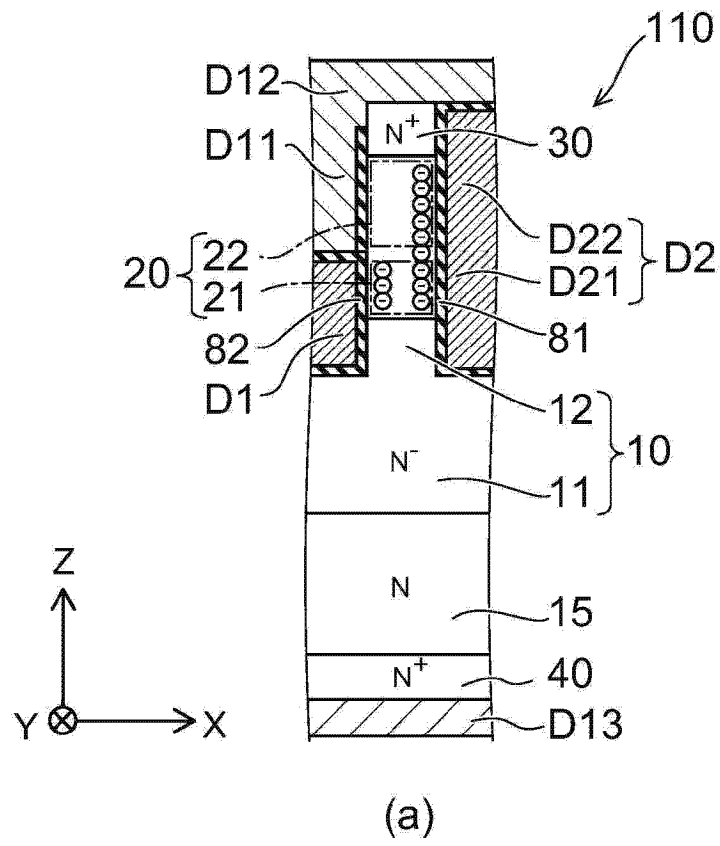


图 3

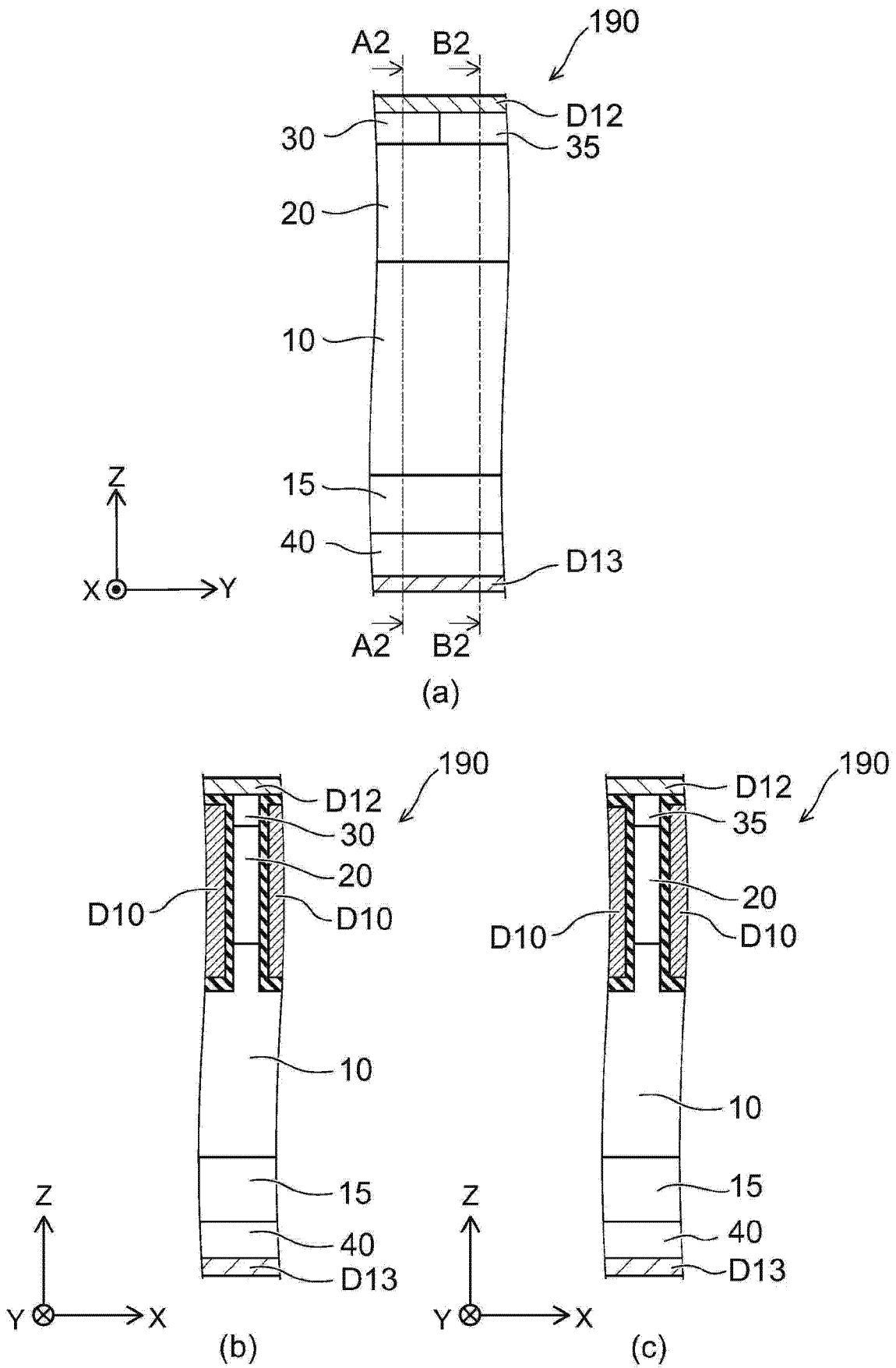


图 4

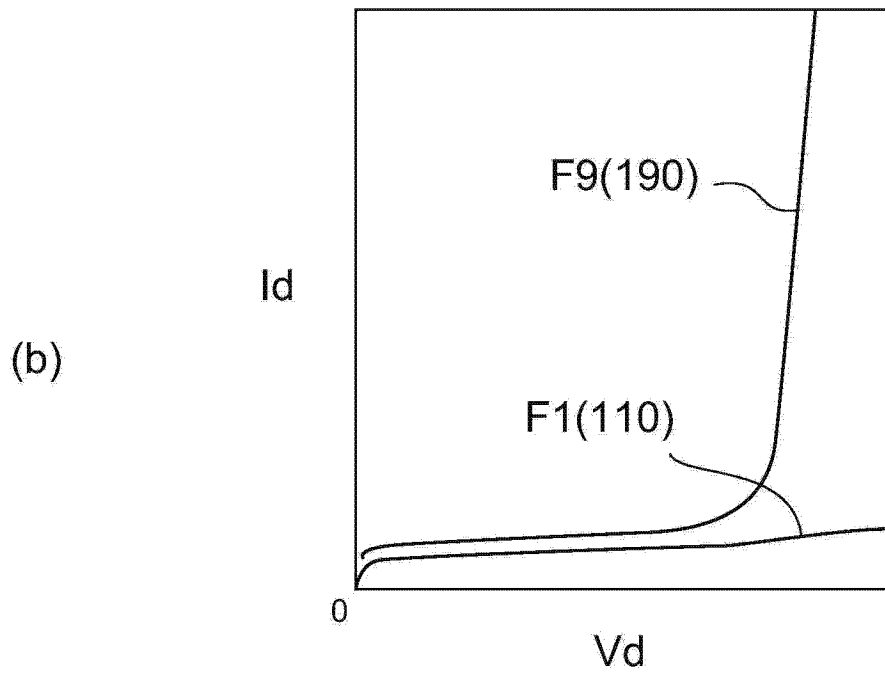
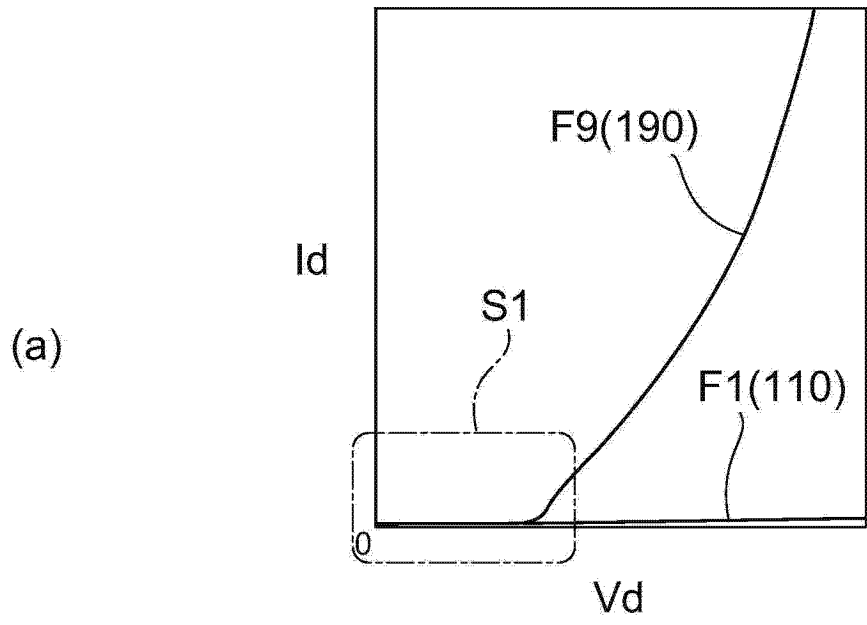


图 5

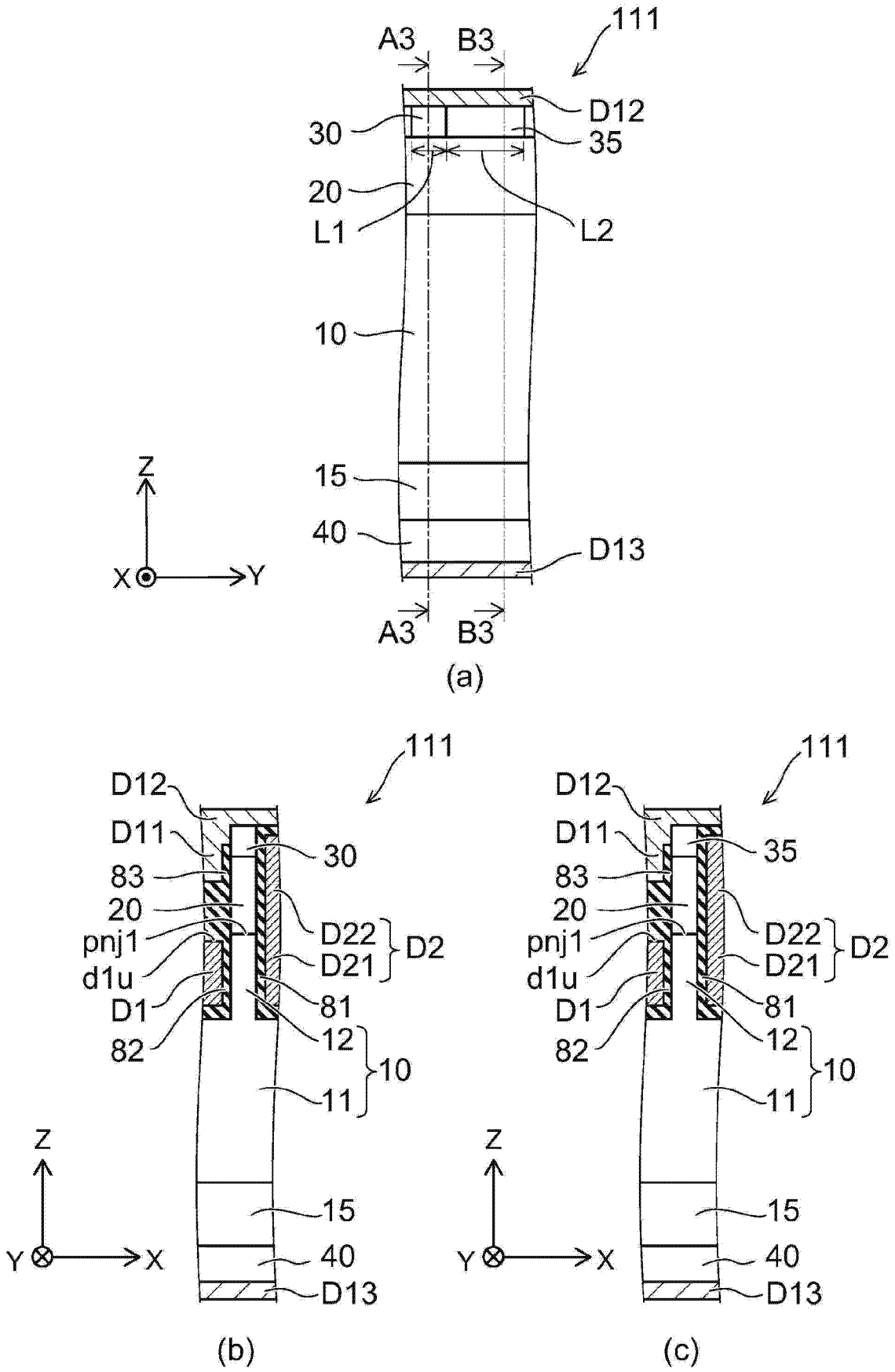


图 6

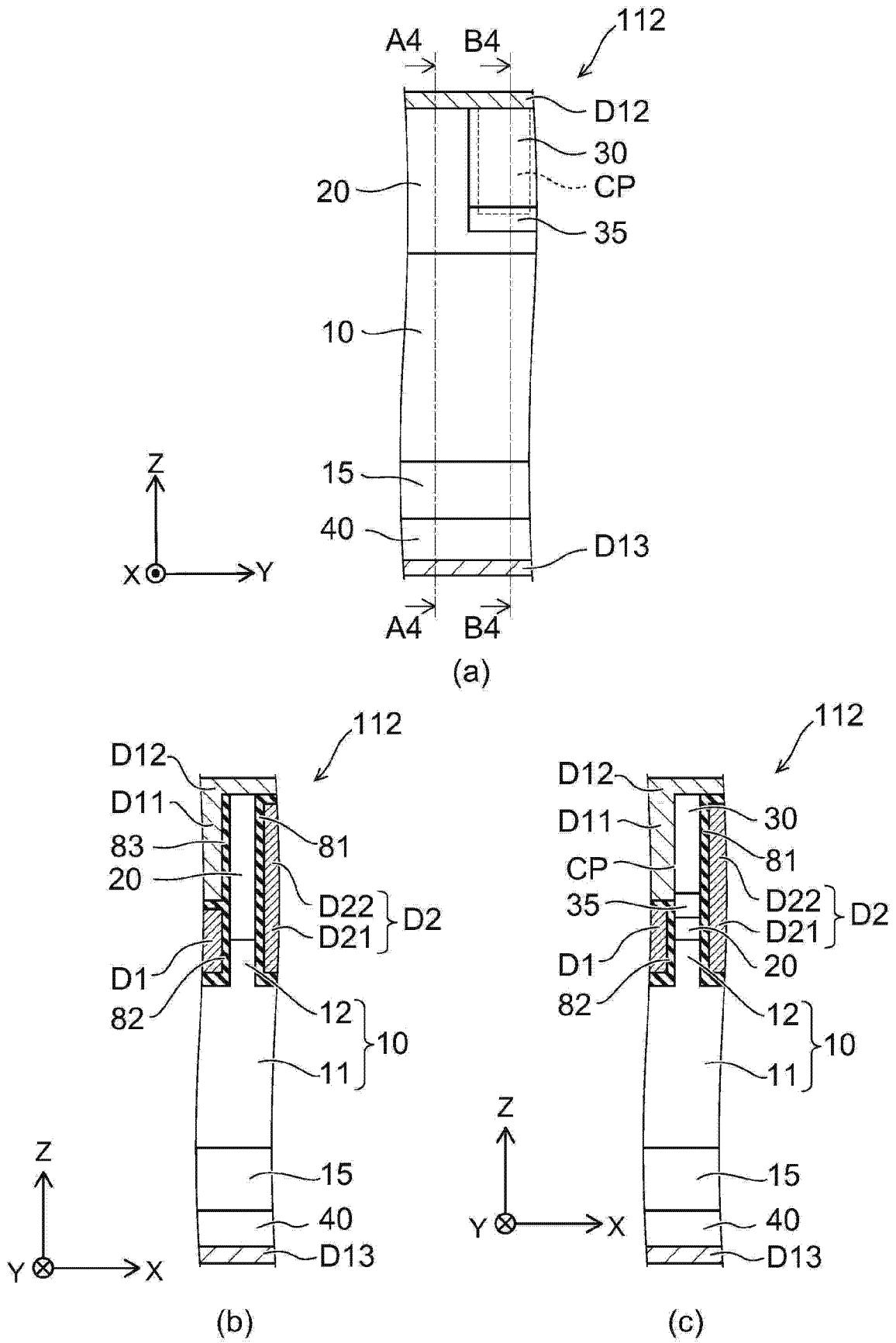


图 7

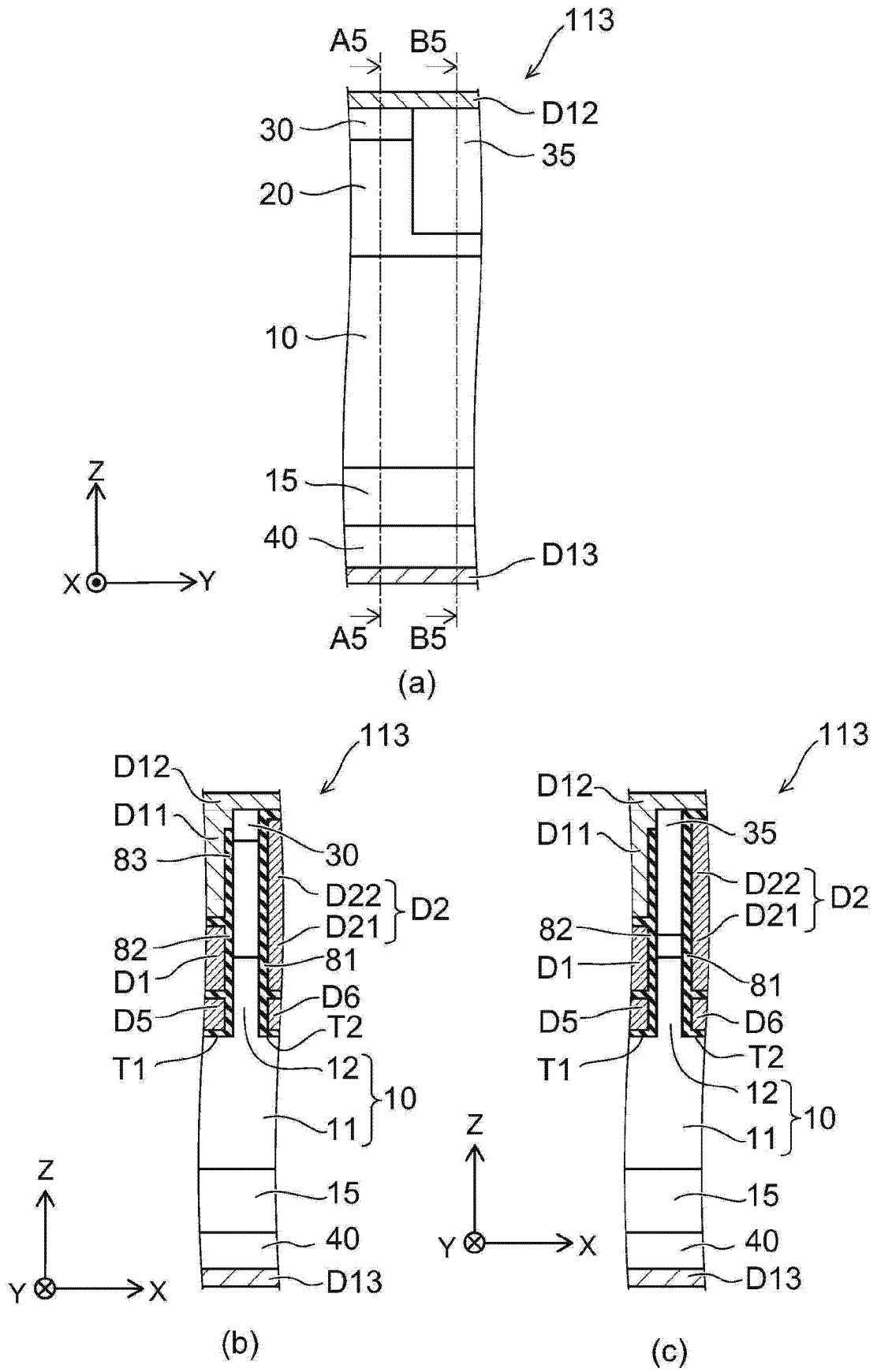


图 8

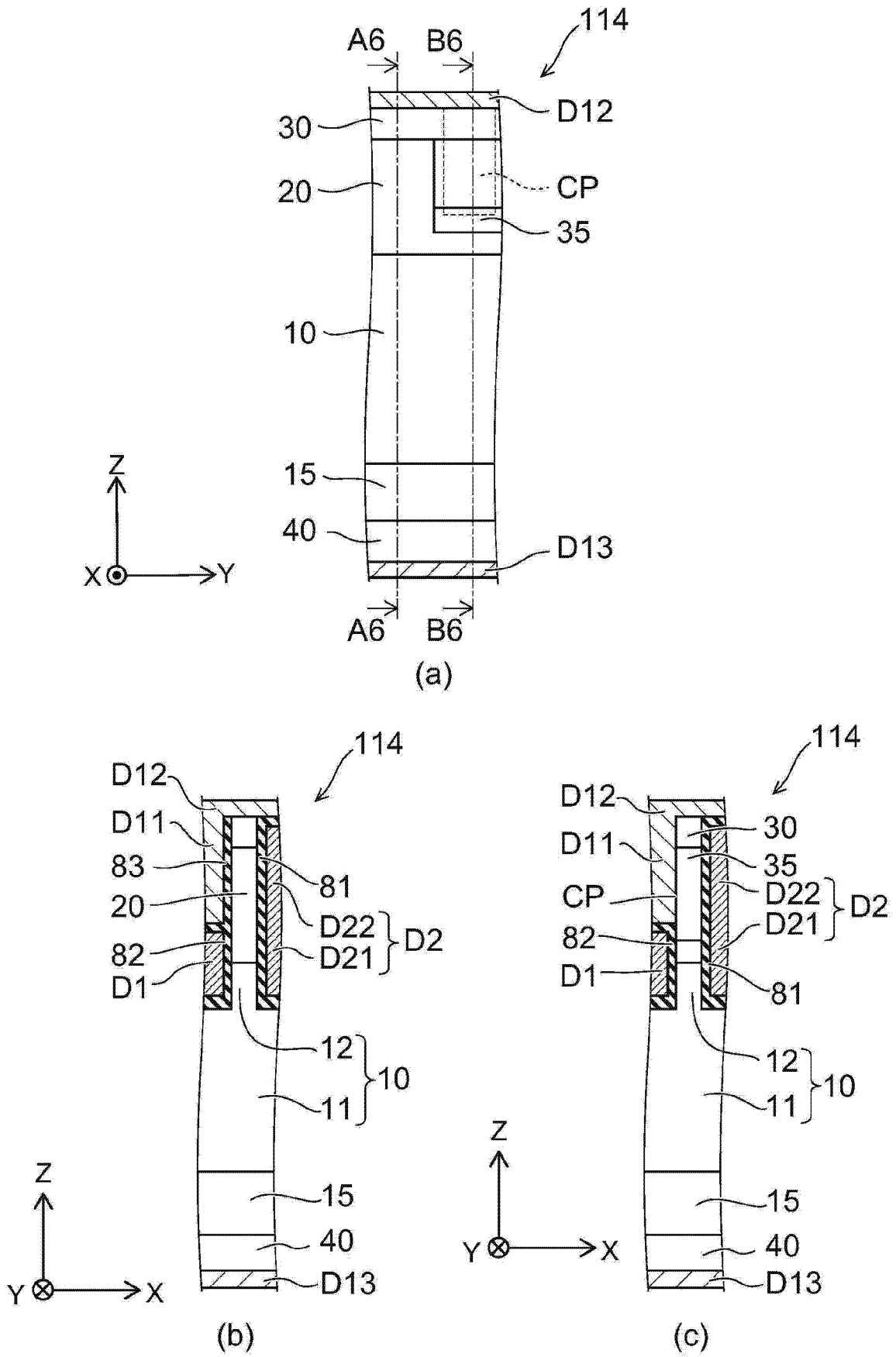


图 9

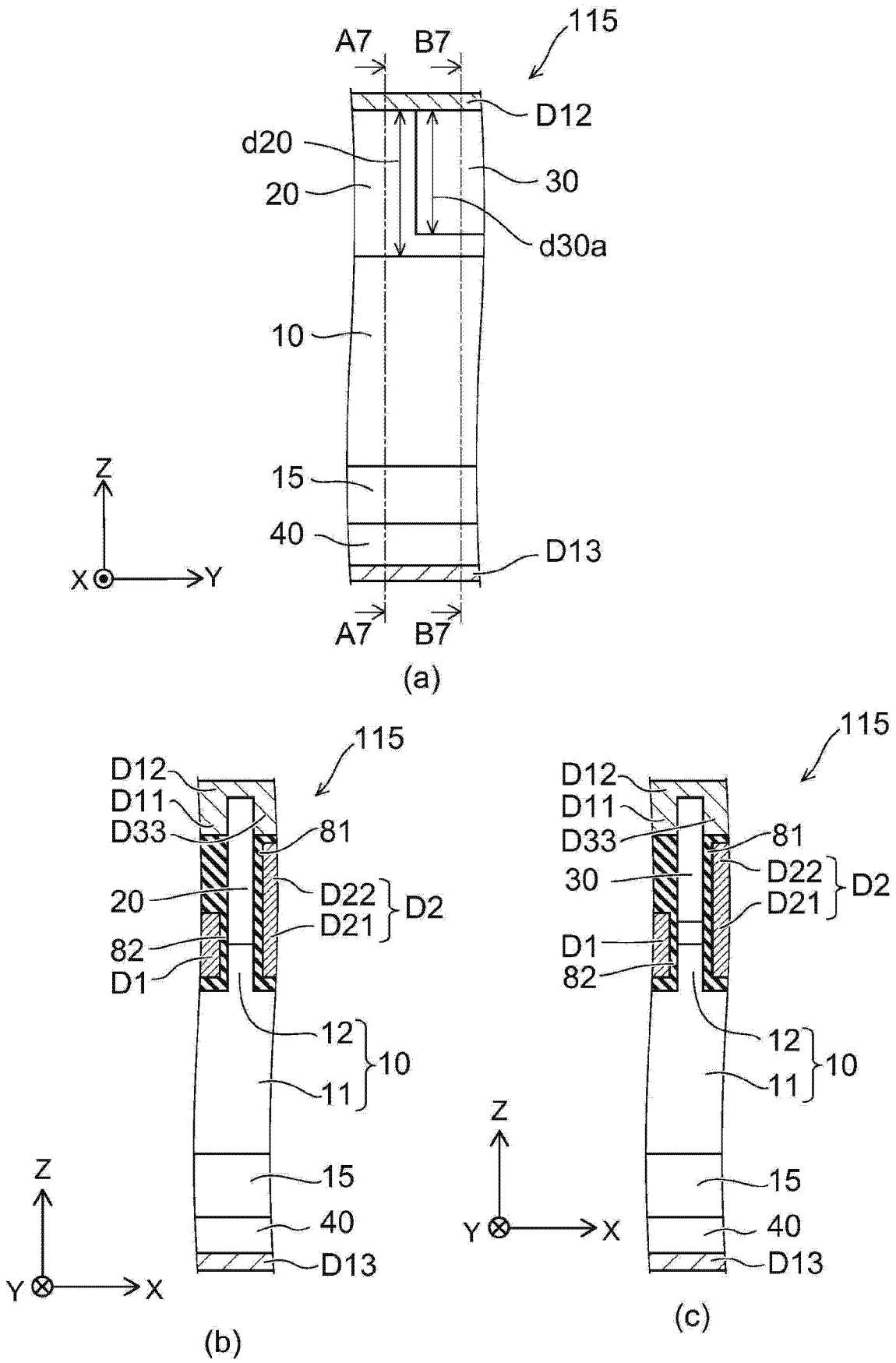


图 10

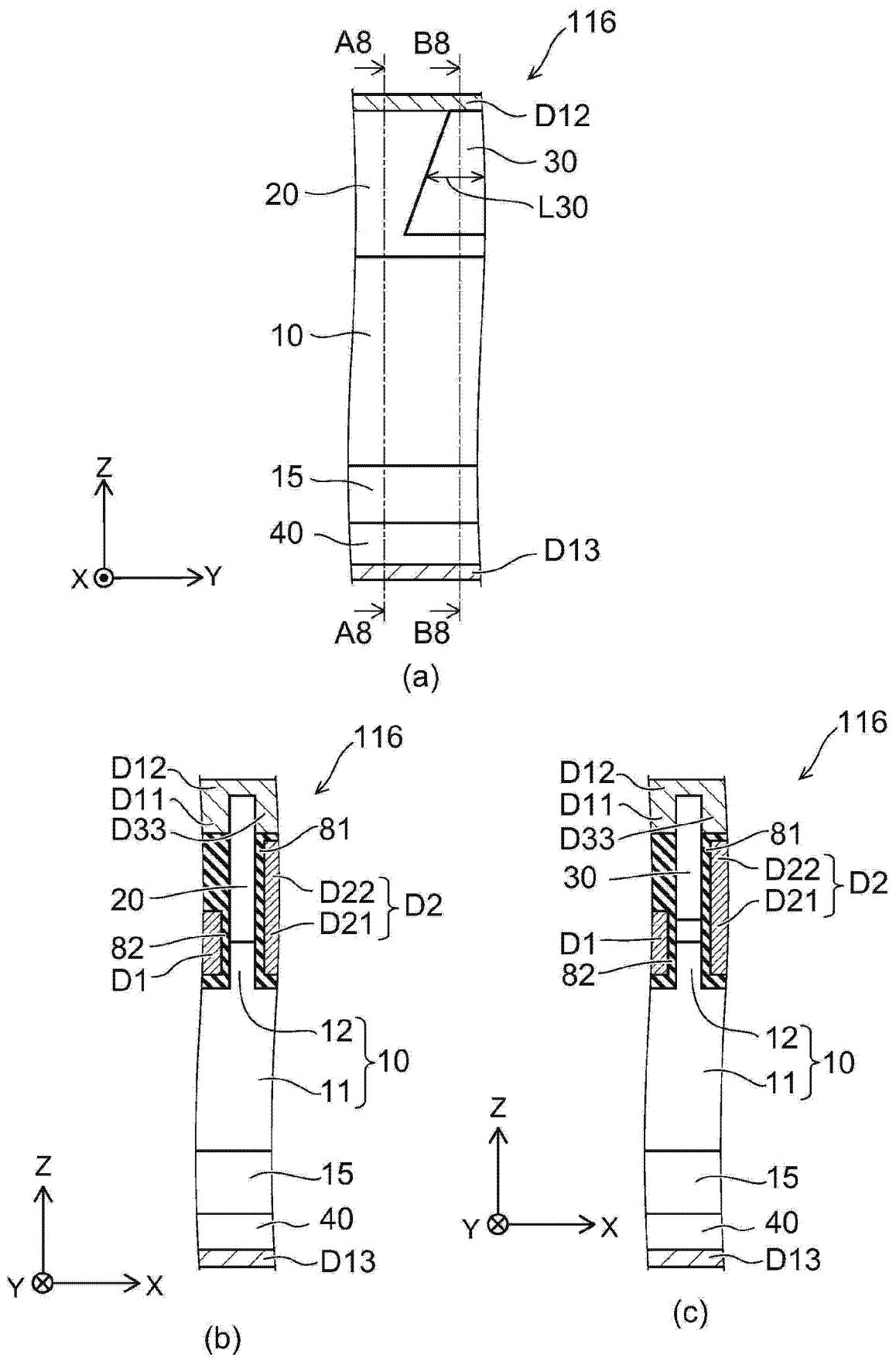


图 11

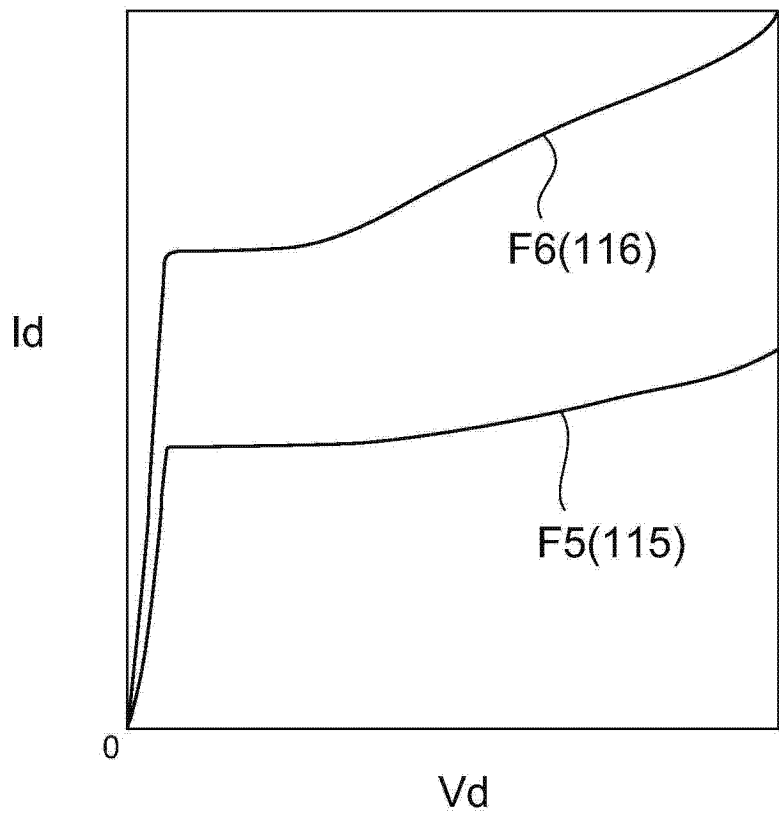


图 12

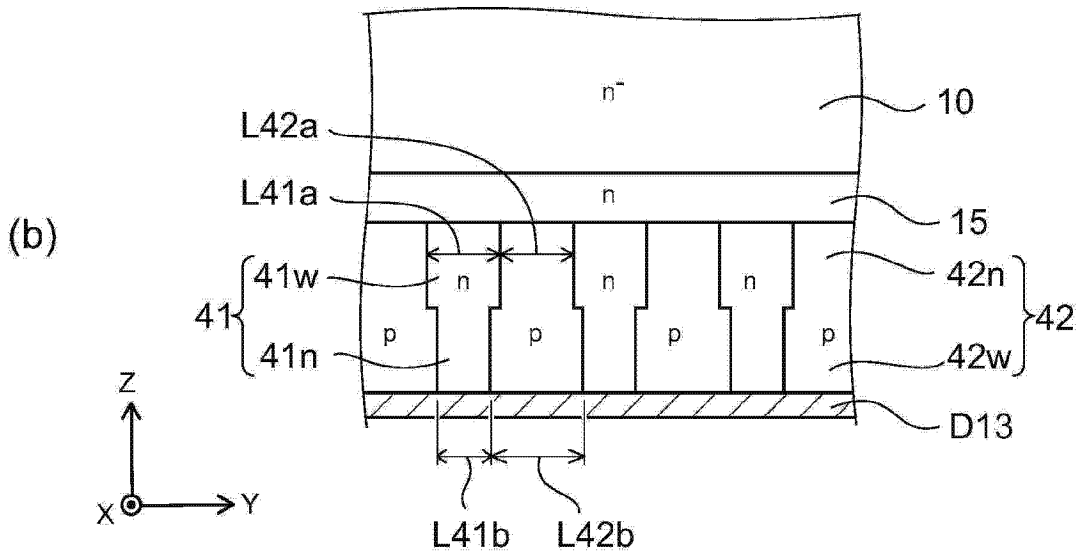
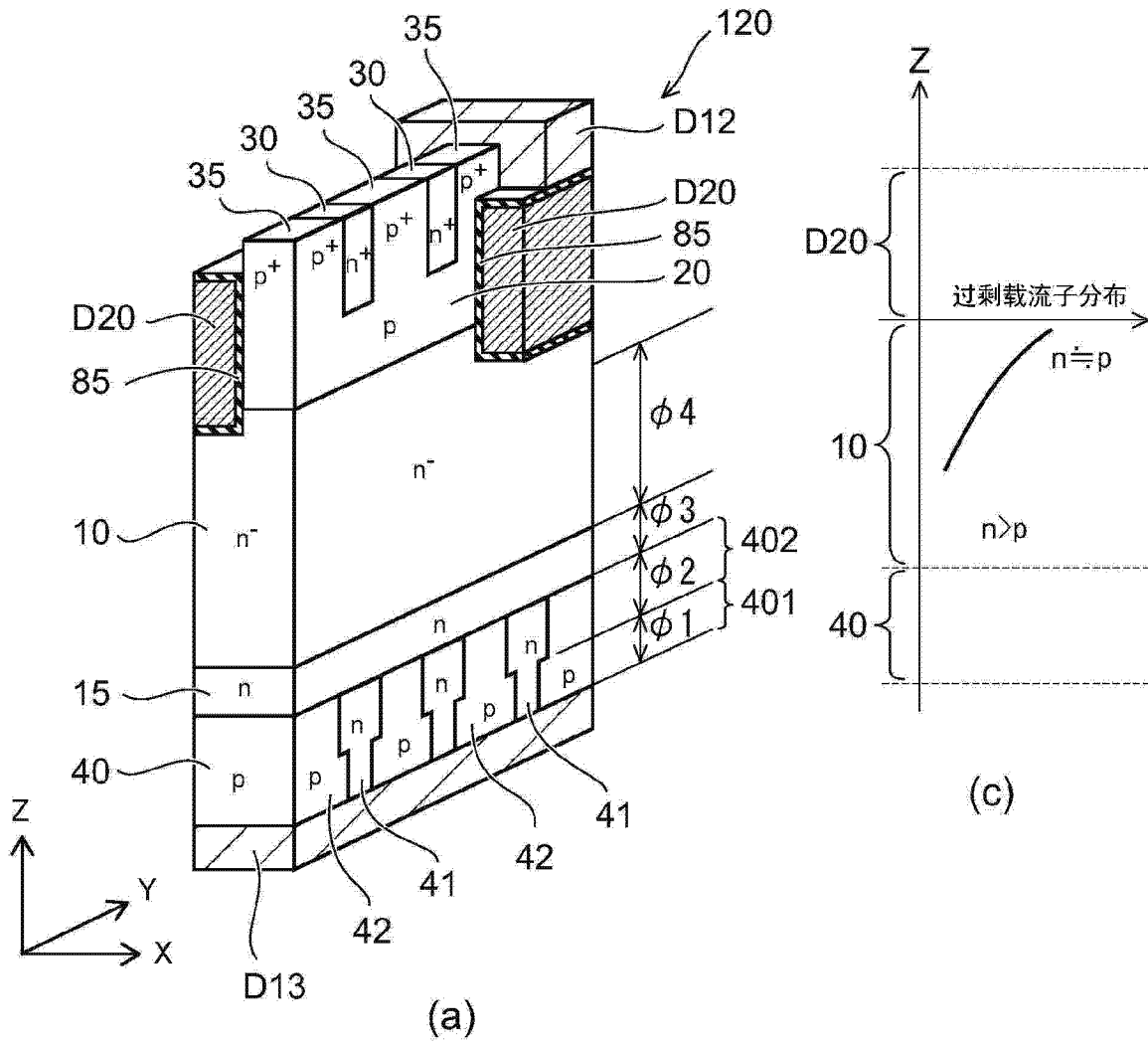


图 13

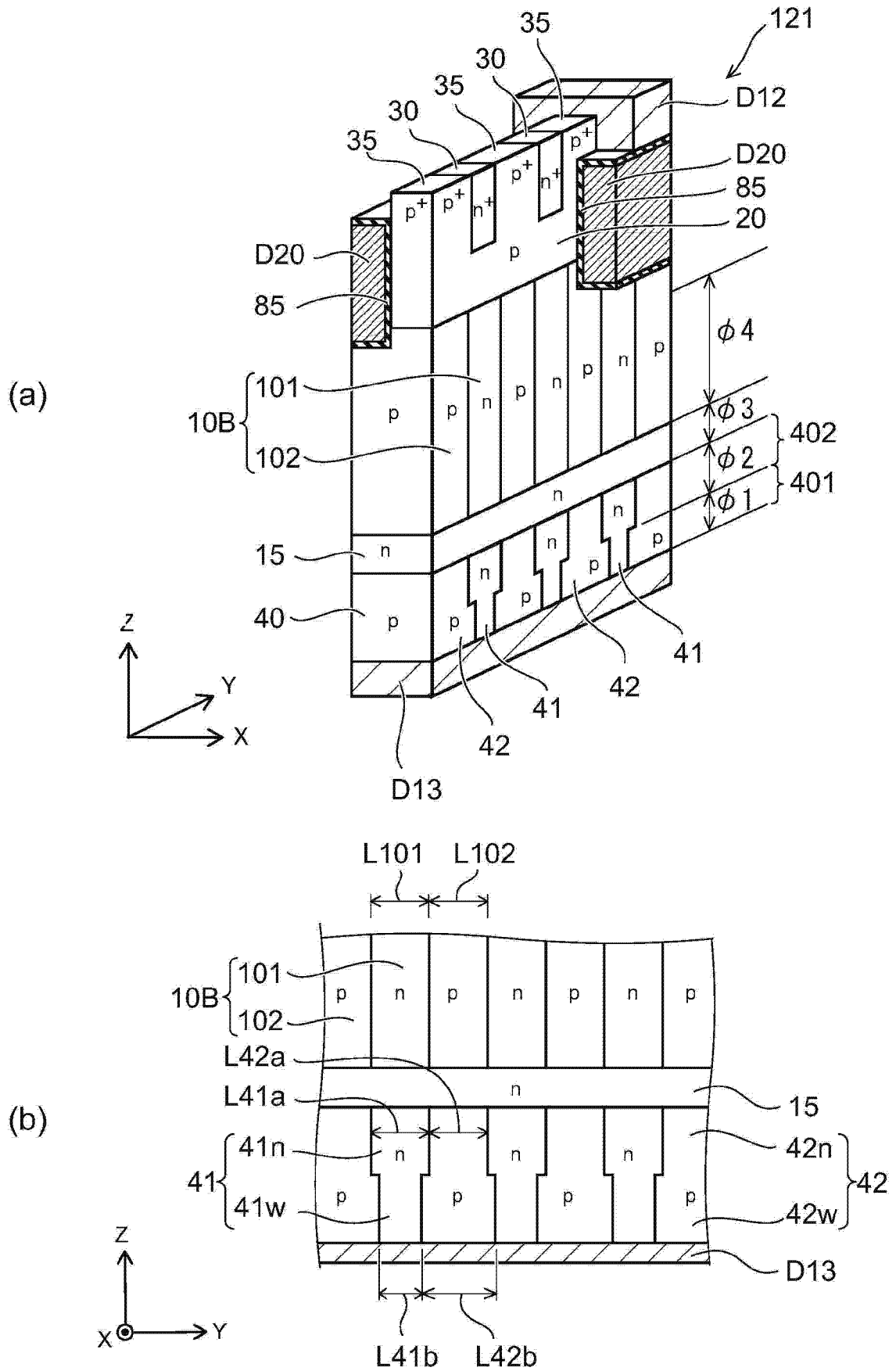


图 14

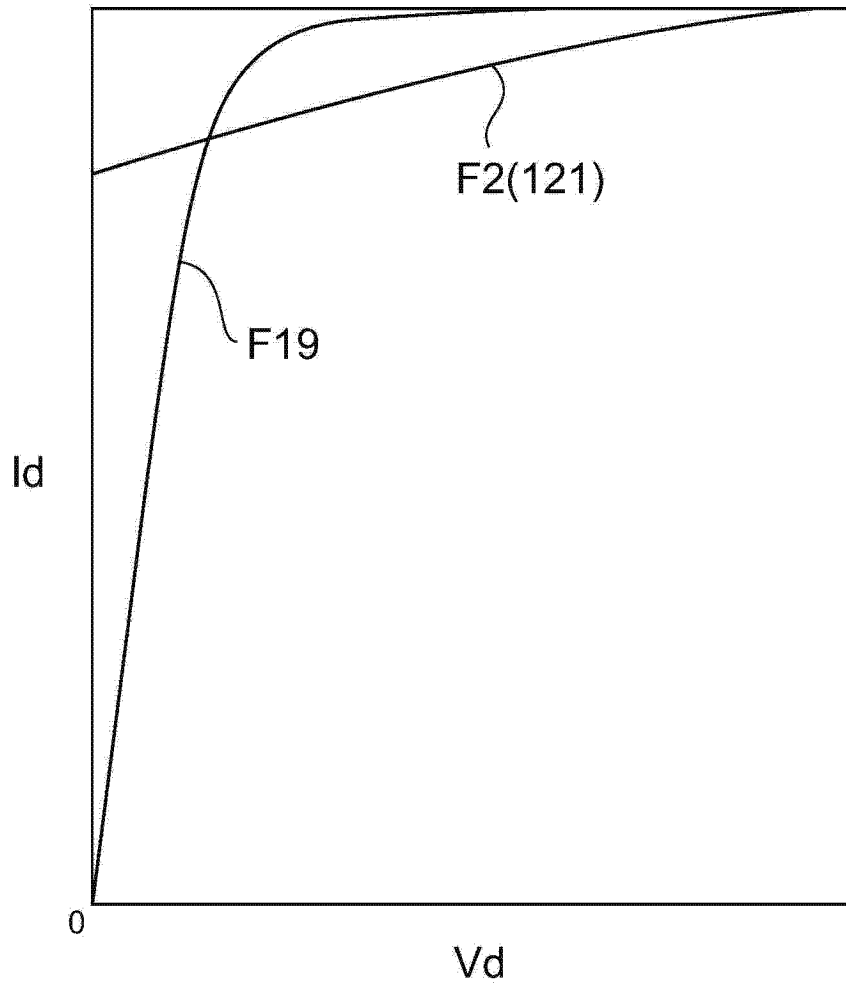


图 15

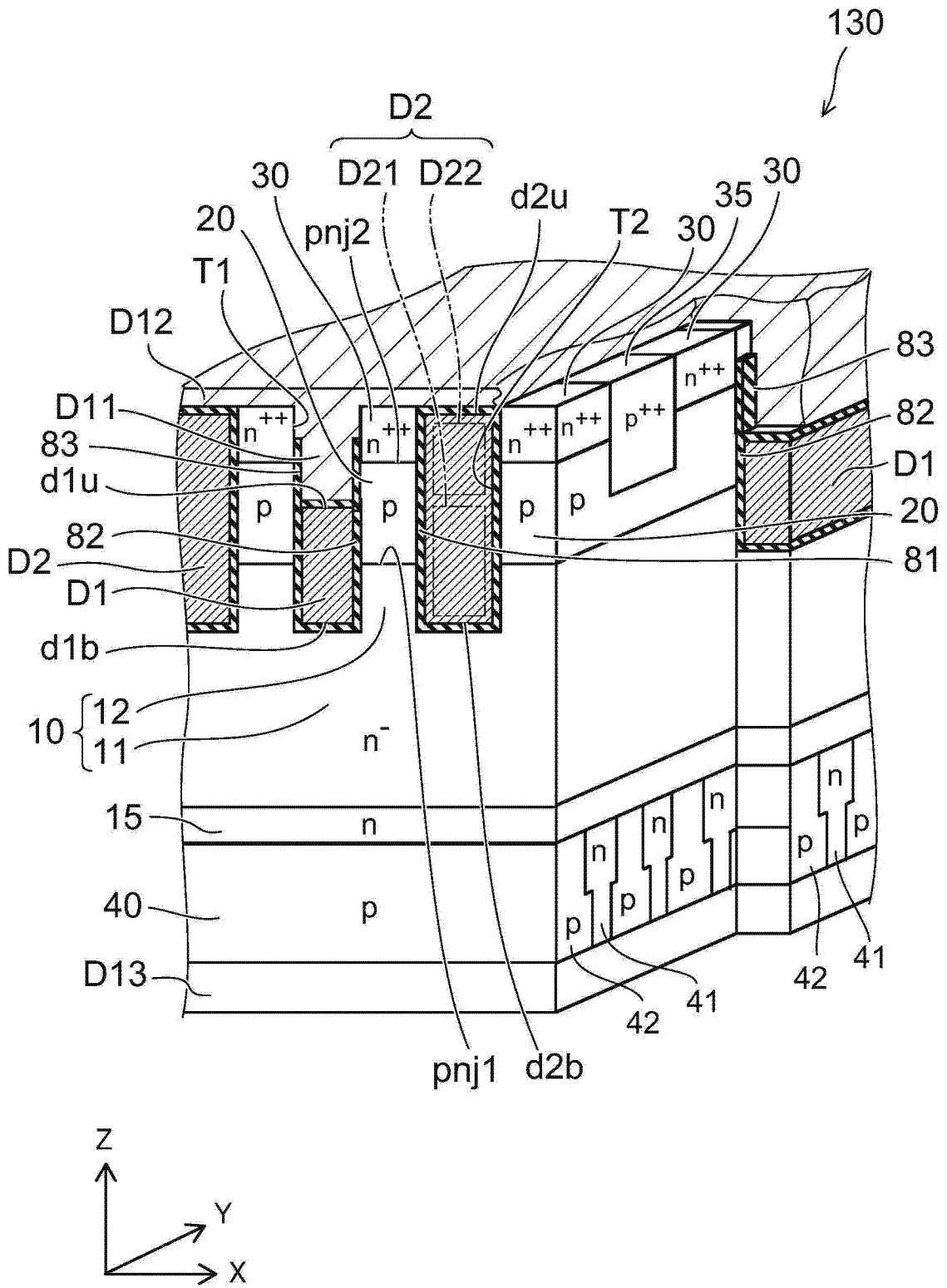


图 16

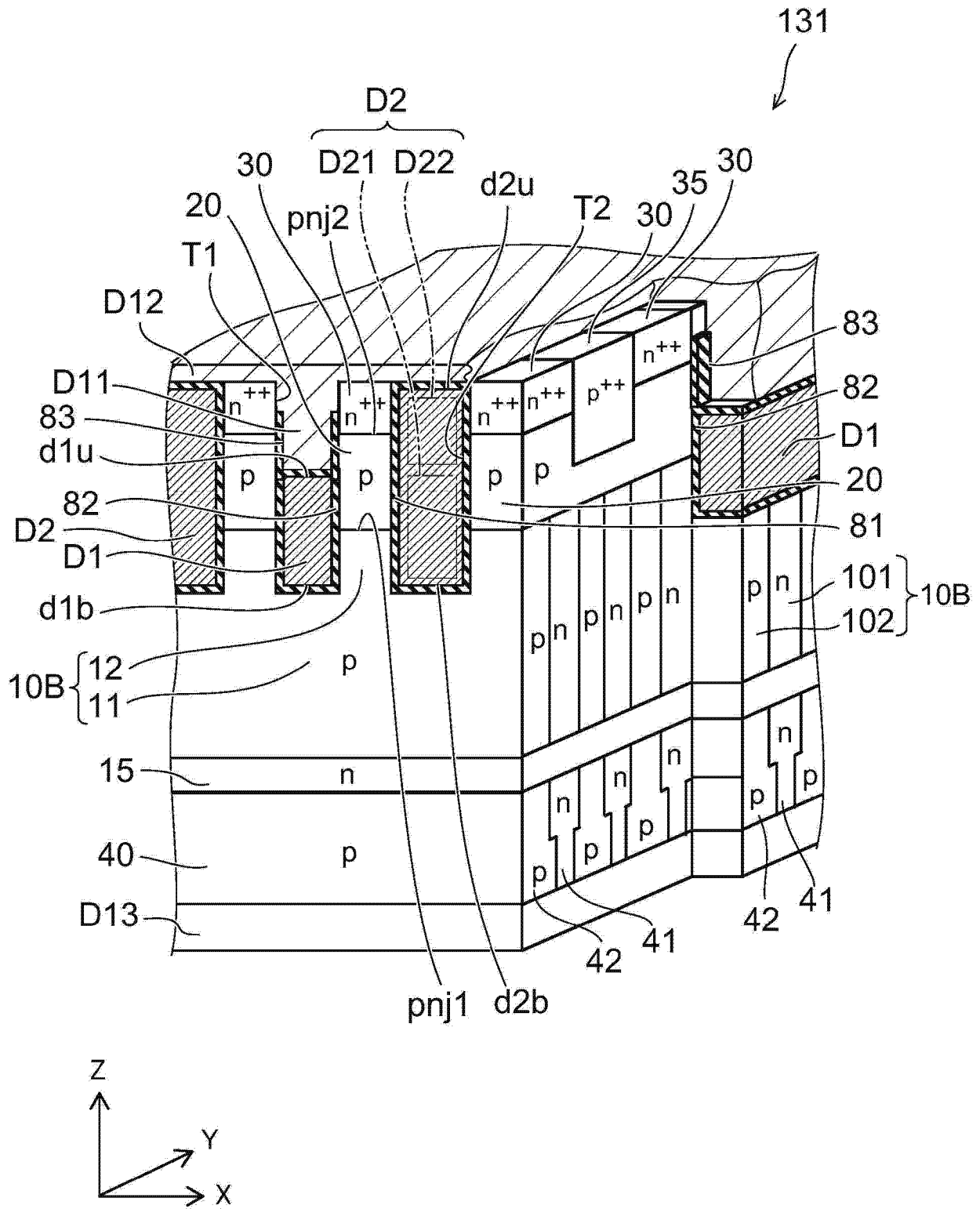


图 17

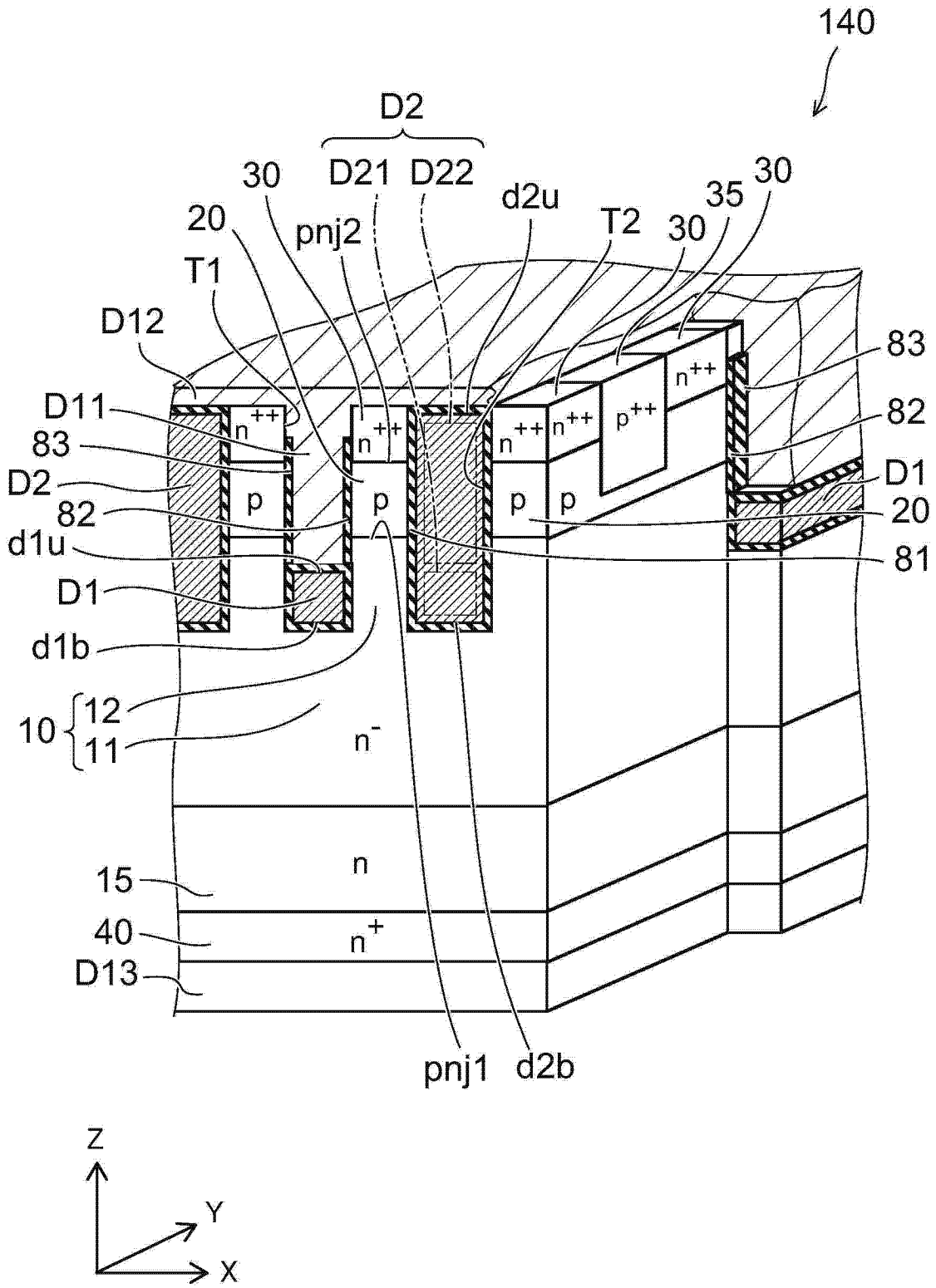


图 18

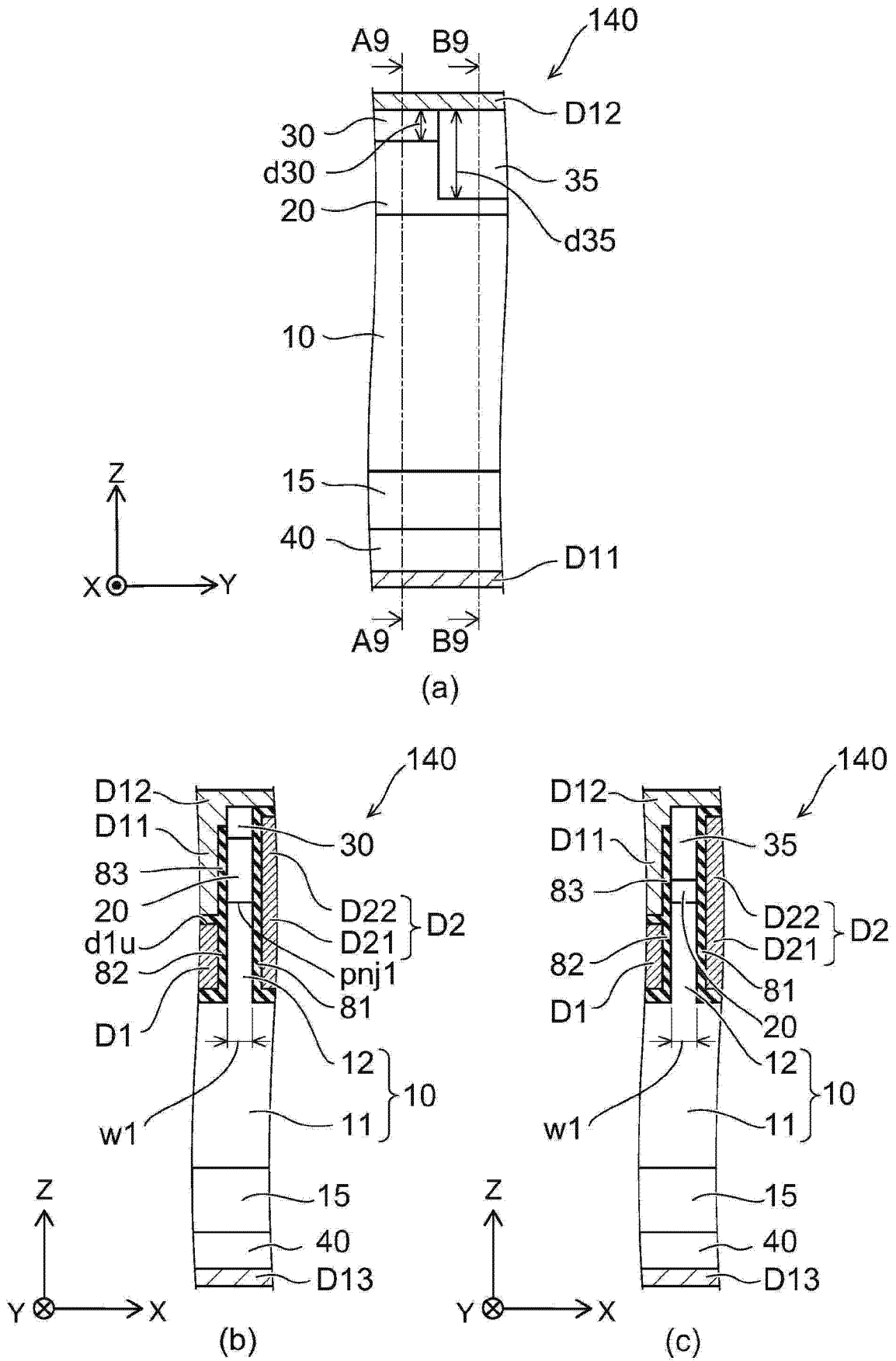


图 19

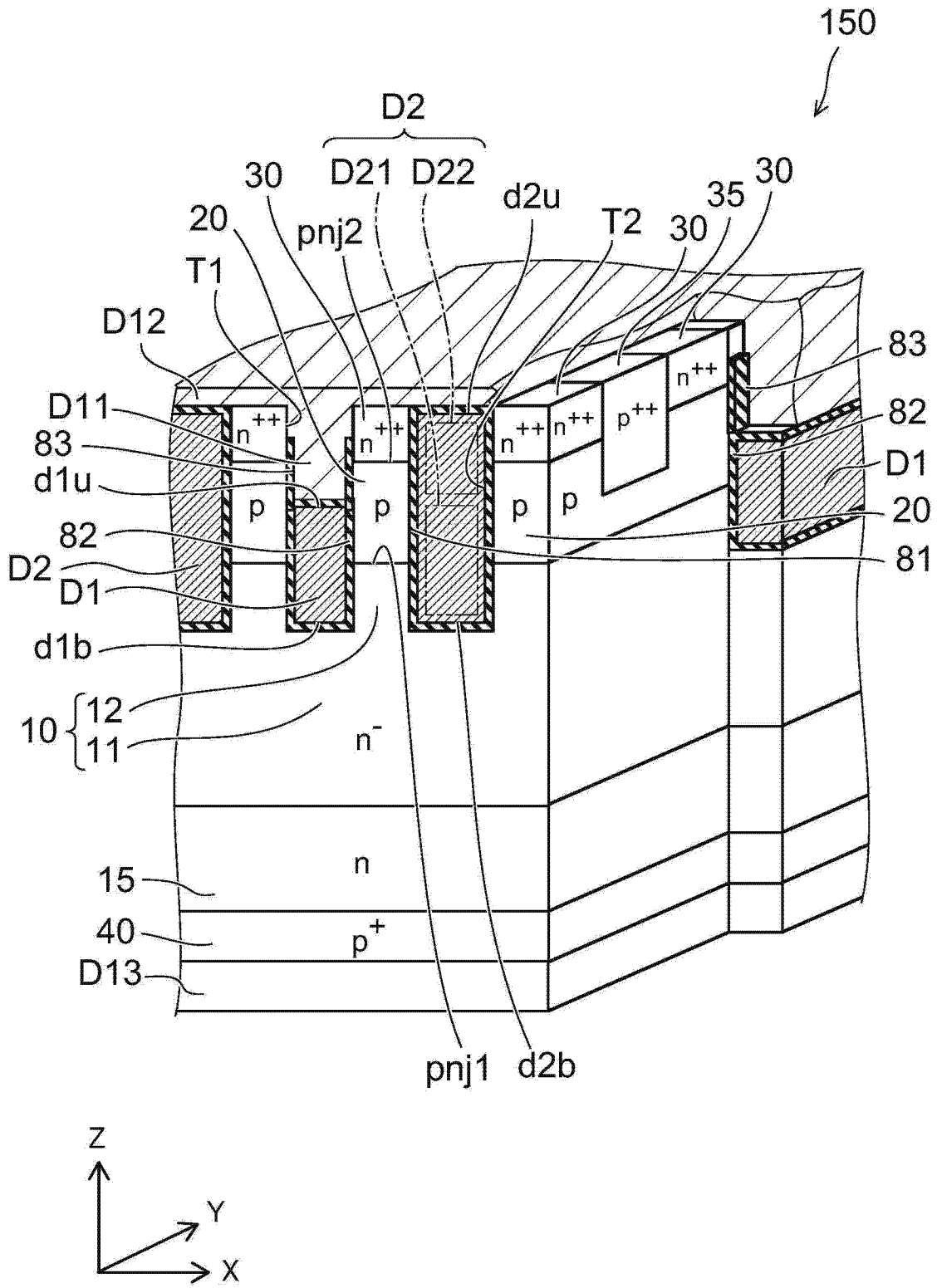


图 20

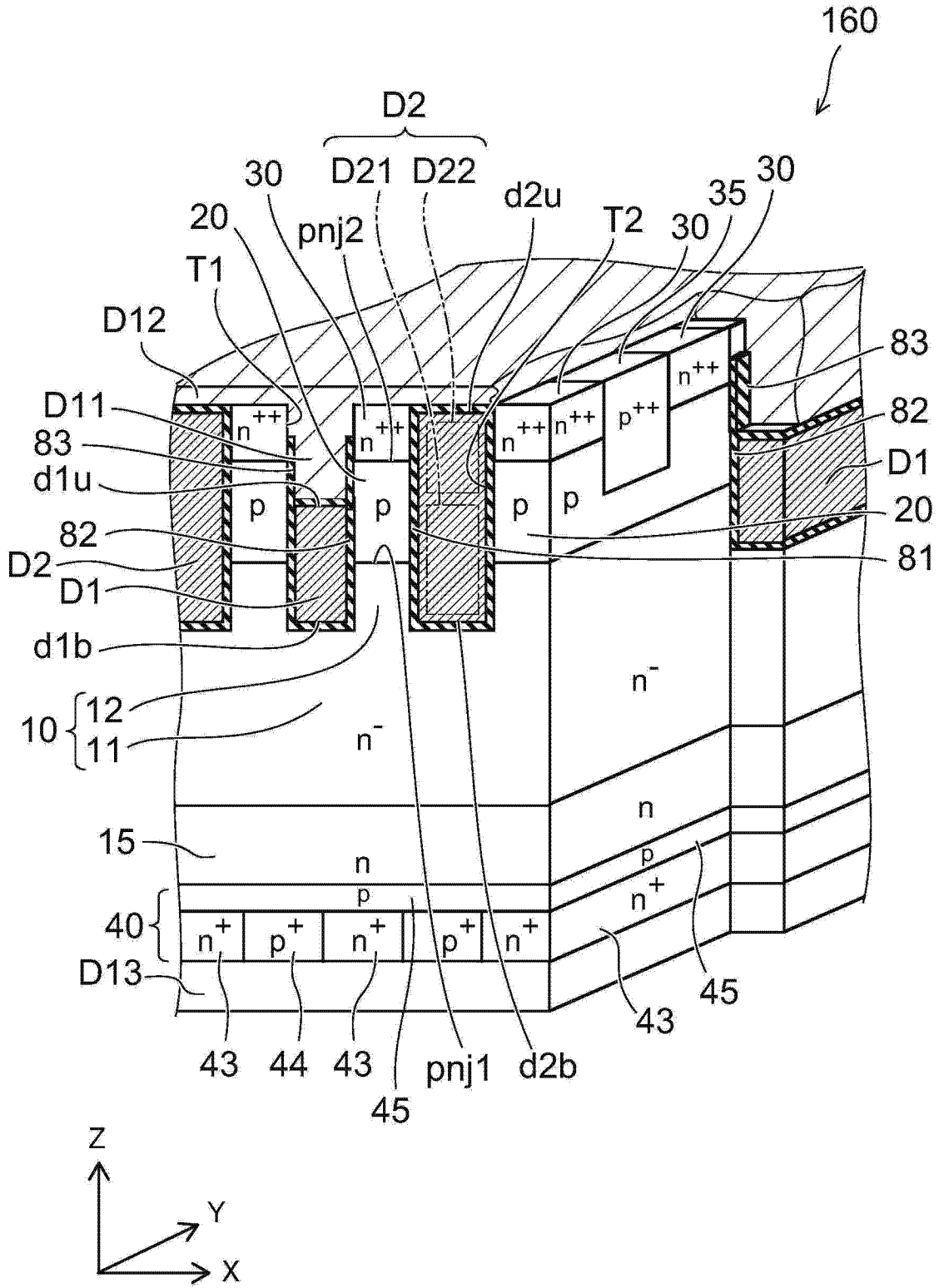


图 21

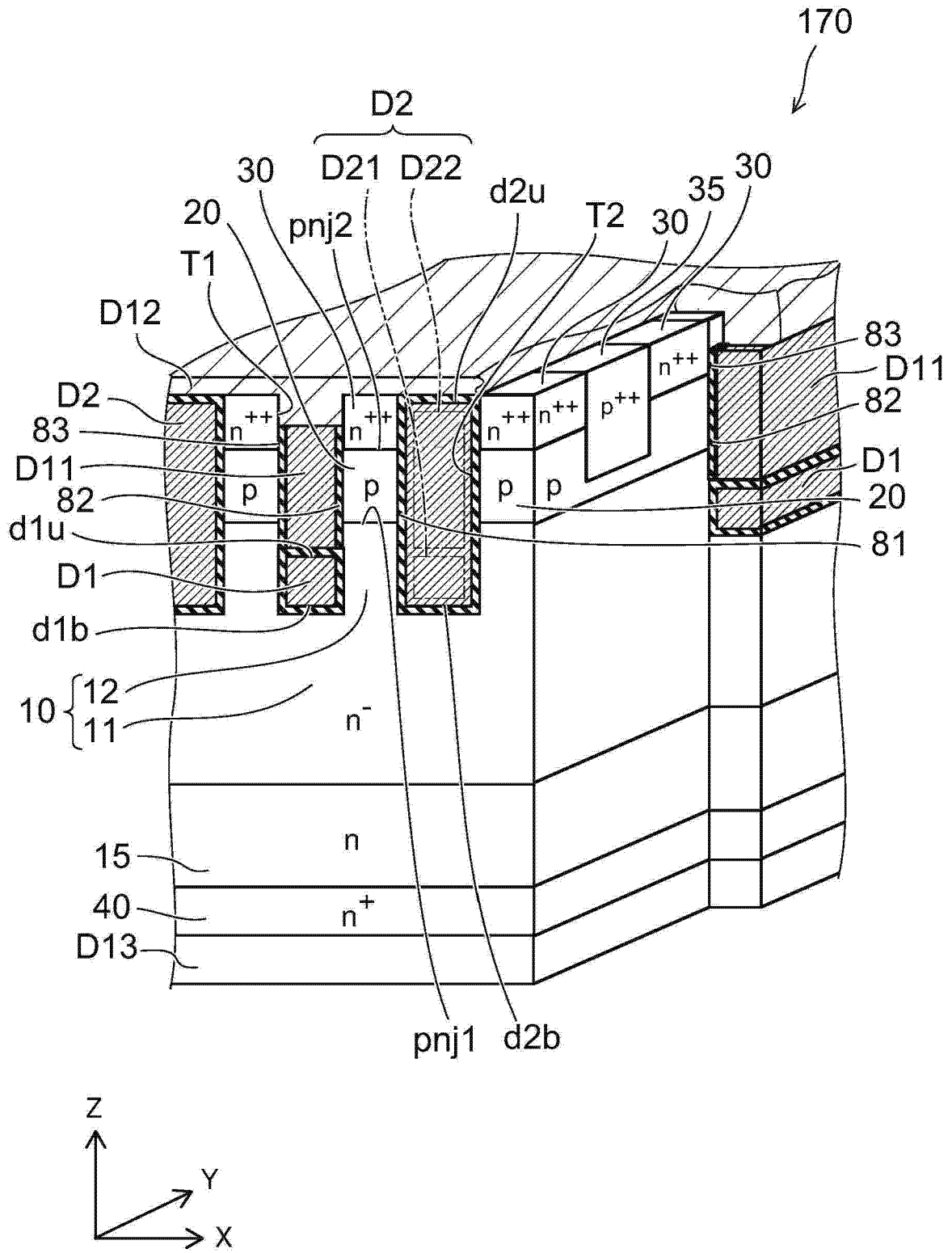


图 22

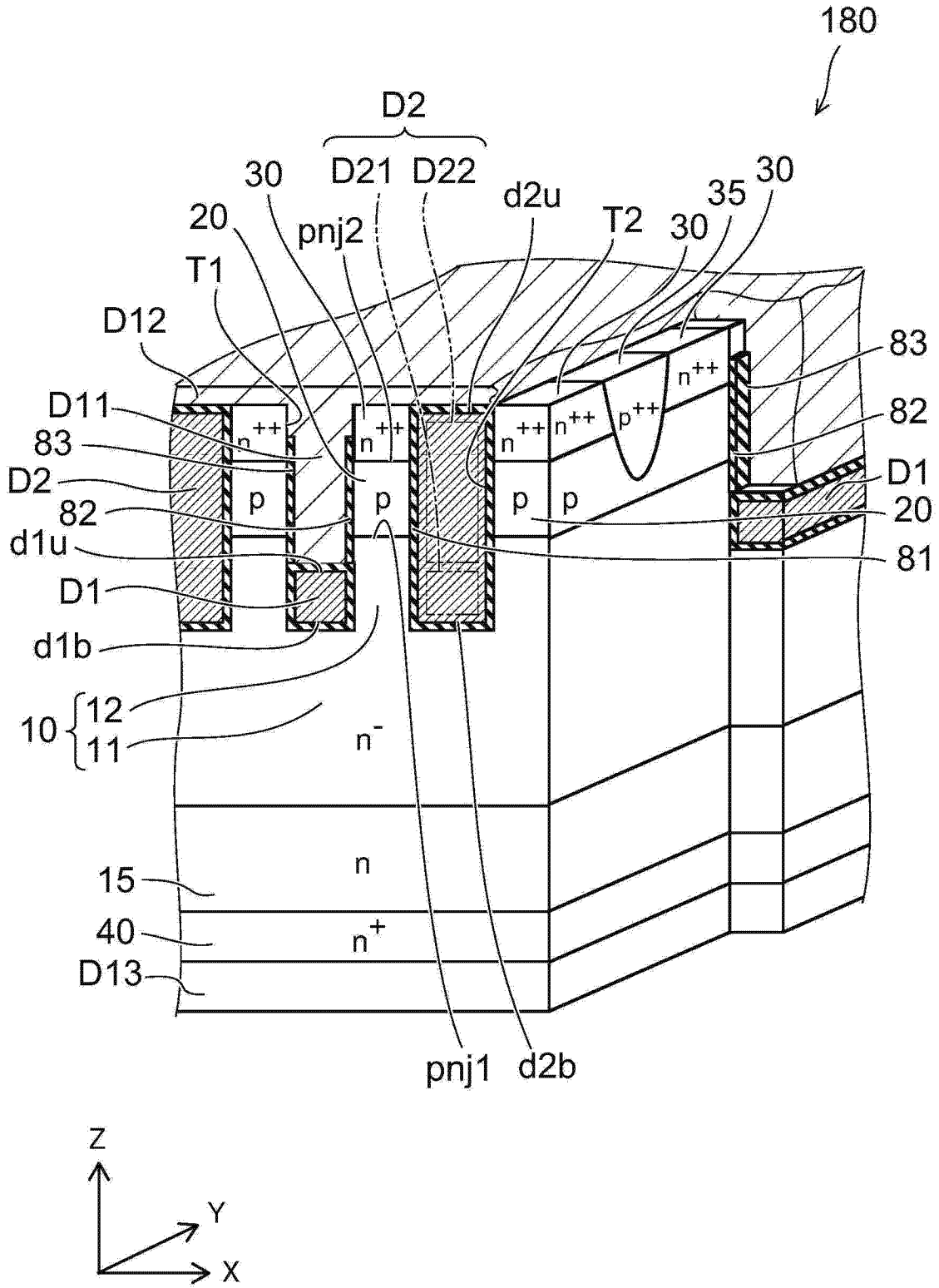


图 23

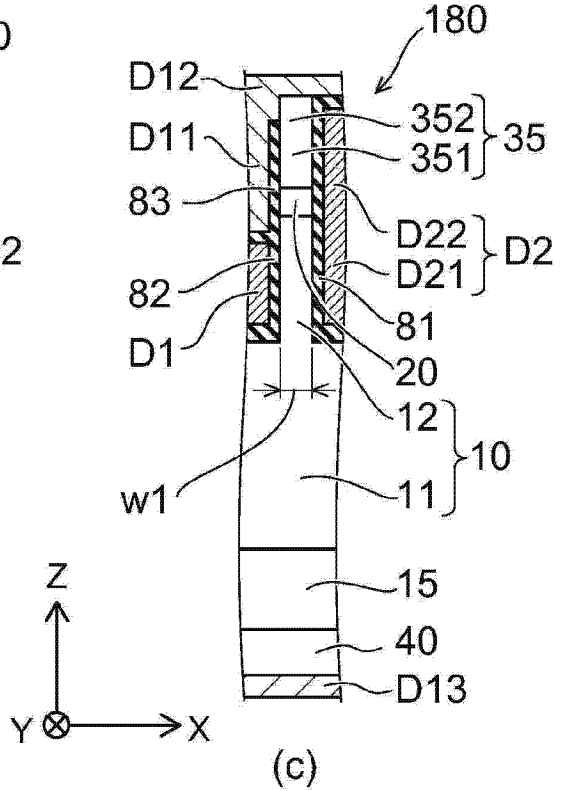
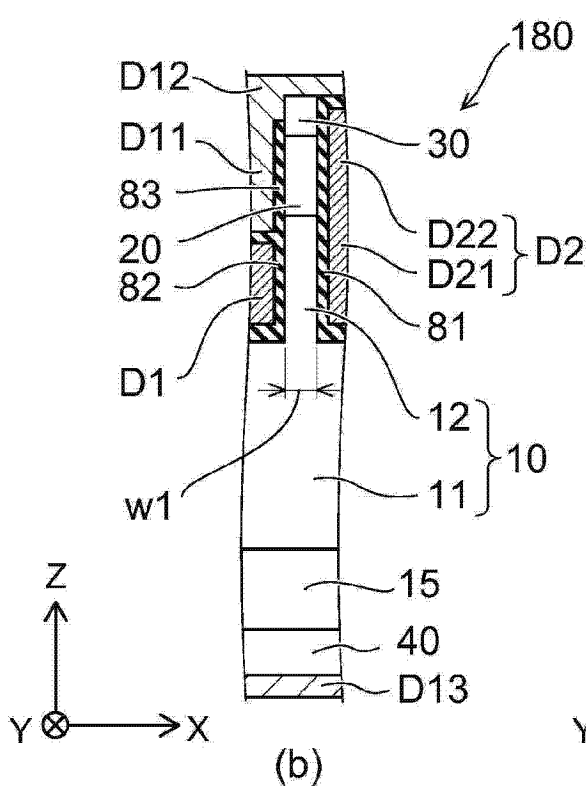
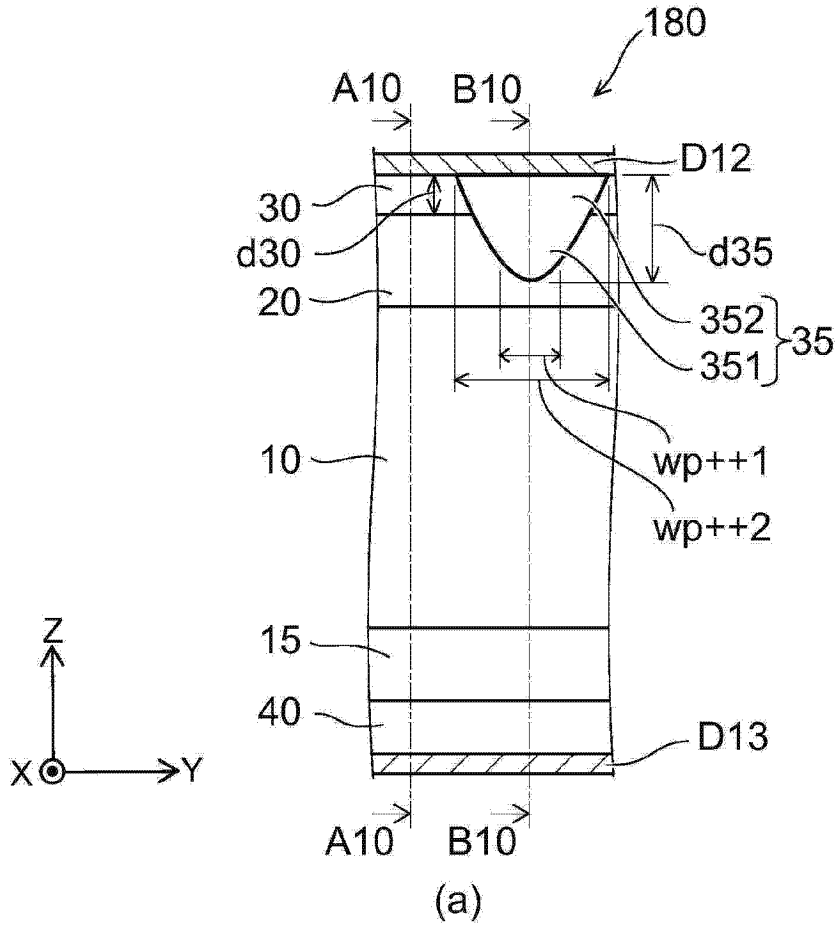


图 24

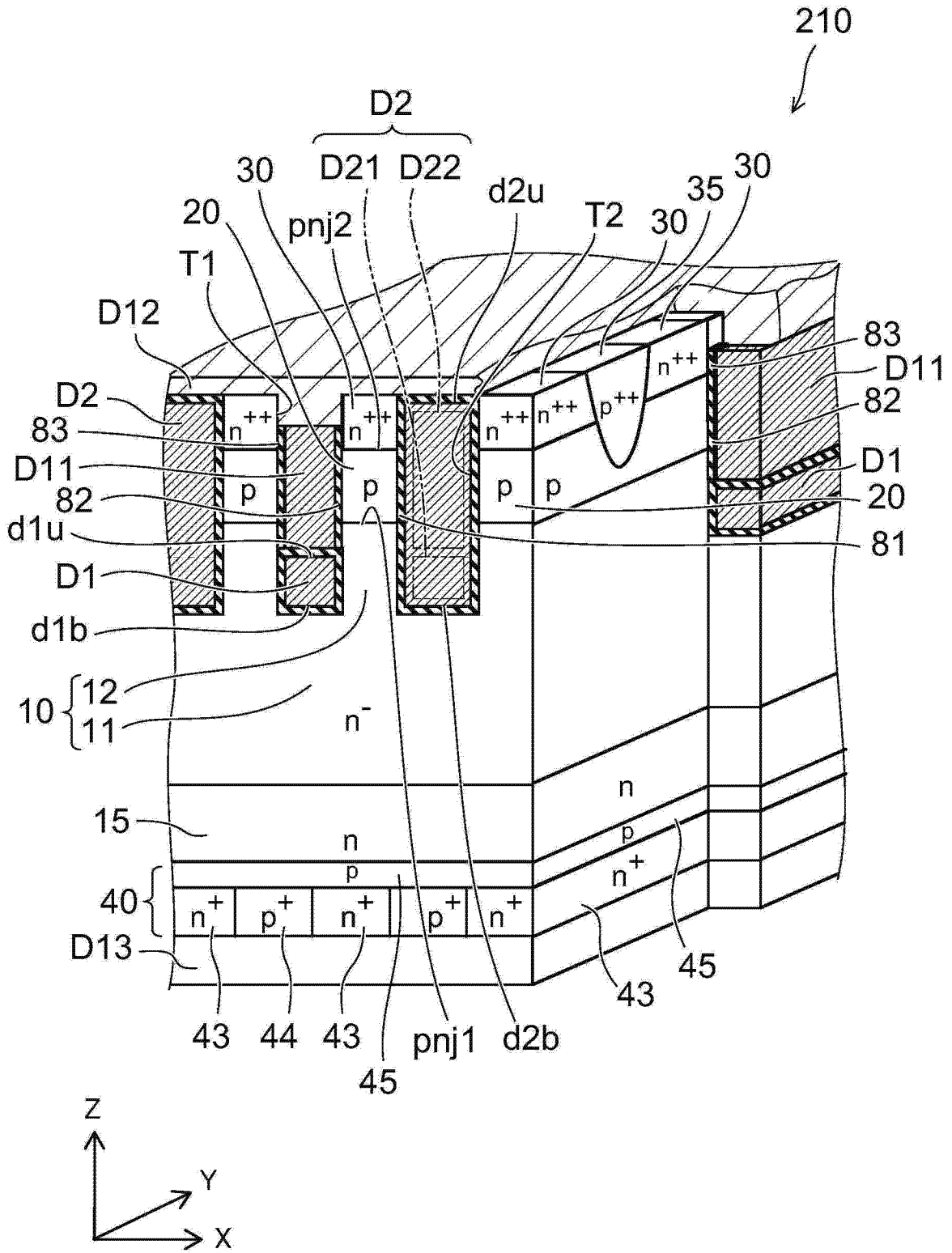


图 25

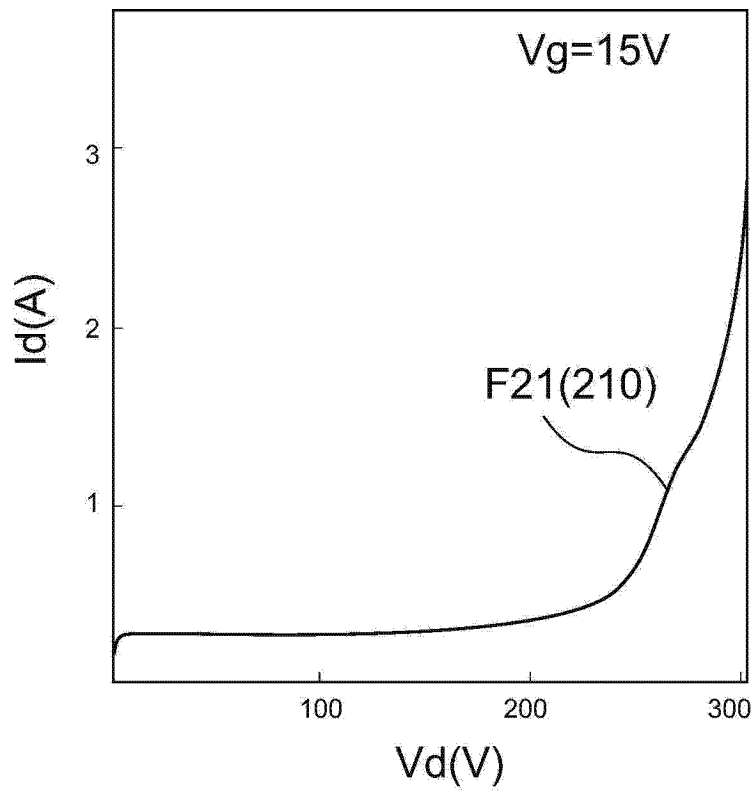


图 26

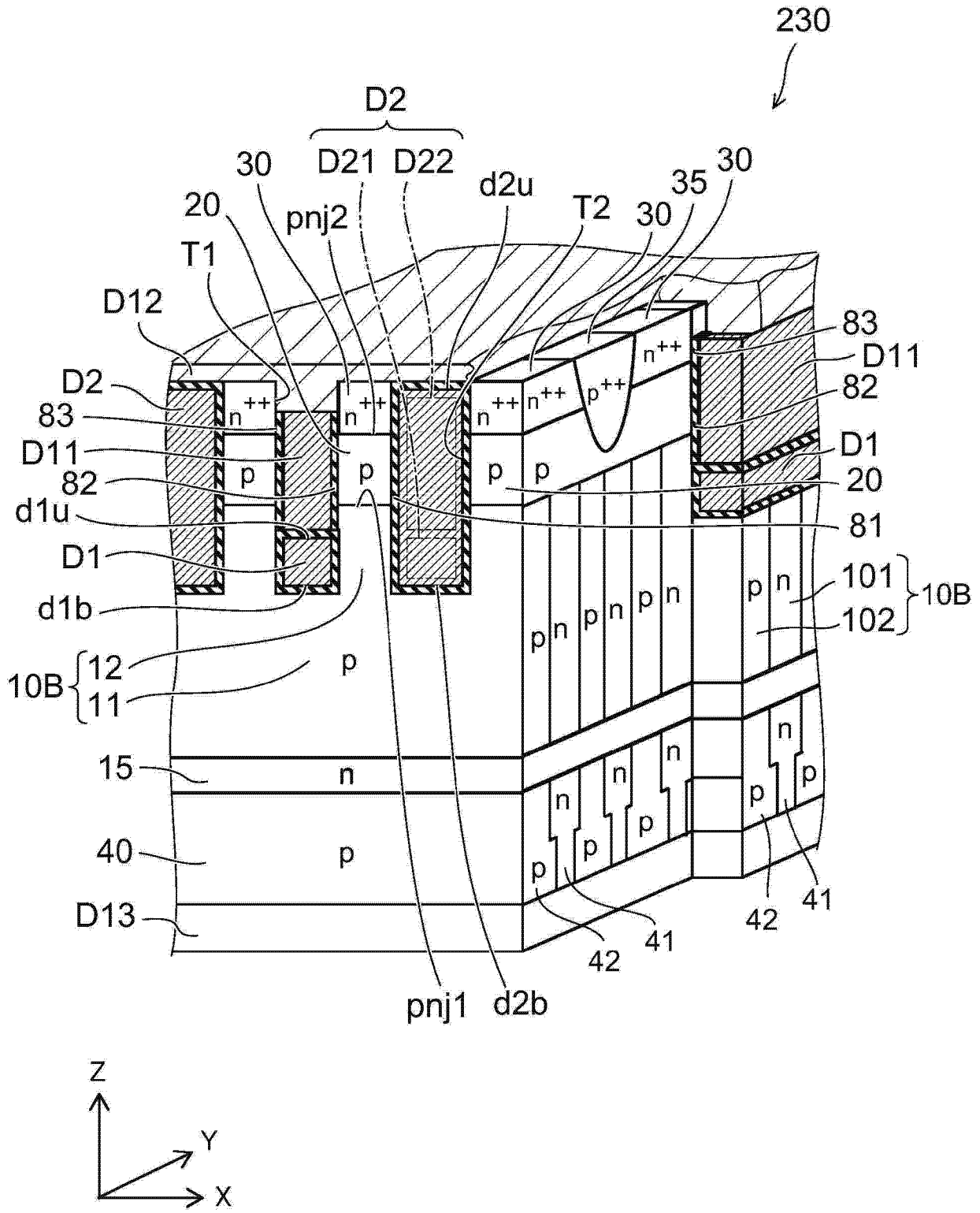


图 28

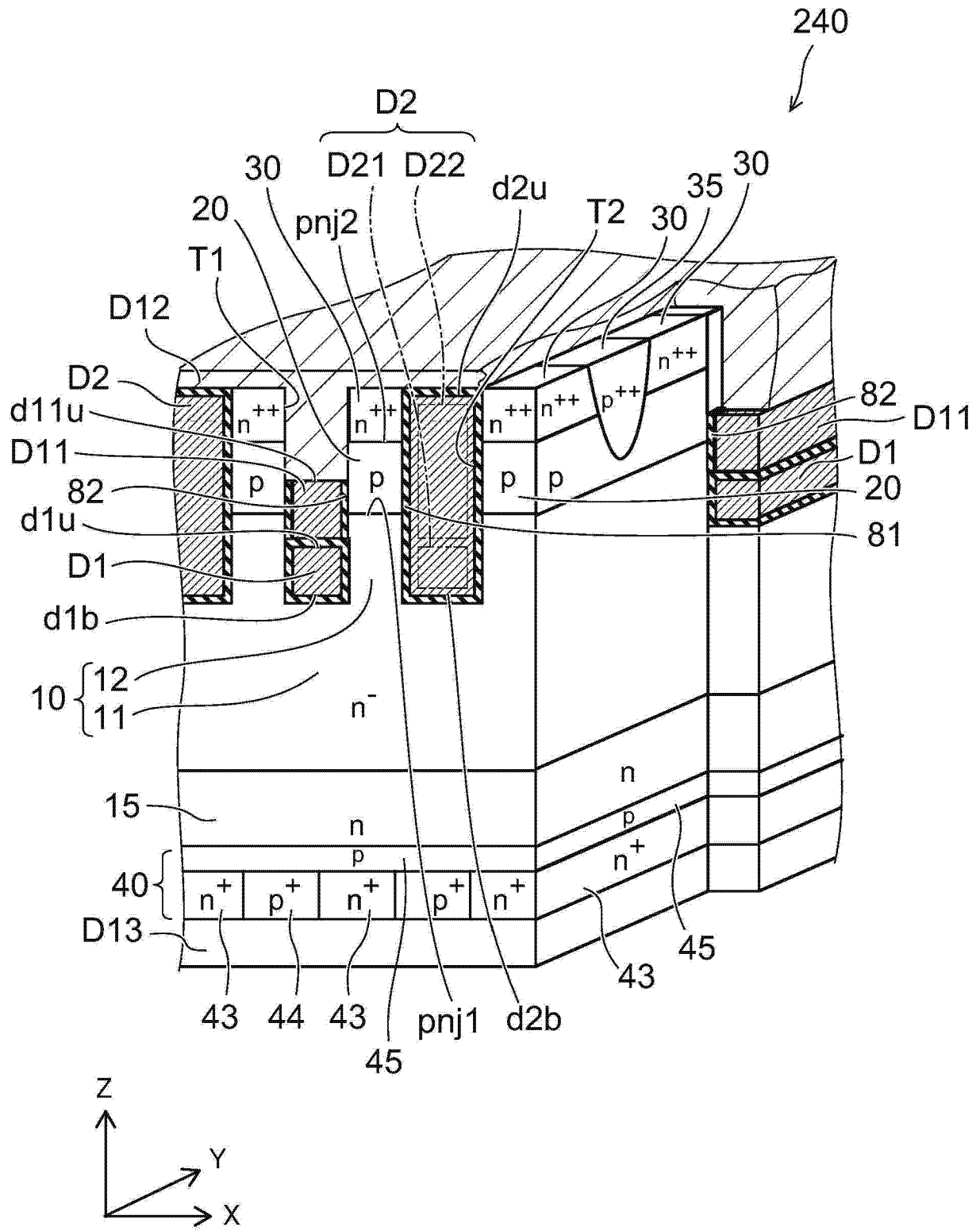


图 29

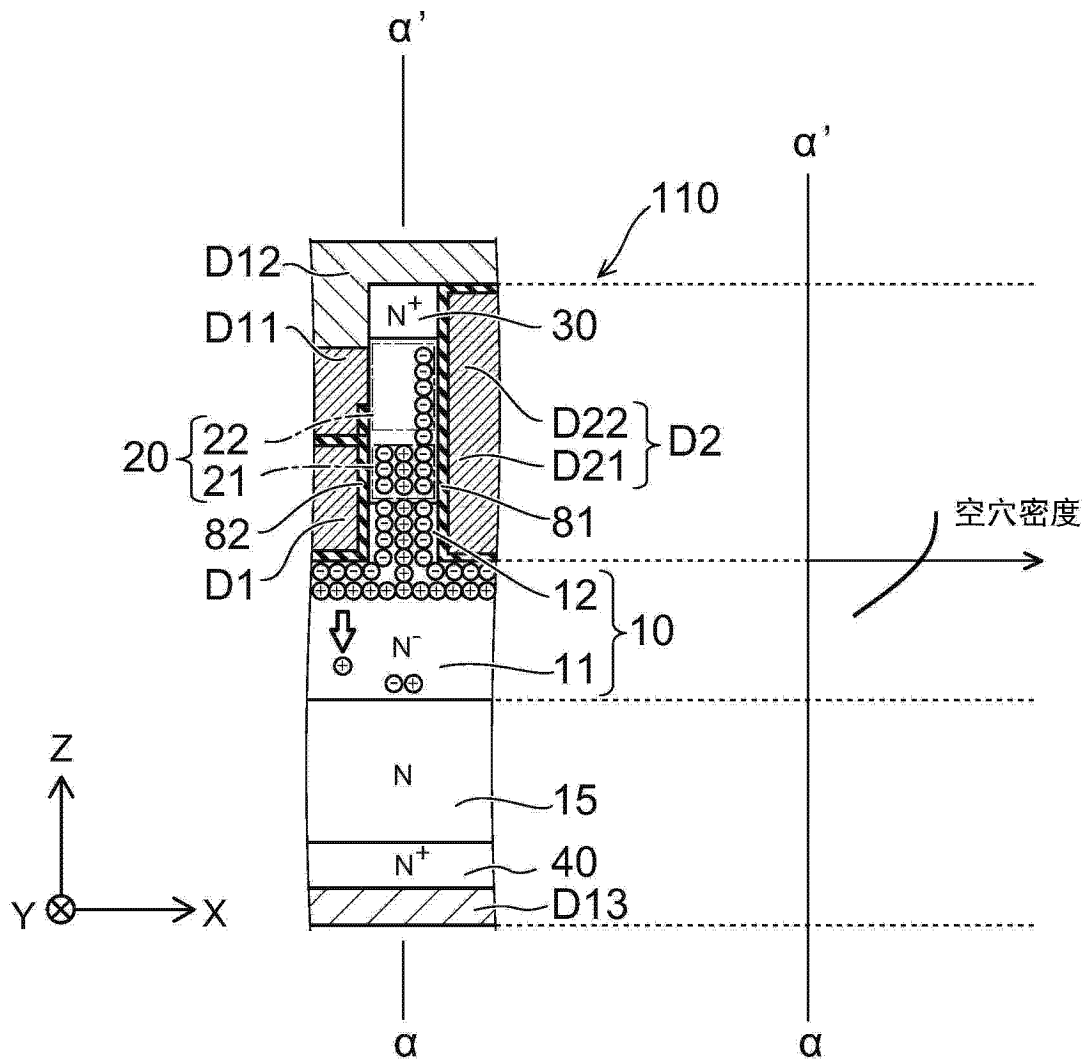


图 30

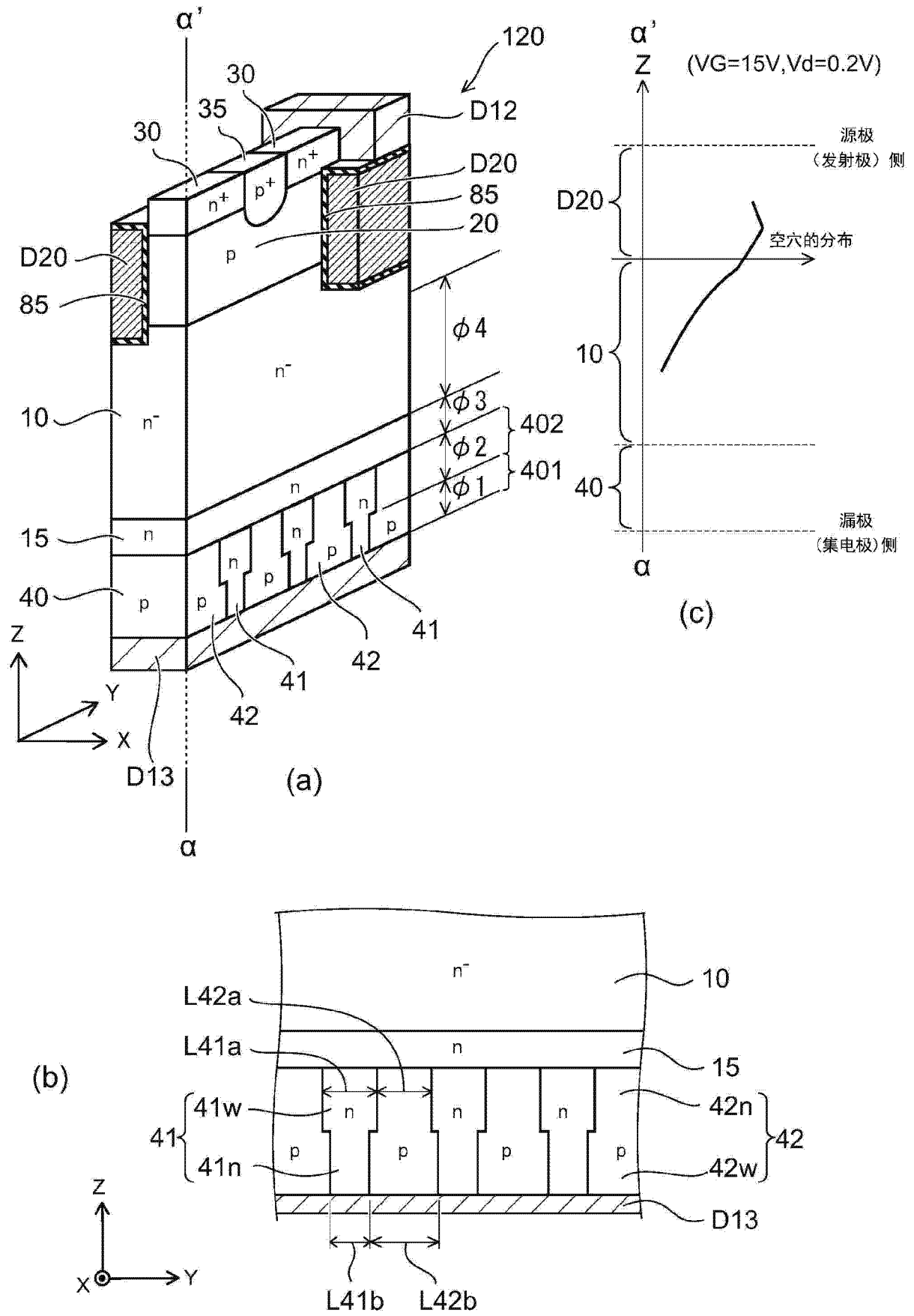


图 31

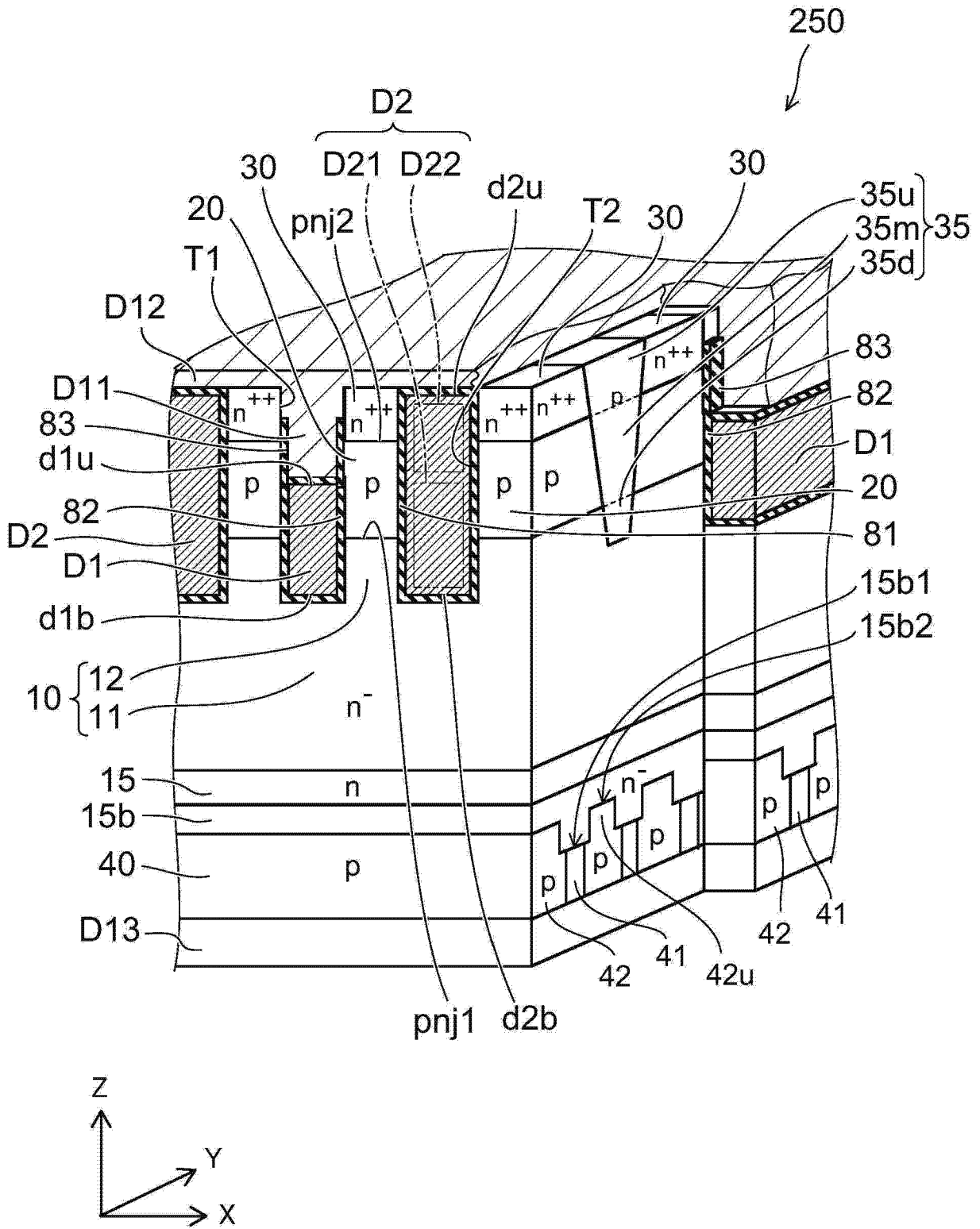
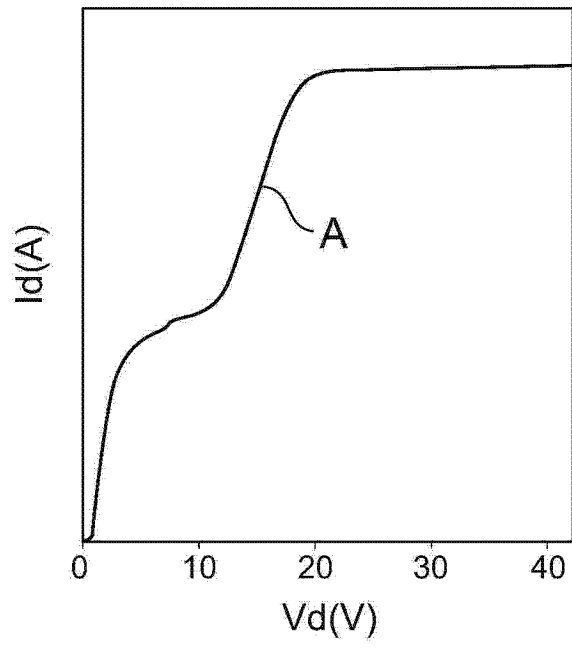


图 32

(a)



(b)

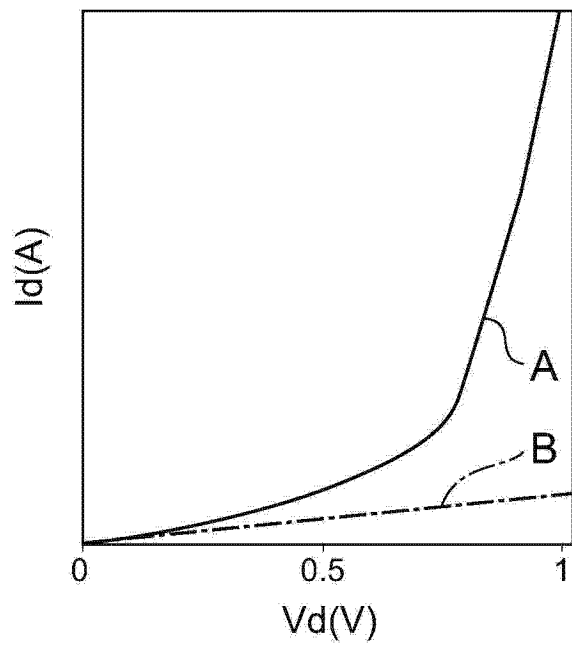


图 33

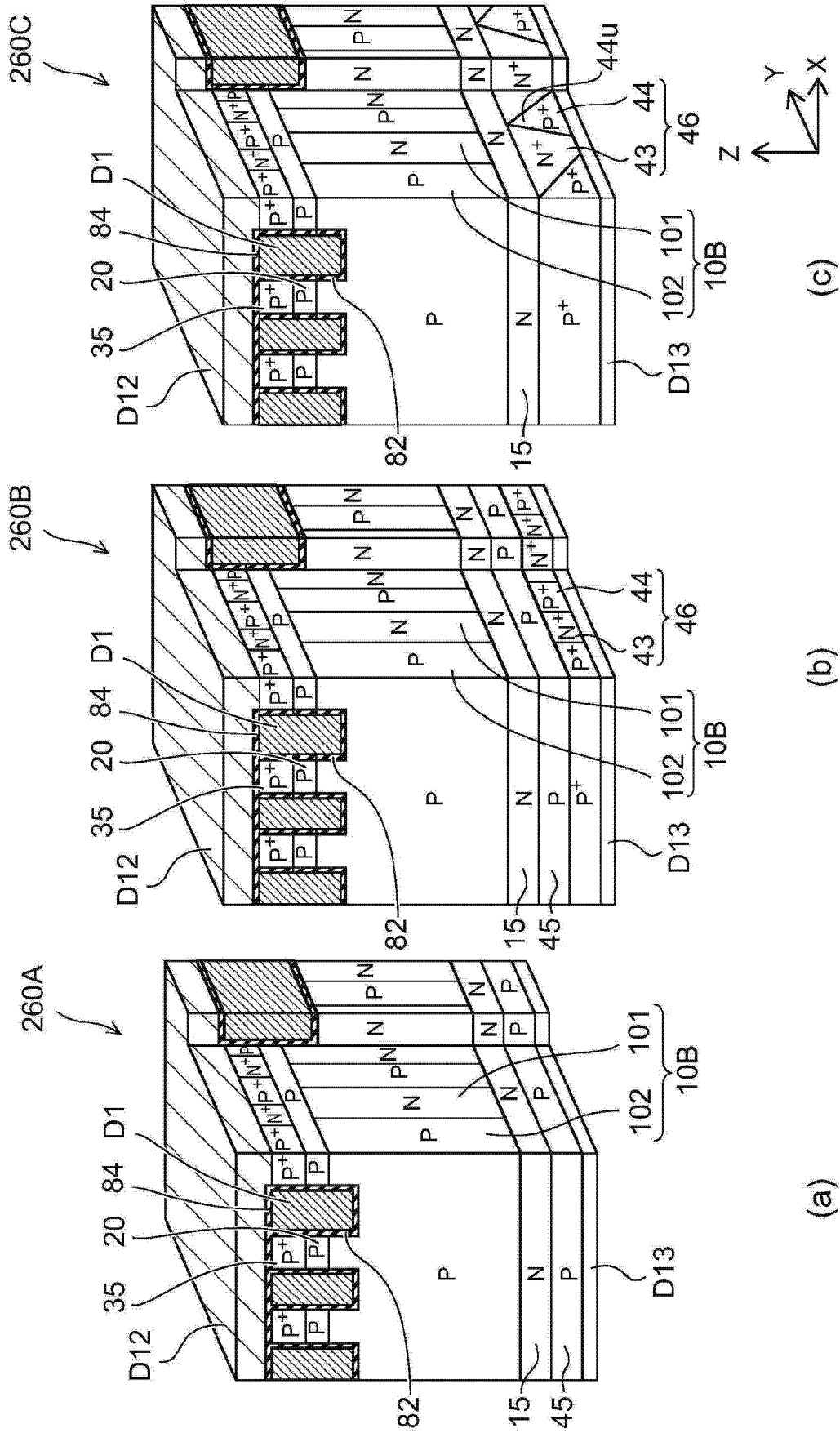


图 34

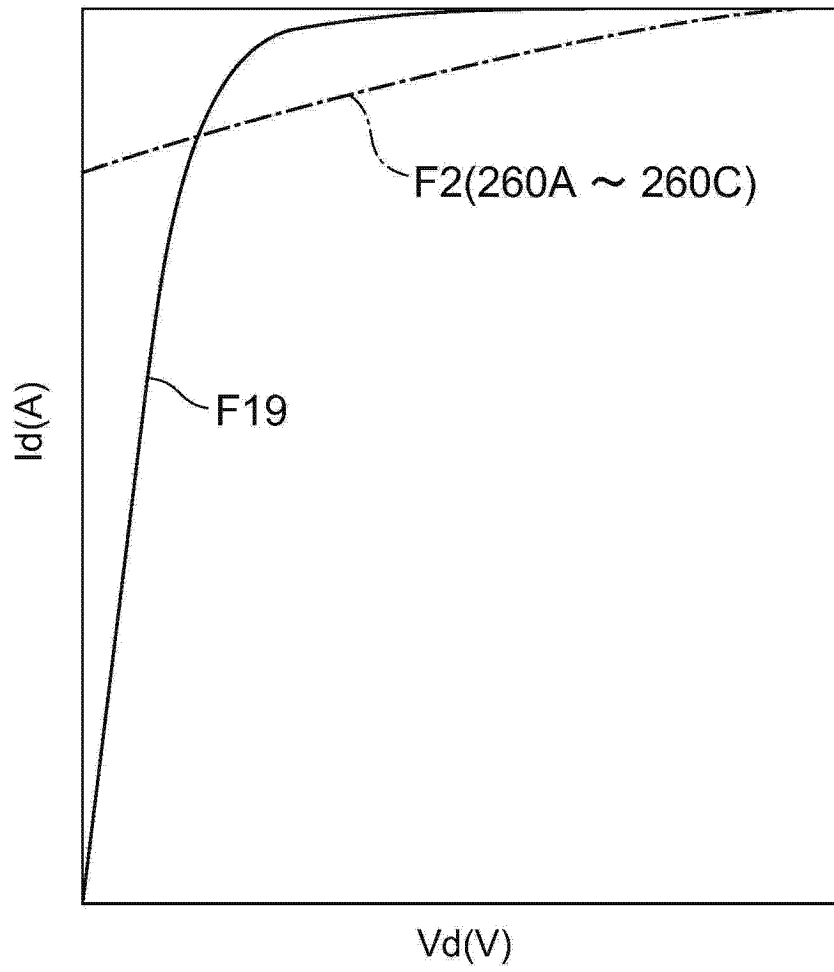


图 35

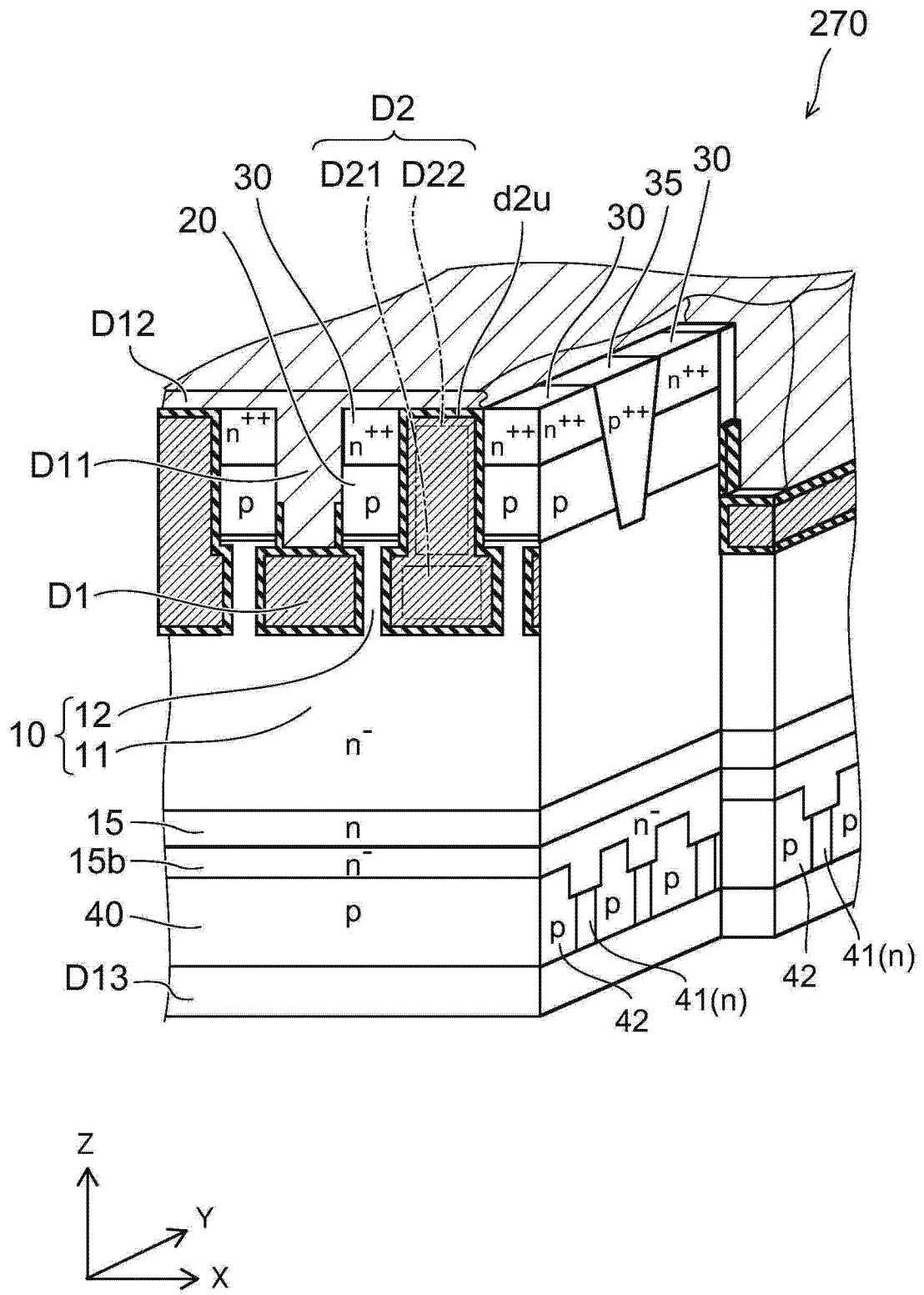


图 36

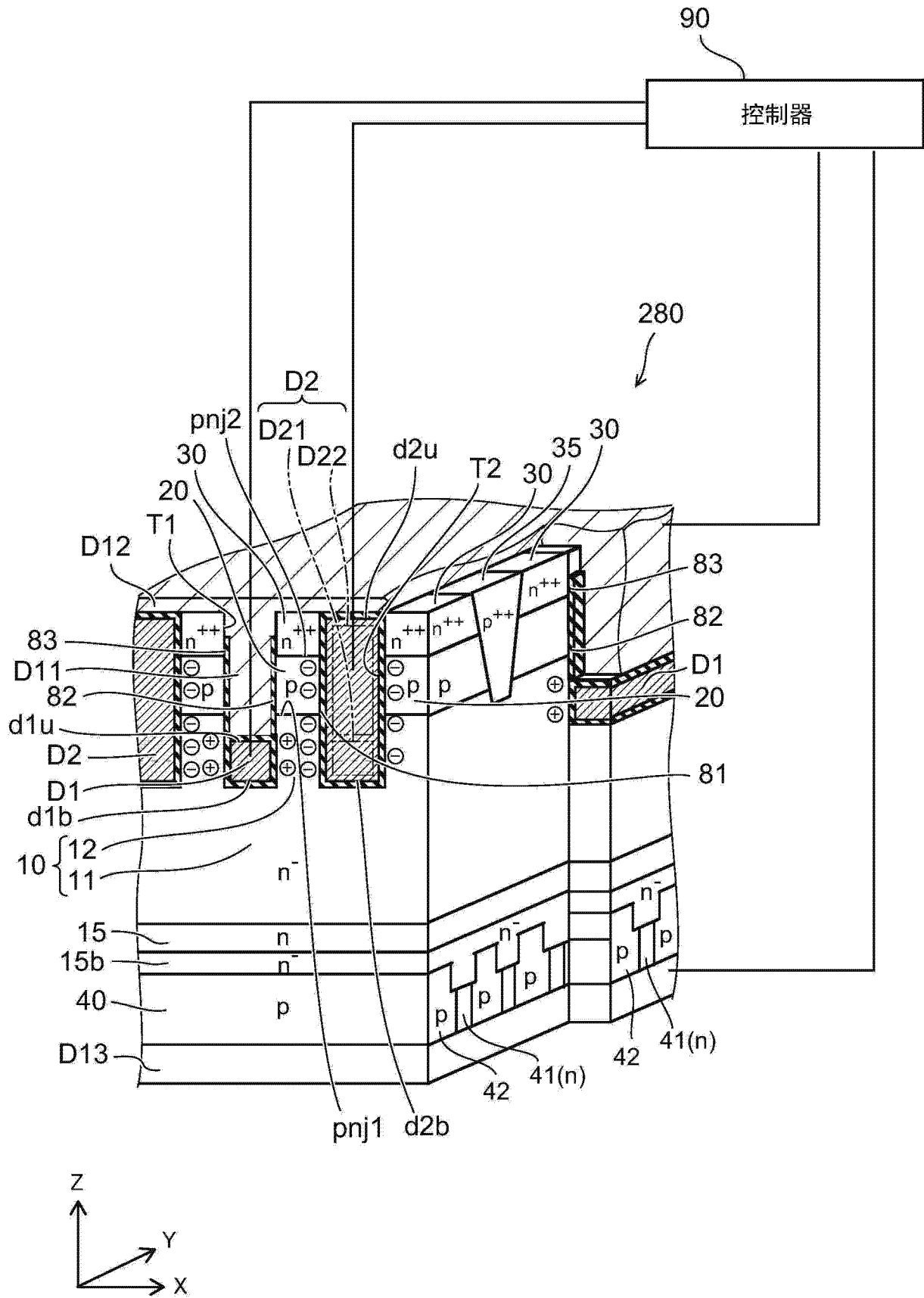


图 37

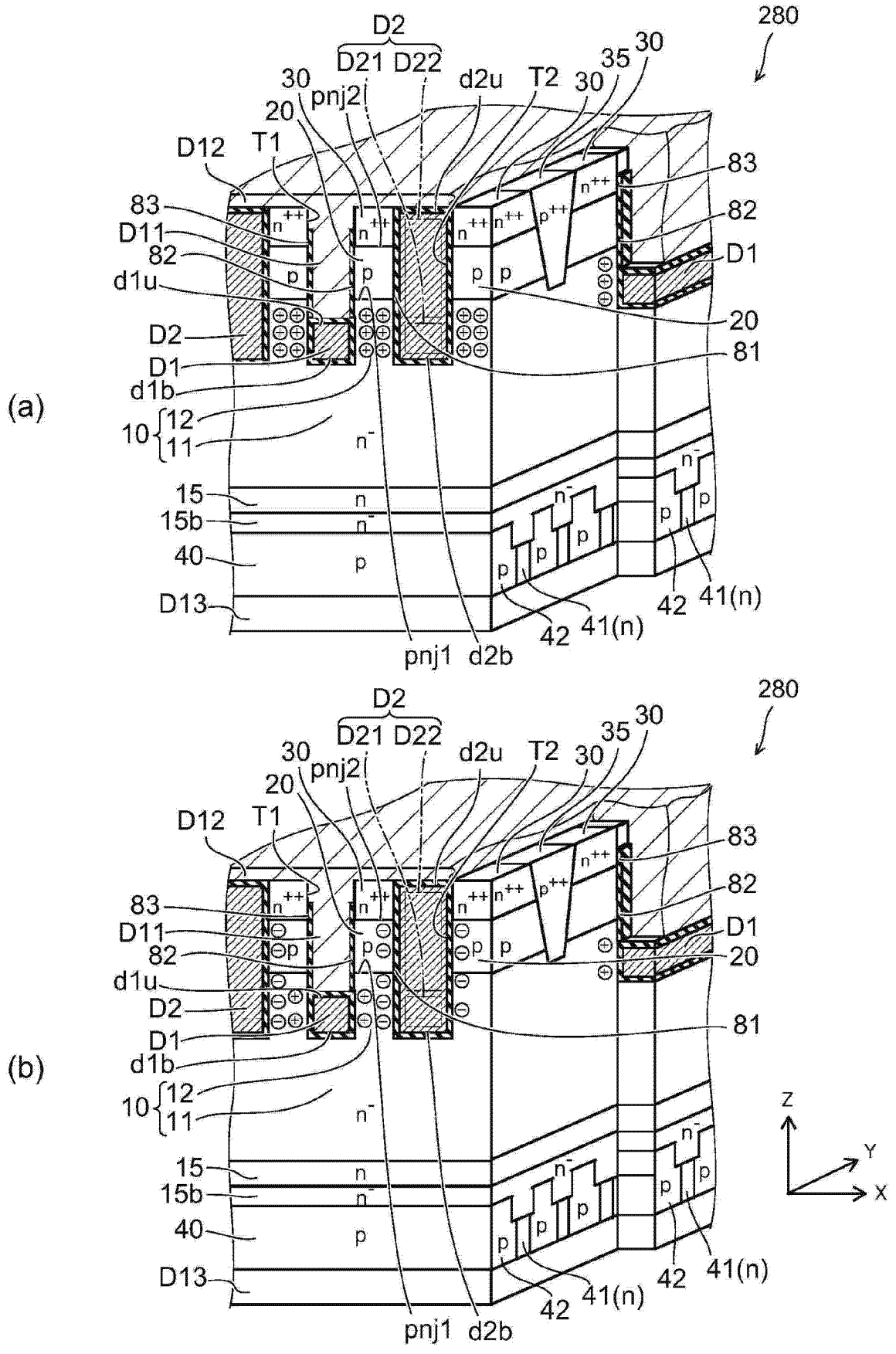


图 38

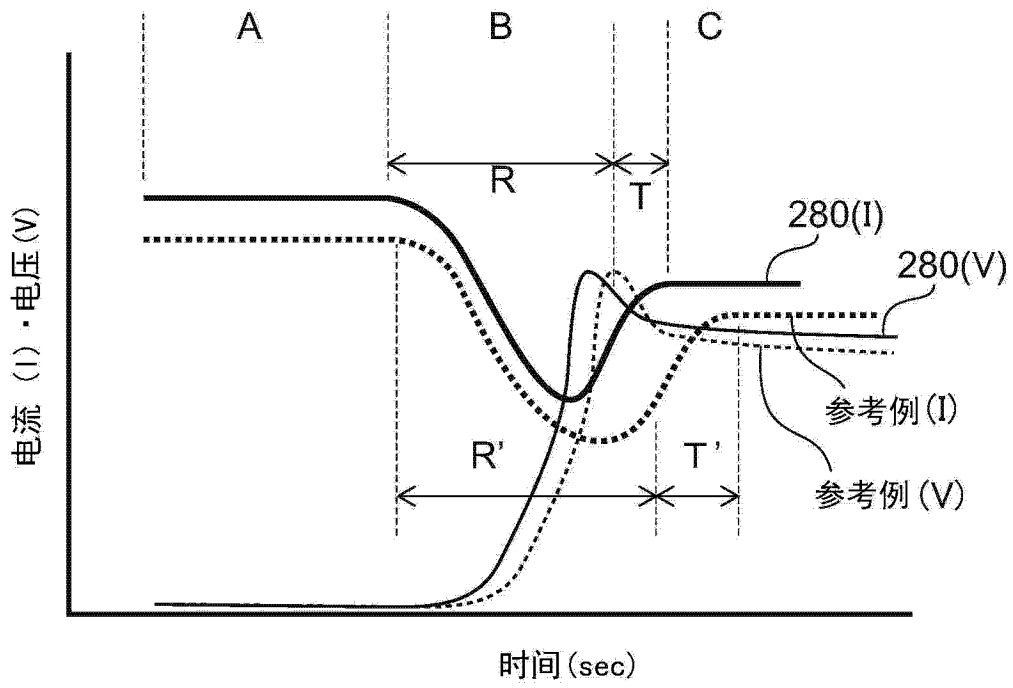


图 39