

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5911445号
(P5911445)

(45) 発行日 平成28年4月27日 (2016. 4. 27)

(24) 登録日 平成28年4月8日 (2016. 4. 8)

(51) Int. Cl.	F I	
G02B 7/28 (2006.01)	G02B 7/28	N
G02B 7/34 (2006.01)	G02B 7/34	
G03B 13/36 (2006.01)	G03B 13/36	
H04N 5/232 (2006.01)	H04N 5/232	H
H04N 5/225 (2006.01)	H04N 5/225	D
請求項の数 12 (全 14 頁) 最終頁に続く		

(21) 出願番号 特願2013-55926 (P2013-55926)
 (22) 出願日 平成25年3月19日 (2013. 3. 19)
 (65) 公開番号 特開2014-182237 (P2014-182237A)
 (43) 公開日 平成26年9月29日 (2014. 9. 29)
 審査請求日 平成27年3月13日 (2015. 3. 13)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100114775
 弁理士 高岡 亮一
 (72) 発明者 内田 峰雄
 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
 審査官 高橋 雅明

最終頁に続く

(54) 【発明の名称】 撮像装置及びその制御方法

(57) 【特許請求の範囲】

【請求項1】

画素部がそれぞれ複数の光電変換部を有する撮像素子と、焦点調節用のレンズを駆動する駆動部を備える撮像装置であって、

前記撮像素子から出力される信号を取得して焦点検出用の第1の像信号と焦点検出および画像生成用の第2の像信号を出力する第1の処理手段と、

前記第1の処理手段から前記第1および第2の像信号を取得し、前記第1および第2の像信号から生成される第3の像信号と前記第1の像信号との相関演算によって位相差検出方式の焦点検出演算を行う演算手段と、

前記演算手段の相関演算結果を示すデータを取得してデフォーカス量を算出し、前記駆動部を制御して焦点調節を行う制御手段と、

前記第1の処理手段から前記第2の像信号を取得して現像処理を行う第2の処理手段を備え、

前記制御手段は前記演算手段を制御し、前記第1の処理手段から前記第2の処理手段への前記第2の像信号の出力に対し、前記演算手段から前記制御手段への前記相関演算結果を示すデータの出力が、複数の画像フレームに対して設定された頻度で間欠的に行われることを特徴とする撮像装置。

【請求項2】

画素部がそれぞれ複数の光電変換部を有する撮像素子と、焦点調節用のレンズを駆動する駆動部を備える撮像装置であって、

10

20

前記撮像素子から出力される信号を取得して焦点検出用の第1の像信号と焦点検出および画像生成用の第2の像信号を出力する第1の処理手段と、

前記第1の処理手段から前記第1および第2の像信号を取得し、前記第1および第2の像信号から生成される第3の像信号と前記第1の像信号との相関演算によって位相差検出方式の焦点検出演算を行う演算手段と、

前記演算手段の相関演算結果を示すデータを取得してデフォーカス量を算出し、前記駆動部を制御して焦点調節を行う制御手段と、

前記第1の処理手段から前記第2の像信号を取得して現像処理を行う第2の処理手段を備え、

前記制御手段は前記演算手段を制御し、前記第1の処理手段から前記第2の処理手段への前記第2の像信号の出力に対し、前記演算手段から前記制御手段への前記相関演算結果を示すデータの出力が、第1のモードにおいて複数の画像フレームに対して1回の頻度で行われ、第2のモードにおいて前記第1のモードよりも高い頻度で行われることを特徴とする撮像装置。

10

【請求項3】

前記演算手段は前記相関演算結果を示すデータを出力するデータ出力手段を備え、

前記制御手段は、前記焦点検出演算を行わないフレーム期間に前記データ出力手段の動作を停止させることを特徴とする請求項1または2に記載の撮像装置。

【請求項4】

前記演算手段は前記第3の像信号と前記第1の像信号との相関演算を行う相関演算処理手段を備え、

20

前記制御手段は、前記焦点検出演算を行わないフレーム期間に前記相関演算処理手段の処理を停止させることを特徴とする請求項1ないし3のいずれか1項に記載の撮像装置。

【請求項5】

静止画撮影を指示する操作手段を備え、

前記制御手段は、前記操作手段から静止画撮影の指示を受け付けた場合、前記第2のモードに変更する制御を行うことを特徴とする請求項2に記載の撮像装置。

【請求項6】

前記演算手段は、前記相関演算結果を示すデータを出力するデータ出力手段と、前記第3の像信号と前記第1の像信号との相関演算を行う相関演算処理手段を備え、

30

前記制御手段は、前記第2のモードにおいて前記焦点検出演算を行うフレーム期間にて前記データ出力手段の動作を前記相関演算処理手段による相関演算の終了直後に開始させる制御を行い、前記焦点検出演算を行わないフレーム期間に前記データ出力手段の動作および前記相関演算処理手段の処理を停止させることを特徴とする請求項5に記載の撮像装置。

【請求項7】

前記制御手段は、前記第1のモードにおいて前記撮像素子の読み出し動作が終了した後に前記データ出力手段の動作を開始させる制御を行うことを特徴とする請求項6に記載の撮像装置。

【請求項8】

40

前記制御手段は、前記演算手段が演算の対象とする焦点検出領域の位置に応じて前記相関演算結果を示すデータを出力するタイミングを変更することを特徴とする請求項1ないし7のいずれか1項に記載の撮像装置。

【請求項9】

前記制御手段は、前記焦点検出演算を行わないフレーム期間に前記演算手段へのクロック供給を停止させる制御を行うことを特徴とする請求項1ないし8のいずれか1項に記載の撮像装置。

【請求項10】

前記制御手段は、前記焦点検出演算を行わないフレーム期間に前記撮像素子からの焦点検出用信号の出力を停止させる制御を行うことを特徴とする請求項1ないし9のいずれか

50

1 項に記載の撮像装置。

【請求項 1 1】

画素部がそれぞれ複数の光電変換部を有する撮像素子と、焦点調節用のレンズを駆動する駆動部を備える撮像装置にて実行される制御方法であって、

第 1 の処理手段が前記撮像素子から出力される信号を取得して焦点検出用の第 1 の像信号と焦点検出および画像生成用の第 2 の像信号を出力する第 1 の処理ステップと、

演算手段が前記第 1 の処理手段から前記第 1 および第 2 の像信号を取得し、前記第 1 および第 2 の像信号から生成される第 3 の像信号と前記第 1 の像信号との相関演算によって位相差検出方式の焦点検出演算を行う演算ステップと、

制御手段が前記演算ステップでの相関演算結果を示すデータを取得してデフォーカス量を算出し、前記駆動部を制御して焦点調節を行う制御ステップと、

第 2 の処理手段が前記第 1 の処理手段から前記第 2 の像信号を取得して現像処理を行う第 2 の処理ステップを有し、

前記演算ステップにて、前記第 1 の処理手段から前記第 2 の処理手段への前記第 2 の像信号の出力に対し、前記演算手段から前記制御手段への前記相関演算結果を示すデータの出力が、複数の画像フレームに対して設定された頻度で間欠的に行われることを特徴とする撮像装置の制御方法。

【請求項 1 2】

画素部がそれぞれ複数の光電変換部を有する撮像素子と、焦点調節用のレンズを駆動する駆動部を備える撮像装置にて実行される制御方法であって、

第 1 の処理手段が前記撮像素子から出力される信号を取得して焦点検出用の第 1 の像信号と焦点検出および画像生成用の第 2 の像信号を出力する第 1 の処理ステップと、

演算手段が前記第 1 の処理手段から前記第 1 および第 2 の像信号を取得し、前記第 1 および第 2 の像信号から生成される第 3 の像信号と前記第 1 の像信号との相関演算によって位相差検出方式の焦点検出演算を行う演算ステップと、

制御手段が前記演算ステップでの相関演算結果を示すデータを取得してデフォーカス量を算出し、前記駆動部を制御して焦点調節を行う制御ステップと、

第 2 の処理手段が前記第 1 の処理手段から前記第 2 の像信号を取得して現像処理を行う第 2 の処理ステップを有し、

前記演算ステップにて、前記第 1 の処理手段から前記第 2 の処理手段への前記第 2 の像信号の出力に対し、前記演算手段から前記制御手段への前記相関演算結果を示すデータの出力が、第 1 のモードにおいて複数の画像フレームに対して 1 回の頻度で行われ、第 2 のモードにおいて前記第 1 のモードよりも高い頻度で行われることを特徴とする撮像装置の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素毎に複数の光電変換部を有する撮像素子を用いた撮像装置及びその制御方法に関するものである。

【背景技術】

【0002】

近年、CMOS（相補型金属酸化膜半導体）センサなどの撮像素子を用いた撮像装置では多機能化が進んでいる。静止画や動画のデータ生成だけでなく、例えば焦点調節のような撮像装置の制御も撮像素子で得た画像情報に基づいて行われるようになってきている。

特許文献 1 では、撮像素子から得た撮像信号を用いて瞳分割方式の焦点検出を行う技術が開示されている。撮像素子の画素毎に 1 つのマイクロレンズと 2 つのフォトダイオードを備えることにより、各フォトダイオードは撮影レンズの異なる瞳領域を通過した光を受光する。フォトダイオード同士の出力信号を比較することで焦点検出が可能となると共に、これらの出力信号を加算することで撮像画像データを生成可能である。

10

20

30

40

50

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2001-124984号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、画素毎の複数のフォトダイオードから信号を取得して焦点検出を行う場合、撮像素子から読み出す信号量が増加することや、焦点検出の演算を行うために消費電力が増加するという課題がある。

本発明の目的は、消費電力を抑制しつつ撮影中に焦点検出動作を行える撮像装置及びその制御方法を提供することである。

【課題を解決するための手段】

【0005】

上記課題を解決するために、本発明の一実施形態に係る装置は、画素部がそれぞれ複数の光電変換部を有する撮像素子と、焦点調節用のレンズを駆動する駆動部を備える撮像装置であって、前記撮像素子から出力される信号を取得して焦点検出用の第1の像信号と焦点検出および画像生成用の第2の像信号を出力する第1の処理手段と、前記第1の処理手段から前記第1および第2の像信号を取得し、前記第1および第2の像信号から生成される第3の像信号と前記第1の像信号との相関演算によって位相差検出方式の焦点検出演算を行う演算手段と、前記演算手段の相関演算結果を示すデータを取得してデフォーカス量を算出し、前記駆動部を制御して焦点調節を行う制御手段と、前記第1の処理手段から前記第2の像信号を取得して現像処理を行う第2の処理手段を備える。前記制御手段は前記演算手段を制御し、前記第1の処理手段から前記第2の処理手段への前記第2の像信号の出力に対し、前記演算手段から前記制御手段への前記相関演算結果を示すデータの出力が、複数の画像フレームに対して設定された頻度で間欠的に行われる。

【発明の効果】

【0006】

本発明によれば、消費電力を抑制しつつ撮影中に焦点検出動作が可能である。

【図面の簡単な説明】

【0007】

【図1】本発明の実施形態に係る撮像装置の全体構成を例示する図である。

【図2】本発明の実施形態に係る撮像素子の画素配置図である。

【図3】撮影レンズの射出瞳から出る光束と画素との関係を示した模式図である。

【図4】焦点調節状態と像信号の関係を示す模式図である。

【図5】撮像素子の全体構成を例示する図である。

【図6】撮像素子の1画素の回路構成例を示す図である。

【図7】撮像素子の各列の読出し回路構成を示す図である。

【図8】撮像素子の1行の読出し動作を示すタイミングチャートである。

【図9】画像信号処理部(DFE108)の構成例を示す模式図である。

【図10】本発明の第1実施形態における撮像素子の読出し動作及びAF動作を示す模式図である。

【図11】本発明の第2実施形態における撮像素子の読出し動作及びAF動作を示す模式図である。

【発明を実施するための形態】

【0008】

以下に、本発明の各実施形態を、添付図面に基づいて詳細に説明する。図1ないし図9を参照して、各実施形態に共通する装置構成を説明する。図1は、本発明の実施形態に係る撮像装置100の全体構成を例示した図である。

10

20

30

40

50

第1レンズ群101は撮像光学系を構成し、レンズ鏡筒の前端部(被写体側)に配置されて光軸方向に沿って進退可能に保持される。絞り102は、その開口径を調節することで撮影時の光量調節を行う。第2レンズ群103は、第1レンズ群101の進退動作と連動した変倍作用(ズーム機能)を有する。第3レンズ群104は焦点調節用レンズ(フォーカスレンズ)であり、光軸方向の進退により焦点調節を行う。光学的ローパスフィルタ105は、撮影画像の偽色やモアレを軽減するための光学素子である。

【0009】

撮像素子106は、撮像光学系により結像された被写体像を光電変換する。本実施形態では、撮像素子106にベイヤー配列のCMOSイメージセンサが使用される。撮像素子106の各画素は複数の光電変換部を有する。後述するように画素内には複数のフォトダイオード(以下、PDと略記する)が設けられる。1つの画素部におけるPDの数は2以上であり(2個、4個、9個など)、本実施形態では、2つのPDにより副画素aおよび副画素bがそれぞれ構成されるものとする。撮像素子106から出力されるアナログ画像信号はAFE(Analog Front End)107がデジタル信号に変換する。AFE107が出力するデジタル画像信号はDFE(Digital Front End)108に入力され、所定の演算処理が行われる。DFE108は、各画素部の副画素a、bからそれぞれ得られる信号を用いて、像ずれを検出して位相ずれ量を算出する相関演算を行う。

【0010】

DSP(Digital Signal Processor)109は、DFE108から出力されるデジタル画像信号に対して補正処理や現像処理などを行う。記録媒体110はDSP109が処理した画像データを記録する。表示部111は、撮影された画像や各種メニュー画面などを表示する液晶ディスプレイ(LCD)などを備える。RAM(ランダム・アクセス・メモリ)112は画像データなどを一時記憶するデバイスであり、DSP109と接続されている。タイミングジェネレータ(TG)113は、撮像素子106に駆動信号を供給する。

【0011】

CPU(中央演算処理装置)114は、AFE107、DFE108、DSP109、TG113、絞り駆動回路115を制御する。またCPU114はAF(オートフォーカス)制御を行い、DFE108にて算出される相関演算結果から焦点ずれ量(デフォーカス量)を算出し、焦点ずれ量に応じてフォーカス駆動回路116を制御する。フォーカス駆動回路116はフォーカスアクチュエータ118の駆動部であり、第3レンズ群104を光軸方向に進退させて焦点調節を行う。絞り駆動回路115はCPU114の制御指令に従って、絞りアクチュエータ117を制御することにより絞り102を駆動する。ROM(リード・オンリ・メモリ)119は補正データなどを記憶する。操作部120はシャッタースイッチ釦(SW)を備える。撮影者によるシャッタースイッチ釦の半押しや全押しなどの操作により撮影者の指示信号がCPU114に入力される。

【0012】

図2は、撮像素子106の画素配置例を示す模式図である。単位画素部300は行列状に配列され、それぞれR(Red)/G(Green)/B(Blue)のカラーフィルタがベイヤー配列で配置されている。各単位画素部300内にはそれぞれ副画素aと副画素bが配置されている。図中のPD401aは副画素aを構成する第1の光電変換部であり、PD401bは副画素bを構成する第2の光電変換部である。副画素aおよび副画素bの各信号は焦点検出に利用される他、副画素aの信号と副画素bの信号を加算したa/b加算信号(以下、単に加算信号という)は画像データの生成に利用される。

図3は、第1ないし第3レンズ群及び絞り(図1:101~104参照)により構成される撮影レンズの射出瞳203から出る光束と、単位画素部300との関係を説明する模式図である。単位画素部300はPD401aとPD401bを有する。カラーフィルタ201、マイクロレンズ202はそれぞれ単位画素部300上に形成される。

【0013】

10

20

30

40

50

マイクロレンズ202を有する画素部に対して、射出瞳203から出た光束の中心を光軸204で示す。射出瞳203を通過した光は、光軸204を中心として単位画素部300に入射する。領域205、206は撮影レンズの射出瞳203の一部領域をそれぞれ表す。図3に示すように領域205を通過する光束はマイクロレンズ202を通してPD401a(副画素a)が受光する。また瞳領域206を通過する光束はマイクロレンズ202を通してPD401b(副画素b)が受光する。したがって、副画素aと副画素bはそれぞれ、撮影レンズの射出瞳203の異なる領域を通過する光を受光する。このため、副画素aと副画素bの出力信号を比較することで位相差方式の焦点検出が可能である。

【0014】

図4は、副画素aから得られる像信号波形および副画素bから得られる像信号波形を示す模式図である。横軸は水平方向の画素位置を示し、縦軸は信号出力レベルを示す。

10

図4(A)は合焦状態から外れている場合の各像信号波形を例示する。副画素a、bのそれぞれから得られる像信号波形は一致せず、互いにずれた状態となる。合焦状態に近づくると、図4(B)に示すように、像信号波形同士のずれは小さくなり、合焦状態で両波形が重なる。このように副画素a、bから得られる各像信号波形の相関により焦点ずれ量(デフォーカス量)を検出し、検出結果に基づいて焦点調節を行うことができる。

【0015】

次に、図5ないし図7を参照して撮像素子106の構成を説明する。図5は撮像素子106の全体構成例を示す図である。図6は単位画素部300の構成を示す回路図である。図7は列共通読出し回路303の構成を示す回路図である。

20

図5に示す画素領域PAには、多数の単位画素部300(p11~pkn参照)が行列状に配置されている。図6を参照して単位画素部300の構成を説明する。

PD401a、401bは、入射光を光電変換し、露光量に応じた電荷を蓄積する。転送ゲート402a、402bはそれぞれ信号txa、txbをHighレベルにすることでON状態となる。これにより、PD401a、401bに蓄積されている電荷がFD(フローティングディフュージョン)部403に転送される。FD部403は、フローティングディフュージョンアンプ404(以下、FDアンプという)のゲートに接続されている。FDアンプ404でPD401a、401bから転送されてきた電荷量が電圧量に変換される。FDリセットスイッチ405は、信号resをHighレベルとすることにより、FD部403をリセットする。また、PD401a、401bの電荷をリセットする場合には、信号resと信号txa、txbとを同時にHighレベルとする。転送ゲート402a、402b及びFDリセットスイッチ405がON状態になると、FD部403経由でPD401a、401bのリセットが行われる。画素選択スイッチ406では、信号selをHighレベルとすることにより、FDアンプ404で電圧に変換された画素信号が単位画素部300の出力端子voutから出力される。

30

【0016】

図5の垂直走査回路301は、単位画素部300のトランジスタにゲート制御信号(res,txa,txb,sel)を供給する。これらの信号は行毎に共通となっている。各単位画素部300の出力端子voutは、列毎に垂直出力線302を介して列共通読出し回路303に接続されている。図7を参照して列共通読出し回路303の構成を説明する。

40

垂直出力線302は列毎に設けられ、1列分の単位画素部300の出力端子voutが接続されている。垂直出力線302には電流源304が接続されている。この電流源304と、垂直出力線302に接続された単位画素部300のFDアンプ404によってソースフォロワ回路が構成される。

【0017】

クランプ容量(C1)501は演算増幅器503の反転入力端子に接続されている。またフィードバック容量(C2)502は、演算増幅器503の出力端子と反転入力端子に接続されている。演算増幅器503の非反転入力端子には基準電源Vrefが接続されている。スイッチ504はフィードバック容量C2の両端をショートさせるためのトランジ

50

スタであり、信号 cfs により制御される。転送スイッチ 505 ~ 508 は、それぞれ単位画素部 300 から読み出される信号を各信号保持容量 509 ~ 512 に転送するためのトランジスタである。後述する読出し動作により、第 1 の S 信号保持容量 509 には副画素 a の画素信号 S_a が記憶され、第 2 の S 信号保持容量 511 には副画素 a の信号と副画素 b の信号を加算した加算信号 S_{ab} が記憶される。また、第 1 の N 信号保持容量 510 及び第 2 の N 信号保持容量 512 には単位画素部 300 のノイズ信号 N がそれぞれ記憶される。各信号保持容量 509 ~ 512 は、列共通読出し回路 303 の出力端子 vsa , vna , vsb , vnb にそれぞれ接続されている。

【0018】

図 5 の列共通読出し回路 303 の出力端子 vsa , vna には、それぞれ水平転送スイッチ 305, 306 が接続されている。水平転送スイッチ 305, 306 は水平走査回路 311 の出力信号 ha^* ($*$ は任意の列番号を表す) によって制御される。信号 ha^* が High レベルになることにより、第 1 の S 信号保持容量 509、第 1 の N 信号保持容量 510 の各信号がそれぞれ水平出力線 309, 310 へ転送される。

また、列共通読出し回路 303 の出力端子 vsb , vnb には、それぞれ水平転送スイッチ 307, 308 が接続されている。水平転送スイッチ 307, 308 は水平走査回路 311 の出力信号 hb^* ($*$ は任意の列番号を表す) によって制御される。信号 hb^* が High レベルになることにより、第 2 の S 信号保持容量 511、第 2 の N 信号保持容量 512 の各信号がそれぞれ水平出力線 309, 310 へ転送される。

【0019】

水平出力線 309, 310 は差動増幅器 314 の各入力端子に接続されている。差動増幅器 314 では S 信号と N 信号の差分を演算し、同時に所定のゲインをかけ、最終的な出力信号を出力端子 315 へ出力する。水平出力線リセットスイッチ 312, 313 は、信号 $chres$ が High レベルになることにより ON 状態となり、各水平出力線 309, 310 がリセット電圧 V_{chres} に設定される (リセット)。

【0020】

次に、図 8 を参照して撮像素子 106 の読出し動作について説明する。図 8 は撮像素子 106 の各行の読出し動作を示すタイミングチャートである。

まず、信号 cfs を High レベルにすることで、図 7 のスイッチ 504 が ON 状態になり、演算増幅器 503 がバッファ状態となる。次に、信号 sel を High レベルにすると、図 6 の画素選択スイッチ 406 が ON する。その後、信号 res を Low レベルにすることで FD リセットスイッチ 405 が OFF となり、FD 部 403 のリセットが解放される。続いて信号 cfs を Low レベルに戻し、スイッチ 504 が OFF した後、信号 tna , tnb が High レベルとなる。これにより、転送スイッチ 506, 508 を介して第 1 の N 信号保持容量 510 及び第 2 の N 信号保持容量 512 に N 信号が記憶される。

【0021】

次に信号 tna , tnb を Low レベルにすると、転送スイッチ 506, 508 が OFF になる。その後、信号 t_{sa} を High レベルにして転送スイッチ 505 を ON にすると共に、信号 t_{xa} を High レベルにすることで転送ゲート 402a を ON にする制御が行われる。この動作により、副画素 a の PD 401a に蓄積されていた信号が FD アンプ 404、画素選択スイッチ 406 を介して垂直出力線 302 へ出力される。垂直出力線 302 の信号は、演算増幅器 503 においてクランプ容量 C_1 とフィードバック容量 C_2 の容量比に応じたゲインで増幅され、転送スイッチ 505 を介して第 1 の S 信号保持容量 509 へ記憶される (画素信号 S_a)。

次に、信号 t_{xa} と信号 t_{sa} を順次 Low レベルにする。その後、信号 t_{sb} を High レベルにして転送スイッチ 507 を ON にすると共に、信号 t_{xa} 及び t_{xb} を High レベルにすることで転送ゲート 402a と 402b を ON にする。この動作により、副画素 b の PD 401b に蓄積されていた信号が FD 部 403 で副画素 a の信号と加算される。加算後の信号は FD アンプ 404、画素選択スイッチ 406 を介して垂直出力線 3

10

20

30

40

50

02へ出力される。垂直出力線302の信号は、演算増幅器503においてクランプ容量C1とフィードバック容量C2の容量比に応じたゲインで増幅され、転送スイッチ507を介して第2のS信号保持容量511へ記憶される(加算信号Sab)。

転送ゲート402a及び402bと、転送スイッチ507が順次OFFとなった後、信号resをHighレベルにするとFDリセットスイッチ405がONし、FD部403がリセットされる。

【0022】

次に、水平走査回路311の出力ha1がHighレベルになることにより、水平転送スイッチ305, 306がONする。第1のS信号保持容量509、第1のN信号保持容量510の各信号が水平出力線309, 310と差動増幅器314を介して出力端子315に出力される。水平走査回路311は、各列の選択信号ha1, ha2, ..., hakを順次Highレベルにすることにより、1行分の副画素aの信号(像信号A)を出力する。

10

像信号Aの読出しが終了すると、続いて、水平走査回路311の出力hb1がHighレベルになる。これにより、水平転送スイッチ307, 308がONになり、第2のS信号保持容量511、第2のN信号保持容量512の信号が水平出力線309, 310と差動増幅器314を介して出力端子315に出力される。水平走査回路311は、各列の選択信号hb1, hb2, ..., hbkを順次Highレベルにすることにより、1行分の加算信号(像信号AB)を出力する。

尚、信号ha1~hak及び信号hb1~hbkによって各列の信号が読み出される期間中、信号chresをHighレベルにすることで水平出力線リセットスイッチ312, 313は一時的にONになる。このとき、水平出力線309, 310はリセット電圧Vchresのレベルにリセットされる。

20

【0023】

次に図9を参照してDFE108を説明する。図9はDFE108の構成を示すブロック図である。

入力データ処理部601には、上述の読出し動作によって撮像素子106から読み出された信号が、AFE107を経由して入力される。入力データ処理部601は、AFE107から入力された像信号Aと像信号ABを画素加算処理部602へ出力すると共に、像信号ABのみをDSP109へ出力する。像信号Aは焦点検出用信号であり、像信号ABは焦点検出および画像生成用信号である。

30

【0024】

画素加算処理部602からデータ出力部606は位相差検出方式の焦点検出演算を行う演算手段であり、CPU114の制御下で動作する。画素加算処理部602は、像信号A及び像信号ABに対して画素加算処理を行う。ここでは、2行2列の画素群についてペイヤー単位での画素信号を加算して輝度信号にする処理を行うものとする。この処理により、像信号A及び像信号ABのデータ数はそれぞれ水平方向で1/2、垂直方向で1/2に減少する。像信号減算部603は、画素加算処理部602から輝度信号AB(Yabと記す)と輝度信号A(Yaと記す)を取得し、YabからYaを減算することにより、輝度信号B(Ybと記す)を生成する。Yabは副画素aの信号と副画素bの信号とを加算した輝度信号であり、Yaは副画素aの輝度信号であるから、それらの差であるYbは副画素bの輝度信号を表すものである。

40

【0025】

像補正処理部604は、像信号減算部603から取得したYa, Ybに対して、固定パターンノイズ除去などの補正処理を行う。相関演算処理部605は、Ya, Ybの信号波形から相関値Cm(x)を算出する。相関値の算出方法としては、例えば下式を用いる。

【数1】

$$Cm(x) = \sum_{n=p}^q (Ya_n - Yb_{n+x})^2$$

50

この場合、相関値 $C_m(x)$ の極小点が最も相関の高い点となる。 Y_a と Y_b との差の絶対値から相関値を算出してもよい。または、以下の式で相関値を求めてもよい。

【数 2】

$$C_m(x) = \sum_{n=p}^q \text{MAX}(Y_{a_n}, Y_{b_{n+x}})$$

$\text{MAX}(A, B)$ は A と B の大きい方を選択することを表す。また、逆に小さい方を選択する方法でも相関値を算出することが可能である。

データ出力部 606 は、相関演算処理部 605 が算出した相関値 $C_m(x)$ を CPU 114 へ出力する。CPU 114 は、取得した相関値 $C_m(x)$ から最も相関の高い点を選択し、デフォーカス量を算出する。CPU 114 は算出したデフォーカス量に基づいてフォーカス駆動回路 116 を制御する。

【0026】

[第 1 実施形態]

以下、図 10 を参照して、本発明の第 1 実施形態による撮像動作及び AF 動作のシーケンスを説明する。

図 10 は、動画撮影時の撮像素子読出し動作及び AF 動作を示している。動画フレーム n は第 n フレームを表わし、 n ないし $n+4$ の各画像フレームを例示する。その下に撮像素子 106 の読出し動作、相関演算動作、データ出力動作、CPU 114 のデフォーカス演算処理、フォーカスレンズの駆動をそれぞれ示している。

まず、第 n フレーム（画像フレーム n ）において前述の読出し動作に従って、撮像素子 106 の信号が先頭ラインから順に読み出される。この際、各ラインから像信号 A と像信号 AB の両方が読み出される。図中に点線で示す矩形枠は、焦点検出を行うための領域（焦点検出領域）を示す。焦点検出領域は、焦点検出演算の対象とする範囲内の画素部に相当する領域である。焦点検出領域の信号が読み出され始めると、その信号を使用して相関演算処理部 605 は像の相関演算処理を開始する。そして、焦点検出領域での信号に対する相関演算が行われる。相関演算の内容は前述の通りである。

【0027】

相関演算処理が終了すると、続いてその演算結果がデータ出力部 606 から CPU 114 へ出力される。この際、本実施形態においては撮像素子 106 の読出し動作が全て完了した後にデータ出力部 606 からのデータ出力動作を開始する。これにより、焦点検出領域が撮影画面内のどの位置にあっても、データ出力開始の時点は常に同じタイミングとなる。CPU 114 は、受信した相関演算データに基づいてデフォーカス量を算出し、フォーカス駆動回路 116 の駆動制御を行う。

【0028】

続くフレーム $n+1$ とフレーム $n+2$ では、相関演算が停止される。このため、CPU 114 の制御により、撮像素子 106 では演算処理に不要となる像信号 A の出力が停止される。その分だけ電力を節減することができる。例えば、像信号 A の出力期間に差動増幅器 314 の電流を遮断し、また、水平走査回路 311 の動作を停止することにより、電力を節減可能である。それに応じて CPU 114 は、相関演算処理部 605、データ出力部 606 の動作を停止させる。これにより DFE 108 の電力を節減できる。更に、画素加算処理部 602、像信号減算部 603、像補正処理部 604 も、この期間（相関演算の停止期間）中に動作を停止するので、電力を節減できる。電力の節減は、各ブロックへのクロック供給を停止することで実現される。相関演算を行わない期間中には、デフォーカス算出処理およびレンズ駆動は行わない。

【0029】

続くフレーム $n+3$ では、再びフレーム n と同様に撮像素子 106 から像信号 A および像信号 AB を読出す処理が実行され、前述した一連の AF 処理が行われる。

以上の構成によれば、3 フレームに 1 回の割合で AF 処理が実行されることになる。AF 処理を行わない画像フレーム期間においては、前述したように使用しない回路部の動作

10

20

30

40

50

を停止することで全体としての消費電力を低減できる。

本実施形態においては、3フレームに1回の割合でAF処理を行っているが、これに限らず、AF処理を行うフレームと、AF処理を行わないフレームとの割合については構成や仕様に依りて変更しても構わない。また、その割合をフレームレートに依りて変更することで、消費電力を一定に保つように制御してもよい。例えば、30フレーム/秒の撮影モードでは3フレームに1回の割合に設定する。60フレーム/秒の撮影モードでは6フレームに1回の割合に設定すれば、いずれのモードにおいてもAF処理に関わる回路部の消費電力を一定とすることが可能である。

【0030】

[第2実施形態]

次に本発明の第2実施形態を説明する。

第1実施形態では、数フレームに1回の割合でAF処理が行われるため、消費電力を抑制できる反面、被写体の動きに対する焦点調節の追従性の低下が懸念される。動画撮影時には追従性の要求度がそれほど高くないため、複数の画像フレームに1回の割合でAF処理を行ったとしても十分である。しかし、静止画撮影前のライブビュー動作では追従性が重要となる。そこで、本発明の第2実施形態では、数フレームに1回の割合でAF処理を行う第1のモードに加えて、第1のモードよりも高い頻度でAF処理を行う第2のモードを有する。例えば、第2のモードでは、動画フレームに対して焦点検出演算が毎回実行される。これにより、静止画撮影直前での追従性を損なわずに、全体の消費電力を抑制することができる。

【0031】

図11は、本発明の第2実施形態における動画撮影時の撮像素子の読出し動作及びAF動作を示している。第nフレームないし第n+6フレームを例示する。

フレームnからn+2までの期間については、図10での説明と同様に、3フレームに1回の割合でAF処理が行われる。フレームn+2の期間において、撮影者によりシャッタースイッチ(SW)の半押し操作が行われると、CPU114は静止画撮影の指示を受け付け、フレームn+3からn+5では毎フレームにて連続してAF処理を実行させる。この際、CPU114はデータ出力部606からのデータ出力動作を相関演算処理部605の相関演算処理の終了直後に開始させる。図10の場合には撮像素子106の読出し動作が全て終了した後にデータ出力動作を開始する。その場合、データ出力に要する時間と次フレームの焦点検出領域の位置によっては、次フレームの相関演算処理開始までにデータ出力が終了しない場合がある。そこで、図11では、相関演算処理部605の演算処理の終了直後にデータ出力動作を開始することにより、次フレームの相関演算処理開始までにデータ出力動作を終了させることができる。但し、焦点検出領域の位置設定に依りてデータ出力タイミングが変わってしまうことになるが、毎フレームのAF処理が保証される。尚、図10のデータ出力タイミングであっても、相関演算処理部605とデータ出力部606の間に一時的にデータを格納するバッファメモリを設ければ、毎フレームにてAF動作を行える。

AF動作によってフォーカスレンズが移動して合焦状態になった後、フレームn+6以降からは再び間欠的なAF処理が行われるので、省電力モードに入ることとなる。

【0032】

以上の構成により、静止画撮影直前などにおいて必要なAF追従性を損なわずに、その他の期間には消費電力を抑制することで全体としての電力を節減することができる。

尚、本実施形態では、シャッタースイッチ(SW)が半押し操作された直後の期間にて、毎フレームでAF処理を行い、それ以外の期間では3フレームに1回の間欠的なAF動作を行う例を説明した。AF処理の頻度についてはこれに限られるものではない。例えば、シャッタースイッチの半押し操作が行われた直後の期間で3フレームに1回の割合でAF処理を行い、それ以外の期間ではさらにAF処理の頻度を少なくするか、または全くAF処理を行わない構成にしても構わない。また、シャッタースイッチの半押し操作の検知に代えて、他の状態変化を検知してAF処理の頻度を変更しても構わない。

10

20

30

40

50

【0033】

以上、本発明の好ましい実施形態について説明したが、本発明はこれらの実施形態に限定されず、その要旨の範囲内で種々の変形及び変更が可能である。例えば、以下の通りである。

- ・ A F 処理に使用する信号について、画素加算せずにそのままの像信号情報を使用する形態。
- ・ 相関演算処理部 6 0 5 が D S P 1 0 9 や C P U 1 1 4 に含まれる形態。
- ・ 相関演算を行わないフレームの期間中に、撮像素子 1 0 6 からの像信号 A の出力を停止させ、更に A F E 1 0 7 の動作を停止して消費電力を低減させる形態。

【符号の説明】

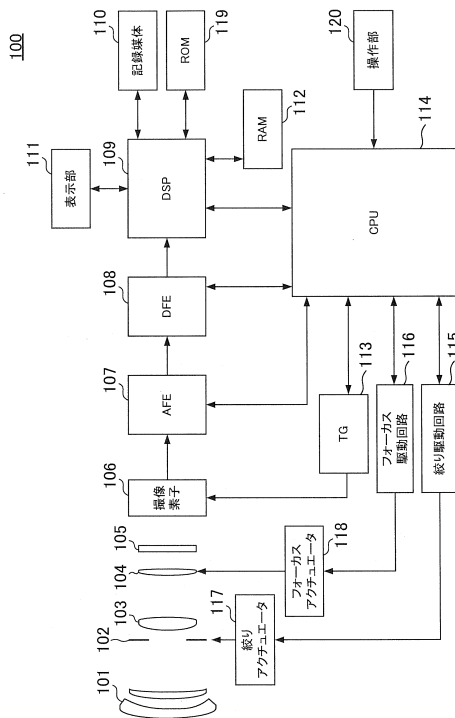
【0034】

- 1 0 0 撮像装置
- 1 0 6 撮像素子
- 1 0 8 D F E
- 1 0 9 D S P
- 1 1 4 C P U
- 6 0 5 相関演算処理部
- 6 0 6 データ出力部

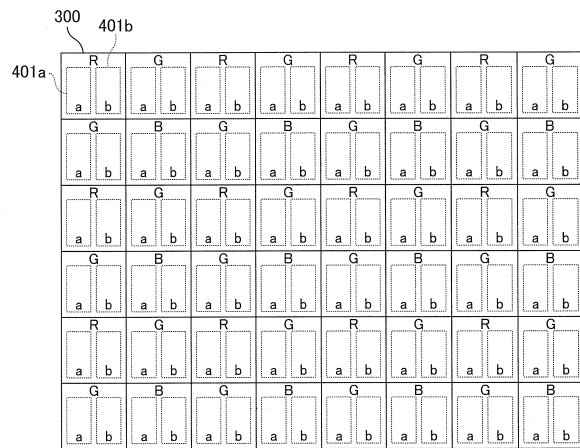
10

20

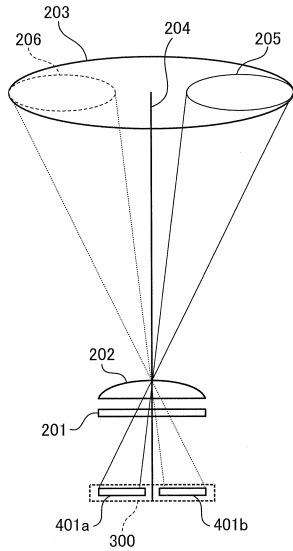
【図 1】



【図 2】

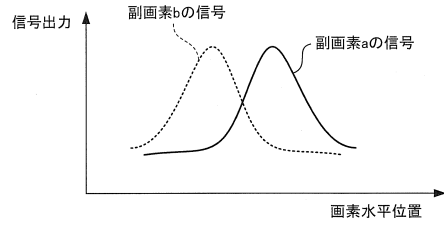


【図3】

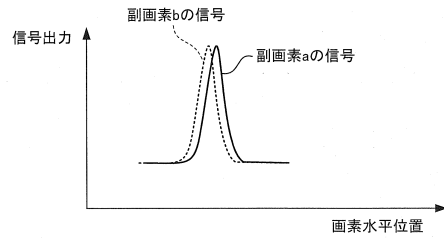


【図4】

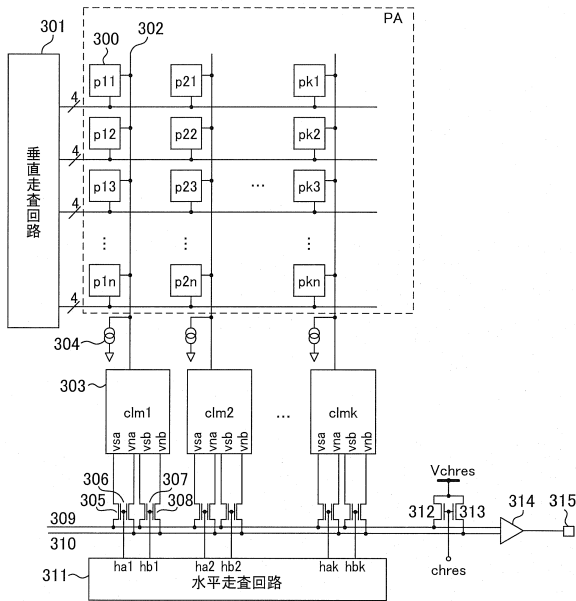
(A) 合焦状態から外れている場合



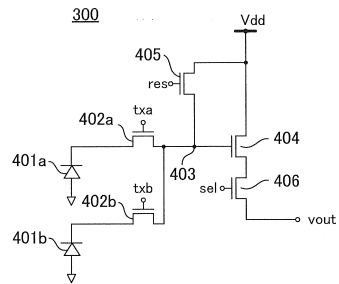
(B) 略合焦状態



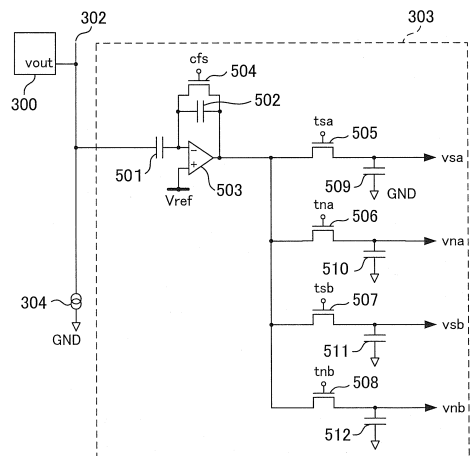
【図5】



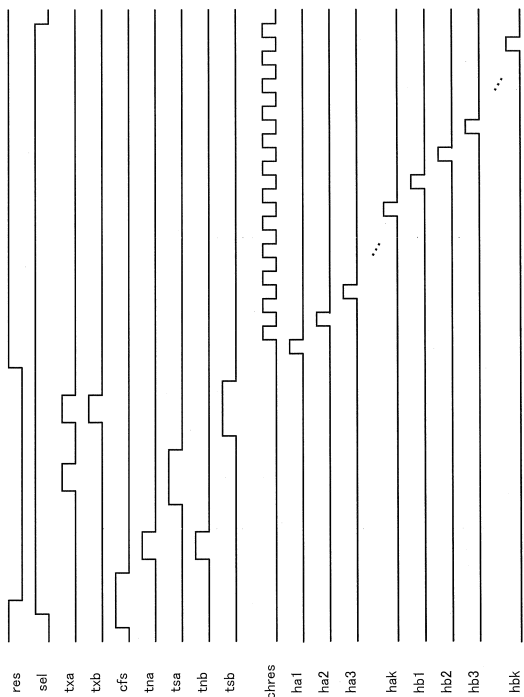
【図6】



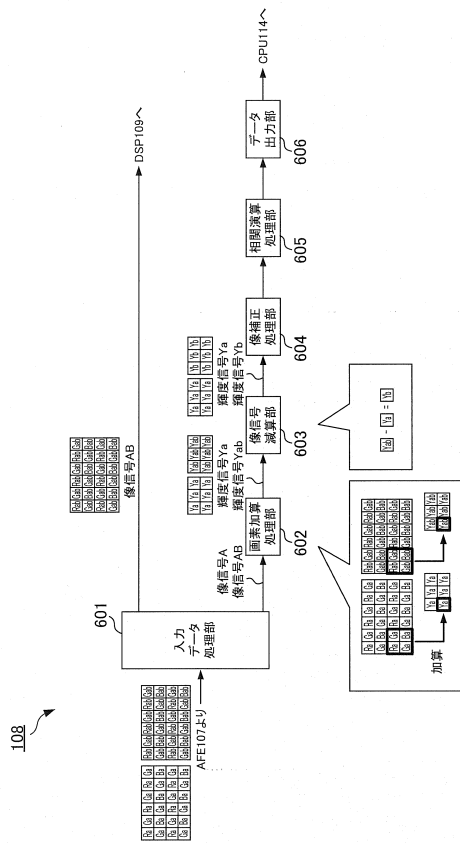
【図7】



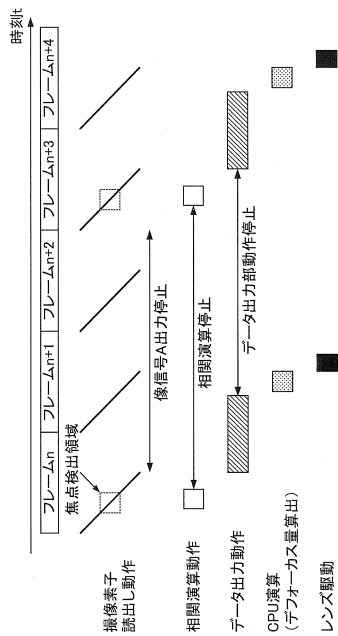
【図8】



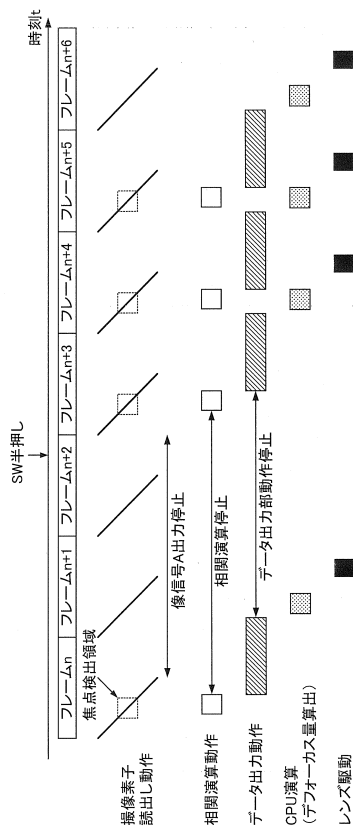
【図9】



【図10】



【図11】



フロントページの続き

(51)Int.Cl. F I
H 0 4 N 5/374 (2011.01) H 0 4 N 5/335 7 4 0

(56)参考文献 特開2010-185998(JP,A)
特開2010-237400(JP,A)
特開2012-163923(JP,A)
特開2013-050691(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 2 B 7 / 2 8
G 0 2 B 7 / 3 4
G 0 3 B 1 3 / 3 6
H 0 4 N 5 / 2 2 5
H 0 4 N 5 / 2 3 2
H 0 4 N 5 / 3 7 4