



(12) 发明专利

(10) 授权公告号 CN 110908717 B

(45) 授权公告日 2023. 11. 24

(21) 申请号 201811073420.7

(56) 对比文件

(22) 申请日 2018.09.14

US 2015039909 A1, 2015.02.05

CN 107783916 A, 2018.03.09

(65) 同一申请的已公布的文献号

TW 201738730 A, 2017.11.01

申请公布号 CN 110908717 A

审查员 易铭

(43) 申请公布日 2020.03.24

(73) 专利权人 深圳大心电子科技有限公司

地址 518057 广东省深圳市南山区粤海街

道高新南四道泰邦科技大厦6层609室

(72) 发明人 詹克伟 吴迪贤 谢宏志

(74) 专利代理机构 深圳壹舟知识产权代理事务

所(普通合伙) 44331

专利代理师 寇闯

(51) Int. Cl.

G06F 9/312 (2006.01)

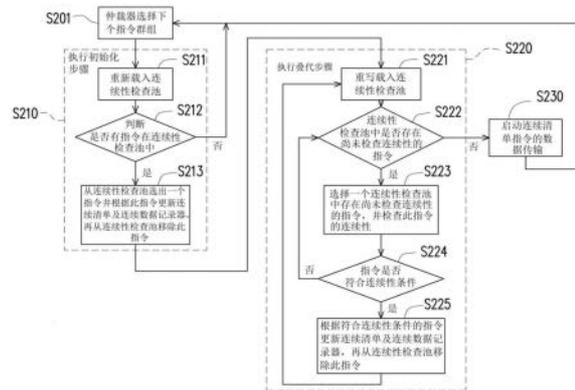
权利要求书2页 说明书8页 附图4页

(54) 发明名称

指令处理方法及使用所述方法的存储控制器

(57) 摘要

本发明提出一种指令处理方法及存储控制器。指令处理方法包括：对指令队列依序接收的多个指令执行指令合并程序。指令合并程序包括初始化步骤及多个叠代。初始化步骤包括：将指令队列中的指令传送到连续性检查池，将连续性检查池中的指令的初始指令传送到连续清单，并设定连续清单的范围。每个叠代包括：将指令队列中的指令传送到连续性检查池；判断连续性检查池的指令与连续清单的范围是否符合连续条件；以及当指令的第一指令与范围符合连续条件时，将第一指令附接到连续清单并根据第一指令重新设定连续清单的范围。



1. 一种指令处理方法,适用于存储控制器,所述存储控制器用于存取存储媒体并耦接至主机系统,其特征在于,所述指令处理方法包括:

从读取指令伫列及写入指令伫列选出指令伫列,并对所述指令伫列依序接收的多个指令执行指令合并程序,所述多个指令包括起始逻辑区块地址及结束逻辑区块地址,所述指令合并程序包括初始化步骤及多个迭代,

其中所述初始化步骤包括:将所述指令伫列中的所述多个指令传送到连续性检查池,将所述连续性检查池中的所述多个指令的初始指令传送到连续清单,并将所述连续清单的范围设定为所述初始指令的所述起始逻辑区块地址及所述结束逻辑区块地址,

其中每个所述多个迭代包括:将所述指令伫列中的所述多个指令传送到所述连续性检查池;判断所述连续性检查池的所述多个指令与所述连续清单的所述范围是否符合连续条件;以及当所述多个指令的第一指令与所述范围符合所述连续条件时,将所述第一指令附接到所述连续清单并根据所述第一指令重新设定所述连续清单的所述范围。

2. 根据权利要求1所述的指令处理方法,其特征在于,其中当所述第一指令的所述起始逻辑区块地址等于所述连续清单的所述结束逻辑区块地址加一,或所述第一指令的所述结束逻辑区块地址等于所述连续清单的所述起始逻辑区块地址减一时,所述第一指令与所述连续清单的所述范围符合所述连续条件。

3. 根据权利要求1所述的指令处理方法,其特征在于,还包括:当所述指令合并程序完成时,依序执行所述连续清单的所述多个指令。

4. 根据权利要求3所述的指令处理方法,其中所述指令合并程序的完成条件为:在所述多个迭代的其中之一,所述连续性检查池的所述多个指令与所述连续清单的所述范围都不连续。

5. 根据权利要求3所述的指令处理方法,其特征在于,其中所述指令合并程序的完成条件为:所述多个迭代的其中之一完成且所述多个迭代的累积次数等于预定次数。

6. 根据权利要求3所述的指令处理方法,其特征在于,其中所述指令合并程序的完成条件为:计时器到期,其中所述计时器在所述指令合并程序开始时开始。

7. 根据权利要求1所述的指令处理方法,其特征在于,其中在每个所述多个迭代中,传送到所述连续性检查池的所述多个指令的数量小于所述连续性检查池的最大指令数量减掉存储于所述连续性检查池中的所述多个指令的数量。

8. 一种存储控制器,用于存取存储媒体并耦接至主机系统,其特征在于,所述存储控制器包括:

指令分派器,将多个读取指令分派到读取指令伫列并将多个写入指令分派到写入指令伫列;

指令排程器,耦接到所述指令分派器;

仲裁器,耦接到所述指令排程器;以及

处理器,耦接到所述指令分派器、所述指令排程器及所述仲裁器的至少其中之一,其中所述仲裁器从所述读取指令伫列及所述写入指令伫列选出指令伫列,且所述指令排程器对所述指令伫列依序接收的多个指令执行指令合并程序,所述多个指令包括起始逻辑区块地址及结束逻辑区块地址,所述指令合并程序包括初始化步骤及多个迭代,

其中所述初始化步骤包括:通过所述指令排程器将所述指令伫列中的所述多个指令传

送到连续性检查池,将所述连续性检查池中的所述多个指令的初始指令传送到连续清单,并将所述连续清单的范围设定为所述初始指令的所述起始逻辑区块地址及所述结束逻辑区块地址,

其中每个所述多个迭代包括:通过所述指令排程器将所述指令队列中的所述多个指令传送到所述连续性检查池;判断所述连续性检查池的所述多个指令与所述连续清单的所述范围是否符合连续条件;以及当所述多个指令的第一指令与所述范围符合所述连续条件时,将所述第一指令附接到所述连续清单并根据所述第一指令重新设定所述连续清单的所述范围。

9. 根据权利要求8所述的存储控制器,其特征在于,其中当所述第一指令的所述起始逻辑区块地址等于所述连续清单的所述结束逻辑区块地址加一,或所述第一指令的所述结束逻辑区块地址等于所述连续清单的所述起始逻辑区块地址减一时,所述第一指令与所述连续清单的所述范围符合所述连续条件。

10. 根据权利要求8所述的存储控制器,其特征在于,其中当所述指令合并程序完成时,所述处理器依序执行所述连续清单的所述多个指令。

11. 根据权利要求10所述的存储控制器,其特征在于,其中所述指令合并程序的完成条件为:在所述多个迭代的其中之一,所述连续性检查池的所述多个指令与所述连续清单的所述范围都不连续。

12. 根据权利要求10所述的存储控制器,其特征在于,其中所述指令合并程序的完成条件为:所述多个迭代的其中之一完成且所述多个迭代的累积次数等于预定次数。

13. 根据权利要求10所述的存储控制器,其特征在于,其中所述指令合并程序的完成条件为:计时器到期,其中所述计时器在所述指令合并程序开始时开始。

14. 根据权利要求8所述的存储控制器,其特征在于,其中在每个所述多个迭代中,传送到所述连续性检查池的所述多个指令的数量小于所述连续性检查池的最大指令数量减掉存储于所述连续性检查池中的所述多个指令的数量。

## 指令处理方法及使用所述方法的存储控制器

### 技术领域

[0001] 本发明涉及一种指令处理方法及使用所述方法的存储控制器,尤其涉及一种能预先将存取连续地址的指令排序的指令处理方法及使用所述方法的存储控制器。

### 背景技术

[0002] 一般的存储控制器在处理主机命令时通常是依照从主机接收到的命令的顺序来执行命令。当主机要存取文件时,可以传送单一输入输出指令来对应文件的总传输大小,或是传送多个输入输出指令分别对应较小的文件传输大小。与多个输入输出指令相比,单一输入输出指令可让固件更容易管理所需的数据缓冲器。

[0003] 在存取存储媒体的观点中,具有连续逻辑区块地址的数据往往会存储在存储媒体的连续或邻近的物理地址。当主机传数据到存储装置时,越多的逻辑区块连续性可让存储装置有更短的媒体存取延迟及更少的媒体数据管理负担。

[0004] 在支持非依序(out of order)指令执行的系统架构中,存储控制器可不依照从主机接收到的命令的顺序来执行命令。因此,如何能将主机命令重新排列以增加命令所存取的逻辑区块的连续性,是本领域技术人员应致力的目标。

### 发明内容

[0005] 本发明提供一种指令处理方法及使用所述方法的存储控制器,能增加主机命令所存取的逻辑区块的连续性。

[0006] 本发明提出一种指令处理方法,适用于存储控制器。存储控制器用于存取存储媒体并耦接至主机系统。指令处理方法包括:从读取指令伫列及写入指令伫列选出指令伫列,并对指令伫列依序接收的多个指令执行指令合并程序。上述指令包括起始逻辑区块地址及结束逻辑区块地址。指令合并程序包括初始化步骤及多个叠代。初始化步骤包括:将指令伫列中的指令传送到连续性检查池,将连续性检查池中的指令的初始指令传送到连续清单,并将连续清单的范围设定为初始指令的起始逻辑区块地址及结束逻辑区块地址。每个叠代包括:将指令伫列中的指令传送到连续性检查池;判断连续性检查池的指令与连续清单的范围是否符合连续条件;以及当上述指令的第一指令与上述范围符合连续条件时,将第一指令附接到连续清单并根据第一指令重新设定连续清单的范围。

[0007] 在本发明的一实施例中,当第一指令的起始逻辑区块地址等于连续清单的结束逻辑区块地址加一,或第一指令的结束逻辑区块地址等于连续清单的起始逻辑区块地址减一时,第一指令与连续清单的范围符合连续条件。

[0008] 在本发明的一实施例中,上述指令处理方法还包括:当指令合并程序完成时,依序执行连续清单的指令。

[0009] 在本发明的一实施例中,上述指令合并程序的完成条件为:在叠代的其中之一,连续性检查池的指令与连续清单的范围都不连续。

[0010] 在本发明的一实施例中,上述指令合并程序的完成条件为:叠代的其中之一完成

且些叠代的累积次数等于预定次数。

[0011] 在本发明的一实施例中,上述指令合并程序的完成条件为:计时器到期,其中计时器在指令合并程序开始时开始。

[0012] 在本发明的一实施例中,上述在每个叠代中,传送到连续性检查池的指令的数量小于连续性检查池的最大指令数量减掉存储于连续性检查池中的指令的数量。

[0013] 本发明提出一种存储控制器,用于存取存储媒体并耦接至主机系统。存储控制器包括:指令分派器,将多个读取指令分派到读取指令伫列并将多个写入指令分派到写入指令伫列;指令排程器,耦接到指令分派器;仲裁器,耦接到指令排程器;以及处理器,耦接到指令分派器、指令排程器及仲裁器的至少其中之一。仲裁器从读取指令伫列及写入指令伫列选出指令伫列,且指令排程器对指令伫列依序接收的多个指令执行指令合并程序。指令包括起始逻辑区块地址及结束逻辑区块地址。指令合并程序包括初始化步骤及多个叠代。初始化步骤包括:通过指令排程器将指令伫列中的指令传送到连续性检查池,将连续性检查池中的指令的初始指令传送到连续清单,并将连续清单的范围设定为初始指令的起始逻辑区块地址及结束逻辑区块地址。每个叠代包括:通过指令排程器将指令伫列中的指令传送到连续性检查池;判断连续性检查池的指令与连续清单的范围是否符合连续条件;以及当些指令的第一指令与上述范围符合连续条件时,将第一指令附接到连续清单并根据第一指令重新设定连续清单的范围。

[0014] 在本发明的一实施例中,当第一指令的起始逻辑区块地址等于连续清单的结束逻辑区块地址加一,或第一指令的结束逻辑区块地址等于连续清单的起始逻辑区块地址减一时,第一指令与连续清单的范围符合连续条件。

[0015] 在本发明的一实施例中,上述指令处理方法还包括:当指令合并程序完成时,处理器依序执行连续清单的指令。

[0016] 在本发明的一实施例中,上述指令合并程序的完成条件为:在叠代的其中之一,连续性检查池的指令与连续清单的范围都不连续。

[0017] 在本发明的一实施例中,上述指令合并程序的完成条件为:叠代的其中之一完成且些叠代的累积次数等于预定次数。

[0018] 在本发明的一实施例中,上述指令合并程序的完成条件为:计时器到期,其中计时器在指令合并程序开始时开始。

[0019] 在本发明的一实施例中,上述在每个叠代中,传送到连续性检查池的指令的数量小于连续性检查池的最大指令数量减掉存储于连续性检查池中的指令的数量。

[0020] 基于上述,本发明的指令处理方法及使用所述方法的存储控制器会将主机接收的指令分派到读取指令伫列及写入指令伫列,并从读取指令伫列及写入指令伫列选出一指令伫列以进行指令合并程序。在指令合并程序的初始化步骤中,初始指令会被传送到连续清单且连续清单的范围会被设定为初始指令的起始逻辑区块地址及结束逻辑区块地址。在指令合并程序的多个叠代中,当有指令与连续清单的范围符合连续条件时,此指令会被附接到连续清单并根据此指令重新设定连续清单的范围。当指令合并程序完成时,处理器依序执行连续清单的指令,以存取连续的逻辑区块地址。

[0021] 为让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合附图作详细说明如下。

## 附图说明

- [0022] 图1为根据本发明一实施例的主机系统及存储装置的方块图；
- [0023] 图2为根据本发明一实施例的指令合并程序的流程图；
- [0024] 图3为根据本发明一实施例的指令合并程序的范例；
- [0025] 图4A为传统指令处理方法的指令连续性；
- [0026] 图4B为根据本发明一实施例的指令处理方法的指令连续性；
- [0027] 图4C为根据本发明另一实施例的指令处理方法的指令连续性。
- [0028] 附图标号说明：
- [0029] 10:主机系统
- [0030] 20:存储装置
- [0031] 100:主机存储器
- [0032] 200:存储控制器
- [0033] 201、202:处理器
- [0034] 210:指令输入器
- [0035] 220:指令分派器
- [0036] 230:读取指令排程器
- [0037] 231:读取指令伫列
- [0038] 232:连续性检查池
- [0039] 233:连续清单
- [0040] 234:连续信息记录器
- [0041] 240:写入指令排程器
- [0042] 241:写入指令伫列
- [0043] 242:连续性检查池
- [0044] 243:连续清单
- [0045] 244:连续信息记录器
- [0046] 250:仲裁器
- [0047] 260:数据传输电路
- [0048] 270:数据缓冲器
- [0049] 280:存储媒体接口电路
- [0050] 300:动态随机存取存储器
- [0051] 400\_0~400\_n:存储媒体
- [0052] S201、S210~S213、S220~S225、S230:指令处理方法的步骤

## 具体实施方式

[0053] 一般而言,存储装置包括可复写式非易失性存储器模块(rewritable non-volatile memory module)与存储装置控制器(也称,存储控制器或存储控制电路)。通常存储装置是与主机系统一起使用,以使主机系统可将数据写入至存储装置或从存储装置中读取数据。

[0054] 图1为根据本发明一实施例的主机系统及存储装置的方块图。

[0055] 请参照图1,主机系统(Host System)10包括主机处理器(未示出于图中)、主机存储器(Host Memory)100及数据传输接口电路(Data Transfer Interface Circuit)(未示出于图中)。在本实施例中,数据传输接口电路耦接(亦称,电性连接)至主机处理器与主机存储器100。在另一实施例中,主机处理器、主机存储器100与数据传输接口电路之间利用系统总线(System Bus)彼此耦接。

[0056] 存储装置20包括存储控制器(Storage Controller)200、动态随机存取存储器(Dynamic Random Access Memory, DRAM)300、存储媒体(Storage Media)400\_0至400\_n及连接接口电路(Connection Interface Circuit)(未示出于图中)。存储媒体400\_0至400\_n可为可复写式非易失性存储器模块(Rewritable Non-Volatile Memory Module)。

[0057] 在本实施例中,主机系统10是通过数据传输接口电路与存储装置20的连接接口电路(又称为存储装置20的主机接口)至存储装置20来进行数据的存取操作。例如,主机系统10可经由数据传输接口电路将数据存储至存储装置20或从存储装置20中读取数据。

[0058] 在本实施例中,主机处理器、主机存储器100及数据传输接口电路可设置在主机系统10的主机板上。数据传输接口电路的数目可以是一或多个。通过数据传输接口电路,主机板可以经由有线或无线方式耦接至存储装置20。存储装置20可例如是随身盘、存储卡、固态硬盘(Solid State Drive, SSD)或无线存储器存储装置。无线存储器存储装置可例如是近距离无线通讯(Near Field Communication, NFC)存储器存储装置、无线传真(WiFi)存储器存储装置、蓝牙(Bluetooth)存储器存储装置或低功耗蓝牙存储器存储装置(例如, iBeacon)等以各式无线通讯技术为基础的存储器存储装置。此外,主机系统10也可以通过系统总线耦接至全球定位系统(Global Positioning System, GPS)模块、网络接口卡、无线传输装置、键盘、屏幕、喇叭等各式I/O装置。

[0059] 在本实施例中,数据传输接口电路与连接接口电路是相容于高速周边零件连接接口(Peripheral Component Interconnect Express, PCI Express)标准的接口电路。并且,数据传输接口电路与连接接口电路之间是利用快速非易失性存储器(Non-Volatile Memory express, NVMe)控制器接口、进阶主机控制器接口(Advanced Host Controller Interface, AHCI)或PCIe架构佇列接口(PCIe architecture Queuing Interface, PQI)等协定来进行数据的传输并可具有乱序执行(out-of-order execution, OOE)功能。其中快速非易失性存储器协定可具有输入输出提交佇列(Input/Output Submission Queue, IOSQ)及输入输出完成佇列(Input/Output Completion Queue, IOCQ)架构,进阶主机控制器接口协定可具有(Native Command Queue, NCQ)指令支援,PCIe架构佇列接口协定可具有输入佇列(Input Queue, IQ)及输出佇列(Output Queue, OQ)架构。

[0060] 然而,必须了解的是,本发明不限于此,数据传输接口电路与连接接口电路亦可以是符合并行高级技术附件(Parallel Advanced Technology Attachment, PATA)标准、电气和电子工程师协会(Institute of Electrical and Electronic Engineers, IEEE)1394标准、串行高级技术附件(Serial Advanced Technology Attachment, SATA)标准、通用串行总线(Universal Serial Bus, USB)标准、SD接口标准、超高速一代(Ultra High Speed-I, UHS-I)接口标准、超高速二代(Ultra High Speed-II, UHS-II)接口标准、存储棒(Memory Stick, MS)接口标准、多芯片封装(Multi-Chip Package)接口标准、多媒体存储卡(Multi Media Card, MMC)接口标准、eMMC接口标准、通用快闪存储器(Universal Flash Storage,

UFS) 接口标准、eMCP接口标准、CF接口标准、整合式驱动电子接口(Integrated Device Electronics, IDE) 标准或其他适合的标准。此外,在另一实施例中,连接接口电路可与存储控制器200封装在一个芯片中,或者连接接口电路是布设于一包含存储控制器200的芯片外。

[0061] 在本实施例中,主机存储器100用以暂存主机处理器所执行的指令或数据。例如,在本范例实施例中,主机存储器100可以是动态随机存取存储器(Dynamic Random Access Memory, DRAM)、静态随机存取存储器(Static Random Access Memory, SRAM)等。然而,必须了解的是,本发明不限于此,主机存储器100也可以是其他适合的存储器。

[0062] 在本实施例中,存储控制器200包括处理器201、指令输入器210、指令分派器220、读取指令排程器230、写入指令排程器240、仲裁器250。处理器201负责主机输入输出指令的处理。除了处理器201之外,存储控制器200还可包括一到多个处理器202,负责主机输入输出指令以外的指令的处理。

[0063] 当指令输入器210从主机存储器100接收到多个指令时,指令输入器210会将指令传送到指令分派器220。指令分派器220会将指令分为读取指令与写入指令,并分别将读取指令与写入指令分派到读取指令排程器230的读取指令伫列231及写入指令排程器240的写入指令伫列241。仲裁器250会根据一个预定仲裁机制来选择读取指令排程器230中的读取指令群组或写入指令排程器240中的写入指令群组,并执行选出的读取指令群组或写入指令群组。

[0064] 以下说明写入指令群组的选择方法。当仲裁器250选择写入指令群组时,写入指令排程器240会开始执行指令合并程序。写入指令排程器240会将写入指令伫列241中的写入指令载入连续性检查池(Continuity Checking Pool, CCP) 242中。连续性检查池242可为缓冲存储器,且连续性检查池242中存储的写入指令并没有顺序的分别。接着,写入指令排程器240会检查连续性检查池242中的写入指令是否能附接(append)到连续清单(Continuity List, CL) 243。连续清单243记录了一到多个逻辑区块地址连续的写入指令,且连续信息记录器(Continuity Information Recorder, CIR) 244会记录连续清单243中的连续写入指令的起始逻辑区块地址(Starting Logic Block Address, SLBA)及结束逻辑区块地址(Ending Logic Block Address, SLBA)。若连续性检查池242中存在一个写入指令可附接到连续清单243前或连续清单243后,则写入指令排程器240会将此写入指令附接到连续清单243,并且更新连续信息记录器244的起始逻辑区块地址及结束逻辑区块地址。

[0065] 举例来说,当一个写入指令附接到连续清单243前的时候,连续信息记录器244的起始逻辑区块地址会被更新成附接到连续清单243前的写入指令的起始逻辑区块地址。当一个写入指令附接到连续清单243后的时候,连续信息记录器244的结束逻辑区块地址会被更新成附接到连续清单243后的写入指令的结束逻辑区块地址。

[0066] 值得注意的是,当连续清单243中没有写入指令时,写入指令排程器240可从连续性检查池242中随机选择一个写入指令传送到连续清单243,并将连续信息记录器244的起始逻辑区块地址及结束逻辑区块地址初始化成随机选择的写入指令的起始逻辑区块地址及结束逻辑区块地址。在另一实施例中,当连续清单243中没有写入指令时,写入指令排程器240也可从连续性检查池242中选择最先从写入指令伫列241提出(pop)出来的写入指令传送到连续清单243。

[0067] 在连续性检查池242的写入指令附接到连续清单243并更新连续信息记录器244之后,就完成了一次叠代操作。写入指令排程器240可执行多次叠代操作以将连续性检查池242中的连续写入指令传送到连续清单243。在一实施例中,当写入指令排程器240在连续性检查池242中再也找不到能附接到连续清单243的写入指令时,则指令合并程序完成。处理器201依序执行连续清单243的写入指令并启动对应写入指令的数据传输。在另一实施例中,指令合并程序完成的条件可设定为其中一次叠代操作完成且叠代操作的累积次数等于一预定次数。在另一实施例中,指令合并程序完成的条件可设定为计时器到期,其中计时器在指令合并程序开始时开始。

[0068] 读取指令群组的选择方法与上述写入指令群组的选择方法类似,因此不再赘述。

[0069] 在本实施例中,存储控制器200还包括数据传输电路260、数据缓冲器270与存储媒体接口电路280。当指令被执行时,数据传输电路260用以接受处理器201的指示来与主机存储器100进行数据的传输。例如,经由连接接口电路从主机系统10(如,主机存储器100)读取数据,将从主机系统10读取的数据暂存在数据缓冲器270,接着将所读取的数据经由存储媒体接口电路280写入至存储媒体400\_0至400\_n中。又例如,经由存储媒体接口电路280从存储媒体400\_0至400\_n读取数据,并且将所读取的数据经由连接接口电路写入至主机系统10(如,主机存储器100)中。存储媒体接口电路280用以接受处理器201的指示,配合数据传输电路260来进行对于存储媒体400\_0至400\_n的数据的写入(亦称,程序化,Programming)、读取操作。存储媒体接口电路280亦可对存储媒体400\_0至400\_n进行抹除操作。此外,通过存储媒体接口电路280写入存储媒体400\_0至400\_n的数据可以先暂存在动态随机存取存储器300中,且存储媒体接口电路280从存储媒体400\_0至400\_n读出的数据也可暂存在动态随机存取存储器300中。

[0070] 值得注意的是,指令输入器210、指令分派器220、读取指令排程器230、写入指令排程器240、仲裁器250可由硬件电路或固件的方式来实作。

[0071] 图2为根据本发明一实施例的指令合并程序的流程图。

[0072] 请参照图2,在步骤S201中,仲裁器250选择下个指令群组。在此的指令群组可分别对应到读取指令排程器230中的读取指令群组或写入指令排程器240中的读取指令群组。

[0073] 在步骤S210中,执行初始化步骤。

[0074] 在步骤S211中,重新载入(reload)连续性检查池。

[0075] 在步骤S212中,判断是否有指令在连续性检查池中。若有指令在连续性检查池中,则进入步骤S213。若没有指令在连续性检查池中,则回到步骤S201。

[0076] 在步骤S213中,从连续性检查池选出一个指令并根据此指令更新连续清单及连续信息记录器,再从连续性检查池移除此指令。

[0077] 在步骤S220中,执行叠代步骤。

[0078] 在步骤S221中,重新载入连续性检查池。

[0079] 在步骤S222中,连续性检查池中是否存在尚未检查连续性的指令。若连续性检查池中不存在尚未检查连续性的指令,则进入步骤S230,启动连续清单指令的数据传输。若连续性检查池中存在尚未检查连续性的指令,则进入步骤S223。

[0080] 在步骤S223中,选择一个连续性检查池中存在尚未检查连续性的指令,并检查此指令的连续性。

[0081] 在步骤S224中,指令是否符合连续性条件。若指令不符合连续性条件,则回到步骤S222。若指令符合连续性条件,则进入步骤S225。

[0082] 在步骤S225中,根据符合连续性条件的指令更新连续清单及连续信息记录器,再从连续性检查池移除此指令。

[0083] 表1为指令伫列(读取指令伫列231或写入指令伫列241)从命令分派器220依序接收到的10个指令 $C_0$ 、 $C_1$ 、 $\dots$ 、 $C_9$ 。每个指令的逻辑区块地址(Logic Block Address,LBA)的范围为1到3。表1列举了每个指令的起始逻辑区块地址(Starting Logic Block Address,SLBA)信息、逻辑区块数量(Number of Logic Blocks,NLB)信息、结束逻辑区块地址(Ending Logic Block Address,ELBA)信息。

[0084] [表1]

[0085]

	SLBA	NLB	ELBA
$C_0$	8	1	9
$C_1$	5	0	5
$C_2$	10	1	11
$C_3$	2	1	3
$C_4$	6	1	7
$C_5$	13	1	14
$C_6$	12	0	12
$C_7$	17	2	19
$C_8$	1	0	1
$C_9$	14	2	16

[0086] 图3为根据本发明一实施例的指令合并程序的范例。

[0087] 在图3中,连续性检查池的指令缓冲器大小为4。也就是说连续性检查池最多能暂存4个指令。

[0088] 请同时参照图3及表1。首先,在仲裁器250选择指令群组并开始指令合并程序之后,指令 $C_0$ 、 $C_1$ 、 $C_2$ 依序被传送到指令伫列中。

[0089] 在初始化步骤中,指令伫列中的 $C_0$ 、 $C_1$ 、 $C_2$ 被传送到连续性检查池。连续清单被初始化成 $C_0$ ,且连续信息记录器的SLBA栏位及ELBA栏位分别被初始化成 $C_0$ 的SLBA及ELBA,也就是8及9。同时,指令伫列接收到新的指令 $C_3$ 。

[0090] 在第1次叠代中, $C_3$ 从指令伫列被载入连续性检查池中(即,重新载入连续性检查池)。由于 $C_2$ 符合连续性条件,因此 $C_2$ 从连续性检查池被移除并被附接在连续清单之后。连续信息记录器的ELBA栏位被更新成11。同时,指令伫列接收到新的指令 $C_4$ 、 $C_5$ 、 $C_6$ 、 $C_7$ 、 $C_8$ 。

[0091] 值得注意的是,在本实施例中,当一个指令的SLBA等于连续信息记录器的ELBA+1,或是一个指令的ELBA等于连续信息记录器的SLBA-1,则此指令就符合连续性条件。

[0092] 在第2次叠代中, $C_4$ 、 $C_5$ 从指令伫列被载入连续性检查池中。由于 $C_4$ 符合连续性条件,因此 $C_4$ 从连续性检查池被移除并被附接在连续清单之前。连续信息记录器的SLBA栏位被更新成6。同时,指令伫列接收到新的指令 $C_9$ 。

[0093] 在第3次叠代中, $C_6$ 从指令伫列被载入连续性检查池中。由于 $C_1$ 、 $C_6$ 符合连续性条件,因此 $C_1$ 从连续性检查池被移除并被附接在连续清单之前,且 $C_6$ 从连续性检查池被移除并

被附接在连续清单之后。连续信息记录器的SLBA栏位被更新成5且SLBA栏位被更新成12。值得注意的是,虽然在图2实施例中,在一次叠代中只会将一个指令附接到连续清单,但本发明并不以此为限。在另一实施例中,在一次叠代中也可将两个指令附接到连续清单。例如,在本范例的第3次叠代中,由于 $C_1$ 、 $C_6$ 都符合连续性条件,因此 $C_1$ 与 $C_6$ 分别被附接到连续清单之前与之后。

[0094] 在第4次叠代中, $C_7$ 、 $C_8$ 从指令伫列被载入连续性检查池中。由于 $C_5$ 符合连续性条件,因此 $C_5$ 从连续性检查池被移除并被附接在连续清单之后。连续信息记录器的ELBA栏位被更新成14。

[0095] 在第5次叠代中, $C_9$ 从指令伫列被载入连续性检查池中。由于连续性检查池中没有任何指令符合连续条件,因此指令合并程序结束且处理器201启动对应连续清单中的指令的数据传输。

[0096] 图4A到图4C为传统指令处理方法与本发明实施例的指令处理方法的指令连续性比较。

[0097] 在图4A中,指令 $C_0$ 到 $C_9$ 会被依序执行,这造成执行过程中指令所存取的逻辑区块地址的不连续。

[0098] 在图4B中,显示了将连续性检查池的大小(即,连续性检查池可暂存的指令数量)设定为4时,会将指令 $C_0$ 到 $C_9$ 分成3组逻辑区块地址连续的指令群组。这可增加指令执行的效率。P代表了第P次指令合并程序。

[0099] 在图4C中,显示了将连续性检查池的大小设定为2时,会将指令 $C_0$ 到 $C_9$ 分成6组逻辑区块地址连续的指令群组。由图4B及图4C的比较可得知,若使用更多资源来增加连续性检查池的大小,就可增加指令合并程序的执行效果。

[0100] 综上所述,本发明的指令处理方法及使用所述方法的存储控制器会将从主机接收的指令分派到读取指令伫列及写入指令伫列,并从读取指令伫列及写入指令伫列选出一指令伫列以进行指令合并程序。在指令合并程序的初始化步骤中,初始指令会被传送到连续清单且连续清单的范围会被设定为初始指令的起始逻辑区块地址及结束逻辑区块地址。在指令合并程序的多个叠代中,当有指令与连续清单的范围符合连续条件时,此指令会被附接到连续清单并根据此指令重新设定连续清单的范围。当指令合并程序完成时,处理器依序执行连续清单的指令,以存取连续的逻辑区块地址。通过本发明的指令处理方法及使用所述方法的存储控制器,可增加数据传输时逻辑区块地址连续的机会,从而获得更短的媒体存取延迟及更少的媒体数据管理负担。

[0101] 虽然本发明已以实施例揭示如上,然其并非用以限定本发明,任何所属技术领域中技术人员,在不脱离本发明的精神和范围内,当可作些许的更改与润饰,故本发明的保护范围当视权利要求所界定的为准。

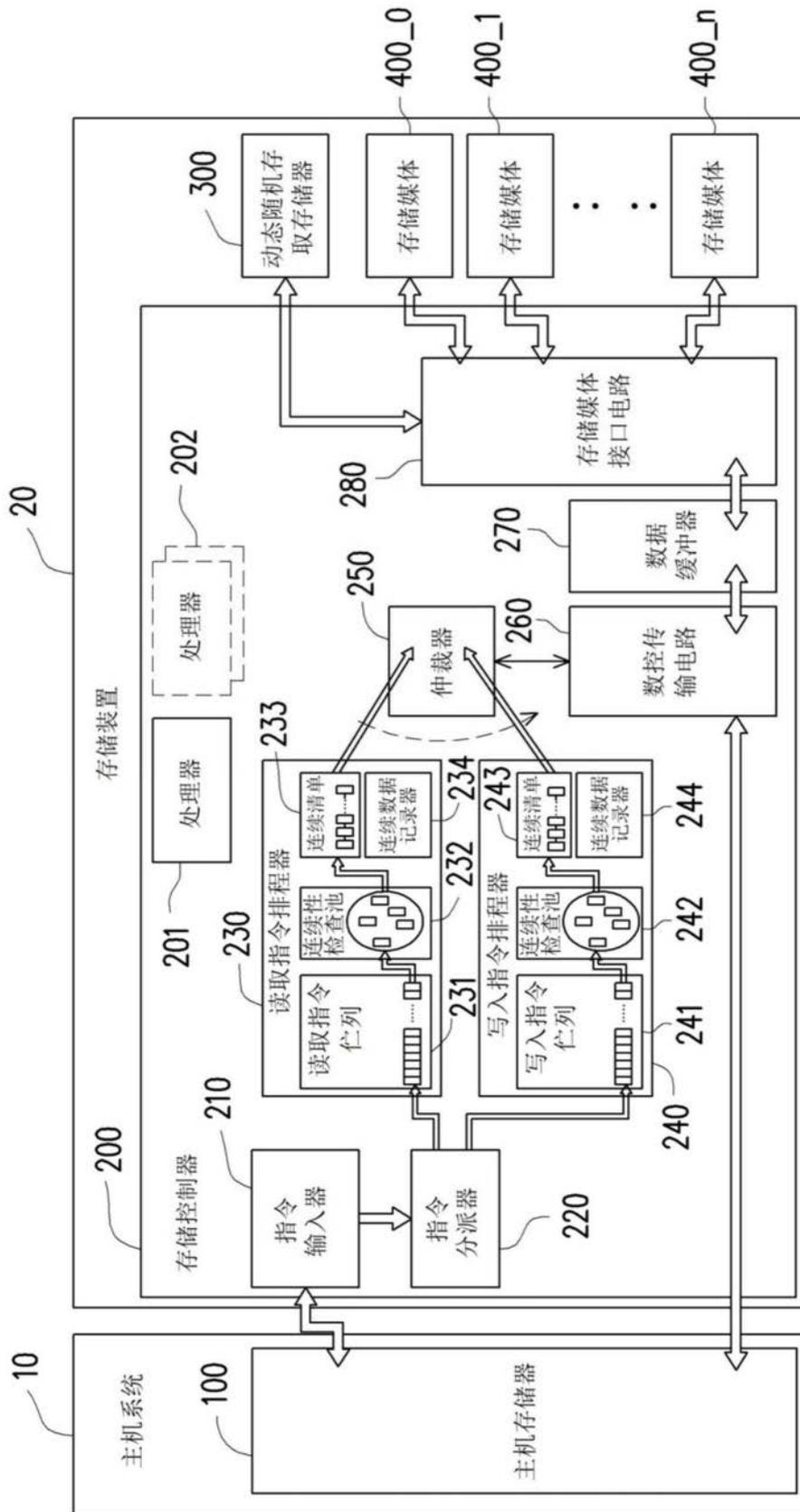


图1

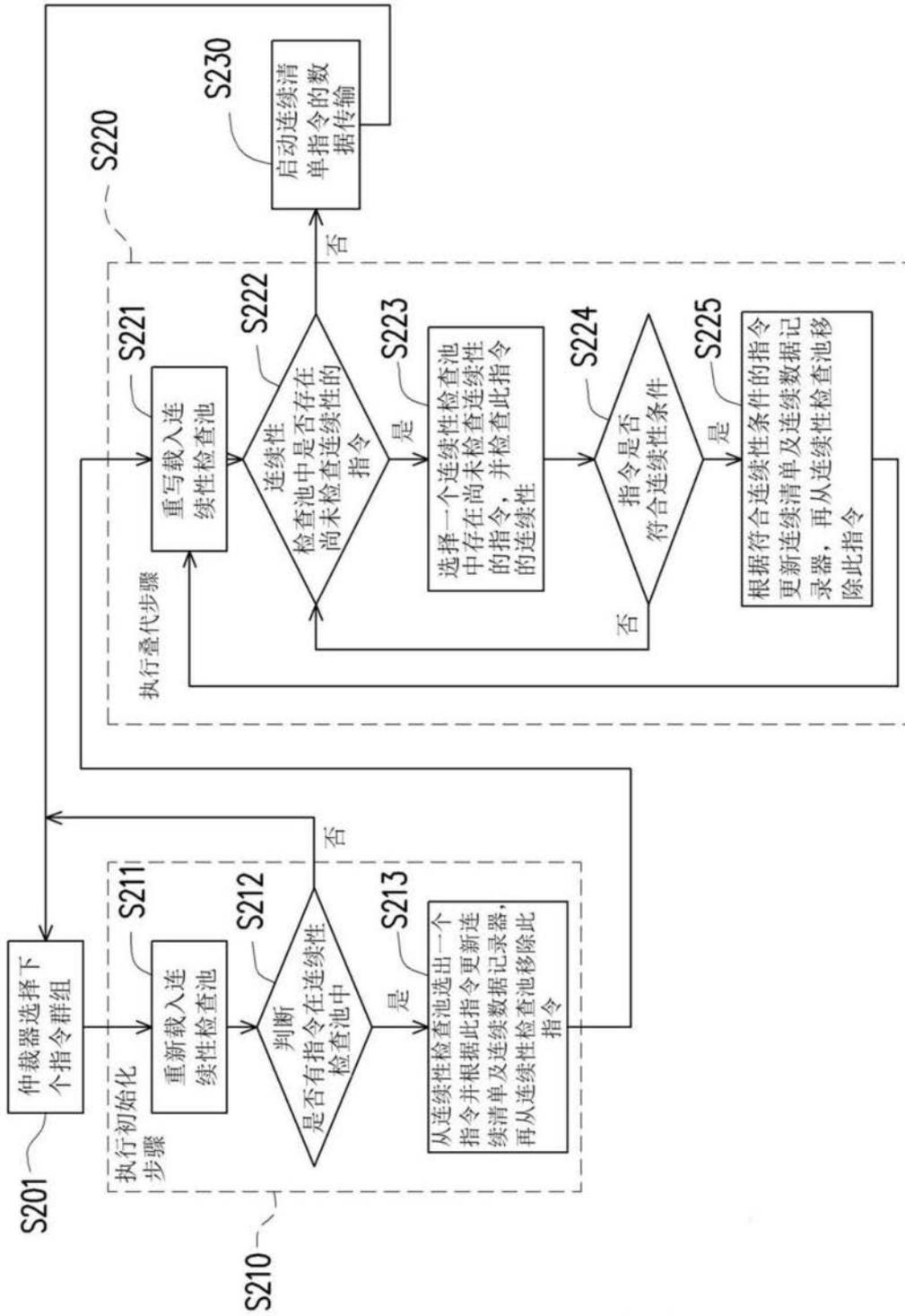


图2



本发明的  
指令处理方法  
(CCP大小=4)

P	C	LBA
1	C1	5
	C4	6
	C0	7
	C2	8
2	C6	9
	C5	10
	C8	11
	C3	12
3	C9	13
	C7	14
	C1	15
	C2	16

图4B

本发明的  
指令处理方法  
(CCP大小=2)

P	C	LBA
1	C0	8
	C2	9
2	C1	10
	C4	11
3	C3	5
	C6	6
4	C5	7
	C9	2
5	C7	3
	C8	12
6	C1	13
	C2	14

图4C